

PŘÍHLÁŠKA VYNÁLEZU

zveřejněná podle § 31 zákona č. 527/1990 Sb.

(19)
ČESKÁ
REPUBLIKA



ÚŘAD
PRŮMYSLOVÉHO
VLASTNICTVÍ

(22) Přihlášeno: 16.02.2000

(40) Datum zveřejnění přihlášky vynálezu: 12.06.2002
(Věstník č. 6/2002)

(21) Číslo dokumentu:

2000 - 536

(13) Druh dokumentu: A3

(51) Int. Cl. ⁷:

H 03 K 17/62

H 03 K 17/68

(71) Přihlašovatel:

ŘEZNÍČEK Zdeněk ing., Nedachlebice, CZ;
JANKŮ Radovan ing., Bílovice, CZ;

(72) Původce:

Řezníček Zdeněk ing., Nedachlebice, CZ;
Janků Radovan ing., Bílovice, CZ;

(74) Zástupce:

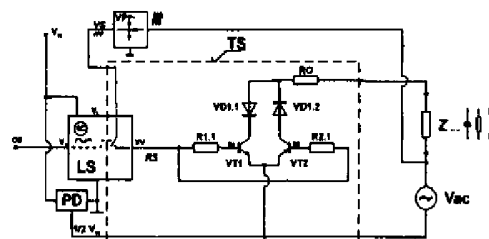
Příkryl Jaromír Ing., Včelín 1161, Hulín, 76824;

(54) Název přihlášky vynálezu:

**Zapojení bezkontaktního střídavého
tranzistorového spínače ovládaného logickým
signálem**

(57) Anotace:

Zapojení obsahuje sériové spojení ochranného odporu (RO) a antiparalelní kombinaci sériového spojení vždy jedné ze dvou stejných diod (VD1.1) a (VD1.2) s jedním z tranzistorů (VT1, VT2) opačných typů vodivosti tak, že katoda diody (VD1.1) je spojena s kolektorem tranzistoru (VT1) typu (NPN) a anoda diody (VD1.2) s kolektorem tranzistoru (VT2) typu PNP, opačné elektrody diod (VD1.1) a (VD1.2) jsou vzájemně spojeny a přivedeny na odpor (R0), emitory obou tranzistorů (VT1, VT2) jsou společně připojeny ke svorce zdroje napájecího napětí (Vac) a současně k výstupní svorce (1/2Vcc) polovinového děliče (PD) společného napájecího napětí (Vcc) synchronního vzorkovače (VP) a logického spínače (LS) zapojeného vstupní svorkou (V2) k výstupu (VS) vzorkovače (VP) napětí (Vac) a vstupní/výstupní svorkou (vv) k tranzistorovému spínači (TS) přes rezistor (R1.1) do báze tranzistoru (VT1) a rezistor (R2.1) do báze tranzistoru (VT2), kde ovládací signál (OS) je připojen na vstupní svorku (v1) logického spínače (LS).



Zapojení bezkontaktního střídavého transistorového spínače ovládaného logickým signálem.

Oblast techniky

Vynález se týká zapojení bezkontaktního střídavého transistorového spínače ovládaného logickým signálem tranzistorového spínače střídavých napětí, který je využitelný zejména pro vícekanálové nezávislé připojování střídavého napájení ke spotřebičům s nestejnou nebo v širokém rozsahu proměnnou zátěží. S výhodou je využitelný pro spínání střídavého napětí do kapacitních zátěží, např. jednotlivých segmentů plošných elektroluminiscenčních kapacitních displejů, nebo pro spínání (rozpínání) střídavých napájení indukčních zátěží, např. ovládacích cívek jehlových polí tiskacích hlav běžných i slepeckých tiskáren či čteček nebo elektropneumatických a elektromechanických ovladačů strojů a přístrojů či jejich zabezpečovacích zařízení.

Dosavadní stav techniky

Pro spínání střídavých napětí, zejména vyšší úrovně se dosud používají dvě skupiny spínačů, a to kontaktní a bezkontaktní.

Známa zapojení s kontaktními spínači, zejména relé se vyznačují především následujícími nevýhodami:

- nemožnost synchronizace sepnutí s průchodem amplitudy spínaného napětí nulou, tedy možnost vzniku indukovaných napětí při rozpínání indukčních zátěží.
- mechanickou frekvencí spínacích kontaktů omezená nejvyšší frekvence spínání
- nemožnost šířkového řízení výkonu dodaného do zátěže, tzv. PWM
- životnost spínače omezená opalováním kontaktů, zejména u indukčních zátěží.
- vysoká citlivost na zejména rušivá elektromagnetická pole.
- značné nároky na zástavbový prostor, tedy rozměrová omezení bránící účinné miniaturizaci.
- nízká a obtížně zajistitelná elektromagnetická kompatibilita

Známa zapojení s bezkontaktními spínači, zejména tyristory a triaky se vyznačují především následujícími nevýhodami:

- nemožnost šířkového řízení výkonu dodaného do zátěže, tzv. PWM s vyšší frekvencí řízení než je základní frekvence spínaného napětí
- nevhodné pro spínání při širokém rozsahu impedance zátěží, s rostoucí zátěží roste požadavek na výkon spínacího prvku, což ale vede k potřebě vyšších přídržných proudů v sepnutém stavu a tudíž ke znemožnění spolehlivého spínání do malých zátěží.
- Spínač je nesymetrický pro opačné polaritu spínaného napětí.
- Relativně vysoké saturační napětí na spínacím prvku
- Značné zkreslení spínaného napětí v okolí průchodu nulou

Podstata vynálezu

Přihlašovaný vynález se snaží poskytnout zdokonalené zapojení které překoná nevýhody dosavadní techniky. Podstata vynálezu spočívá v tom, že obsahuje sériové spojení ochranného odporu a antiparalelní kombinaci sériového spojení vždy jedné ze dvou stejných diod s tranzistory opačných typů vodivosti tak, že katoda jedné diody je spojena s kolektorem tranzistoru typu NPN a anoda druhé diody s kolektorem tranzistoru typu PNP. Opačné elektrody obou diod jsou vzájemně spojeny a přivedeny na ochranný odpor zátěže. Emitory obou tranzistorů jsou společně připojeny ke společné svorce zdroje napájecího napětí a současně k výstupní svorce polovinového děliče společného napájecího napětí V_{cc} synchronního vzorkovače a logického spínače, zapojeného jednou vstupní svorkou k výstupu vzorkovače napájecího napětí a vstupní/výstupní svorkou přes budící rezistory k bázím obou tranzistorů spínače, kde ovládací logický signál je zapojen na druhou vstupní svorku logického spínače.

Podle tohoto základního provedení realizované zapojení vynálezu má následující hlavní přednosti:

- možnost přímého ovládání logickým řídicím signálem ze vstupního pinu logického spínače, zpravidla standardního mikroprocesoru.
- možnost spínání střídavých napětí s velmi malým zkreslením
- bezproblémové spínání větších i malých zátěží a to jak odporových, tak kapacitních či indukčních
- možnost synchronizovaného spínání v nule
- Možnost šířkové modulace spínaného napětí a tím šířkové PWM modulace výkonu zátěže
- možnost pasivní ochrany zátěže proti přetížení
- při ztrátě řídicího signálu se napětí ze zátěže automaticky odpojí – samo jistící efekt
- dobrá a snadno zajistitelná EMC kompatibilita
- vysoká odolnost proti působení rušivých signálů a šumů

Podle výhodného provedení vynálezu, kde jsou navíc obě báze tranzistorů vzájemně propojeny, což přináší zejména tyto :

- urychlení ekvipotenciálního uzavírání obou tranzistorů, což je výhodné pro aplikace s vyššími frekvencemi napětí V_{ac} .
- možnost ekvivalentní náhrady paralelní kombinace dvou původních bázevých odporů $R_{1.1}$ a $R_{2.1}$ společným bázevým odporem $R_{12.1}$ a tedy úspory jedné komponenty.

Podle dalšího výhodného provedení vynálezu jsou ke zdroji napájecího napětí paralelně připojena alespoň dvě sériová spojení zátěží a tranzistorových spínačů spojených současně s logickými spínači, kde sdruženým ovládacím signálem všech logických spínačů je společný datový signál. Takové n-kanálové provedení má následující další přednosti:

- možnost nezávislého spínání společného napájecího napětí do každé z n zátěží jedním společným datovým (OS) nebo kombinací i více logických a datových signálů (OS1), (OS2), až (OS m), přivedených na vstupní piny mikrokontroleru nepoužité jako výstup logických spínačů.

- Možnost spínání napájecího napětí do v jednotlivých kanálech nestejných zátěží a to nestejných jak hodnotou, tak i charakterem zátěže
- Možnost realizace proudové či výkonové ochrany pasivním odporem R_{On} pro každý kanál samostatně a rozdílně.
- možnost společného galvanického oddělení vřazením oddělovacího optočlenu do cesty společného řídicího datového signálu
- možnost využití zbylé operační paměti použitého mikrokontroléru ke vložení vlastní programové inteligence realizující sdružené spínací funkce.
- Možnost miniaturizace u vícekanálových aplikací

Podle dalšího výhodného provedení vynálezu, kde jsou bipolární tranzistory typu NPN a PNP v zapojení ekvivalentně nahrazeny příslušnými tranzistory řízenými polem s opačnými typy vodivosti jejich kanálů má navíc výhodu:

- snížené vlastní spotřeby spínače, což je výhodné zejména u mnoho kanálových aplikací

Přehled obrázků na výkresech

Předkládaný vynález bude blíže vysvětlen podle následujícího technického popisu, který je vypracován v souvislosti s připojenými schématy zapojení, na nichž:

Obrázek 1 znázorňuje schéma jednokanálového zapojení se dvěma odpory $R_{1.1}$ a $R_{2.1}$ pro přivedení společného řídicího signálu RS do každé báze tranzistorů VT1 a VT2 přes samostatný bázevý odpor.

Obrázek 2 znázorňuje schéma jednokanálového zapojení se vzájemně propojenými bázemi tranzistorů VT1 a VT2.

Obrázek 3 znázorňuje schéma jednokanálového zapojení se vzájemně propojenými bázemi tranzistorů VT1 a VT2 spojenými s vv pinem logického spínače přes společný sdružený rezistor $R_{12.1}$.

Obrázek 4 znázorňuje schéma jednokanálového zapojení se vzájemně propojenými injektory tranzistorů řízených polem VT1 a VT2 spojenými s vv pinem logického spínače přes společný sdružený rezistor $R_{12.1}$.

Obrázek 5 znázorňuje schéma zapojení v multikanálovém uspořádání.

Obrázek 6 znázorňuje schéma multikanálového uspořádání střídavých tranzistorových spínačů s galvanickým oddělením.

Obrázek 7 znázorňuje schéma multikanálového uspořádání střídavých tranzistorových spínačů s možností více nezávislých logických či datových ovládacích signálů (OS1), (OS2), až (OSm).

Příklady provedení:

Zapojení bezkontaktního střídavého transistorového spínače TS ovládaného logickým signálem OS podle obrázku 1 obsahuje sériové spojení ochranného odporu RO a antiparalelní kombinaci sériového spojení vždy jedné ze dvou stejných diod VD1.1 a VD1.2 s jedním z tranzistorů VT1 a VT2 opačných typů vodivosti tak, že katoda jedné diody VD1.1 je spojena s kolektorem tranzistoru VT1 typu NPN a anoda druhé diody

VD1.2 s kolektorem tranzistoru VT2 typu PNP. Opačné elektrody obou diod VD1.1 a VD1.2 jsou vzájemně spojeny a přivedeny na ochranný odpor RO zátěže Z. Emitory obou tranzistorů VT1 a VT2 jsou společně připojeny ke společné svorce zdroje napájecího napětí V_{ac} a současně k výstupní svorce $1/2V_{cc}$ polovinového děliče PD společného stejnosměrného napájecího napětí V_{cc} vzorkovače VP a logického spínače LS, zapojeného jednou vstupní svorkou V₂ k výstupu VS vzorkovače VP napájecího střídavého napětí V_{ac} a výstupní svorkou VV přes budicí rezistory R1.1 a R2.1 k bázím obou tranzistorů VT1 a VT2 tranzistorového spínače TS, kde ovládací logický signál OS je připojen na druhou vstupní svorku V₁ logického spínače LS.

Do bází B1 a B2 obou tranzistorů VT1 a VT2 přes vzorkovač VS a sepnutý logický spínač LS přivedený s polaritou napájecího napětí V_{ac} synchronizovaný společný řídicí signál RS otevírá pro každou z půlvin napájecího napětí V_{ac} příslušnou větev tranzistorového spínače TS, zatímco po rozepnutí logického spínače LS dojde k ekvipotenciálnímu uzavření obou tranzistorů VT1 a VT2, tedy obou větví tranzistorového spínače TS současně. Přitom změny stavu sepnuto/rozepnuto se u logického spínače LS realizovaného např. mikrokontrolerem OC snadno dosáhne redefinicí jeho vstupního/výstupního pinu VV z výstupního na vstupní a naopak.

Zapojení bezkontaktního střídavého transistorového spínače TS ovládaného logickým signálem podle obrázku 2 představuje zapojení podle obrázku 1 doplněné o vzájemné propojení bází B1 a B2 obou tranzistorů VT1 a VT2.

Zapojení bezkontaktního střídavého transistorového spínače ovládaného logickým signálem podle obrázku 3 představuje zapojení podle obrázku 2, kde paralelní kombinace obou bázových rezistorů R1.1 a R2.1 je ekvivalentně nahrazena jediným sdruženým rezistorem R12.1.

Zapojení bezkontaktního střídavého transistorového spínače ovládaného logickým signálem podle obrázku 4 představuje zapojení podle obrázku 3, kde bipolární tranzistory VT1 a VT2 jsou ekvivalentně nahrazeny tranzistory řízenými polem.

Multikanálové zapojení až n bezkontaktních střídavých transistorových spínačů ovládaných logickým a/nebo datovým signálem, kde tranzistorové spínače jsou zapojeny do série se zdrojem napájecího napětí V_{ac} a zátěžemi podle obrázku 5 obsahuje alespoň dvě sériová spojení zátěží Z1, Z2 až Z_n a tranzistorových spínačů TS1, TS2 až TS_n, spojených současně s logickými spínači LS1, LS2 až LS_n, kde sdruženým ovládacím signálem všech logických spínačů je společný datový signál OS. Toto zapojení pracuje tak, že společné střídavé napájecí napětí V_{ac} pro všechny samostatné zátěže Z1, Z2 až Z_n omezené pro jednotlivé zátěže odpory RO1, RO2 až RO_n je pro každou zátěž nezávisle spínáno samostatnými tranzistorovými spínači TS1, TS2 až TS_n pomocí synchronních spínacích signálů RS1, RS2 až RS_n logických spínačů LS1, LS2 až LS_n.

Přitom vzorkovací synchronizační signál VS je společný a to znamená, že při společném napětí V_{ac} mohou být jednotlivé zátěže v závislosti na signálu OS aktivovány v libovolné kombinaci a vzájemně nezávisle.

Multikanálové zapojení až n bezkontaktních střídavých transistorových spínačů TS podle obrázku 6 obsahuje zapojení podle obr. 5 a navíc je v cestě ovládacího datového signálu OS zapojen oddělovací optočlen OD zajišťující galvanické oddělení celého zapojení od vnějšího řídicího systému.

Multikanálové zapojení až n bezkontaktních střídavých transistorových spínačů TS podle obrázku 7 obsahuje zapojení podle obr. 6 rozšířené o více vnějších i vnitřních datových a logických signálů OS1, OS2 až Os_n pro více signálové ovládání.

Průmyslová využitelnost

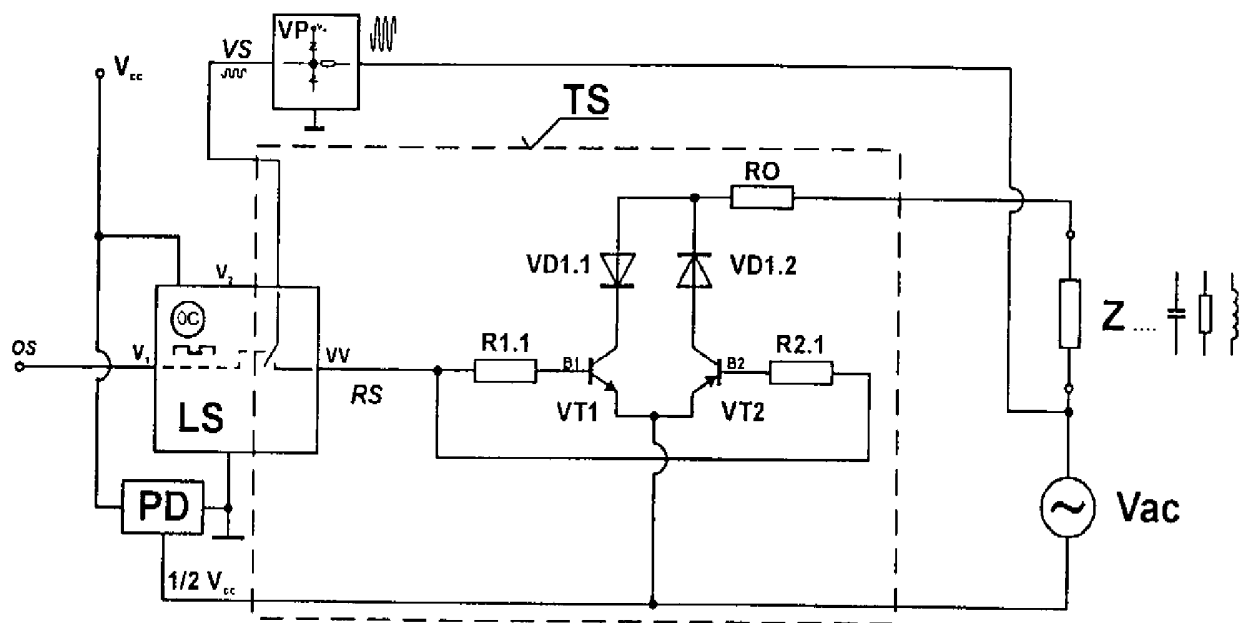
Zapojení bezkontaktního střídavého transistorového spínače ovládaného logickým signálem lze použít všude tam, kde je třeba, zejména nezávisle a vícekanálově spínat libovolně strukturované zátěže vyžadující střídavé napájení a to jak v širokém rozsahu frekvencí, tak také amplitud. Přitom zapojení minimalizuje ztráty na bezkontaktním spínači, na minimum omezuje zkreslení spínaného napájecího napětí a je odolné proti rušení, šumům a vykazuje velmi dobrou EMC kompatibilitu.

S výhodou se dá využít zejména k nezávislému rozsvěcování jednotlivých segmentů plochých dielektrických strukturovaných displejů s rozdílným poměrem svítících ploch jednotlivých segmentů při současném splnění podmínky samostatné výkonové ochrany každého jednotlivého segmentu při současném galvanickém oddělení systému spínačů od vnějšího řídicího systému.

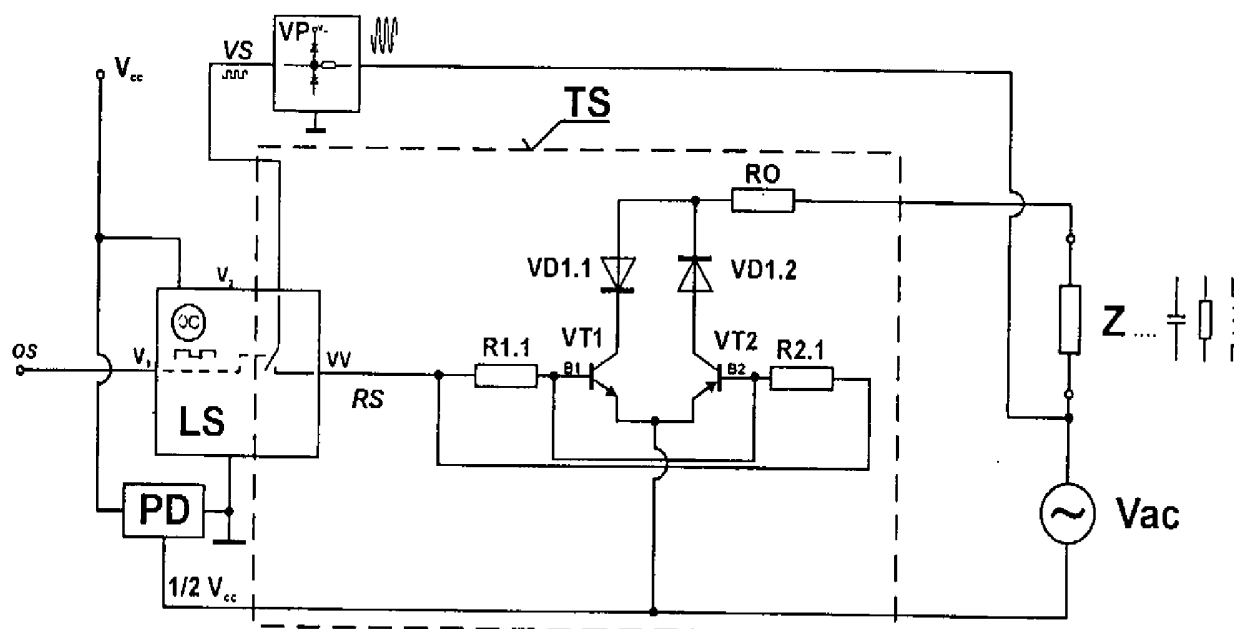
Obdobně je zapojení použitelné pro spínání (rozpínání) střídavých napájení indukčních zátěží, např. ovládacích cívek jehlových polí tiskacích hlav běžných i slepeckých tiskáren či čteček nebo elektropneumatických a elektromechanických ovladačů strojů a přístrojů či jejich zabezpečovacích zařízení.

PATENTOVÉ NÁROKY

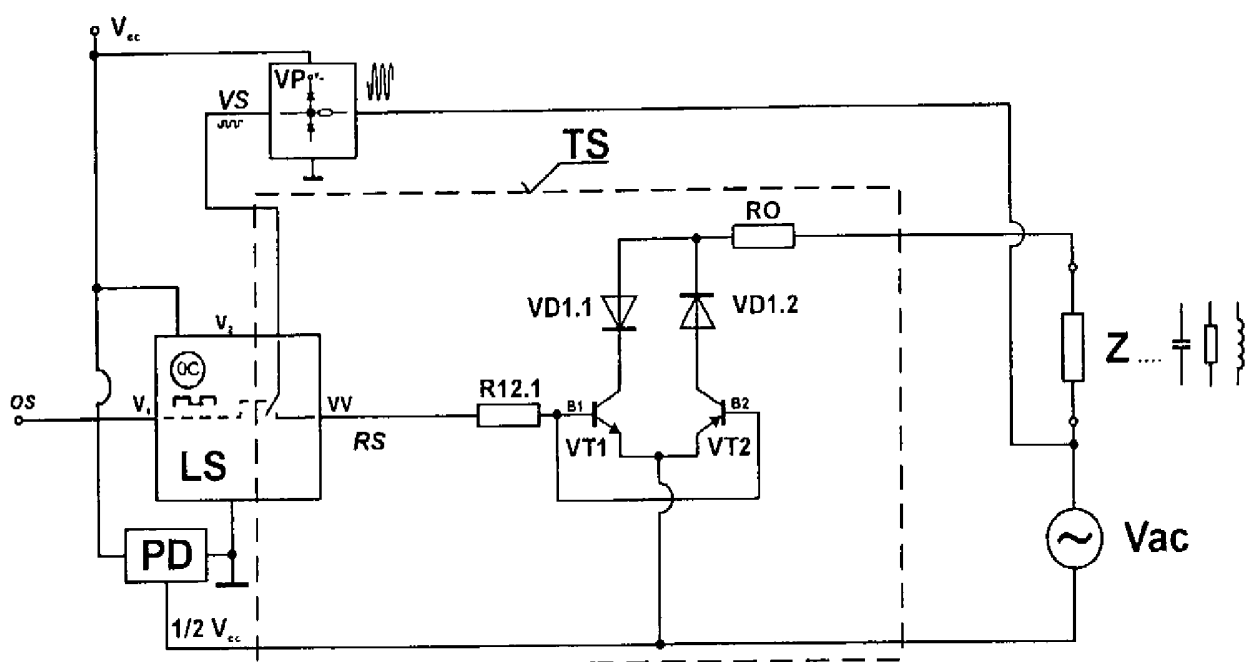
1. Zapojení bezkontaktního střídavého transistorového spínače ovládaného logickým signálem vyznačující se tím,
že obsahuje sériové spojení ochranného odporu (RO) a antiparalelní kombinaci sériového spojení vždy jedné ze dvou stejných diod (VD1.1) a (VD1.2) s jedním z tranzistorů (VT1), (VT2) opačných typů vodivosti tak, že katoda diody (VD1.1) je spojena s kolektorem tranzistoru (VT1) typu (NPN) a anoda diody (VD1.2) s kolektorem tranzistoru (VT2) typu PNP, opačné elektrody diod (VD1.1) a (VD1.2) jsou vzájemně spojeny a přivedeny na odpor (RO), emitory obou tranzistorů (VT1) a (VT2) jsou společně připojeny ke svorce zdroje napájecího napětí (Vac) a současně k výstupní svorce ($1/2V_{cc}$) polovinového děliče (PD) společného napájecího napětí (Vcc) synchronního vzorkovače (VP) a logického spínače (LS) zapojeného vstupní svorkou (V2) k výstupu (VS) vzorkovače (VP) napětí (Vac) a vstupní/výstupní svorkou (vv) k transistorovému spínači (TS) přes rezistor (R1.1) do báze tranzistoru (VT1) a rezistor (R2.1) do báze tranzistoru (VT2), kde ovládací signál (OS) je připojen na vstupní svorku (V1) logického spínače (LS).
2. Zapojení bezkontaktního střídavého transistorového spínače podle nároku 1 vyznačující se tím,
že báze obou tranzistorů (VT1) a (VT2) jsou navíc vzájemně propojeny.
3. Zapojení bezkontaktního střídavého transistorového spínače podle nároku 1 nebo 2 vyznačující se tím,
že ke zdroji napájecího napětí (Vac) jsou paralelně připojena alespoň dvě sériová spojení zátěží (Z1), (Z2) až (Zn) a tranzistorových spínačů (TS1), (TS2) až (TSn) s bázemi připojenými přes bazové odpory k příslušným pinům (VV1), (VV2) až (VVn) sdružených logických spínačů (LS1), (LS2) až (LSn), kde polovinový dělič (PD), vzorkovač (VP) a sdružený ovládací datový signál (OS) jsou společné.
4. Zapojení bezkontaktního střídavého transistorového spínače podle nároků 1, 2 nebo 3 vyznačující se tím,
že bipolární tranzistory typu NPN a PNP v zapojení jsou ekvivalentně nahrazeny příslušnými tranzistory řízenými polem s opačnými typy vodivosti jejich kanálů.



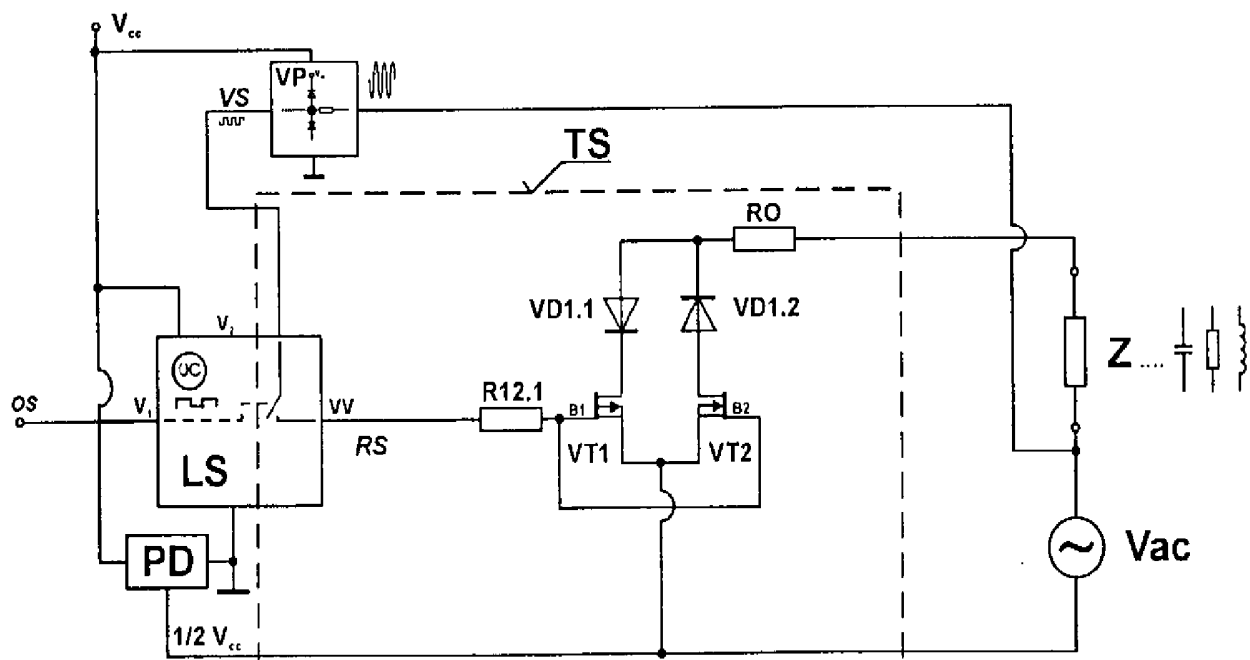
0BR.1



0BR.2



0BR.3



0BR.4

