



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98122515.2

[45] 授权公告日 2004 年 10 月 13 日

[11] 授权公告号 CN 1171238C

[22] 申请日 1998. 11. 19 [21] 申请号 98122515.2

[30] 优先权

[32] 1997. 12. 17 [33] US [31] 992379

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 马丁·布罗克斯

审查员 谢雪闽

[74] 专利代理机构 北京市柳沈律师事务所

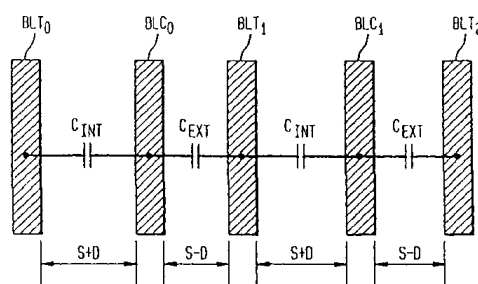
代理人 黄 敏

权利要求书 2 页 说明书 6 页 附图 7 页

[54] 发明名称 具有减小充电电流的存储器阵列

[57] 摘要

存储器阵列的位线和/或主位线 (MBL) 的距离被偏置, 以减少对位线和/或主位线预充电所需充电电流。一集成电路 (IC) 包括以行和列排列的存储器单元阵列, 存储器单元的每列有一对位线 (BLT_i 和 BLC_i)。位线平行置于 IC 的第一层, 每两位线对间有一特定电容 C_{INT}, 相邻列位线间有一电容 C_{EXT}。位线连接选定的 MBL 对。MBL 平行形成于 IC 的第二层上, 两对主位线间有一电容 (MC_{INT}), 在一对主位线和相邻主位线间有一电容 (MC_{EXT})。调整位线间距离以便相对 C_{EXT} 减小 C_{INT}, 及/或调整 MBL 间距离, 以便相对 MC_{EXT} 减小 MC_{INT}。



- 1、一种集成电路，包括一以行和列排列的存储器单元阵列以及包括每列存储器单元的一对位线，每列的该对位线用于传送一单元的数据和其互补数据，其中位线被放置在集成电路的一层上，在成对位线之间有一第一电容（CINT），在一对位线中的每一根线同相邻列的位线之间有一第二电容（CEXT），其特征在于：

成对位线间的距离大于每对位线中的位线和相邻列的位线之间的距离。

- 2、如权利要求1所述的集成电路，其中，所述位线调整的距离使得成对位线间的第一电容（CINT）小于一列的成对位线和相邻列的相邻位线间的第二电容（CEXT）。

- 3、如权利要求2所述的集成电路，其中在每次读循环之前对位线进行预充电，在第一电容（CINT）小于第二电容（CEXT）的情况下对位线充电所需的电流小于在第二电容（CEXT）等于或大于第一电容（CINT）的情况下对位线充电所需的电流。

- 4、如权利要求1所述的集成电路，其中，所述位线为主位线。

- 5、如权利要求1所述的集成电路，其中，所述位线直接连接于阵列的存储器单元上。

- 6、如权利要求5所述的集成电路，其中，位线被置于集成电路的第一层，该集成电路包括一第二层，主位线被置于所述第二层，并且主位线通过开关装置连接到第一层的位线上，其中主位线是成对的，每对主位线用于传送一单元的数据和其互补数据；其中每成对主位线之间的距离大于成对主位线和相邻主位线之间的距离。

- 7、如权利要求1所述的集成电路，其特征在于：

- 成对位线之间的第一电容（CINT）小于一列的成对位线和相邻列的相邻位线之间的第二电容（CEXT）。

- 8、如权利要求7所述的集成电路，其中，在每次读循环之前对位线进行预充电，在第一电容（CINT）小于第二电容（CEXT）的情况下对位线充电所需的电流小于在第二电容（CEXT）等于或大于第一电容（CINT）的条件下所需的充电电流。

- 9、如权利要求7所述的集成电路，其中所述位线是通过辅助位线与阵列

的存储器单元连接的主位线。

- 10、一种集成电路，包括一以行和列排列的存储器单元阵列以及包括每列存储器单元的一对位线，每列的该对位线用于传送一单元的数据和其互补数据，位线被置于集成电路的一层面上，其中在每两对位线之间有一第一电容（CINT），在相邻列位线之间有一第二电容（CEXT），其中在存储器单元的每次读操作之前对所述位线进行预充电，其特征在于：

成对位线之间的距离大于每对位线中的位线和相邻列的位线之间的距离，以减少对阵列的位线充电所需的充电电流。

- 11、如权利要求 10 所述的集成电路，其中所述位线调整的距离使得成对位线之间的第一电容（CINT）小于一列的成对位线和相邻列的相邻位线之间的第二电容（CEXT）。

- 12、一种集成电路，包括一以行和列排列的存储器单元阵列，并且包括被置于集成电路的一第一层上的每列存储器单元的一对位线，一对位线中的一个位线用于传送在其相关列的存储单元中包含的数据，一对位线中的另一个位线用于传送该数据的互补数据，还包括置于集成电路的一第二层上的主位线，该主位线被连接到一预定数目的位线上，并且该主位线被成对排列，一对中的一个主位线用于传送一个或多个位线的数据，一对中的另一主位线用于传送该数据的互补数据，其中在成对主位线之间有一第三电容（MCINT），在一对主位线的主位线和相邻主位线之间有一第四电容（MCEXT），其特征在于：

成对主位线之间的第三电容（MCINT）小于成对主位线和相邻的主位线之间的第四电容（MCEXT）。

- 13、如权利要求 12 所述的集成电路，其中，在每一读循环之前对主所述位线预充电，在第三电容（MCINT）小于第四电容（MCEXT）的情况下对主位线充电所需的电流小于在第四电容（MCEXT）等于或大于第三电容（MCINT）的情况下所需的电流。

具有减小充电电流的存储器阵列

5 技术领域

本发明涉及存储器阵列，尤其涉及修改存储器阵列的布局以减少阵列的充电电流。

背景技术

10 减少一存储器阵列消耗的功率和/或使其最小化是非常重要的。功率消耗的一主要原因是需要在每个读出循环期间对阵列的位线充电。这个问题在位线之间距离非常近的高密度存储器的设计中更为突出。

示了一个以行和列排列的存储器单元阵列 20 的一部分。阵列 20 每行包括一字线(WLi)和每列包括一“真”列导线(BLTi)和连接于每个字线和位线导线 BLT 的交叉点的一存储器单元 21。阵列包括用于在对应于每个 BLTi 的用 BLCi 表示的一“互补”位线上产生一互补信号的部分 30，从而每一列包括一“真”位线(BLT)和与之成对的“互补”位线(BLC)。然后，真和互补信息传给同那一列相关的一读出放大器(SA)。

在已知的存储器阵列中，位线被设计成彼此之间是等距离的。也就是说，20 每一 BLTi 到与其成对的 BLCi 的距离同它到相邻列的 BLC(i-1)的距离是相等的，如图 2 所示。

为了在下面更好地说明本发明的一个特点，注意与列 Ci 相关的一对位线(BLTi 和 BLCi)之间的电容 C_{INT} 一般来说等于与其相邻列的位线(BLTi 和 BLC(i-1))之间的电容(C_{EXT})。

25 还需注意，如图 2A 所示，在每一读或写循环之前，存储器阵列和所有的位线被预充电至一电压(例如， $VDD/2$)，例如此电压可以选定为等于加到存储器阵列上的工作电压(VDD 和地电压)的一半。

在每次读循环期间，存储器的位线被驱动为一高电平或低电平的状态，同时 BLCi 总是被驱动为 BLTi 的互补电压。当读出完成后，如上所述，位线30 又再次被驱动到 $VDD/2$ ，如图 2A 所示。

发明内容

本发明的一个目的就是减少由于对一存储器阵列的位线预充电和放电而产生的在存储器中的功率消耗。

根据本发明的一个方面，提供一种集成电路，包括一以行和列排列的存储器单元阵列以及包括每列存储器单元的一对位线，每列的该对位线用于传
5 送一单元的数据和其互补数据，其中位线被放置在集成电路的一层上，在成对位线之间有一第一电容（CINT），在一对位线中的每一根线同相邻列的位线之间有一第二电容（CEXT），其特征在于：成对位线间的距离大于每对位线中的位线和相邻列的位线之间的距离。

10 根据本发明的另一个方面，提供一种集成电路，包括一以行和列排列的存储器单元阵列以及包括每列存储器单元的一对位线，每列的该对位线用于传送一单元的数据和其互补数据，位线被置于集成电路的一层面上，其中在每两对位线之间有一第一电容（CINT），在相邻列位线之间有一第二电容（CEXT），其中在存储器单元的每次读操作之前对所述位线进行预充电，其特
15 征在于：成对位线之间的距离大于每对位线中的位线和相邻列的位线之间的距离，以减少对阵列的位线充电所需的充电电流。

根据本发明的另一个方面，提供一种集成电路，包括一以行和列排列的存储器单元阵列，并且包括被置于集成电路的一第一层上的每列存储器单元的一对位线，一对位线中的一个位线用于传送在其相关列的存储单元中包含
20 的数据，一对位线中的另一个位线用于传送该数据的互补数据，还包括置于集成电路的一第二层上的主位线，该主位线被连接到一预定数目的位线上，并且该主位线被成对排列，一对中的一个主位线用于传送一个或多个位线的数据，一对中的另一主位线用于传送该数据的互补数据，其中在成对主位线之间有一第三电容（MCINT），在一对主位线的主位线和相邻主位线之间有一
25 第四电容（MCEXT），其特征在于：成对主位线之间的第三电容（MCINT）小于成对主位线和相邻的主位线之间的第四电容（MCEXT）。

如上所述，在实施本发明的系统中，在一列的两个位线（定义为一对位线）之间存在一特定容量的电容（C_{INT}），在相邻列的位线之间存在一特定容量的电容（C_{EXT}）。申请者的发明也部分地在于认识到对存在于一列的成对位线之间的
30 电容（C_{INT}）的充电和放电比存在于相邻列的位线之间电容（C_{EXT}）的充电和放电需要更大的充电电流。

申请者的发明还在于改变了阵列位线的布局，从而即使这导致了相邻位线间电容 (C_{EXT}) 的增大但减小了成对位线的电容 (C_{INT})。通过减小同相邻位线之间的电容 (C_{EXT}) 相比需要更高(多)充电电流的成对位线电容 (C_{INT})，只需更少的总电流并且降低了功率消耗。

5

附图说明

在附图中，相似的标号代表相似的元件；

图 1 是现有技术的一存储器系统的半线路半方框图；

图 2 是现有技术的一存储器阵列的位线的一部分的布局的一简化总体示

10 图(不按比例)；

图 2A 显示了图 1 和图 2 中的存储器阵列的位线在每次读/写循环之前和之后的预充电；

图 3A 和 3B 是显示内部电容 (C_{INT}) 和对应的成对位线的两种可能情况的简要示图；

15 图 4A、4B、4C 和 4D 是显示外部电容 (C_{EXT}) 的四(4)种可能情况和相邻列的位线的对应情况的简要示图；

图 5 显示了依据本发明的位线之间距离的偏置(skewing)；

图 6 显示作为不同位线距离的一个函数的充电电流的变化情况的示意图；

20 图 7A、7B 和 7C 分别显示了显示位线和主位线在不同层面上的结构的 IC 横截面；位线(BL)和主位线(MBL)的布局 and 互连；以及成对主位线和它们与读出放大器的连接；

图 8 是依据本发明的图 7 中类型结构的主位线的布局；

25 图 8A 和 8B 分别是，显示位线到对应的主位线的互连的示意图；和依据本发明的显示主位线布局的示意图。

具体实施方式

通过参考以下内容，可以更好地理解本发明：

a) 在一列的每对位线(即 $BLTi$ 和 $BLCi$)之间有一电容 C_{INT} 。

30 b) 不同列的相邻位线(即 $BLC(i-1)$ 和 $BLTi$ ；或 $BLCi$ 和 $BLT(i+1)$)之间有一电容 (C_{EXT})。

c) 在任意读/读出循环之前, 将一预充电信号加到阵列的所有位线 (BLTi 和 BLCi) 上。可以假设该预充电信号将所有位线设置为 $VDD/2$ 伏, 其中 (如前所述) 假设 VDD 和地为加到存储器阵列上的工作电压。

5 d) 在预充电之后, 假设存储器阵列的一行中的单元的内容被读取到其对应的位线上。该行的每一单元包含一“高”电平或一“低”电平。结果, 每一 BLTi 线将为高电平或低电平, 对应的 BLCi 线将处于互补电平状态。如果电容 C_{INT} 是两个极板, 阵列的每一个 C_{INT} 中的一个极板被充电为 VDD , 另一极板为地, 如图 3A 和 3B 所示。

10 但是, BLTi 和 BLC(i-1) 或 BLCi 和 BLT(i+1) 可以沿相反方向运动或沿相同方向运动。产生在相邻列的位线之间的电容 C_{EXT} 上的电压可以如图 4A 和 4B 所示或如图 4C 和 4D 所示。从统计学上来说, 可以假设图 4A 和 4B 的情况出现的机率为 50%, 图 4C 和 4D 出现的机率为 50%。

15 e) 为了建立图 3A 和 3B 的条件, 加到 C_{INT} 的总的充电量 (QA) 等于 $(C_{INT}) (VDD)$ 。为了建立图 4A、4B、4C 和 4D 的条件, 加到 C_{EXT} 的总的充电量 (QB) 可以表示为 $1/2 (C_{EXT}) (VDD)$ 。(因为在统计的基础上, 在一读出循环期间只有一半的列间电容 C_{EXT} 被充电到 VDD 。)

总的充电量 (和相应的充电电流) 可以用下式表示:

$$Q = (C_{INT}) (VDD) + 1/2 (C_{EXT}) (VDD) \quad (1)$$

20 f) 现有技术指出, 如图 2 所示, 位线的布局使得它们彼此之间的距离调整的相等; 也就是说, 位线之间的距离是 $S1=S2$ 。因此, 一般来说每个 C_{INT} 等于每个 C_{EXT} 。

g) 但是, 基于前面段落 (e) 所进行的分析, 申请人认识到通过减小 C_{INT} (甚至在 C_{EXT} 增大的代价下), 减少了系统消耗的充电电流和总的充电量。

h) 下面是对现有的并且将要遇到的特定条件的一个分析:

25 (1) — 位线之间的电容 (C) 一般表示为:

$$C = K/S \quad (2)$$

其中 K = 一常数; 以及 S = 位线之间的距离。

(2) — 如图 5 所示假设一系列的位线 (BLTi 和 BLCi) 之间的距离增加了量 D (为了减小 C_{INT}), 同时相邻列的位线之间的距离减少了量 D (增加了 C_{EXT})。

30 因此, C_{INT} 可以表示为:

$$C_{INT} = K / (S + D) \quad (3)$$

和

$$C_{EXT}=K/(S-D) \quad (4)$$

(3)— 将等式 3 和 4 代入等式 1 得出:

$$Q_{(D)}=VDD \{ [K/(S+D)] + 1/2 [K/(S-D)] \} \quad (5)$$

5 对 $Q_{(D)}$ 取导,

$dQ/dD=0$ 得

$$D/S=0.172$$

$Q_{(D)}$ 作为 D/S 的一个函数的示意图如图 6 所示。由等式 5 所得, 最小充电电流是在比率 D/S 等于 0.172 处得出的。因此, 一系列的成对位线之间的最佳距离 ($S1$) 应为 $S1=S+0.172$, 同时相邻列的位线之间的最佳距离 ($S2$) 应为 $S2=S-0.172$ 。因此, 根据本发明, 位线之间距离的偏置将减小总的充电电流。因此在非常密的阵列中, 通过增加成对位线 ($BLTi$ 和 $BLCi$) 之间的距离并减少相邻的列的位线 [$BLC(i-1)$ 和 $BLTi$; 或 $BLCi$ 和 $BLT(i+1)$] 之间的距离来减少充电电流和功率消耗。

15 下面是前面所述的一般计算的应用的一个例子。分层位线结构(如图 7A 所示)允许主位线将位线输出连接到读出放大器的双间距 ($2P$) 布局, 如图 7 和 7C 所示。如图 7A 和 7B 所示, 在一特定层上的位线 (BL) 可以通过开关 71 连接到在一较高层上的主位线 (MBL)。如图 7C 所示, 每个读出放大器具有一个用于传送数据的主位线 ($MBLT$) 和一个用于传送与其输出耦合的互补数据的互补位线 ($MBLC$)。在成对主位线 ($MBLTi$ 和 $MBLCi$) 之间的电容定义为 $CINT$, 在相邻列的主位线之间的电容定义为 $CEXT$ 。对于图 7 的布局, $CINT$ 等于 $CEXT$, 二者都等于 $K/2P$, 其中 K 是与工艺有关的常量。并且, 如上所述, 对这些电容充电所需的充电量 (Q) 由上面的等式 1 表示。

25 依据本发明, 通过移动输入到同一读出放大器 (SAi) 的成对位线(即, $MBLTi$ 和 $MBLCi$) 使其间的距离更大, 同时减小相邻列的位线之间的距离, 减少了用于对内部电容 $CINT$ 充电(和因此加在位线的充电电流)的总的充电量, 如图 8 所示。如图 7A、7B 和 7C 所示的优化布局的计算得到如下的结果, 如图 8 所示:

$$Q(D)=VDD \{ [K/(2P+D)] + (1/2) [K/(2P+C)] \} \quad (6)$$

30 关于 D 最小化, $dQ/dD=0$, 得出:

$$D = 0.34P \quad (7)$$

从版印刷术的角度上考虑看,所需的距离稍有点增加(最小距离为 1.66P 对 2P)。但是,该距离要求仍非临界的;临界值(level)将在使用单个间距(1P),或更少的情况下出现。

示了主位线的偏置。但是很明显位线和主位线均可以进行偏置。

- 5 主位线最好在一个包含位线的位线(BL)层的上面形成的主位线(MBL)层上形成,与图 7A 所示类似。因此,位线和主位线虽然形成在不同层上,但以相同的方向排列。如图 8A 所示,一个或多个 BLT 线可以连接到一个 MBLT 线上,一个或多个 BLC 线可以连接到一个 MBLC 线上。也就是说,每个主位线(MBL)传送两个或多个位线(BL)的数据。为了方便在选定的多个 BL 和一个对应的
- 10 MBL 之间切换,可以将一个简单的多路转换晶体管插在位线和对应的 MBL 之间,如图 8A 所示。选择哪一个 BL 与 MBL 连接由简单的地址解码完成。

- 在实现本发明的布局中,BLT 和 BLC 线形成于一半导体芯片的一第一层上,通过在 BLT_i 和对应的 BLC_i 之间连接反相器来限定 BLC_i 。BLT 可以连接到在一第二层面上的相应的 MBLT, BLC 可以连接到也位于第二层面上的相应的
- 15 MBLC。MBLC 可以由下面的 BLC 和/或通过对应的 MBLTs 和 MBLCs 之间的连接反相器来限定,如图 8B 所示。

因此,根据本发明,可以控制(增大和/或减小)位线和/或主位线之间的距离以减小位线和/或主位线的(预)充电所需的充电电流。

图 1

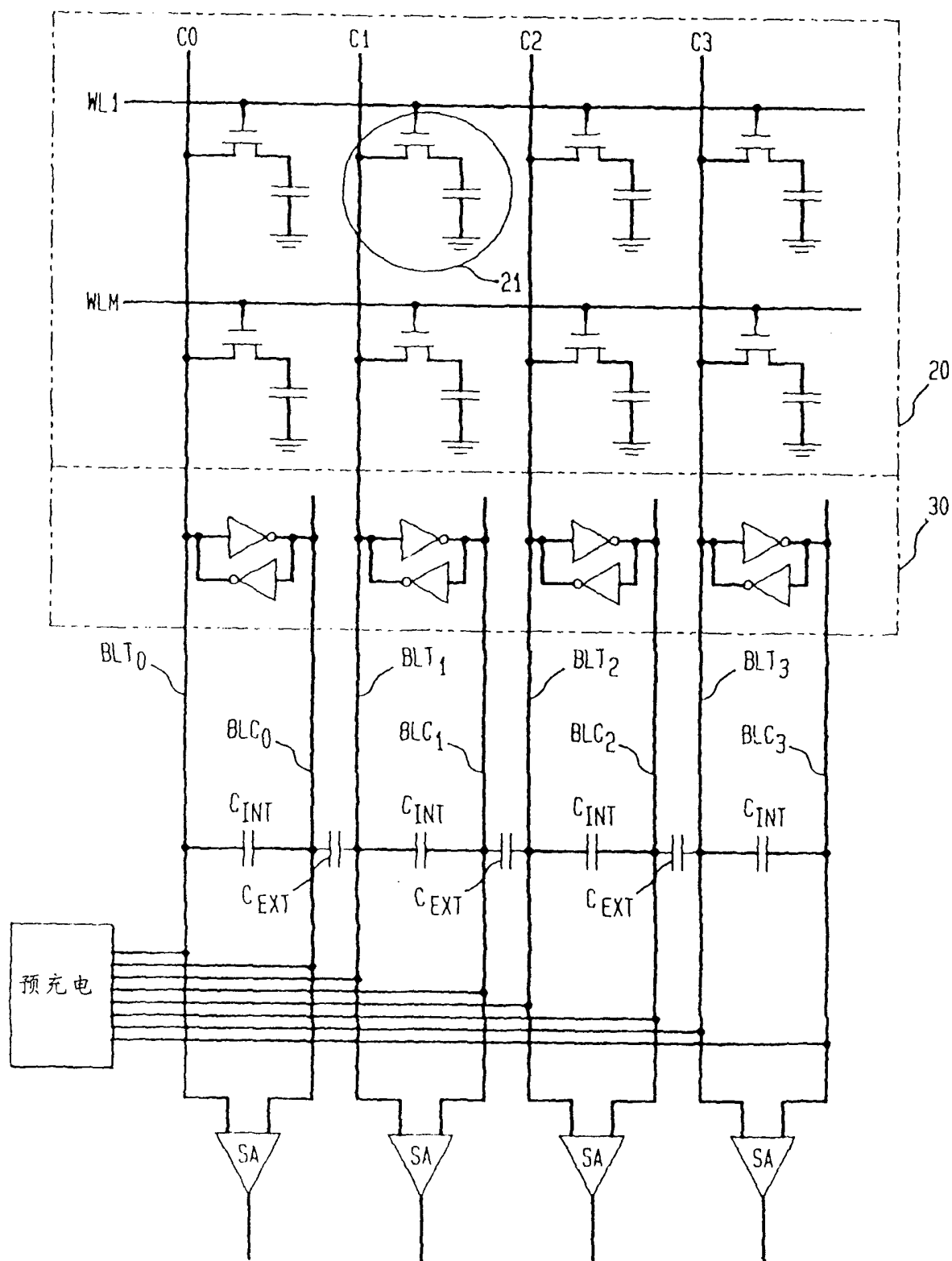


图 2

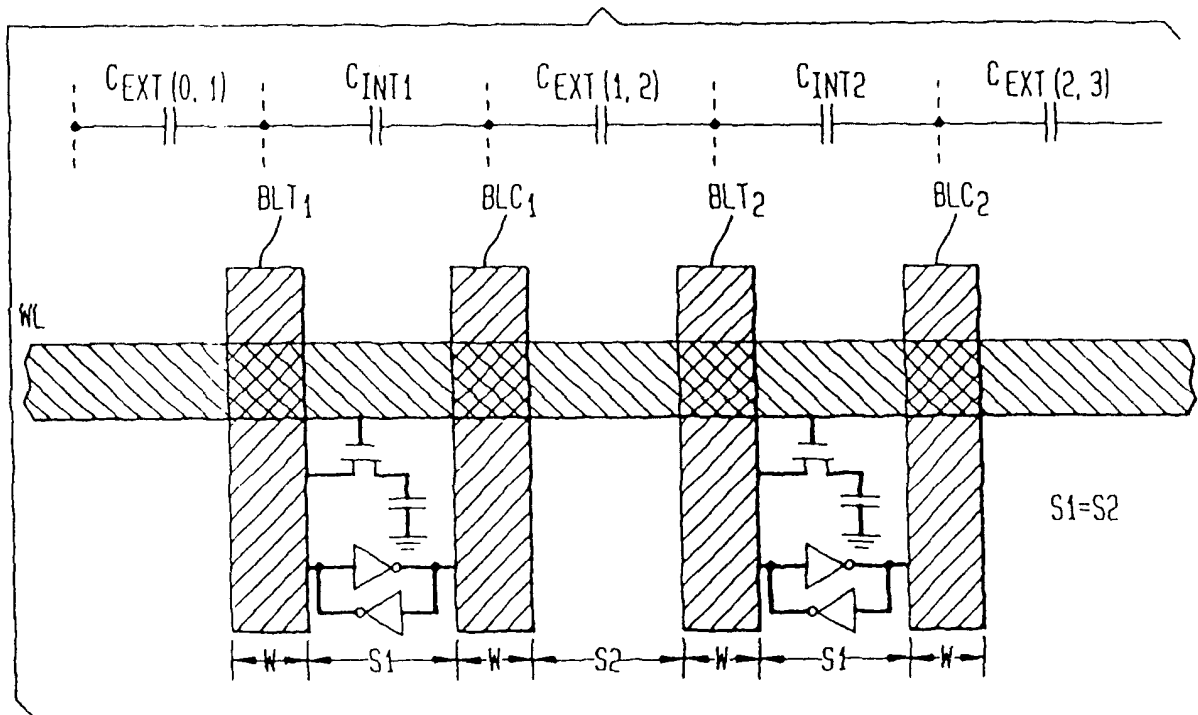


图 2A

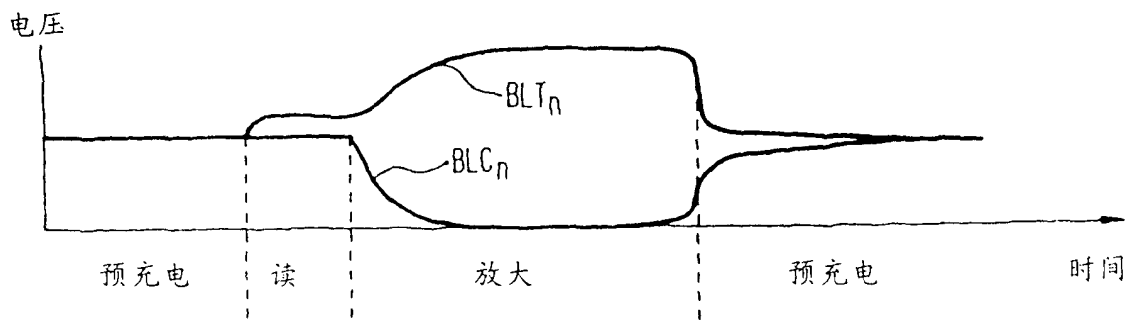


图 3A

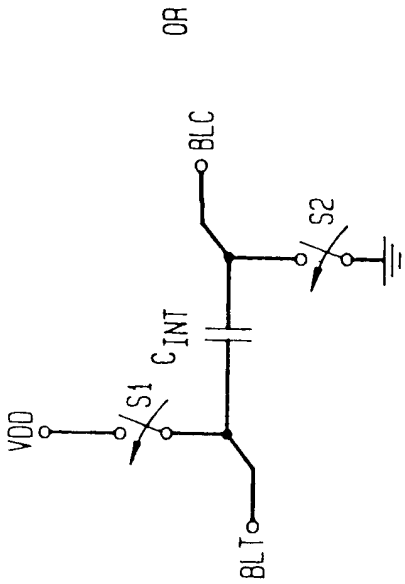


图 3B

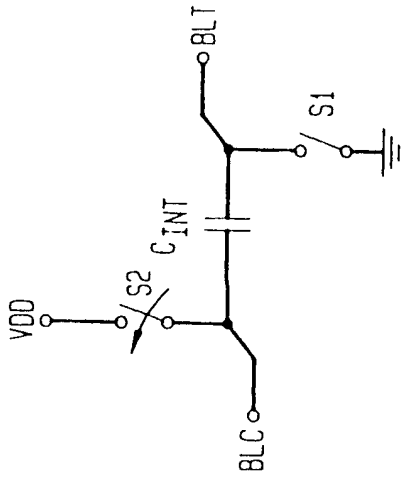


图 4A

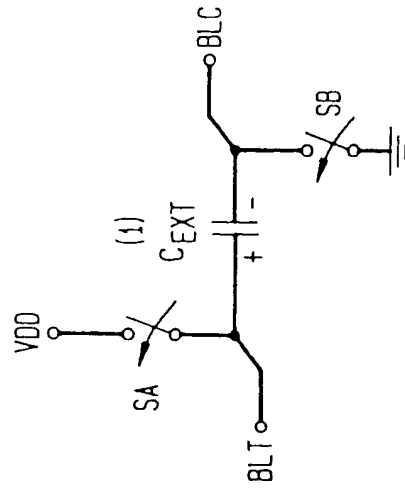


图 4B

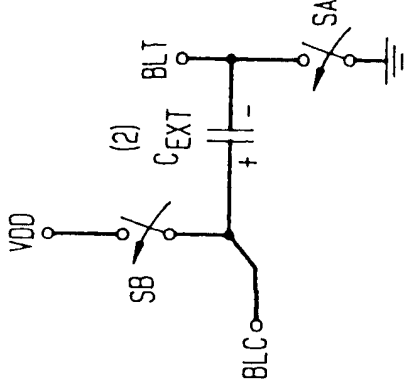


图 4C

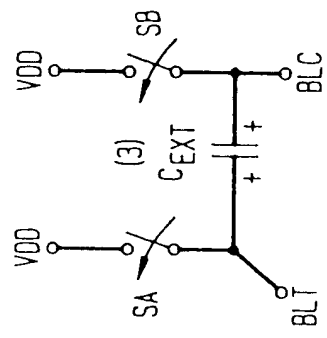


图 4D

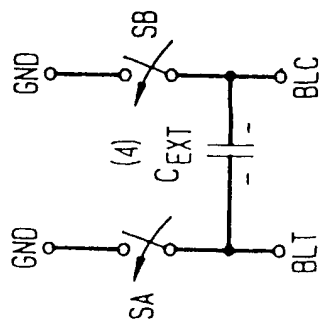


图 5

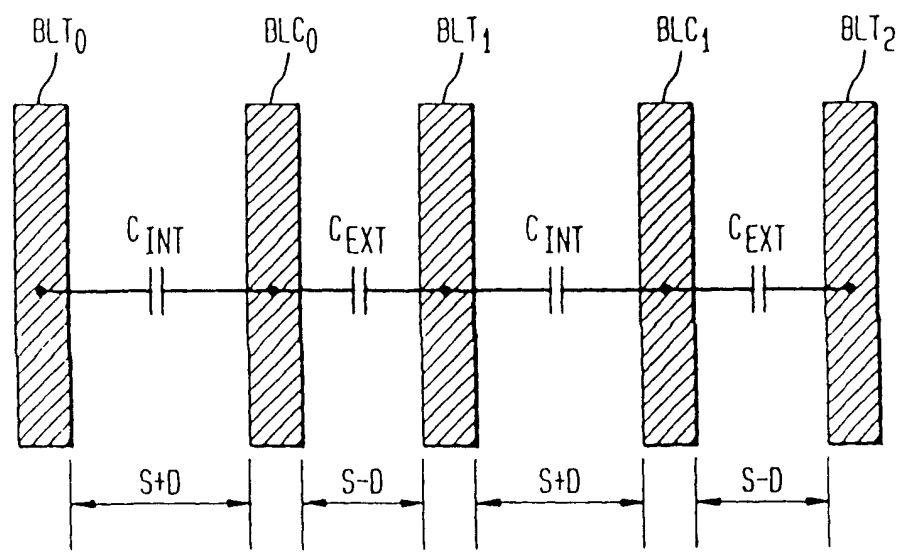


图 6

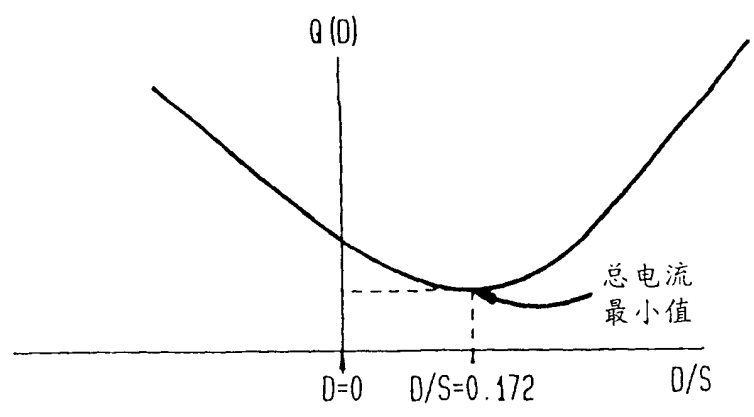


图 7A

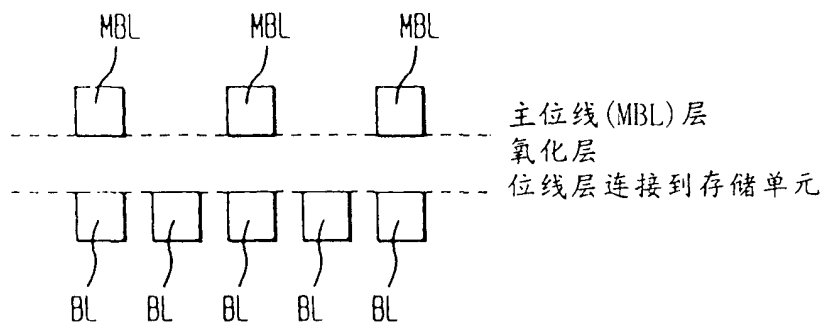


图 7B

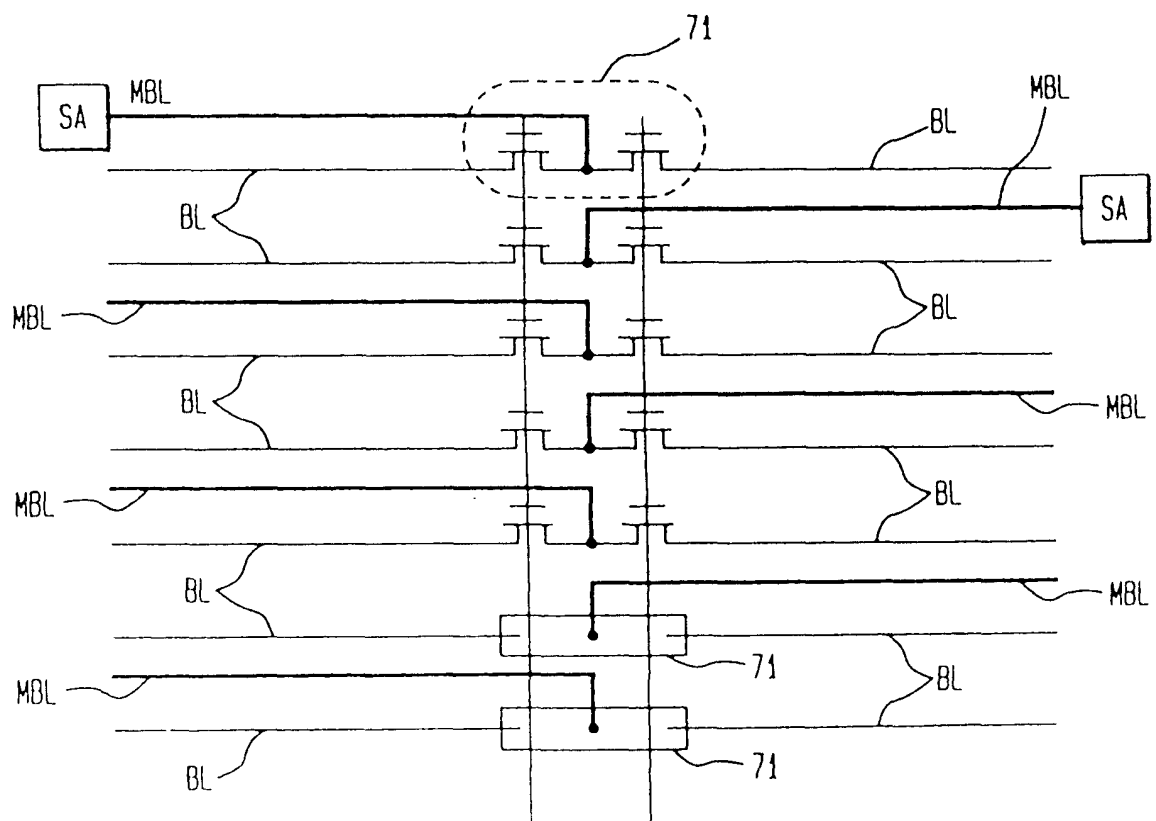


图 7C

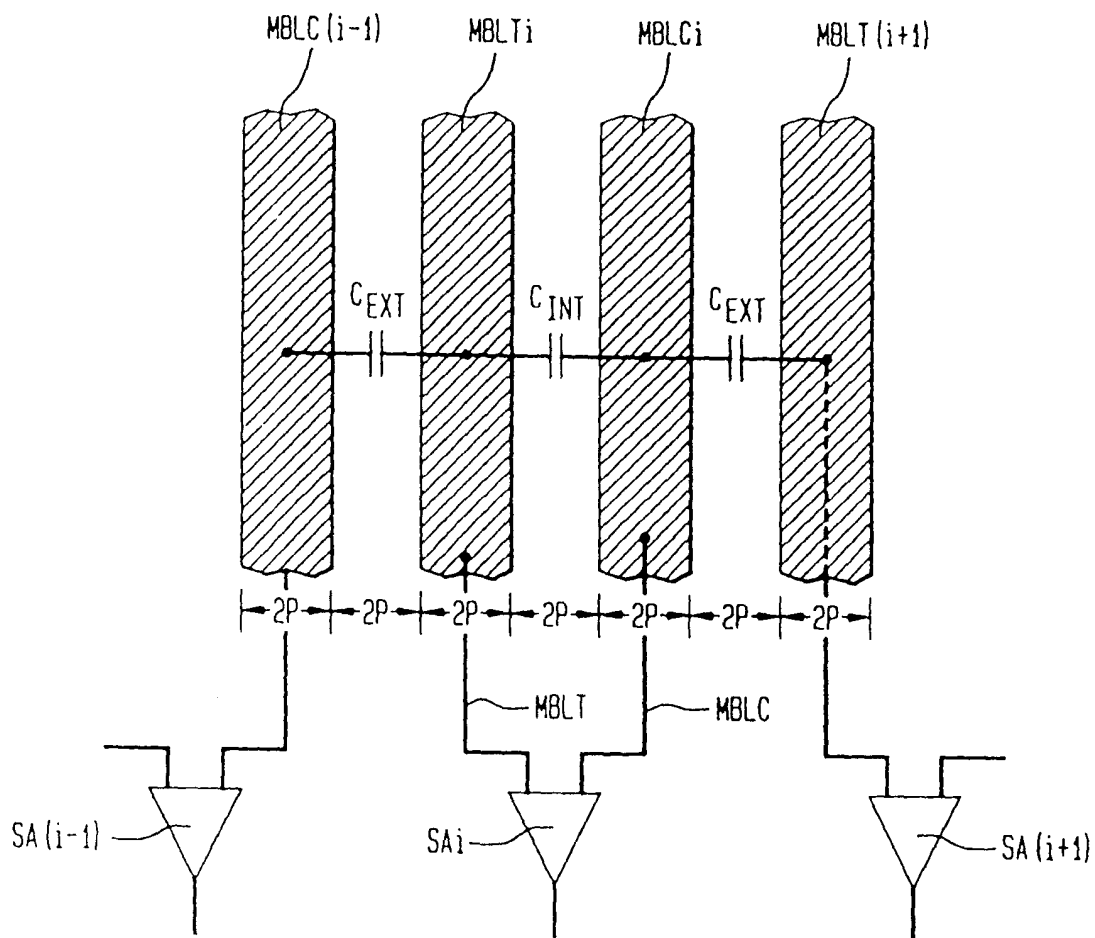


图 8

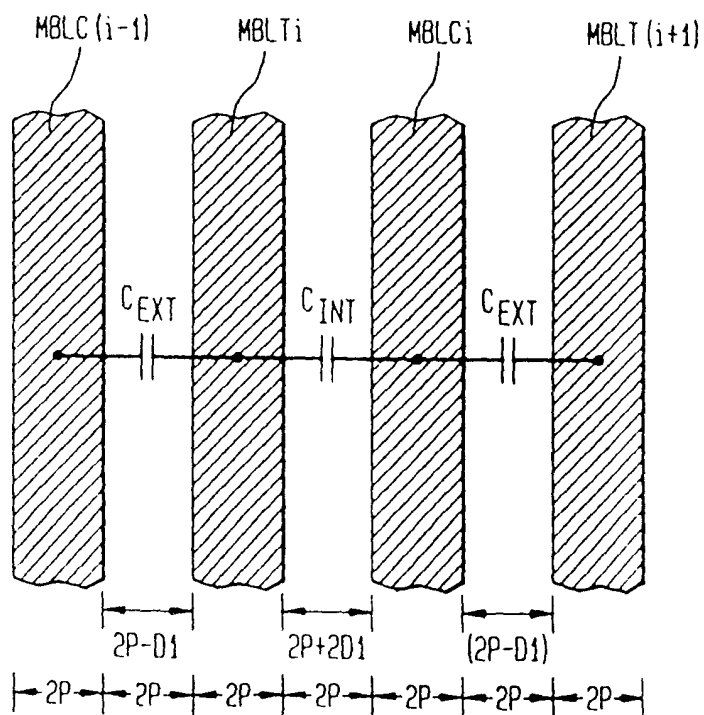


图 8A

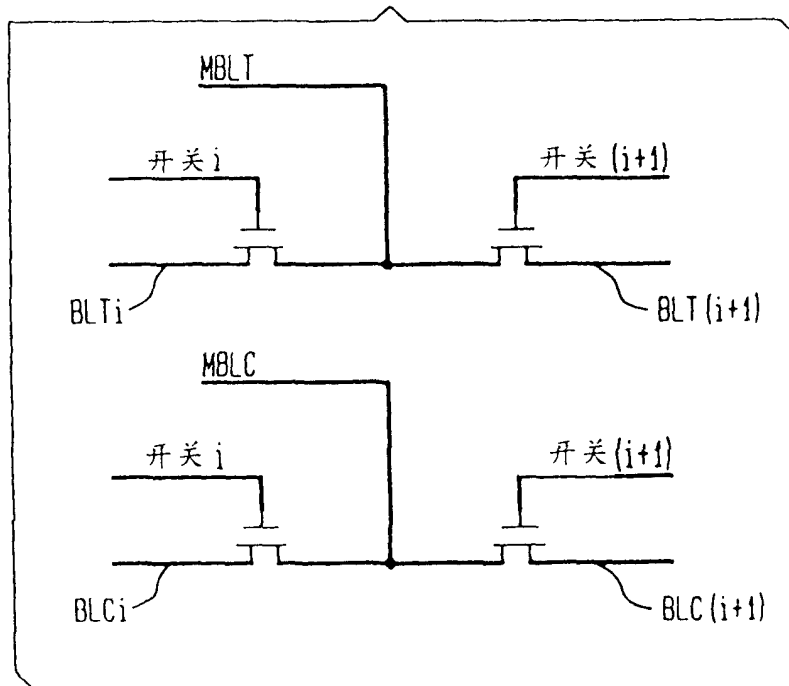


图 8B

