

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】令和6年10月22日(2024.10.22)

【公開番号】特開2024-58136(P2024-58136A)

【公開日】令和6年4月25日(2024.4.25)

【年通号数】公開公報(特許)2024-077

【出願番号】特願2022-165286(P2022-165286)

【国際特許分類】

A 63 F 7/02 (2006.01)

10

【F I】

A 63 F 7/02 326 Z

【手続補正書】

【提出日】令和6年10月11日(2024.10.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

20

【特許請求の範囲】

【請求項1】

遊技の進行を制御する遊技制御手段を備え、

前記遊技制御手段は、中央処理装置、プログラム、及びテーブルデータが記憶された第1記憶手段、及び、前記プログラムの実行に伴いデータを記憶する第2記憶手段とを含んで構成されたマイクロプロセッサを有し、

前記テーブルデータには、複数のテーブルデータがあり、

前記複数のテーブルデータの内の所定のテーブルデータは、1バイトデータが複数バイト集まつたデータ群であり、

前記データ群の前記1バイトデータは、1ビット単位以上のデータで構成されたビットデータテーブルであり、

前記遊技制御手段は、前記ビットデータテーブルの前記1バイトデータから1ビット以上のビットデータを取得し、その1ビット以上のビットデータを前記第2記憶手段の所定領域に格納するビットデータ取得手段を有し、

前記ビットデータ取得手段は、前記ビットデータテーブルから1バイトのデータを取得した後、所定の条件に応じて、取得したデータに対して1ビット単位以上のシフトを実行することで前記ビットデータを取得し、

前記中央処理装置は、少なくとも各種レジスタ及びスタックポインタを含むメインレジスタと、各種レジスタを含むサブレジスタと、前記メインレジスタ、及び前記サブレジスタを含むバンク0、及びバンク1とを有し、

前記第1記憶手段は、第1記憶領域と、第2記憶領域で構成され、

前記第2記憶領域に記憶されたプログラムには、前記第1記憶領域に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第1記憶領域のプログラムに戻る特定サブルーチンがあり、

前記遊技制御手段は、

前記特定サブルーチンを呼び出す場合に使用する特定コール命令を実行して前記特定サブルーチンを呼び出し、

前記特定サブルーチンから、呼び出した前記第1記憶領域に記憶されたプログラムに戻る場合に使用する特定リターン命令を実行して、前記第1記憶領域に記憶されたプログラムに戻るよう制御し、

40

50

前記特定コール命令を実行すると、前記バンク 0 から前記バンク 1 に切り替わり、前記特定リターン命令を実行すると、前記バンク 1 から前記バンク 0 に切り替わり、前記特定サブルーチンを呼び出した前記第 1 記憶領域のプログラムは、前記特定サブルーチンの処理を実行した後、前記バンク 1 から前記バンク 0 に切り替わったことを契機に前記プログラムの処理を継続し、

前記遊技制御手段は、CRC 演算手段により CRC 値を取得し、前記 CRC 値と電断発生時に記憶した CRC 値と演算を行い、CRC 異常か否かを判断する CRC 異常判断手段を有し、

前記 CRC 異常判断手段は、前記第 1 記憶領域のプログラムから前記特定コール命令で呼び出され、前記特定リターン命令で、呼び出された前記第 1 記憶領域のプログラムに戻ることを特徴とする遊技機。10

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の第 1 の実施態様に係る発明は、下記の構成を有する。

遊技の進行を制御する遊技制御手段を備え、

前記遊技制御手段は、中央処理装置（例えば、メイン CPU 2101）、プログラム、及びテーブルデータが記憶された第 1 記憶手段（例えば、メイン ROM 2102）、及び、前記プログラムの実行に伴いデータを記憶する第 2 記憶手段（例えば、メイン RAM 2103）とを含んで構成されたマイクロプロセッサ（例えば、マイクロプロセッサ 2100）を有し、20

前記テーブルデータには、複数のテーブルデータがあり、

前記複数のテーブルデータの内の所定のテーブルデータは、1 バイトデータが複数バイト集まつたデータ群であり、

前記データ群の前記 1 バイトデータは、1 ビット単位以上のデータで構成されたビットデータテーブルであり、

前記遊技制御手段は、前記ビットデータテーブルの前記 1 バイトデータから 1 ビット以上のビットデータを取得し、その 1 ビット以上のビットデータを前記第 2 記憶手段の所定領域に格納するビットデータ取得手段を有し、30

前記ビットデータ取得手段は、前記ビットデータテーブルから 1 バイトのデータを取得した後、所定の条件に応じて、取得したデータに対して 1 ビット単位以上のシフトを実行することで前記ビットデータを取得し、

前記中央処理装置は、少なくとも各種レジスタ及びスタックポインタを含むメインレジスタと、各種レジスタを含むサブレジスタと、前記メインレジスタ、及び前記サブレジスタを含むバンク 0、及びバンク 1 を有し、

前記第 1 記憶手段は、第 1 記憶領域（例えば、使用領域内 ROM エリア 2202a）と、第 2 記憶領域（例えば、使用領域外 ROM エリア 2202b）で構成され、

前記第 2 記憶領域に記憶されたプログラムには、前記第 1 記憶領域に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第 1 記憶領域のプログラムに戻る特定サブルーチン（例えば、図 177 に示した使用領域外 RAM 初期化処理（継続）を実行するサブプログラムや、図 180 に示したインターフェース 2 出力処理（継続）を実行するサブプログラム）があり、40

前記遊技制御手段は、

前記特定サブルーチンを呼び出す場合に使用する特定コール命令（例えば、「CALL EX」）を実行して前記特定サブルーチンを呼び出し、

前記特定サブルーチンから、呼び出した前記第 1 記憶領域に記憶されたプログラムに戻る場合に使用する特定リターン命令を実行して、前記第 1 記憶領域に記憶されたプログラム50

に戻るよう制御し、

前記特定コール命令を実行すると、前記バンク 0 から前記バンク 1 に切り替わり、  
前記特定リターン命令を実行すると、前記バンク 1 から前記バンク 0 に切り替わり、  
前記特定サブルーチンを呼び出した前記第 1 記憶領域のプログラムは、前記特定サブルーチンの処理を実行した後、前記バンク 1 から前記バンク 0 に切り替わったことを契機に前記プログラムの処理を継続し、

前記遊技制御手段は、CRC 演算手段により CRC 値を取得し、前記 CRC 値と電断発生時に記憶した CRC 値と演算を行い、CRC 異常か否かを判断する CRC 異常判断手段を有し、

前記 CRC 異常判断手段は、前記第 1 記憶領域のプログラムから前記特定コール命令で呼び出され、前記特定リターン命令で、呼び出された前記第 1 記憶領域のプログラムに戻ることを特徴とする遊技機。

10

20

30

40

50