

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5720552号  
(P5720552)

(45) 発行日 平成27年5月20日(2015.5.20)

(24) 登録日 平成27年4月3日(2015.4.3)

(51) Int.Cl. F I  
G 1 1 C 29/00 (2006.01) G 1 1 C 29/00 6 0 3 K

請求項の数 8 (全 24 頁)

<p>(21) 出願番号 特願2011-270039 (P2011-270039)                  (22) 出願日 平成23年12月9日 (2011.12.9)                  (65) 公開番号 特開2013-122794 (P2013-122794A)                  (43) 公開日 平成25年6月20日 (2013.6.20)                  審査請求日 平成26年8月5日 (2014.8.5)</p>	<p>(73) 特許権者 000005223                  富士通株式会社                  神奈川県川崎市中原区上小田中4丁目1番                  1号                  (74) 代理人 100090273                  弁理士 園分 孝悦                  (72) 発明者 松尾 達                  神奈川県川崎市中原区上小田中4丁目1番                  1号 富士通株式会社内                  審査官 小林 紀和</p>
--	---

最終頁に続く

(54) 【発明の名称】 メモリ装置

(57) 【特許請求の範囲】

【請求項1】

複数の通常メモリセルブロック及び冗長メモリセルブロックを有する第1の冗長メモリと、

複数の通常メモリセルブロック及び冗長メモリセルブロックを有する第2の冗長メモリと、

第1の修復フラグ、第2の修復フラグ及び修復データを記憶する不揮発性メモリと、  
 前記不揮発性メモリに記憶されている前記第1の修復フラグを記憶するための第1の修復フラグ用フリップフロップと、

修復データを記憶するための第1の修復データ用フリップフロップ群と、

前記第1の修復フラグ用フリップフロップに直列に接続され、前記不揮発性メモリに記憶されている前記第2の修復フラグを記憶するための第2の修復フラグ用フリップフロップと、

前記第1の修復フラグ用フリップフロップに接続可能であり、修復データを記憶するための第2の修復データ用フリップフロップ群と、

前記第1の修復フラグ用フリップフロップ、前記第2の修復フラグ用フリップフロップ、前記第1の修復データ用フリップフロップ群及び前記第2の修復データ用フリップフロップ群にクロック信号を供給することにより、前記不揮発性メモリに記憶されている第2の修復フラグ及び前記第1の修復フラグを前記第2の修復フラグ用フリップフロップ及び前記第1の修復フラグ用フリップにシリアルに転送し、その後、前記不揮発性メモリに記

10

20

憶されている修復データを前記第1の修復データ用フリップフロップ群にシリアルに出力すると共に、前記第1の修復データ用フリップフロップ群及び前記第2の修復データ用フリップフロップ群の修復データをシリアルに転送するデータ転送制御回路とを有し、

前記第1の冗長メモリは、前記第1の修復データ用フリップフロップ群に記憶されている修復データに応じて前記複数の通常メモリセルブロックのうちのいずれかの通常メモリセルブロックを前記冗長メモリセルブロックに切り替え、

前記第2の冗長メモリは、前記第2の修復データ用フリップフロップ群に記憶されている修復データに応じて前記複数の通常メモリセルブロックのうちのいずれかの通常メモリセルブロックを前記冗長メモリセルブロックに切り替えることを特徴とするメモリ装置。

【請求項2】

さらに、前記第1の修復フラグ用フリップフロップに記憶されている前記第1の修復フラグに応じて前記不揮発性メモリに記憶されている修復データ又は固定値の修復データを出力する第1の論理回路と、

前記第1の修復フラグ用フリップフロップに記憶されている前記第1の修復フラグに応じて前記不揮発性メモリに記憶されている修復データ又は前記第1の修復データ用フリップフロップ群に記憶されている修復データを出力する第1のセクタと、

前記第2の修復フラグ用フリップフロップに記憶されている前記第2の修復フラグに応じて前記第1のセクタにより出力される修復データ又は固定値の修復データを出力する第2の論理回路とを有し、

前記不揮発性メモリは、前記第1の冗長メモリの通常メモリセルブロックを冗長メモリセルブロックに切り替えるか否かを示す第1の修復フラグ、前記第2の冗長メモリの通常メモリセルブロックを冗長メモリセルブロックに切り替えるか否かを示す第2の修復フラグ、及び、前記通常メモリセルブロックを前記冗長メモリセルブロックに切り替える前記第1の冗長メモリ及び/前記第2の冗長メモリ内の前記複数の通常メモリセルブロックのうちどの通常メモリセルブロックを前記冗長メモリセルブロックに切り替えるかを示す修復データを記憶し、

前記第1の修復データ用フリップフロップ群は、前記第1の論理回路により出力される修復データを記憶し、

前記第2の修復データ用フリップフロップ群は、前記第2の論理回路により出力される修復データを記憶し、

前記データ転送制御回路は、前記第1の修復フラグ用フリップフロップ、前記第2の修復フラグ用フリップフロップ、前記第1の修復データ用フリップフロップ群及び前記第2の修復データ用フリップフロップ群にクロック信号を供給することにより、前記不揮発性メモリに記憶されている第2の修復フラグ及び前記第1の修復フラグを前記第2の修復フラグ用フリップフロップ及び前記第1の修復フラグ用フリップにシリアルに転送し、その後、前記不揮発性メモリに記憶されている修復データを前記第1の論理回路にシリアルに出力すると共に、前記第1の修復データ用フリップフロップ群及び前記第2の修復データ用フリップフロップ群の修復データをシリアルに転送し、

前記第1の冗長メモリは、前記第1の修復データ用フリップフロップ群に記憶されている修復データが前記固定値の修復データ有的时候には前記通常メモリセルブロックを前記冗長メモリセルブロックに切り替えず、

前記第2の冗長メモリは、前記第2の修復データ用フリップフロップ群に記憶されている修復データが前記固定値の修復データ有的时候には前記通常メモリセルブロックを前記冗長メモリセルブロックに切り替えないことを特徴とする請求項1記載のメモリ装置。

【請求項3】

前記不揮発性メモリは、第1のダミー用修復データ、前記第1の冗長メモリ及び/又は前記第2の冗長メモリの修復データを記憶し、

前記データ転送制御回路は、前記第1のダミー用修復データを前記第1の論理回路にシリアルに出力した後に、前記第1の冗長メモリ及び/又は前記第2の冗長メモリの修復データを前記第1の論理回路にシリアルに出力することを特徴とする請求項2記載のメモリ

10

20

30

40

50

装置。

【請求項 4】

さらに、複数の通常メモリセルブロック及び冗長メモリセルブロックを有する第 3 の冗長メモリを有し、

前記第 1 の冗長メモリは、前記第 1 の修復データ用フリップフロップ群に記憶されている修復データの一部のデータに応じて前記複数の通常メモリセルブロックのうちのいずれかの通常メモリセルブロックを前記冗長メモリセルブロックに切り替え、

前記第 3 の冗長メモリは、前記第 1 の修復データ用フリップフロップ群に記憶されている修復データの他の一部のデータに応じて前記複数の通常メモリセルブロックのうちのいずれかの通常メモリセルブロックを前記冗長メモリセルブロックに切り替えることを特徴とする請求項 2 又は 3 記載のメモリ装置。 10

【請求項 5】

前記不揮発メモリは、修復フラグの数及び前記第 1 の修復フラグ及び前記第 2 の修復フラグを含む修復フラグを記憶し、

前記データ転送制御回路は、前記不揮発性メモリに記憶される前記修復フラグの数に応じて、前記第 1 の修復フラグ及び前記第 2 の修復フラグを含む修復フラグを前記不揮発性メモリから読み出し、前記第 2 の修復フラグ用フリップフロップ及び前記第 1 の修復フラグ用フリップにシリアルに転送することを特徴とする請求項 2 ~ 4 のいずれか 1 項に記載のメモリ装置。 20

【請求項 6】

さらに、前記不揮発性メモリに記憶されている修復データを記憶する第 1 のバイパス用フリップフロップを有し、

前記不揮発性メモリは、前記第 1 の冗長メモリの前記通常メモリセルブロックを前記冗長メモリセルブロックに切り替えないときには第 2 のダミー用修復データを記憶し、

前記データ転送制御回路は、前記修復データ及び/又は前記第 2 のダミー用修復データを前記第 1 の論理回路及び前記第 1 のバイパス用フリップフロップにシリアルに出力し、

前記第 1 のセレクトは、前記第 1 の修復フラグ用フリップフロップに記憶されている前記第 1 の修復フラグに応じて前記第 1 のバイパス用フリップフロップに記憶されている修復データ又は前記第 1 の修復データ用フリップフロップ群に記憶されている修復データを出力することを特徴とする請求項 2 ~ 5 のいずれか 1 項に記載のメモリ装置。 30

【請求項 7】

さらに、前記第 1 の修復フラグ用フリップフロップに記憶されている修復フラグ又は前記第 1 のセレクトにより出力される修復データを前記第 2 の修復フラグ用フリップフロップ及び前記第 2 の論理回路に出力する第 2 のセレクトを有し、

前記データ転送制御回路は、前記不揮発性メモリに記憶されている第 2 の修復フラグ及び前記第 1 の修復フラグを前記第 2 の修復フラグ用フリップフロップ及び前記第 1 の修復フラグ用フリップにシリアルに転送する際には、前記第 2 のセレクトが前記第 1 の修復フラグ用フリップフロップに記憶されている修復フラグを出力するように制御し、その後、前記不揮発性メモリに記憶されている修復データを前記第 1 の論理回路にシリアルに出力する際には、前記第 2 のセレクトが前記第 1 のセレクトにより出力される修復データを出力するように制御することを特徴とする請求項 2 ~ 6 のいずれか 1 項に記載のメモリ装置。 40

【請求項 8】

前記第 1 の修復データ用フリップフロップ群のフリップフリップの数と前記第 2 の修復データ用フリップフロップ群のフリップフリップの数とは、相互に異なることを特徴とする請求項 2 ~ 7 のいずれか 1 項に記載のメモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ装置に関する。

## 【背景技術】

## 【0002】

図1は、メモリ装置の構成例を示す図である。第1の冗長メモリ101a、第2の冗長メモリ101b及び第3の冗長メモリ101cは、それぞれ、複数の通常メモリセルブロック及び冗長メモリセルブロックを有する。複数の通常メモリセルブロックのうちの一つが不良メモリセルを有する場合であっても、その不良メモリセルを有する通常メモリセルブロックを冗長メモリセルブロックに切り替えることにより、修復することができ、製造歩留まりを向上させることができる。第1のフリップフロップ群102a、第2のフリップフロップ群102b及び第3のフリップフロップ群102cは、それぞれ、例えば4個のフリップフロップを有し、相互に直列に接続される。ヒューズ回路105は、不揮発性メモリであり、第1の冗長メモリ101aの修復データ103a、第2の冗長メモリ101bの修復データ103b、及び第3の冗長メモリ101cの修復データ103cを記憶する。修復データ103bは、「0000」であるので、通常メモリセルブロックを冗長メモリセルブロックに切り替えないことを示す。修復データ103a及び103bは、「0000」以外のデータであるので、複数の通常メモリセルブロックのうちどの通常メモリセルブロックを冗長メモリセルブロックに切り替えるかを示す。

10

## 【0003】

データ転送制御回路104は、ヒューズ回路105に記憶されている修復データ103c、103b及び103aをフリップフロップ群102a～102cの直列接続回路にシリアルに出力し、フリップフロップ群102a～102cに修復データ103a～103cをシリアルに転送させる。その結果、第3のフリップフロップ群102cには修復データ103cが記憶され、第2のフリップフロップ群102bには修復データ103bが記憶され、第1のフリップフロップ群102aには修復データ103aが記憶される。第1の冗長メモリ101aは、複数の通常メモリセルブロックのうちで、第1のフリップフロップ群102aに記憶されている修復データ103aが示す通常メモリセルブロックを冗長メモリセルブロックに切り替える。第2の冗長メモリ101bは、第2のフリップフロップ群102bに記憶されている修復データ103bが「0000」であるので、通常メモリセルブロックを冗長メモリセルブロックに切り替えない。第3の冗長メモリ101cは、複数の通常メモリセルブロックのうちで、第3のフリップフロップ群102cに記憶されている修復データ103cが示す通常メモリセルブロックを冗長メモリセルブロックに切り替える。

20

30

## 【0004】

図2は、他のメモリ装置の構成例を示す図である（例えば、下記の特許文献1参照）。以下、図2のメモリ装置が図1のメモリ装置と異なる点を説明する。第1の冗長メモリ101a及び第3の冗長メモリ101cは不良メモリセルを有し、第2の冗長メモリ101bは不良メモリセルを有しない。ヒューズ回路105は、不良メモリセルを有する第1の冗長メモリ101aのID（識別子）201a及び修復データ103aと、不良メモリセルを有する第3の冗長メモリ101cのID201c及び修復データ103cを記憶する。データ転送制御回路104は、ヒューズ回路105に第3の冗長メモリ101cのID201cが記憶されているので第3の冗長メモリ101cの修復データ103cを第3のフリップフロップ群102cにシリアル転送する。そして、データ転送制御回路104は、ヒューズ回路105に第2の冗長メモリ101bのIDが記憶されていないので固定値「0000」の修復データ103bを第2のフリップフロップ群102cにシリアル転送する。そして、データ転送制御回路104は、ヒューズ回路105に第1の冗長メモリ101aのID201aが記憶されているので第1の冗長メモリ101aの修復データ103aを第1のフリップフロップ群102aにシリアル転送する。不良メモリセルを有しない第2の冗長メモリ101bの修復データ103bをヒューズ回路105に記憶させなくてよいので、ヒューズ回路105の記憶容量を削減することができる。

40

## 【0005】

図3は、さらに他のメモリ装置の構成例を示す図である（例えば、下記の特許文献1参

50

照)。図3のメモリ装置が図2のメモリ装置と異なる点を説明する。データ転送制御回路104は、3個のフリップフロップ群102a~102cに3個の修復データ103a~103cを平行に転送する。これにより、修復データ103a~103cの転送時間を短くすることができる。しかし、冗長メモリ101a~101cの数が増えると、データ転送制御回路104とフリップフロップ群102a~102cとの間の並列接続配線の数が増加する課題がある。

【0006】

また、複数のメモリセルを有するメインメモリセルアレイと、複数の冗長セルを有する冗長メモリアレイと、冗長救済機構とを備えるメモリマクロと、メモリマクロを識別するメモリ識別情報を格納する不揮発性記憶素子を有する救済情報解析回路と、少なくともメモリ識別情報と救済情報とから構成された単位救済情報を救済情報解析回路に転送する救済情報転送回路とを有する半導体集積回路が知られている(例えば、下記の特許文献2参照)。

10

【0007】

また、冗長救済のための構成を示す情報であるデバイス救済情報を入力することにより、欠陥部分の冗長救済を行うことが可能な複数のメモリデバイスと、メモリデバイスの識別情報とメモリデバイスのデバイス救済情報とを含む救済情報を受信し、救済情報を解析する、複数の救済情報解析回路であって、1つの救済情報解析回路が1つのメモリデバイスに対応しており、救済情報解析回路同士がシリアル転送パスでシリアルに接続されている集積回路システムが知られている(例えば、下記の特許文献3参照)。

20

【0008】

また、複数のメモリセルがアレイ状に配置されたメモリセルアレイと、複数の予備のメモリセルを有し、メモリセルアレイにおける不良のメモリセルを、プログラムされたアドレス情報に基づいて特定の予備のメモリセルと置き換えるための冗長回路と、アドレス情報をプログラムするための、複数の不揮発性記憶素子を有する記憶回路と、冗長回路に対し、記憶回路にプログラムされたアドレス情報を転送するための転送回路とを有する半導体集積回路装置が知られている(例えば、下記の特許文献4参照)。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2007-193879号公報

【特許文献2】特開2009-43328号公報

【特許文献3】特開2008-226285号公報

【特許文献4】特開2004-133970号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明の目的は、並列接続配線の数削減し、データ転送時間を短縮することができるメモリ装置を提供することである。

【課題を解決するための手段】

40

【0011】

メモリ装置は、複数の通常メモリセルブロック及び冗長メモリセルブロックを有する第1の冗長メモリと、複数の通常メモリセルブロック及び冗長メモリセルブロックを有する第2の冗長メモリと、第1の修復フラグ、第2の修復フラグ及び修復データを記憶する不揮発性メモリと、前記不揮発性メモリに記憶されている前記第1の修復フラグを記憶するための第1の修復フラグ用フリップフロップと、修復データを記憶するための第1の修復データ用フリップフロップ群と、前記第1の修復フラグ用フリップフロップに直列に接続され、前記不揮発性メモリに記憶されている前記第2の修復フラグを記憶するための第2の修復フラグ用フリップフロップと、前記第1の修復フラグ用フリップフロップに接続可能であり、修復データを記憶するための第2の修復データ用フリップフロップ群と、前記

50

第1の修復フラグ用フリップフロップ、前記第2の修復フラグ用フリップフロップ、前記第1の修復データ用フリップフロップ群及び前記第2の修復データ用フリップフロップ群にクロック信号を供給することにより、前記不揮発性メモリに記憶されている第2の修復フラグ及び前記第1の修復フラグを前記第2の修復フラグ用フリップフロップ及び前記第1の修復フラグ用フリップフロップにシリアルに転送し、その後、前記不揮発性メモリに記憶されている修復データを前記第1の修復データ用フリップフロップ群にシリアルに出力すると共に、前記第1の修復データ用フリップフロップ群及び前記第2の修復データ用フリップフロップ群の修復データをシリアルに転送するデータ転送制御回路とを有し、前記第1の冗長メモリは、前記第1の修復データ用フリップフロップ群に記憶されている修復データに応じて前記複数の通常メモリセルブロックのうちのいずれかの通常メモリセルブロックを前記冗長メモリセルブロックに切り替え、前記第2の冗長メモリは、前記第2の修復データ用フリップフロップ群に記憶されている修復データに応じて前記複数の通常メモリセルブロックのうちのいずれかの通常メモリセルブロックを前記冗長メモリセルブロックに切り替える。

10

【発明の効果】

【0012】

並列接続配線の数を削減し、データ転送時間を短縮することができる。

【図面の簡単な説明】

【0013】

【図1】メモリ装置の構成例を示す図である。

20

【図2】他のメモリ装置の構成例を示す図である。

【図3】さらに他のメモリ装置の構成例を示す図である。

【図4】第1の実施形態による大規模集積回路(LSI)の構成例を示す図である。

【図5】図4の冗長メモリの構成例を示す図である。

【図6】図6(A)及び(B)は冗長メモリ内の一部の構成例を示す図である。

【図7】図4の冗長メモリ、修復データ取得回路、不揮発性メモリ及びデータ転送制御回路を有するメモリ装置の構成例を示す図である。

【図8】図7のメモリ装置の処理例を示すタイミングチャートである。

【図9】修復フラグを修復フラグ用フリップフロップにシリアル転送する図である。

【図10】修復データを修復データ用フリップフロップ群にシリアル転送する図である。

30

【図11】第2の実施形態によるメモリ装置の構成例を示す図である。

【図12】第3の実施形態によるメモリ装置の構成例を示す図である。

【図13】第4の実施形態によるメモリ装置の構成例を示す図である。

【図14】第5の実施形態によるメモリ装置の構成例を示す図である。

【図15】第6の実施形態によるメモリ装置の構成例を示す図である。

【図16】修復フラグを修復フラグ用フリップフロップにシリアル転送する図である。

【図17】修復データを修復データ用フリップフロップ群にシリアル転送する図である。

【発明を実施するための形態】

【0014】

(第1の実施形態)

40

図4は、第1の実施形態による大規模集積回路(LSI)400の構成例を示す図である。大規模集積回路400は、半導体回路であり、メモリ装置及びロジック回路405を有する。メモリ装置は、冗長メモリ401a~401c、修復データ取得回路402a~402c、データ転送制御回路403、及び不揮発性メモリ(ヒューズ回路)404を有する。ロジック回路405は、冗長メモリ401a~401cに対してデータの書き込み及び読み出しを行うことができる。冗長メモリ401a~401cは、例えばSRAM(スタティックランダムアクセスメモリ:Static Random Access Memory)である例を説明するが、DRAM(ダイナミックランダムアクセスメモリ:Dynamic Random Access Memory)等の他の種類のメモリであってもよい。

【0015】

50

図5は、図4の冗長メモリ401a~401cの各々の構成例を示す図である。メモリセルマトリックス501は、複数の通常メモリセルブロック521~527及び冗長メモリセルブロック520を有する。通常メモリセルブロック521~527及び冗長メモリセルブロック520は、それぞれ、複数のメモリセルを有する場合を例に説明するが、一のメモリセルを有するものでもよい。メモリセルは、2次元行列状に配列され、データを記憶する。また、メモリセルは、各行がワード線に接続され、各列がビット線に接続される。

#### 【0016】

タイミングジェネレータ506は、図4のロジック回路405からクロック信号CK、ライトイネーブル信号WE及びクロックイネーブル信号CEを入力し、カラムデコーダ504、ライトドライバ507及び入力データラッチ508に制御信号を出力する。カラムデコーダ504は、制御信号をデコードし、ラッチ信号をアドレスラッチ502に出力し、カラム選択信号をカラムセクタ505に出力する。アドレスラッチ502は、ラッチ信号に同期して、ロジック回路405から入力したアドレスADDをラッチし、ロウデコーダ503に出力する。ロウデコーダ503は、アドレスADDをデコードし、メモリセルマトリックス501のワード線に選択信号を出力する。選択信号が供給されたメモリセルの行が選択される。

#### 【0017】

次に、ライト動作を説明する。入力データラッチ508は、ラッチ信号に同期して、ロジック回路405から入力した入力データ(ライトデータ)Dinをラッチし、ライトドライバ507に出力する。また、デコーダ509は、図4の修復データ取得回路402a~402cから入力した修復データRCをデコードし、修復選択信号をライトドライバ507及びセンスアンプ511に出力する。ライトドライバ507は、修復選択信号により選択されたカラムセクタ505のビット線に入力データDinを出力する。カラムセクタ505は、カラム選択信号により選択されたメモリセルマトリックス501のビット線に入力データDinを出力する。ワード線により選択されたメモリセルには、ビット線の入力データDinが書き込まれる。

#### 【0018】

次に、リード動作を説明する。ワード線により選択されたメモリセルは、記憶しているデータをビット線に出力する。センスアンプ511は、修復選択信号により選択されたカラムセクタ505のビット線のデータを増幅し、出力データラッチ510に出力する。出力データラッチ510は、データをラッチし、出力データ(リードデータ)Doutをロジック回路405に出力する。

#### 【0019】

図6(A)は、冗長メモリ401a内の一部の構成例を示す図である。冗長メモリ401b及び401cも、冗長メモリ401aと同様の構成を有する。冗長メモリ401aは、通常メモリセルブロック521~527、冗長メモリセルブロック520、及びセクタ601~607を有する。セクタ601~607は、例えば、図5のライトドライバ507及びセンスアンプ511内に設けられる。すべての通常メモリセルブロック521~527が不良メモリセルを有さない場合には、固定値「000」の修復データRCが冗長メモリ401aに入力される。セクタ601~607は、「000」の修復データRCを基に、7個の通常メモリセルブロック521~527のビット線を7本の外部線EX1~EX7に接続する。外部線EX1~EX7は、例えば、入力データラッチ508又は出力データラッチ510の線である。冗長メモリセルブロック520は、外部線EX1~EX7には接続されない。

#### 【0020】

図6(B)は、図6(A)に対応し、通常メモリセルブロック524が不良メモリセルを有する場合の図である。修復データRCは、第4の通常メモリセルブロック524が不良メモリセルを有することを示す2進数データ「100」(10進数で「4」)である。セクタ601~607は、「100」の修復データRCを基に、通常メモリセルブロッ

10

20

30

40

50

ク521～523、525～527及び冗長メモリセルブロック520のビット線をそれぞれ外部線EX1～EX7に接続する。不良メモリセルを有する第4の通常メモリセルブロック524のビット線は、外部線EX1～EX7には接続されない。冗長メモリ401aは、修復データRCが示す通常メモリセルブロック524を冗長メモリセルブロック520に切り替える。このように、第4の通常メモリセルブロック524が不良メモリセルを有する場合であっても、第4の通常メモリセルブロック524を冗長メモリセルブロック520に切り替えることにより、修復することができ、製造歩留まりを向上させることができる。通常メモリセルブロック521～527のうちで、切り替えたい1個の通常メモリセルブロックは、修復データRCにより指定することができる。

#### 【0021】

なお、上記では、通常メモリセルブロック521～527及び冗長メモリセルブロック520が1列のメモリセルを有するカラムメモリセルブロックである場合を例に説明したが、通常メモリセルブロック521～527及び冗長メモリセルブロック520は1行のメモリセルを有するロウメモリセルブロックであってもよい。その場合、セクタ601～607は、通常メモリセルブロック521～527及び冗長メモリセルブロック520のワード線の切り替えを行う。

#### 【0022】

図7は、図4の冗長メモリ401a～401c、修復データ取得回路402a～402c、不揮発性メモリ404、及びデータ転送制御回路403を有するメモリ装置の構成例を示す図である。ここでは、冗長メモリ401a及び401cが不良メモリセルを有し、冗長メモリ401bが不良メモリセルを有しない場合を例に説明する。冗長メモリ401a及び401cは冗長メモリセルブロック520への切り替えを行い、冗長メモリ401bは冗長メモリセル520への切り替えを行わない。

#### 【0023】

第1の修復データ取得回路402aは、第1の修復フラグ用フリップフロップ701a、第1の論理回路702a、第1の修復データ用フリップフロップ群703a、及び第1のセクタ705aを有する。第2の修復データ取得回路402bは、第2の修復フラグ用フリップフロップ701b、第2の論理回路702b、第2の修復データ用フリップフロップ群703b、及び第2のセクタ705bを有する。第3の修復データ取得回路402cは、第3の修復フラグ用フリップフロップ701c、第3の論理回路702c、及び第3の修復データ用フリップフロップ群703cを有する。修復データ用フリップフロップ群703a～703cは、それぞれ、例えば4個のフリップフロップを有し、4ビットの修復データ704a～704cを記憶することができる。

#### 【0024】

冗長メモリ401a～401cは、上記のように、それぞれ、複数の通常メモリセルブロック及び冗長メモリセルブロック520を有する。通常メモリセルブロックは、図5、図6(A)及び(B)の通常メモリセルブロック521～527に対応する。ただし、通常メモリセルブロックの数に応じて、修復データのビット数は変わる。不揮発性メモリ404は、例えばヒューズ回路であり、電源をオフにしても記憶内容を保持する。不揮発性メモリ404は、修復フラグ706a～706c及び修復データ704a、704cを記憶する。不揮発性メモリ404は、ヒューズ回路以外の不揮発性メモリでもよい。

#### 【0025】

第1の修復フラグ706aは、第1の冗長メモリ401aの複数の通常メモリセルブロックのうちいずれかを冗長メモリセルブロック520に切り替えるか否かを示す。第2の修復フラグ706bは、第2の冗長メモリ401bの複数の通常メモリセルブロックのうちいずれかを冗長メモリセルブロック520に切り替えるか否かを示す。第3の修復フラグ706cは、第3の冗長メモリ401cの複数の通常メモリセルブロックのうちいずれかを冗長メモリセルブロック520に切り替えるか否かを示す。修復フラグ706a～706cは、切り替える場合には「1」であり、切り替えない場合には「0」である。例えば、第1の修復フラグ706a及び第3の修復フラグ706cが「1」であり、第

10

20

30

40

50

2の修復フラグ706bが「0」であるので、第1の冗長メモリ401a及び第3の冗長メモリ401cは冗長メモリセルブロック520への切り替えを行い、第2の冗長メモリ401bは冗長メモリセルブロック520への切り替えを行わない。

【0026】

修復データ704a及び704cは、複数の通常メモリセルブロックのうちのいずれかを冗長メモリセルブロック520に切り替える冗長メモリ401a及び401c内の複数の通常メモリセルブロックのうちのどの通常メモリセルブロックを冗長メモリセル520に切り替えるかを示す。第1の修復データ704aは、例えば「0101」であり、第1の冗長メモリ401a内の複数の通常メモリセルブロックのうちのどの通常メモリセルブロックを冗長メモリセル520に切り替えるかを示す。第3の修復データ704cは、例

10

【0027】

第1の修復フラグ用フリップフロップ701aは、不揮発性メモリ404に記憶されている第1の修復フラグ706aを記憶するためのフリップフロップである。データ転送制御回路403は、不揮発性メモリ404に記憶されている修復データ704c、704aを下位ビットから順にシリアルに第1の論理回路702aに出力する。第1の論理回路702aは、論理積(AND)回路であり、第1の修復フラグ用フリップフロップ701aに記憶されている第1の修復フラグ706aに応じて不揮発性メモリ404に記憶されている修復データ704c、704a又は固定値の修復データ「0」を出力する。具体的には、第1の論理回路702aは、第1の修復フラグ用フリップフロップ701aに記憶されている第1の修復フラグ706aと、不揮発性メモリ404に記憶されている修復データ704c、704aとの論理積データを出力する。例えば、第1の修復フラグ706aが「1」であるので、第1の論理回路702aは、修復データ704c及び704aの下位ビット順のビット列「00111010」をシリアルに出力する。第1の修復データ用フリップフロップ群703aは、第1の論理回路702aにより出力される修復データを記憶する。第1のセクタ705aは、第1の修復フラグ用フリップフロップ701aに記憶されている第1の修復フラグ706aに応じて不揮発性メモリ404に記憶されている修復データ又は第1の修復データ用フリップフロップ群703aに記憶されている修復データを出力する。第1のセクタ705aは、第1の修復フラグ706aが「1」のときは第1の修復データ用フリップフロップ群703aに記憶されている修復データを出力し、第1の修復フラグ706aが「0」のときは不揮発性メモリ404に記憶されている修復データ704c、704aを出力する。

20

30

【0028】

第2の修復フラグ用フリップフロップ701bは、第1の修復フラグ用フリップフロップ701aに直列に接続され、不揮発性メモリ404に記憶されている第2の修復フラグ706bを記憶するためのフリップフロップである。第2の論理回路702bは、論理積回路であり、第2の修復フラグ用フリップフロップ701bに記憶されている第2の修復フラグ706bに応じて第1のセクタ705aにより出力される修復データ又は固定値の修復データ「0」を出力する。具体的には、第2の論理回路702bは、第2の修復フラグ用フリップフロップ701bに記憶されている第2の修復フラグ706bと、第1のセクタ705aにより出力される修復データとの論理積データを出力する。例えば、第2の修復フラグ706bが「0」であるので、第2の論理回路702bは、固定値の修復データ「0」を連続して出力する。第2の修復データ用フリップフロップ群703bは、第2の論理回路702bにより出力される修復データを記憶する。第2のセクタ705bは、第2の修復フラグ用フリップフロップ701bに記憶されている第2の修復フラグ706bに応じて第1のセクタ705aにより出力される修復データ又は第2の修復データ用フリップフロップ群703bに記憶されている修復データを出力する。第2のセクタ705bは、第2の修復フラグ706bが「1」のときは第2の修復データ用フリップフロップ群703bに記憶されている修復データを出力し、第2の修復フラグ706

40

50

bが「0」のときには第1のセレクタ705aにより出力される修復データを出力する。

【0029】

第3の修復フラグ用フリップフロップ701cは、第2の修復フラグ用フリップフロップ701bに直列に接続され、不揮発性メモリ404に記憶されている第3の修復フラグ706cを記憶するためのフリップフロップである。第3の論理回路702cは、論理積回路であり、第3の修復フラグ用フリップフロップ701cに記憶されている第3の修復フラグ706cに応じて第2のセレクタ705bにより出力される修復データ又は固定値の修復データ「0」を出力する。具体的には、第3の論理回路702cは、第3の修復フラグ用フリップフロップ701cに記憶されている第3の修復フラグ706cと、第2のセレクタ705bにより出力される修復データとの論理積データを出力する。例えば、第3の修復フラグ706cが「1」であるので、第3の論理回路702cは、第2のセレクタ705bにより出力される修復データを出力する。第3の修復データ用フリップフロップ群703cは、第3の論理回路702cにより出力される修復データを記憶する。

10

【0030】

なお、冗長メモリ401a~401c及び修復データ取得回路402a~402cと同様に、冗長メモリ及び修復データ取得回路の組みを4個以上接続してもよい。

【0031】

図8は図7のメモリ装置の処理例を示すタイミングチャートであり、図9は修復フラグ706a~706cを修復フラグ用フリップフロップ701a~701cにシリアル転送する図であり、図10は修復データ704a~704cを修復データ用フリップフロップ群703a~703cにシリアル転送する図である。

20

【0032】

まず、図8及び図9を参照しながら、修復フラグ706a~706cを修復フラグ用フリップフロップ701a~701cにシリアル転送する処理を説明する。データ転送制御回路403は、3ビットの修復フラグ706a~706cに対応して3個のパルスのクロック信号CK1を修復フラグ用フリップフロップ701a~701cに出力する。また、データ転送制御回路403は、不揮発性メモリ404内の3ビットの修復フラグ706c、706b、706aをシリアルにフリップフロップ701aに出力する。

【0033】

フリップフロップ701aは、クロック信号CK1の1個目のパルスの立ち上がりエッジに同期して、第3の修復フラグ706cの「1」をラッチして記憶する。

30

【0034】

次に、フリップフロップ701bは、クロック信号CK1の2個目のパルスの立ち上がりエッジに同期して、第3の修復フラグ706cの「1」をラッチして記憶する。フリップフロップ701aは、クロック信号CK1の2個目のパルスの立ち上がりエッジに同期して、第2の修復フラグ706bの「0」をラッチして記憶する。

【0035】

次に、フリップフロップ701cは、クロック信号CK1の3個目のパルスの立ち上がりエッジに同期して、第3の修復フラグ706cの「1」をラッチして記憶する。フリップフロップ701bは、クロック信号CK1の3個目のパルスの立ち上がりエッジに同期して、第2の修復フラグ706bの「0」をラッチして記憶する。フリップフロップ701aは、クロック信号CK1の3個目のパルスの立ち上がりエッジに同期して、第1の修復フラグ706aの「1」をラッチして記憶する。

40

【0036】

その後、フリップフロップ701aは第1の修復フラグ706aの「1」の記憶状態を維持し、フリップフロップ701bは第2の修復フラグ706bの「0」の記憶状態を維持し、フリップフロップ701cは第3の修復フラグ706cの「1」の記憶状態を維持する。

【0037】

次に、図8及び図10を参照しながら、修復データ704a~704cを修復データ用

50

フリップフロップ群703a~703cにシリアル転送する処理を説明する。その後、データ転送制御回路403は、8ビットの修復データ704c,704aに対応して8個のパルスのクロック信号CK1を修復データ用フリップフロップ群703a~703cに出力する。この間、修復フラグ用フリップフロップ701a~701cのクロック信号は停止する。データ転送制御回路403は、不揮発性メモリ404内の8ビットの修復データ704c及び704aを下位ビットから順にデータ列「00111010」としてシリアルに第1の論理回路702aに出力する。

【0038】

フリップフロップ群703aは、クロック信号CK1の4個目のパルスの立ち上がりエッジに同期して、第3の修復データ704cの下位1ビット目「0」をラッチして記憶する。フリップフロップ群703bは、クロック信号CK1の4個目のパルスの立ち上がりエッジに同期して、固定値の修復データ「0」をラッチして記憶する。

10

【0039】

次に、フリップフロップ群703aは、クロック信号CK1の5個目のパルスの立ち上がりエッジに同期して、第3の修復データ704cの下位1ビット目及び2ビット目「00」をラッチして記憶する。フリップフロップ群703bは、クロック信号CK1の5個目のパルスの立ち上がりエッジに同期して、固定値の修復データ「00」をラッチして記憶する。

【0040】

次に、フリップフロップ群703aは、クロック信号CK1の6個目のパルスの立ち上がりエッジに同期して、第3の修復データ704cの下位1ビット目~3ビット目「100」をラッチして記憶する。フリップフロップ群703bは、クロック信号CK1の6個目のパルスの立ち上がりエッジに同期して、固定値の修復データ「000」をラッチして記憶する。

20

【0041】

次に、フリップフロップ群703aは、クロック信号CK1の7個目のパルスの立ち上がりエッジに同期して、第3の修復データ704cの下位1ビット目~4ビット目「1100」をラッチして記憶する。フリップフロップ群703bは、クロック信号CK1の7個目のパルスの立ち上がりエッジに同期して、固定値の修復データ「0000」をラッチして記憶する。

30

【0042】

次に、フリップフロップ群703aは、クロック信号CK1の8個目のパルスの立ち上がりエッジに同期して、第1の修復データ704aの下位1ビット目及び第3の修復データ704cの下位2ビット目~4ビット目「1110」をラッチして記憶する。フリップフロップ群703bは、クロック信号CK1の8個目のパルスの立ち上がりエッジに同期して、固定値の修復データ「0000」をラッチして記憶する。フリップフロップ群703cは、クロック信号CK1の8個目のパルスの立ち上がりエッジに同期して、第3の修復データ704cの下位1ビット目「0」をラッチして記憶する。

【0043】

次に、フリップフロップ群703aは、クロック信号CK1の9個目のパルスの立ち上がりエッジに同期して、第1の修復データ704aの下位1ビット目、2ビット目及び第3の修復データ704cの下位3ビット目、4ビット目「0111」をラッチして記憶する。フリップフロップ群703bは、クロック信号CK1の9個目のパルスの立ち上がりエッジに同期して、固定値の修復データ「0000」をラッチして記憶する。フリップフロップ群703cは、クロック信号CK1の9個目のパルスの立ち上がりエッジに同期して、第3の修復データ704cの下位1ビット目及び2ビット目「00」をラッチして記憶する。

40

【0044】

次に、フリップフロップ群703aは、クロック信号CK1の10個目のパルスの立ち上がりエッジに同期して、第1の修復データ704aの下位1ビット目~3ビット目及び

50

第3の修復データ704cの下位4ビット目「1011」をラッチして記憶する。フリップフロップ群703bは、クロック信号CK1の10個目のパルスの立ち上がりエッジに同期して、固定値の修復データ「0000」をラッチして記憶する。フリップフロップ群703cは、クロック信号CK1の10個目のパルスの立ち上がりエッジに同期して、第3の修復データ704cの下位1ビット目～3ビット目「100」をラッチして記憶する。

【0045】

次に、フリップフロップ群703aは、クロック信号CK1の11個目のパルスの立ち上がりエッジに同期して、第1の修復データ704aの下位1ビット目～4ビット目「0101」をラッチして記憶する。フリップフロップ群703bは、クロック信号CK1の11個目のパルスの立ち上がりエッジに同期して、固定値の修復データ「0000」をラッチして記憶する。フリップフロップ群703cは、クロック信号CK1の11個目のパルスの立ち上がりエッジに同期して、第3の修復データ704cの下位1ビット目～4ビット目「1100」をラッチして記憶する。

10

【0046】

その後、フリップフロップ群703aは第1の修復データ704aの「0101」の記憶状態を維持し、フリップフロップ群703bは第2の修復データ704bの固定値「0000」の記憶状態を維持し、フリップフロップ群703cは第3の修復データ704cの「1100」の記憶状態を維持する。

【0047】

以上のように、データ転送制御回路403は、図9に示すように、修復フラグ用フリップフロップ701a～701cにクロック信号CK1を供給することにより、不揮発性メモリに記憶されている修復フラグ706a～706cを修復フラグ用フリップフロップ701a～701cにシリアルに転送する。

20

【0048】

その後、データ転送制御回路403は、図10に示すように、修復データ用フリップフロップ群703a～703cにクロック信号CK1を供給することにより、不揮発性メモリ404に記憶されている修復データ704c, 704aを第1の論理回路702aにシリアルに出力すると共に、修復データ用フリップフロップ群703a～703cの修復データをシリアルに転送する。

30

【0049】

第1の冗長メモリ401aは、第1の修復データ用フリップフロップ群703aに記憶されている修復データ704aに応じて複数の通常メモリセルブロックのうちのいずれかの通常メモリセルブロックを冗長メモリセルブロック520に切り替える。なお、第1の冗長メモリ401aは、第1の修復データ用フリップフロップ群703aに記憶されている修復データ704aが固定値の修復データ「0000」のときには通常メモリセルブロックを冗長メモリセルブロック520に切り替えない。

【0050】

第2の冗長メモリ401bは、第2の修復データ用フリップフロップ群703bに記憶されている修復データ704bが固定値の修復データ「0000」のときには通常メモリセルブロックを冗長メモリセルブロック520に切り替えない。なお、修復データ704bが「0000」以外の値であるときには、第2の冗長メモリ401bは、第2の修復データ用フリップフロップ群703bに記憶されている修復データ704bに応じて複数の通常メモリセルブロックのうちのいずれかの通常メモリセルブロックを冗長メモリセルブロック520に切り替える。

40

【0051】

第3の冗長メモリ401cは、第3の修復データ用フリップフロップ群703cに記憶されている修復データ704cに応じて複数の通常メモリセルブロックのうちのいずれかの通常メモリセルブロックを冗長メモリセルブロック520に切り替える。なお、第3の冗長メモリ401cは、第3の修復データ用フリップフロップ群703cに記憶されてい

50

る修復データ704cが固定値の修復データ「0000」のときには通常メモリセルブロックを冗長メモリセルブロック520に切り替えない。

【0052】

本実施形態によれば、冗長メモリセルブロック520への切り替えを行わない第2の冗長メモリ401bの修復データ704bを不揮発性メモリ404に記憶させなくてよいので、不揮発性メモリ404の記憶容量を削減することができる。近年、メモリ装置の記憶量の増大に伴い、メモリ装置は多数の通常メモリセルブロックを有する。多数の通常メモリセルブロックの中で不良メモリセルが発生する確率は極めて小さい。すなわち、多数の冗長メモリ401a~401cの中で、不良メモリセルを有する冗長メモリの数は極めて少ない。したがって、実際には、多数の修復データ704a~704cの中で固定値の修復データ「0000」を有するものの数は極めて大きい。その結果、不揮発性メモリ404は、記憶容量を大幅に削減することができる。

10

【0053】

次に、本実施形態の効果を説明する。例えば、冗長メモリ401a~401c等の数を100、修復データ704a~704c等の各々のビット数を10ビット、不揮発性メモリ404に記憶する修復データの合計ビット数を200ビット(冗長メモリ20個分)とする。

【0054】

図1のメモリ装置及び図2のメモリ装置では、100個の修復データ103a~103c等を100個のフリップフロップ群102a~102c等に転送する時間は、次式のようになる。

20

$$\begin{aligned} \text{データ転送時間} &= 100 \text{ 個} \times 10 \text{ ビット} \\ &= 1000 \text{ サイクル} \end{aligned}$$

【0055】

これに対し、図7のメモリ装置では、データ転送時間は、次式のように、100個の修復フラグの転送時間と200ビットの修復データの転送時間の合計で表される。

$$\begin{aligned} \text{データ転送時間} &= \text{修復フラグの転送時間} + \text{修復データの転送時間} \\ &= 100 \text{ ビット} + 200 \text{ ビット} \\ &= 300 \text{ サイクル} \end{aligned}$$

【0056】

30

以上のように、図7のメモリ装置は、図1のメモリ装置及び図2のメモリ装置よりも、データ転送時間を短縮することができる。

【0057】

なお、冗長メモリセルブロック520への切り替えを行わない固定値の修復データは「0000」の場合を例に説明したが、その他の値であってもよい。その場合、論理回路702a~702cは、その固定値を設定可能な回路にすればよい。

【0058】

(第2の実施形態)

図11は、第2の実施形態によるメモリ装置の構成例を示す図である。以下、本実施形態が第1の実施形態と異なる点を説明する。第1の実施形態では、冗長メモリ401a~401cの修復データ704a~704cは、すべて4ビットの同じデータ長であった。本実施形態では、冗長メモリ401a~401cの修復データ704a~704cは、相互に異なるデータ長を有する。すなわち、修復データ用フリップフロップ群703a~703cのフリップフロップの数は、相互に異なる。例えば、第1の修復データ704aは3ビット長であり、第1の修復データ用フリップフロップ群703aは3個のフリップフロップを有する。第2の修復データ704bは2ビット長であり、第2の修復データ用フリップフロップ群703bは2個のフリップフロップを有する。第3の修復データ704cは4ビット長であり、第3の修復データ用フリップフロップ群703cは4個のフリップフロップを有する。修復データ用フリップフロップ群703a~703cのフリップフロップの数は、それぞれ、修復データ704a~704cのビット数と同じにする。

40

50

## 【 0 0 5 9 】

不揮発性メモリ404は、例えば図7と同じく8ビットの固定長の修復データ記憶領域を有する。その修復データ記憶領域には、冗長メモリセルブロック520への切り替えを行う修復データ704a及び704cを後方に詰めて(図11では右に詰めて)記憶させ、前方(図11では左)の空いた領域には第1のダミー用修復データ1101を記憶させる。第1のダミー用修復データ1101は、「0」であっても、「1」であってもよい。

## 【 0 0 6 0 】

本実施形態でも、第1の実施形態(図8)と同じ処理を行う。すなわち、クロック信号CK1の3個のパルスにより修復フラグ706a~706cのシリアル転送を行う。第1の実施形態と同様に、修復フラグ706a~706cは、フリップフロップ701a~701cにシリアル転送される。そして、不揮発性メモリ404の8ビットの修復データ記憶領域の固定ビット長と同じ8個のパルスのクロック信号CK1により修復データ704a~704cのシリアル転送を行う。第1のダミー用修復データ1101は、シリアル転送により、第3の修復データ用フリップフロップ群703cから押し出される。第3の修復データ704cは第3の修復データ用フリップフロップ群703cに設定され、第2の修復データ704bは第2の修復データ用フリップフロップ群703bに設定され、第1の修復データ704aは第1の修復データ用フリップフロップ群703aに設定される。

## 【 0 0 6 1 】

不揮発性メモリ404は、第1のダミー用修復データ1101、冗長メモリセルブロック520への切り替えを行う第3の冗長メモリ401cの修復データ704c及び第1の冗長メモリ401aの修復データ704aを記憶する。データ転送制御回路403は、第1のダミー用修復データ1101を第1の論理回路702aにシリアルに出力した後に、第3の冗長メモリ401cの修復データ704c及び第1の冗長メモリ401aの修復データ704aを第1の論理回路702aにシリアルに出力する。

## 【 0 0 6 2 】

以上のように、本実施形態によれば、修復データ704a~704cのビット長が相互に異なっている場合にも、不揮発性メモリ404の修復データ記憶領域の前方の空き領域に第1のダミー用修復データ1101を記憶させることにより、修復データ704a~704cを修復データ用フリップフロップ群703a~703cにシリアルに転送することができる。

## 【 0 0 6 3 】

(第3の実施形態)

図12は、第3の実施形態によるメモリ装置の構成例を示す図である。以下、本実施形態が第2の実施形態と異なる点を説明する。第4の冗長メモリ401dは、冗長メモリ401a~401cと同様に、複数の通常メモリセルブロック及び冗長メモリセルブロック520を有する。第1の冗長メモリ401aは、第1の修復データ用フリップフロップ群703aに記憶されている修復データ704aの一部(上位2ビット)のデータに応じて複数の通常メモリセルブロックのうちいずれかの通常メモリセルブロックを冗長メモリセルブロック520に切り替える。第4の冗長メモリ401dは、第1の修復データ用フリップフロップ群703aに記憶されている修復データ704aの他の一部(下位2ビット)のデータに応じて複数の通常メモリセルブロックのうちいずれかの通常メモリセルブロックを冗長メモリセルブロック520に切り替える。修復データ704aは、上位2ビットが第1の冗長メモリ401aの修復データであり、下位2ビットが第4の冗長メモリ401dの修復データである。修復フラグ706aは、第1の冗長メモリ401a及び第4の冗長メモリ401dの共通の修復フラグである。データ転送制御回路403の処理は、第2の実施形態と同じである。

## 【 0 0 6 4 】

本実施形態によれば、第1の冗長メモリ401aの修復フラグ706aとは別に、第4の冗長メモリ401dに対応する修復フラグを不揮発性メモリ404に記憶させなくてよいので、不揮発性メモリ404の記憶容量を削減することができる。また、第4の冗長メ

10

20

30

40

50

メモリ401dは、修復フラグ用フリップフロップ701a、論理回路702a及びセレクタ705aを第1の冗長メモリ401aと共用するので、第4の冗長メモリ401dの専用の修復フラグ用フリップフロップ、論理回路及びセレクタを設けなくてよく、メモリ装置の回路面積を低減することができる。

#### 【0065】

(第4の実施形態)

図13は、第4の実施形態によるメモリ装置の構成例を示す図である。以下、本実施形態が第1及び第2の実施形態と異なる点を説明する。本実施形態は、修復フラグ706a~706cの数を可変にすることができる。不揮発性メモリ404は、修復フラグ706a~706c及び修復データ704a,704cの他に、修復フラグ706a~706cの数1301を記憶する。例えば、3個の修復フラグ706a~706cを不揮発性メモリ404に記憶させる場合には、修復フラグの数1301は2進数「011」(10進数で「3」)になる。データ転送制御回路403は、不揮発性メモリ404に記憶される修復フラグの数1301に応じて、修復フラグ706a~706cを不揮発性メモリ404から読み出し、修復フラグ用フリップフロップ701a~701cにシリアルに転送する。具体的には、データ転送制御回路403は、修復フラグの数1301と同じ数のパルスのクロック信号CK1を修復フラグ用フリップフロップ701a~701cに供給することにより、3ビットの修復フラグ706a~706cを3個の修復フラグ用フリップフロップ701a~701cにシリアル転送する。

#### 【0066】

設計中に冗長メモリの数の変更に伴って修復フラグ706a~706cの数が変わっても、不揮発性メモリ404内の修復フラグの数1301を基に修復フラグ706a~706cの数を判断し、修復フラグ706a~706cをシリアル転送することができる。これにより、不揮発性メモリ404及びデータ転送制御回路403の構成を変更せずに済み、不揮発性メモリ404及びデータ転送制御回路403をマクロとして利用可能になる利点がある。

#### 【0067】

(第5の実施形態)

図14は、第5の実施形態によるメモリ装置の構成例を示す図である。以下、本実施形態が第1及び第2の実施形態と異なる点を説明する。本実施形態は、クロック信号CK1を高周波数にすることができる。データ転送制御回路403の出力端子と第1のセレクタ705aの入力端子との間を接続するバイパス線、第1のセレクタ705aの出力端子と第2のセレクタ705bの入力端子との間を接続するバイパス線は、その長さが長くなると、遅延時間が長くなるため、クロック信号CK1を低周波数にしなければならない。本実施形態では、クロック信号CK1を高周波数にするため、第1のバイパス用フリップフロップ1401a及び第2のバイパス用フリップフロップ1401bを設ける。

#### 【0068】

第1のバイパス用フリップフロップ1401aは、データ転送制御回路403の出力端子及び第1のセレクタ705aの入力端子間に接続され、不揮発性メモリ404に記憶されている修復データを記憶するためのフリップフロップである。第2のバイパス用フリップフロップ1401bは、第1のセレクタ705aの出力端子及び第2のセレクタ705bの入力端子間に接続され、不揮発性メモリ404に記憶されている修復データを記憶するためのフリップフロップである。

#### 【0069】

不揮発性メモリ404は、第2の冗長メモリ401bの通常メモリセルブロックを冗長メモリセルブロック520に切り替えないときには第2のダミー用修復データ1402bを記憶する。第2のダミー用修復データ1402bは、第1の修復データ704a及び第3の修復データ704cの間に記憶される。なお、第1の冗長メモリ401aの通常メモリセルブロックを冗長メモリセルブロック520に切り替えないときには、不揮発性メモリ404は、修復データ704aの代わりにダミー用修復データを記憶する。ダミー用修

10

20

30

40

50

復データ1402bは、「0」でもよいし、「1」でもよい。

【0070】

データ転送制御回路403は、第3の修復データ704c、ダミー用修復データ1402b及び第1の修復データ704aを第1の論理回路702a及び第1のバイパス用フリップフロップ1401aにシリアルに出力する。

【0071】

第1のセクタ705aは、第1の修復フラグ用フリップフロップ701aに記憶されている第1の修復フラグ706aに応じて第1のバイパス用フリップフロップ1401aに記憶されている修復データ又は第1の修復データ用フリップフロップ群703aに記憶されている修復データを出力する。具体的には、第1のセクタ705aは、第1の修復フラグ706aが「1」のときには第1の修復データ用フリップフロップ群703aに記憶されている修復データを出力し、第1の修復フラグ706aが「0」のときには第1のバイパス用フリップフロップ1401aに記憶されている修復データを出力する。

10

【0072】

第2のセクタ705bは、第2の修復フラグ用フリップフロップ701bに記憶されている第2の修復フラグ706bに応じて第2のバイパス用フリップフロップ1401bに記憶されている修復データ又は第2の修復データ用フリップフロップ群703bに記憶されている修復データを出力する。具体的には、第2のセクタ705bは、第2の修復フラグ706bが「1」のときには第2の修復データ用フリップフロップ群703bに記憶されている修復データを出力し、第2の修復フラグ706bが「0」のときには第2のバイパス用フリップフロップ1401bに記憶されている修復データを出力する。

20

【0073】

データ転送制御回路403は、3個のパルスのクロック信号CK1を修復フラグ用フリップフロップ701a~701cに供給することにより、修復フラグ706a~706cを修復フラグ用フリップフロップ701a~701cにシリアル転送する。その後、データ転送制御回路403は、8個のパルスのクロック信号CK1を修復データ用フリップフロップ群703a~703c及びバイパス用フリップフロップ1401a,1401bに供給することにより、修復データ704a~704cを修復データ用フリップフロップ群703a~703cにシリアル転送することができる。第1の修復データ用フリップフロップ群703aには第1の修復データ704aが設定され、第2の修復データ用フリップフロップ群703bには第2の修復データ704bが設定され、第3の修復データ用フリップフロップ群703cには第3の修復データ704cが設定される。第2のバイパス用フリップフロップ1401bには、ダミー用修復データ1402bが記憶される。

30

【0074】

本実施形態によれば、バイパス用フリップフロップ1401a及び1401bを設けることにより、バイパス線の長さを短くして遅延時間を短縮することができるので、データ転送時のクロック信号CK1を高周波数にすることができる。

【0075】

(第6の実施形態)

図15は、第6の実施形態によるメモリ装置の構成例を示す図である。以下、本実施形態が第1及び第2の実施形態と異なる点を説明する。図7のメモリ装置では、修復データ取得回路402a及び402b間を接続する線は2本であり、修復データ取得回路402b及び402c間を接続する線も2本である。本実施形態では、これらの接続線の数を減らすことにより、修復データ取得回路402a~402cの間の接続の変更を容易にする。

40

【0076】

セクタ1501aは、データ転送制御回路403の制御に応じて、第1の修復フラグ用フリップフロップ701aに記憶されている修復フラグ又は第1のセクタ705aにより出力される修復データを第2の修復フラグ用フリップフロップ701b、第2のセクタ705b及び第2の論理回路702bに出力する。第1の修復フラグ用フリップフロ

50

ップ701aは、データ転送制御回路403の出力端子及びセクタ1501aの入力端子間に接続される。

【0077】

セクタ1501bは、データ転送制御回路403の制御に応じて、第2の修復フラグ用フリップフロップ701bに記憶されている修復フラグ又は第2のセクタ705bにより出力される修復データを第3の修復フラグ用フリップフロップ701c及び第3の論理回路702cに出力する。第2の修復フラグ用フリップフロップ701bは、セクタ1501aの出力端子及びセクタ1501bの入力端子間に接続される。

【0078】

図16は修復フラグ706a~706cを修復フラグ用フリップフロップ701a~701cにシリアル転送する図であり、図17は修復データ704a~704cを修復データ用フリップフロップ群703a~703cにシリアル転送する図である。

10

【0079】

まず、図16を参照しながら、修復フラグ706a~706cを修復フラグ用フリップフロップ701a~701cにシリアル転送する処理を説明する。データ転送制御回路403は、セクタ1501a及び1501bに「0」の選択信号を出力する。これにより、セクタ1501aは、第1の修復フラグ用フリップフロップ701aに記憶されている修復フラグを選択し、第2の修復フラグ用フリップフロップ701bに出力する。セクタ1501bは、第2の修復フラグ用フリップフロップ701bに記憶されている修復フラグを選択し、第3の修復フラグ用フリップフロップ701cに出力する。

20

【0080】

次に、データ転送制御回路403は、3個のパルスのクロック信号CK1を修復フラグ用フリップフロップ701a~701cに供給すると共に、不揮発性メモリ404内の修復フラグ706c, 706b, 706aをシリアルに第1の修復フラグ用フリップフロップ701aに出力する。すると、第3の修復フラグ用フリップフロップ701cに第3の修復フラグ706cが設定され、第2の修復フラグ用フリップフロップ701bに第2の修復フラグ706bが設定され、第1の修復フラグ用フリップフロップ701aに第1の修復フラグ706aが設定される。

【0081】

次に、図17を参照しながら、修復データ704a~704cを修復データ用フリップフロップ群703a~703cにシリアル転送する処理を説明する。その後、データ転送制御回路403は、セクタ1501a及び1501bに「1」の選択信号を出力する。これにより、セクタ1501aは、第1のセクタ705aにより出力される修復データを選択し、第2のセクタ705bに出力する。セクタ1501bは、第2のセクタ705bにより出力される修復データを選択し、第3の論理回路702cに出力する。

30

【0082】

次に、データ転送制御回路403は、不揮発性メモリ404内の8ビットの修復データ1101, 704c, 704bに対応して8個のパルスのクロック信号CK1を修復データ用フリップフロップ群703a~703cに出力する。この間、修復フラグ用フリップフロップ701a~701cのクロック信号は停止する。第2の実施形態と同様に、第3の修復データ用フリップフロップ群703cには第3の修復データ704cが設定され、第2の修復データ用フリップフロップ群703bには第2の修復データ704bが設定され、第1の修復データ用フリップフロップ群703aには第1の修復データ704aが設定される。

40

【0083】

本実施形態によれば、修復データ取得回路402a及び402b間を接続する線は1本であり、修復データ取得回路402b及び402c間を接続する線も1本である。これらの接続線の数を減らすことができるので、修復データ取得回路402a~402cの間の接続の変更を容易にすることができる。

【0084】

50

以上のように、第 1 ~ 第 6 の実施形態は、図 1 のメモリ装置及び図 2 のメモリ装置に対して、データ転送時間を短縮することができる。また、第 1 ~ 第 6 の実施形態は、図 3 のメモリ装置に対して、データ転送制御回路とフリップフロップ群との間の並列接続配線の数を削減することができる。

【 0 0 8 5 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

10

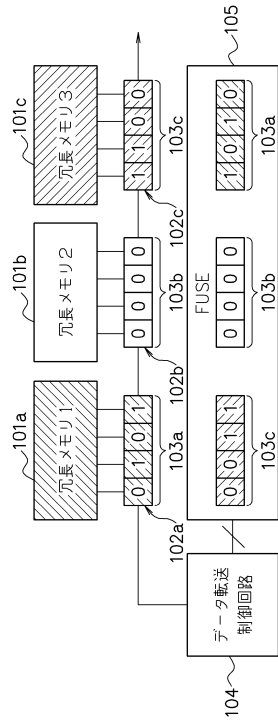
【 0 0 8 6 】

- 4 0 1 a 第 1 の冗長メモリ
- 4 0 1 b 第 2 の冗長メモリ
- 4 0 1 c 第 3 の冗長メモリ
- 4 0 2 a 第 1 の修復データ取得回路
- 4 0 2 b 第 2 の修復データ取得回路
- 4 0 2 c 第 3 の修復データ取得回路
- 4 0 3 データ転送制御回路
- 4 0 4 不揮発性メモリ
- 7 0 1 a 第 1 の修復フラグ用フリップフロップ
- 7 0 1 b 第 2 の修復フラグ用フリップフロップ
- 7 0 1 c 第 3 の修復フラグ用フリップフロップ
- 7 0 2 a 第 1 の論理回路
- 7 0 2 b 第 2 の論理回路
- 7 0 2 c 第 3 の論理回路
- 7 0 3 a 第 1 の修復データ用フリップフロップ群
- 7 0 3 b 第 2 の修復データ用フリップフロップ群
- 7 0 3 c 第 3 の修復データ用フリップフロップ群
- 7 0 4 a 第 1 の修復データ
- 7 0 4 b 第 2 の修復データ
- 7 0 4 c 第 3 の修復データ
- 7 0 5 a 第 1 のセレクタ
- 7 0 5 b 第 2 のセレクタ
- 7 0 6 a 第 1 の修復フラグ
- 7 0 6 b 第 2 の修復フラグ
- 7 0 6 c 第 3 の修復フラグ

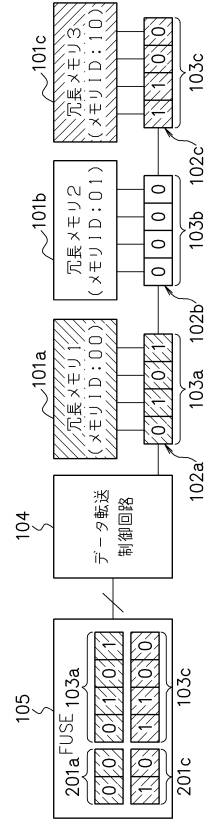
20

30

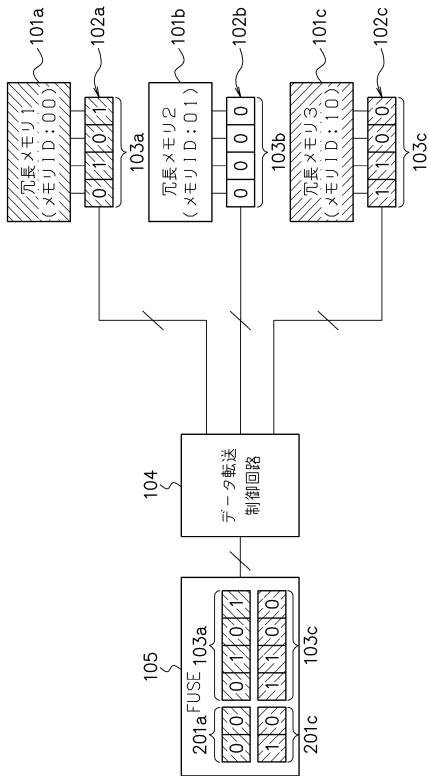
【 図 1 】



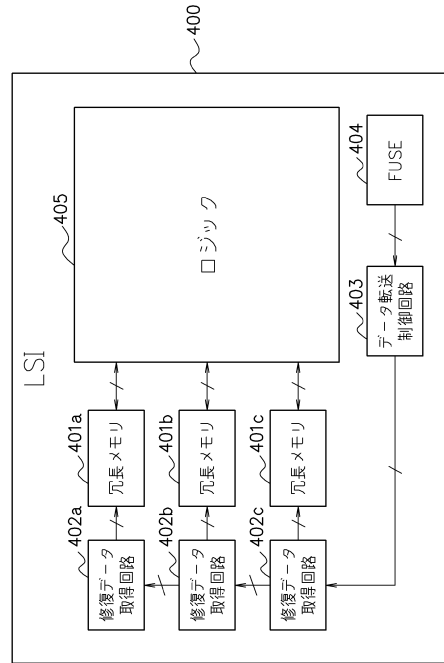
【 図 2 】



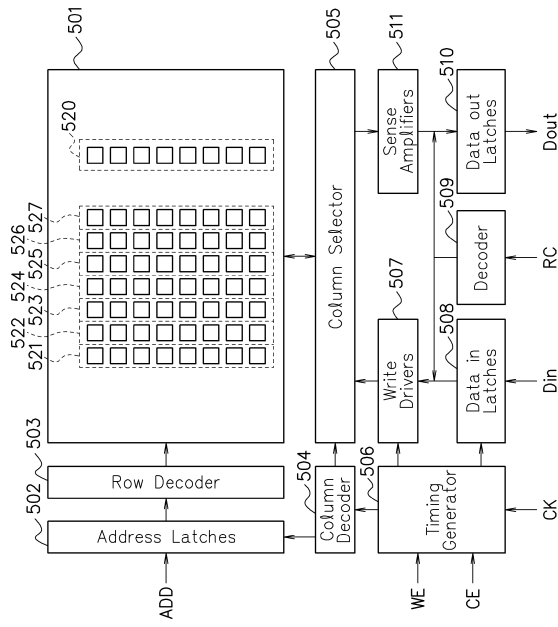
【 図 3 】



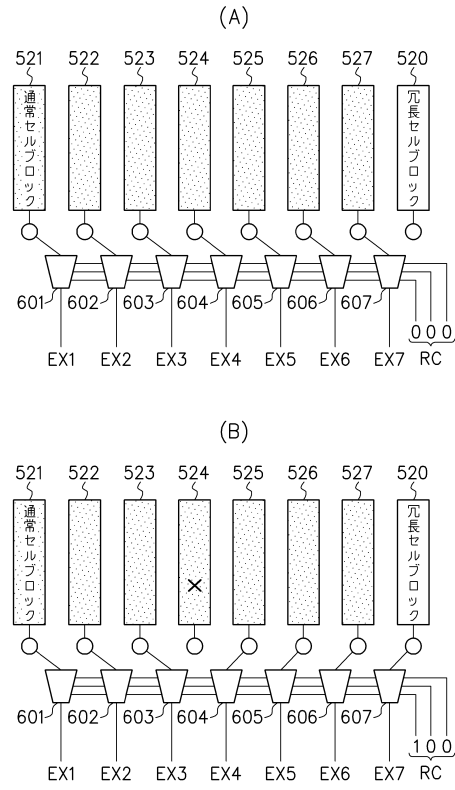
【 図 4 】



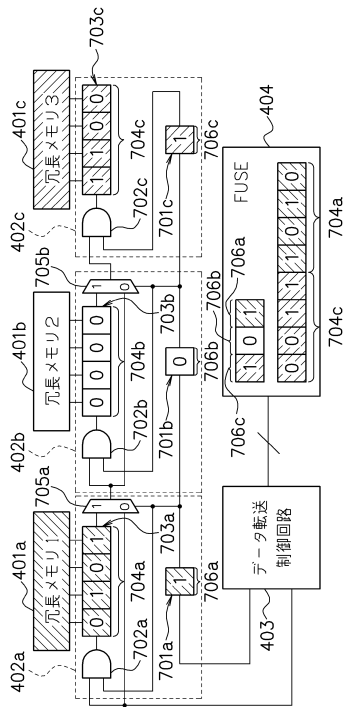
【図5】



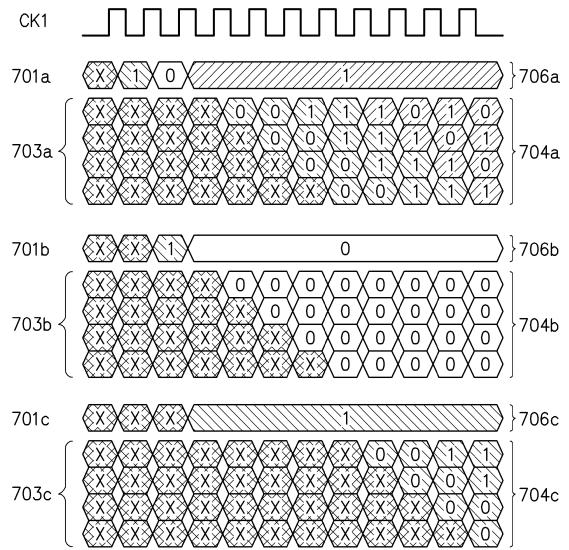
【図6】



【図7】

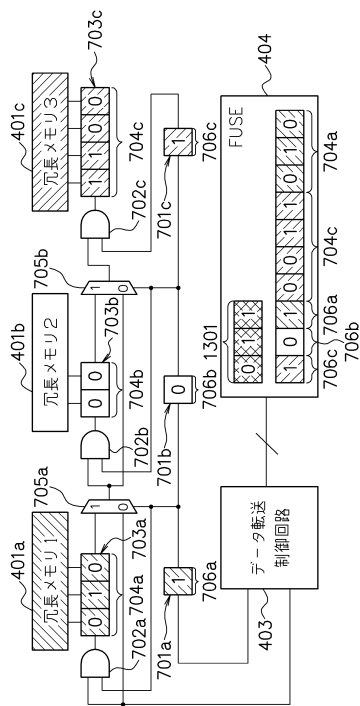


【図8】

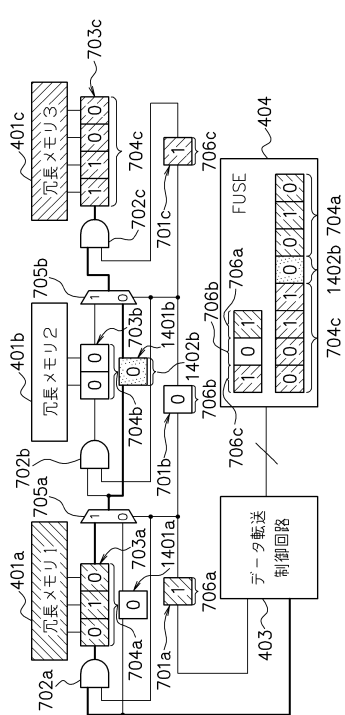




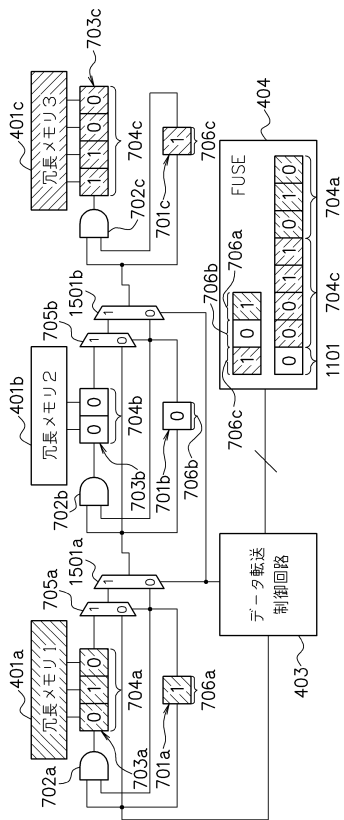
【図13】



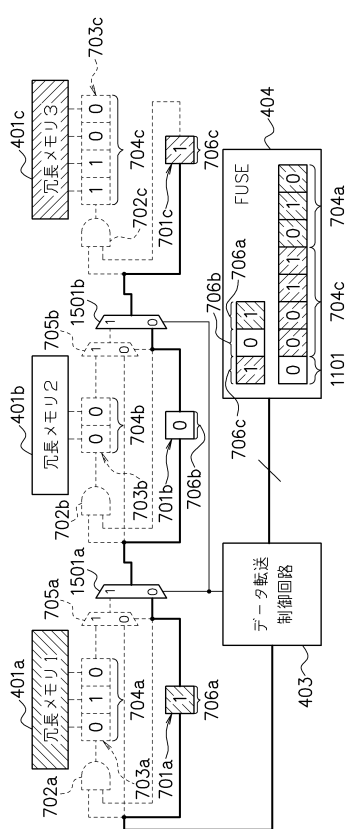
【図14】



【図15】



【図16】





---

フロントページの続き

(56)参考文献 特許第5640916(JP, B1)

米国特許出願公開第2010/0318843(US, A1)

米国特許出願公開第2007/0165467(US, A1)

(58)調査した分野(Int.Cl., DB名)

G11C 29/00