

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-332496

(P2005-332496A)

(43) 公開日 平成17年12月2日(2005.12.2)

(51) Int. Cl.⁷

G 1 1 C 11/407
G 1 1 C 11/403
G 1 1 C 11/408

F I

G 1 1 C 11/34 3 5 4 C
G 1 1 C 11/34 3 7 1 J
G 1 1 C 11/34 3 5 4 B

テーマコード(参考)

5M024

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21) 出願番号 特願2004-150561 (P2004-150561)
(22) 出願日 平成16年5月20日(2004.5.20)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100072718
弁理士 古谷 史旺
(74) 代理人 100116001
弁理士 森 俊秀
(72) 発明者 池田 仁史
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
Fターム(参考) 5M024 AA44 BB27 BB34 DD32 DD33
DD39 DD82 PP01 PP02 PP03
PP07

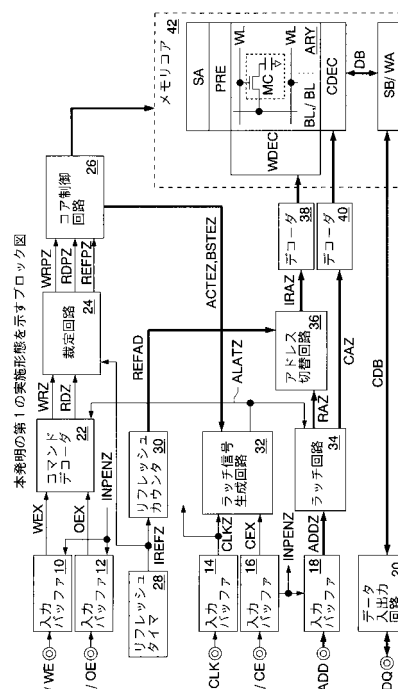
(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【課題】 入力信号の入力回路がチップイネーブル信号で制御されるクロック同期式の半導体メモリにおいて、入力回路で受信した入力信号を確実にラッチ回路でラッチする。

【解決手段】 ラッチ信号生成回路32は、チップイネーブル信号/CEを遅延させた遅延チップイネーブル信号の活性化タイミングおよびクロック信号CLKの遷移タイミングのうち遅いタイミングに同期してラッチ信号ALATZを生成する。ラッチ回路34は、信号入力バッファ18で受信された入力信号ADDを、ラッチ信号ALATZに同期してラッチする。入力信号ADDのクロック信号CLKに対するセットアップ時間に応じて、ラッチ信号ALATZの生成タイミングを変えることで、スタンバイ電流の削減と、セットアップ不足による入力信号ADDの誤ラッチによる半導体メモリの誤動作の防止とを両立できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

メモリセルを有するメモリコアと、
内部回路を動作させるクロック信号を受けるクロック入力バッファと、
前記メモリコアを動作可能にするためのチップイネーブル信号を受けるイネーブル入力バッファと、
前記チップイネーブル信号の活性化中に入力信号を受けるために活性化され、前記チップイネーブル信号の非活性化中に非活性化される信号入力バッファと、
前記チップイネーブル信号を遅延させた遅延チップイネーブル信号の活性化タイミングおよび前記クロック入力バッファで受信した前記クロック信号の遷移タイミングのうち遅いタイミングに同期してラッチ信号を生成するラッチ信号生成回路と、
前記信号入力バッファで受信された入力信号を、前記ラッチ信号に同期してラッチするラッチ回路とを備えていることを特徴とする半導体メモリ。

10

【請求項 2】

請求項 1 記載の半導体メモリにおいて、
前記信号入力バッファは、アクセスする前記メモリセルを示すアドレス信号を受けるアドレス入力バッファであることを特徴とする半導体メモリ。

【請求項 3】

請求項 2 記載の半導体メモリにおいて、
前記メモリコアをアクセスするためのアクセス要求を受けるコマンド入力バッファと、
コマンド入力バッファで受けた前記アクセス要求を前記ラッチ信号に同期して受信し解読し、前記メモリコアを動作するための動作制御信号を出力するコマンドデコーダと、
前記コマンドデコーダのデコード結果に応答して前記メモリコアをアクセスするコア制御回路とを備えていることを特徴とする半導体メモリ。

20

【請求項 4】

請求項 1 記載の半導体メモリにおいて、
前記メモリセルをリフレッシュするためのリフレッシュ要求を所定の周期で生成するリフレッシュタイマと、
リフレッシュする前記メモリセルを示すリフレッシュアドレス信号を、前記リフレッシュ要求に同期して順次生成するリフレッシュカウンタと、
前記アクセス要求および前記リフレッシュ要求が競合するときに、どちらを優先させるかを判定する裁定回路とを備えていることを特徴とする半導体メモリ。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、クロック信号に同期して動作する半導体メモリに関する。

【背景技術】**【0002】**

クロック信号に同期して動作する半導体メモリとして、例えば、シンクロナス DRAM 等が知られている。この種の半導体メモリは、入力回路で受信した入力信号（アドレス信号等）をチップイネーブル信号の活性化期間中にラッチ回路に伝達し、伝達された信号をクロック信号に同期してラッチする。ラッチされた信号は、デコーダ等に供給される。

40

【0003】

半導体メモリをアクセスするシステムは、入力信号およびチップイネーブル信号をクロック信号に同期して半導体メモリに供給する。例えば、特許文献 1 では、アドレス信号をクロック信号に同期して確実にラッチするために、半導体メモリの内部回路の動作余裕を用いて、チップイネーブル信号の活性化期間を入力信号の確定期間より広くしている。

【0004】

一方、クロック非同期式の半導体メモリとして、擬似 SRAM、DRAM 等が知られている。この種の半導体メモリは、スタンバイ電流を削減するために、アドレス信号等の入

50

力信号を受信する入力回路をチップイネーブル信号で制御している。すなわち、入力回路をチップイネーブル信号の活性化中のみ活性化することで、スタンバイ電流が削減される。また、入力回路で受信した入力信号は、チップイネーブル信号を遅延させた遅延信号でラッチされ、デコーダ等に供給される。

【特許文献1】特開平10-55665号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

クロック同期式の半導体メモリにおいて、クロック信号の周波数は高くなる傾向にあり、半導体メモリの内部回路の動作余裕を確保することは困難になってきている。このため、クロック信号の周波数(動作周波数)が高い場合、特許文献1による手法を用いても、アドレス信号をクロック信号に同期して確実にラッチできない。

10

【0006】

また、近時、クロック同期式の擬似SRAMが提案されている。クロック同期式の擬似SRAMにおいて、アドレス信号の入力回路をチップイネーブル信号で制御し、クロック同期式の半導体メモリと同様に、クロック信号に同期してアドレス信号をラッチする場合、チップイネーブル信号のクロック信号に対するセットアップ時間が短くなると、アドレス信号を正しくラッチできなくなる。換言すれば、チップイネーブル信号による入力回路でのアドレス信号の遅延だけ、ラッチ回路でのセットアップ時間は短くなり、ラッチ回路のラッチマージンは減少する。

20

【0007】

さらに、一般に、半導体メモリをアクセスするシステムでは、アドレス信号は、複数のデバイスに共通に供給される。このため、システム上での配線長が長くなり、負荷も大きくなる。このため、アドレス信号は、チップイネーブル信号より遅れて半導体メモリに到達する場合が多い。このように、システム上での信号線の負荷も、ラッチ回路でのセットアップ時間を短くする要因になっている。セットアップ時間およびホールド時間は、クロック信号の周波数は高くほど短くなる。このため、上記問題は、クロック信号の周波数が高いほど顕著になる。

【0008】

一方、クロック同期式の擬似SRAMにおいて、クロック非同期式の擬似SRAMと同様に、入力回路で受信したアドレス信号をチップイネーブル信号を遅延させた遅延信号でラッチする場合、クロック信号の周波数が変化すると、アドレス信号を正しくラッチできなくなる。具体的には、上記遅延信号の生成タイミングは、クロック周期に依存しないため、クロック周期の変化により、ラッチタイミングはずれてしまう。

30

【0009】

本発明の目的は、入力信号の入力回路がチップイネーブル信号で制御されるクロック同期式の半導体メモリにおいて、入力回路で受信した入力信号を確実にラッチ回路でラッチすることにある。

【課題を解決するための手段】

【0010】

本発明の半導体メモリの一形態では、クロック入力バッファは、内部回路を動作させるクロック信号を受ける。イネーブル入力バッファは、メモリコアを動作可能にするためのチップイネーブル信号を受ける。信号入力バッファは、チップイネーブル信号の活性化中に活性化されて入力信号を受け、チップイネーブル信号の非活性化中に非活性化されて受信動作を停止する。信号入力バッファを、チップイネーブル信号の活性化中のみ活性化することで、スタンバイ電流が削減される。ラッチ信号生成回路は、チップイネーブル信号を遅延させた遅延チップイネーブル信号の活性化タイミングおよびクロック入力バッファで受信したクロック信号の遷移タイミングのうち遅いタイミングに同期してラッチ信号を生成する。ラッチ回路は、信号入力バッファで受信された入力信号を、ラッチ信号に同期してラッチする。

40

50

【0011】

上記構成により、入力信号のクロック信号に対するセットアップ時間が長い場合、入力信号は、クロック信号に同期してラッチされる。入力信号のクロック信号に対するセットアップ時間が短い場合、入力信号は、クロック信号に非同期の遅延チップイネーブル信号に同期してラッチされる。したがって、スタンバイ電流を増加することなく、入力信号を確実にラッチできる。換言すれば、スタンバイ電流を削減するために、信号入力バッファをチップイネーブル信号で制御するクロック同期式の半導体メモリにおいて、入力信号のクロック信号に対するセットアップ時間が短い場合にも、入力信号を確実にラッチできる。この結果、スタンバイ電流の削減と、セットアップ不足による入力信号の誤ラッチによる半導体メモリの誤動作の防止とを両立できる。

10

【0012】

本発明の半導体メモリの一形態における好ましい例では、信号入力バッファは、アクセスするメモリセルを示すアドレス信号を受けるアドレス入力バッファである。一般に、アドレス信号は、半導体メモリを搭載するシステム上で他の複数のデバイスに共通に供給される。このため、システム上でアドレス信号を送信する信号線の負荷は大きくなり、アドレス信号は、チップイネーブル信号に比べて半導体メモリへの到達タイミングが遅れる。本発明の適用により、アドレス信号線の負荷が大きく、アドレス信号がチップイネーブル信号に比べて遅く伝送される場合にも、入力信号を確実にラッチでき、誤動作を防止できる。

20

【0013】

本発明の半導体メモリの一形態における好ましい例では、コマンド入力バッファは、メモリコアをアクセスするためのアクセス要求を受ける。コマンドデコーダは、コマンド入力バッファで受けたアクセス要求をラッチ信号に同期して受信し解読し、メモリコアを動作するための動作制御信号を出力する。コア制御回路は、コマンドデコーダのデコード結果（動作制御信号）に回答してメモリコアをアクセスする。

30

【0014】

チップイネーブル信号のクロック信号に対するセットアップ時間が短く、アドレス信号が遅延チップイネーブル信号に同期してラッチされる場合、アドレス信号のラッチタイミングは、クロック信号に同期してラッチするより遅くなる。このとき、コマンドデコーダは、遅延チップイネーブル信号に応じて生成されたラッチ信号に同期して動作制御信号を出力する。同様に、チップイネーブル信号のクロック信号に対するセットアップ時間が長く、アドレス信号がクロック信号に同期してラッチされる場合、動作制御信号は、クロック信号に同期して出力される。このように、コマンドデコーダの動作タイミングを、アドレス信号のラッチタイミングに合わせて変更することで、アドレス信号のメモリコアへの供給タイミングを、メモリコアの動作開始タイミングに合わせることができる。この結果、不正なアドレス信号によるメモリコアの誤動作を防止できる。

40

【0015】

本発明の半導体メモリの一形態における好ましい例では、リフレッシュタイマは、メモリセルをリフレッシュするためのリフレッシュ要求を所定の周期で生成する。リフレッシュカウンタは、リフレッシュするメモリセルを示すリフレッシュアドレス信号をリフレッシュ要求に同期して順次生成する。裁定回路は、アクセス要求およびリフレッシュ要求が競合するときに、どちらを優先させるかを判定する。このため、リフレッシュ動作は、半導体メモリの外部に認識されることなく自動的に実行される。したがって、リフレッシュ動作を自動的に実行するクロック同期式の半導体メモリ（例えば、擬似SRAM）において、スタンバイ電流を増加させることなく、入力信号を確実にラッチでき、誤動作を防止できる。

【発明の効果】

【0016】

クロック同期式の半導体メモリにおいて、スタンバイ電流を増加させることなく、入力信号を確実にラッチでき、誤動作を防止できる。

50

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施形態を図面を用いて説明する。図中、太線で示した信号線は、複数ビットで構成されている。図中の二重丸は、外部端子（チップ上のパッドに対応）を示している。末尾に"Z"の付いている信号は、正論理を示している。先頭に"/"の付いている信号および末尾に"X"の付いている信号は、負論理を示している。

【0018】

図1は、本発明の半導体メモリの一実施形態を示している。この半導体メモリは、DRAMのメモリセル（ダイナミックメモリセル）を有し、SRAMのインタフェースを有するクロック同期式の擬似SRAMチップ（デバイス）として形成されている。擬似SRAMは、外部からリフレッシュコマンドを受けることなく、チップ内部で定期的にリフレッシュ動作を実行し、メモリセルに書き込まれたデータを保持する。

10

【0019】

擬似SRAMは、外部端子を介して供給されるライトイネーブル信号/W_E、アウトプットイネーブル信号/O_E、クロック信号CLK、チップイネーブル信号/CEおよびアドレス信号ADDを受ける入力バッファ10、12、14、16、18、データ入出力回路20、コマンドデコーダ22、裁定回路24、コア制御回路26、リフレッシュタイマ28、リフレッシュカウンタ30、ラッチ信号生成回路32、ラッチ回路34、アドレス切替回路36、ロウデコーダ38、コラムデコーダ40およびメモリコア42を有している。

20

【0020】

入力バッファ14は、常に活性化され、クロック信号CLKを内部クロック信号CLK_Zとして出力する。入力バッファ14は、内部回路を動作させるクロック信号CLKを受けるクロック入力バッファとして動作する。内部クロック信号CLK_Zは、擬似SRAMの主要な回路に供給される。入力バッファ16は、常に活性化され、チップイネーブル信号/CEを内部チップイネーブル信号CE_Xおよび入力イネーブル信号INPEN_Zとして出力する。入力イネーブル信号INPEN_Zは、チップイネーブル信号/CEの論理を反転した信号である。入力バッファ16は、メモリコア42を動作可能にするためのチップイネーブル信号/CEを受けるイネーブル入力バッファとして動作する。なお、チップイネーブル信号は、チップセレクト信号とも称され、システムのアドレスマップ上に割り当てられる擬似SRAMを選択するために用いられる信号である。

30

【0021】

入力バッファ10は、入力イネーブル信号INPEN_Zの活性化期間に活性化され、ライトイネーブル信号/W_Eを内部ライトイネーブル信号WE_Xとして出力する。入力バッファ12は、入力イネーブル信号INPEN_Zの活性化期間に活性化され、アウトプットイネーブル信号/O_Eを内部アウトプットイネーブル信号OE_Xとして出力する。ライトイネーブル信号/W_Eおよびアウトプットイネーブル信号/O_Eは、メモリコア34に読み出し動作または書き込み動作させるためのアクセス要求信号である。入力バッファ10、12は、メモリコア42をアクセスするためのアクセス要求（書き込み要求および読み出し要求）を受けるコマンド入力バッファとして動作する。

40

【0022】

入力バッファ18は、入力イネーブル信号INPEN_Zの活性化期間に活性化され、アクセスするメモリセルMCを示すアドレス信号ADDを受信し、受信した信号を内部アドレス信号ADD_Zとして出力する。入力バッファ18は、チップイネーブル信号/CEの活性化中にアドレス信号を受けるために活性化され、チップイネーブル信号/CEの非活性化中に非活性化されアドレス信号の受信動作を停止する信号入力バッファ（アドレス入力バッファ）として動作する。入力バッファ10、12、18は、入力イネーブル信号INPEN_Zの非活性化中に非活性化されるため、スタンバイ期間中に入力バッファ10、12、18内のリーク電流（電源間の貫通電流）を削減できる。また、入力信号が変化しても擬似SRAM内の回路は全く動作しない。この結果、スタンバイ電流を削減できる。

50

【 0 0 2 3 】

データ入出力回路 2 0 は、図示しない出力バッファおよび入力バッファを有している。出力バッファは、読み出し動作時に、メモリセル M C からの読み出しデータをコモンデータバス C D B を介して受信し、受信したデータをデータ端子 D Q に出力する。出力バッファは、内部アウトプットイネーブル信号 O E X および内部クロック信号 C L K Z を用いて生成されたタイミング信号に同期して動作する。入力バッファは、書き込み動作時に、書き込みデータをデータ端子 D Q を介して受信し、受信したデータをコモンデータバス C D B に出力する。入力バッファは、内部ライトイネーブル信号 W E X および内部クロック信号 C L K Z を用いて生成されたタイミング信号に同期して動作する。

【 0 0 2 4 】

コマンドデコーダ 2 2 は、内部ライトイネーブル信号 W E X (コマンド信号) および内部アウトプットイネーブル信号 O E X (コマンド信号) をアドレスラッチ信号 A L A T Z に同期して受け、受けた信号を解読する。コマンドデコーダ 2 2 は、内部ライトイネーブル信号 W E X が低レベルのときに書き込み動作を実行するための書き込み制御信号 W R Z を活性化し、内部アウトプットイネーブル信号 O E X が低レベルのときに読み出し動作を実行するための読み出し制御信号 R D Z を出力する。書き込み制御信号 W R Z および読み出し制御信号 R D Z は、メモリコア 4 2 を動作させるための動作制御信号である。

【 0 0 2 5 】

裁定回路 2 4 は、制御信号 R D Z、W R Z (外部アクセス要求) と内部リフレッシュ要求信号 I R E F Z (リフレッシュ要求) との遷移エッジを比較することで、これ等要求の競合を判断し、アクセス動作 (外部アクセス動作) およびリフレッシュ動作 (内部アクセス動作) のいずれを優先させるかを定める。裁定回路 2 4 は、アクセス動作を優先する場合、リフレッシュ要求を一時保持し、アクセス要求に応答して読み出しタイミング信号 R D P Z または書き込みタイミング信号 W R P Z を出力する。この後、裁定回路 2 2 は、タイミング信号 R D P Z または W R P Z に対応するメモリコア 4 2 のアクセス動作の完了に応答して、保持しているリフレッシュ要求に応じてリフレッシュタイミング信号 R E F P Z を出力する。

【 0 0 2 6 】

また、裁定回路 2 2 は、リフレッシュ動作を優先する場合、アクセス要求を一時保持し、リフレッシュ要求に応答してリフレッシュタイミング信号 R E F P Z を出力する。この後、裁定回路 2 2 は、リフレッシュ要求に対応するメモリコア 4 2 のアクセス動作の完了に応答して、保持しているアクセス要求に応じて読み出しタイミング信号 R D P Z または書き込みタイミング信号 W R P Z を出力する。

【 0 0 2 7 】

コア制御回路 2 6 は、読み出しタイミング信号 R D P Z、書き込みタイミング信号 W R P Z、またはリフレッシュタイミング信号 R E F P Z を受けたときに、メモリコア 4 2 を動作させるタイミング信号 (ワード線活性化信号、センスアンプ活性化信号およびビット線リセット信号等) を出力する。また、コア制御回路 2 6 は、メモリコア 4 2 のアクセス動作の完了に同期してアクティブエンド信号 A C T E Z またはバーストエンド信号 B S T E Z を出力する。ここで、バーストエンド信号 B S T E Z は、1 回の外部アクセス要求に対応して、メモリコア 4 2 に対してデータを複数回入力または出力するバースト動作の完了時に出力される。

【 0 0 2 8 】

リフレッシュタイマ 2 8 は、メモリセル M C をリフレッシュするための内部リフレッシュ要求信号 I R E F Z を所定の周期で出力する。リフレッシュタイマ 2 8 は、例えば、発振信号を生成するリングオシレータと、リングオシレータの出力から内部リフレッシュ要求信号 I R E F Z を生成するための分周回路とで構成されている。リフレッシュカウンタ 3 0 は、内部リフレッシュ要求信号 I R E F Z に同期してカウント動作し、リフレッシュするメモリセル M C を示すリフレッシュアドレス信号 R E F A D を順次生成する。

【 0 0 2 9 】

10

20

30

40

50

ラッチ信号生成回路32は、内部クロック信号CLKZ、内部チップイネーブル信号CEX、アクティブエンド信号ACTEZおよびバーストエンド信号BSTEZを用いて内部アドレス信号ADDZをラッチするためのアドレスラッチ信号ALATZを生成する。アドレスラッチ信号ALATZは、チップイネーブル信号/CEを遅延させた遅延チップイネーブル信号(後述する図2のノードND3)の活性化タイミングおよび内部クロック信号CLKZの遷移タイミング(図2のノードND2)のうち、遅いタイミングに同期してアドレスラッチ信号ALATZを生成する。アドレスラッチ信号ALATZは、コマンドデコーダ24のデコードタイミング信号としても使用される。

【0030】

ラッチ回路34は、内部アドレス信号ADDZをアドレスラッチ信号ALATZに同期してラッチし、ラッチしたアドレスをロウアドレス信号RAZ(アドレスの上位ビット)およびコラムアドレス信号CAZ(アドレスの下位ビット)として出力する。ロウアドレス信号RAZは、ワード線WLを選択するために使用され、コラムアドレス信号CAZは、ビット線BL(または/BL)を選択するために使用される。

10

【0031】

アドレス切替回路36は、メモリアレイ42がリフレッシュ動作を実行するときリフレッシュアドレス信号REFADをロウアドレス信号IRAZとして出力し、メモリアレイ42が読み出し動作または書き込み動作を実行するときロウアドレス信号RAZをロウアドレス信号IRAZとして出力する。アドレス切替回路36の切替動作は、図示しないコア制御回路からの切替信号に応じて実施される。

20

【0032】

ロウデコーダ38は、ロウアドレス信号IRAZをデコードしたロウアドレスデコード信号を生成し、生成した信号をワードデコーダ部WDECに供給する。コラムデコーダ40は、コラムアドレス信号CAZをデコードしたコラムアドレスデコード信号を生成し、生成した信号をコラムデコーダ部CDECに供給する。

【0033】

メモリアレイ42は、メモリアレイARY、ワードデコーダ部WDEC、センスアンプ部SA、プリチャージ部PRE、コラムデコーダ部CDEC、センスバッファ部SB、およびライトアンプ部WAを有している。メモリアレイARYは、複数の揮発性のメモリセルMC(ダイナミックメモリセル)と、メモリセルMCに接続された複数のワード線WLおよび複数のビット線BL、/BL(相補のビット線)とを有している。各メモリセルMCは、一般のDRAMのメモリセルと同じであり、データを電荷として保持するためのキャパシタと、このキャパシタとビット線BL(または/BL)との間に配置された転送トランジスタとを有している。転送トランジスタのゲートは、ワード線WLに接続されている。ワード線WLの選択により、読み出し動作、書き込み動作またはリフレッシュ動作のいずれかが実行される。メモリアレイARYは、読み出し動作、書き込み動作またはリフレッシュ動作のいずれかを実行した後、コア制御回路26からのビット線リセット信号に回答してビット線BL、/BLを所定の電圧にプリチャージするプリチャージ動作を実行する。

30

【0034】

ワードデコーダ部WDECは、コア制御回路26からのワード線活性化信号に同期してワード線WLのいずれかを選択し、選択したワード線WLを高レベルに変化させる。コラムデコーダ部CDECはコラムアドレス信号CADに応じて、ビット線BL、/BLとデータバスDBとをそれぞれ接続するコラムスイッチ(不図示)をオンさせるコラム線信号を出力する。

40

【0035】

センスアンプ部SAは、複数のセンスアンプを有している。各センスアンプは、コア制御回路26からのセンスアンプ活性化信号に回答して動作し、ビット線BL、/BL上のデータの信号量を増幅する。センスアンプで増幅されたデータは、読み出し動作時にコラムスイッチを介してデータバスDBに伝達され、書き込み動作時にビット線を介してメモ

50

リセルMCに書き込まれる。プリチャージ部PREは、ビット線対BL、/BLにそれぞれ接続された複数のプリチャージ回路を有している。各プリチャージ回路は、ビット線リセット信号に応答してビット線BL、/BLを所定の電圧にプリチャージする。

【0036】

センスバッファ部SBは、データバスDB上の読み出しデータの信号量を増幅し、コモンデータバスCDBに出力する。ライトアンプ部WAは、コモンデータバスCDB上の書き込みデータの信号量を増幅し、データバスDBに出力する。

【0037】

図2は、図1に示したラッチ信号生成回路32の詳細を示している。ラッチ信号生成回路32は、OR回路32a、NORゲート32b、フリップフロップ32c、NANDゲート32d、フリップフロップ32e、タイミング生成回路32fおよびアンド回路32gを有している。

10

【0038】

OR回路32aは、アクティブエンド信号ACTEZまたはバーストエンド信号BSTEZを受けたときに、フリップフロップ32cのリセット端子Rを高レベルに設定する。NORゲート32bは、内部チップイネーブル信号CEXおよび内部クロック信号CLKZが共に低レベルのときに、フリップフロップ32cのセット端子Sを高レベルに設定する。フリップフロップ32cは、セット端子Sに高レベルを受けたときに低レベルにセットされ、リセット端子Rに高レベルを受けたときに高レベルにリセットされる。すなわち、フリップフロップ32cは、チップイネーブル信号/CEが低レベルに活性化された後の最初のクロック信号CLKの立ち下がりエッジに同期してセットされ、メモリア42の動作の完了に同期してリセットされる。

20

【0039】

NANDゲート32dは、フリップフロップ32cが低レベルを出力している期間(セット期間)に、内部クロック信号CLKZの立ち上がりエッジに同期してフリップフロップ32eのセット端子を低レベルに設定する。フリップフロップ32eは、セット端子Sに低レベルを受けたときに高レベルにセットされ、リセット端子Rに低レベルを受けたときに低レベルにリセットされる。すなわち、フリップフロップ32eは、チップイネーブル信号/CEが低レベルに活性化された後の最初のクロック信号CLKの立ち上がりエッジに同期してセットされ、メモリア42の動作の完了に同期してリセットされる。

30

【0040】

タイミング生成回路32fは、内部チップイネーブル信号CEXの立ち下がりエッジから遅延回路DLYの遅延時間だけ遅れてノードND3を高レベルに設定する。すなわち、タイミング生成回路32fは、チップイネーブル信号/CEを所定時間遅延させた遅延チップイネーブル信号を生成する。アンド回路32gは、フリップフロップ32eの出力(ノードND2)とタイミング生成回路32fの出力(ノードND3)が共に高レベルの期間に、アドレスラッチ信号ALATZを活性化する。

【0041】

図3は、図2に示したラッチ信号生成回路32の動作を示している。図3の波形は、チップイネーブル信号/CEがクロック信号CLKの立ち上がりエッジに対して十分なセットアップ時間tISを持って入力される例を示している。

40

【0042】

図2に示したフリップフロップ32cの出力であるノードND1のレベルは、クロック信号CLKおよびチップイネーブル信号/CEが共に低レベルに変化したときに低レベルに変化する(図3(a))。タイミング生成回路32fの出力であるノードND3のレベルは、チップイネーブル信号/CEの活性化から所定時間遅れて高レベルに変化する(図3(b))。フリップフロップ32eの出力であるノードND2のレベルは、チップイネーブル信号/CEが活性化された後の最初のクロック信号CLKの立ち上がりエッジに同期して高レベルに変化する(図3(c))。

【0043】

50

セットアップ時間 t_{IS} が遅延回路 DLY の遅延時間 $D1$ より長いとき、すなわち、セットアップ時間 t_{IS} に余裕があるとき、ノード $ND2$ が高レベルに遷移するタイミングは、ノード $ND3$ が高レベルに遷移するタイミングに比べて遅い。このため、アドレスラッチ信号 $ALATZ$ は、クロック信号 CLK の立ち上がりエッジに同期して活性化される (図3 (d))。その後、アクセス動作 (読み出し動作または書き込み動作) が実行される。ノード $ND1$ 、 $ND2$ は、アクセス動作後にコア制御回路26が出力するアクティブエンド信号 $ACTEZ$ またはバーストエンド信号 $BSTEZ$ に同期してリセットされる (図3 (e))。アドレスラッチ信号 $ALATZ$ は、ノード $ND2$ のリセットに同期して非活性化される (図3 (f))。

【0044】

10

図4は、図2に示したラッチ信号生成回路32の別の動作を示している。図3と同じ動作については、詳細な説明を省略する。図4の波形は、チップイネーブル信号 $/CE$ がクロック信号 CLK の立ち上がりエッジに対して、十分なセットアップ時間 t_{IS} を持たずに入力される例を示している。

【0045】

この例では、セットアップ時間 t_{IS} に余裕がないため、ノード $ND3$ が高レベルに変化するタイミングは、クロック信号 CLK の立ち上がりエッジより遅くなる (図4 (a))。すなわち、ノード $ND3$ が高レベルに遷移するタイミングは、ノード $ND2$ が高レベルに遷移するタイミングに比べて遅い。このため、アドレスラッチ信号 $ALATZ$ は、クロック信号 CLK には同期せず、チップイネーブル信号 $/CE$ の活性化から所定時間後に生成される (図4 (b))。

20

【0046】

このように、アドレスラッチ信号 $ALATZ$ は、セットアップ時間 t_{IS} に余裕があるときにクロック信号 CLK に同期して生成され、セットアップ時間 t_{IS} に余裕がないときにチップイネーブル信号 $/CE$ を遅延させた信号に同期して生成される。

【0047】

図5は、セットアップ時間 t_{IS} およびホールド時間 t_{IH} の変化を示している。セットアップ時間 t_{IS} は、クロック信号 CLK の立ち上がり以前に入力信号の確定が必要な最小時間の規定であり、ホールド時間 t_{IH} は、クロック信号 CLK の立ち上がり以後に入力信号の保持が必要な最小時間の規定である。セットアップ時間 t_{IS} およびホールド時間 t_{IH} は、半導体製造工程で発生する半導体デバイス間での特性のばらつき、および半導体デバイスを動作させる際の温度・電源電圧を考慮し、最悪の条件下でも確実に入力信号を取り込むことができるように決められている。

30

【0048】

一般に、半導体メモリをアクセスするシステム (CPU等) は、クロック信号 CLK の立ち上がりエッジに同期して擬似 $SRAM$ に供給する信号 (ADD 、 $/CE$ 等) を出力する。システムから出力される信号が擬似 $SRAM$ に到達するタイミングは、信号を出力する回路の駆動能力 (素子特性の製造誤差)、システムの電源電圧および動作温度によってもずれる。

【0049】

40

アドレス信号 ADD 等は、クロック信号 CLK の立ち上がりエッジに同期して出力されるため、その確定期間は、1クロック周期にほぼ等しくなる ($t_{IS} + t_{IH} = 1$ クロック周期)。より詳細には、確定期間は、遷移エッジ時間および複数ビット間のタイミングのずれであるスキューにより1クロック周期より僅かに短くなる。したがって、アドレス信号 ADD の擬似 $SRAM$ への到達タイミングが遅いと、セットアップ時間 t_{IS} は短くなり、ホールド時間 t_{IH} は長くなる。逆に、到達タイミングが早いと、セットアップ時間 t_{IS} は長くなり、ホールド時間 t_{IH} は短くなる。

【0050】

また、システムから出力された信号は、システム上に形成されるバスライン等の信号線を介して擬似 $SRAM$ に供給される。一般に、アドレス信号 ADD は、システム上で複数

50

のデバイスに共通に供給される。この場合、アドレス信号 $A D D$ の負荷は、チップイネーブル信号 / $C E$ の負荷より大きい。このため、アドレス信号 $A D D$ は、チップイネーブル信号 / $C E$ より遅れて擬似 $S R A M$ に到達する場合が多い。このことを考慮して、擬似 $S R A M$ (本発明の擬似 $S R A M$ も含む) では、アドレス信号 $A D D$ が、チップイネーブル信号 / $C E$ の活性化タイミングに対して所定時間 $t A S C L$ だけ遅れて入力されることを認めている。

【0051】

図6は、アクセス動作を開始するまでの擬似 $S R A M$ の動作を示している。図6の波形は、チップイネーブル信号 / $C E$ がクロック信号 $C L K$ の立ち上がりエッジに対して十分なセットアップ時間 $t I S$ を持って入力される例を示している。また、擬似 $S R A M$ をアクセスするシステムは、アドレス信号 $A D D$ 、チップイネーブル信号 / $C E$ 等の入力信号を同じタイミングで擬似 $S R A M$ に供給する。実際には、図5に示したように、システム上のアドレス信号線の負荷により、アドレス信号 $A D D$ は、チップイネーブル信号 / $C E$ より遅れて擬似 $S R A M$ に到達する。

10

【0052】

図1に示した入力バッファ16は、チップイネーブル信号 / $C E$ の活性化に同期して入力イネーブル信号 $I N P E N Z$ を活性化する(図6(a))。入力バッファ18は、アドレス信号 $A D D$ を入力イネーブル信号 $I N P E N Z$ に同期して受信する(図6(b))。セットアップ時間 $t I S$ に余裕があるため、アドレスラッチ信号 $A L A T Z$ は、図3に示したように、クロック信号 $C L K$ の立ち上がりエッジに同期して生成される(図6(c))。そして、ラッチ回路34は、内部アドレス信号 $A D D Z$ をアドレスラッチ信号 $A L A T Z$ に同期して余裕を持って受信し、ロウアドレス信号 $R A Z$ およびコラムアドレス信号 $C A Z$ として出力する(図5(d))。コマンドデコーダ22は、読み出し制御信号 $R D Z$ または書き込み制御信号 $W R Z$ をアドレスラッチ信号 $A L A T Z$ に同期して出力する(図6(e))。なお、上述したように、アドレス信号 $A D D$ の確定期間は、ほぼ1クロック周期である。このため、入力イネーブル信号 $I N P E N Z$ の高レベル期間中、内部アドレス信号 $A D D Z$ は、アドレス信号 $A D D$ の変化に伴い変化する(図6(f))。

20

【0053】

図7は、アクセス動作を開始するまでの擬似 $S R A M$ の別の動作を示している。図6と同じ動作については、詳細な説明を省略する。図7の波形は、チップイネーブル信号 / $C E$ がクロック信号 $C L K$ の立ち上がりエッジに対して、十分なセットアップ時間 $t I S$ を持たずに入力される例を示している。

30

【0054】

チップイネーブル信号 / $C E$ に対する入力イネーブル信号 $I N P E N Z$ の活性化タイミングは図6と同じである。セットアップ時間 $t I S$ に余裕がないため、アドレスラッチ信号 $A L A T Z$ は、図4に示したように、チップイネーブル信号 / $C E$ を遅延させた信号を用いて生成される(図7(a))。そして、ラッチ回路34は、内部アドレス信号 $A D D Z$ をアドレスラッチ信号 $A L A T Z$ に同期して余裕を持って受信し、ロウアドレス信号 $R A Z$ およびコラムアドレス信号 $C A Z$ として出力する(図7(b))。

【0055】

図7(c)に示す破線は、アドレスラッチ信号 $A L A T Z$ をクロック信号 $C L K$ に同期して生成する場合(本発明の適用前)を示している。セットアップ時間 $t I S$ に余裕がないときに、アドレスラッチ信号 $A L A T Z$ をクロック信号 $C L K$ に同期して生成すると、ラッチ回路34は、アドレス信号 $A D D Z$ が確定する前にラッチ動作を開始する。この場合、不正なアドレス信号 $A D D Z$ がラッチされるため、擬似 $S R A M$ は誤動作する。

40

【0056】

図7(d)に示す破線は、コマンドデコーダ22をクロック信号 $C L K$ に同期して動作させる場合(本発明の適用前)を示している。この場合、ロウアドレス信号 $R A Z$ とコア制御回路26が生成するタイミング信号(不図示)とのメモリアドレス信号 $R A Z$ への供給タイミングが互いにずれてしまう。すなわち、タイミング信号がロウアドレス信号 $R A Z$ より相対

50

的に早くメモリコア42に供給される。この結果、擬似SRAMは誤動作する。

【0057】

図8は、擬似SRAMに本発明を適用する前の不具合を示している。一般に、半導体メモリの内部信号の生成タイミングは、トランジスタの駆動能力の変動(素子特性の製造誤差)、電源電圧および動作温度により変動する。このため、擬似SRAMの内部回路は、アドレスラッチ信号ALATZのタイミングが内部信号のタイミング変動により変動する場合にも、アドレス信号ADDを確実にラッチできるように設計される(図8(a))。

【0058】

一方、チップイネーブル信号/CEの遅延信号を用いてアドレスラッチ信号ALATZを生成する擬似SRAMをクロック同期式に変更する場合、図5で説明したように、アドレス信号ADDの確定期間は、ほぼクロック信号CLKの1周期の期間に等しい。このため、クロック信号CLKの周波数が高くなると、内部アドレス信号ADDZの確定期間は短くなる(図8(b))。このため、図に太い矢印で示したように、アドレスラッチ信号ALATZの生成タイミングが遅い場合、正しい内部アドレス信号ADDZをラッチできず、擬似SRAMは誤動作する(図8(c))。誤動作を防止するために、クロック周波数を低くする必要があり、擬似SRAMの性能向上の妨げになる。

【0059】

本発明では、セットアップ時間 t_{IS} の長さに応じて、アドレスラッチ信号ALATZを生成するラッチ信号生成回路32内の信号生成経路を変更するため、上記不具合の発生が防止される。具体的には、セットアップ時間 t_{IS} が長いときにクロック信号CLKに同期してアドレスラッチ信号ALATZを生成し、セットアップ時間 t_{IS} が短いときにチップイネーブル信号/CEの遅延信号に同期してアドレスラッチ信号ALATZを生成することで、チップイネーブル信号/CEの遅延信号の遅延時間(図2に示した遅延回路DL Y)は、セットアップ時間 t_{IS} が短いときのみを考慮して設定することが可能になる。このため、内部アドレス信号ADDZを確実にラッチできるアドレスラッチ信号ALATZを生成できる。

【0060】

以上、本実施形態では、アドレス信号ADDの入力バッファ18を入力イネーブル信号INPENZで制御するクロック同期式の擬似SRAMにおいて、アドレス信号ADDのクロック信号CLKに対するセットアップ時間 t_{IS} が短い場合にも、アドレス信号ADDを確実にラッチできる。この結果、スタンバイ電流の削減とアドレス信号ADDの誤ラッチによる半導体メモリの誤動作の防止とを両立できる。

【0061】

アドレス信号ADDは、セットアップ時間 t_{IS} が短いときにチップイネーブル信号/CEを遅延させた信号に同期してラッチされる。このため、擬似SRAMを搭載するシステム上でのアドレス信号を伝送する信号線の負荷を考慮して、タイミング仕様 t_{ASCL} (アドレス信号ADDのチップイネーブル信号/CEに対する遅れ時間)を設定する場合にも(アドレス信号ADDの実質のセットアップ時間が、短い場合にも)、アドレス信号ADDを確実にラッチできる。

【0062】

コマンドデコーダ22をアドレスラッチ信号ALATZに同期して動作させることで、アドレスラッチ信号ALATZの活性化タイミングが変わった場合にも、メモリコア42の動作タイミングをメモリコア42に供給されるアドレス信号(アドレスデコード信号)の供給タイミングに常に合わせることができる。この結果、メモリコア42に供給される信号のタイミングのずれによる誤動作を防止できる。

【0063】

なお、上述した実施形態では、本発明をクロック同期式の擬似SRAMに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明をシンクロナスDRAM、シンクロナスSRAM、シンクロナスフラッシュメモリ等の他のクロック同期式の半導体メモリに適用してもよい。

10

20

30

40

50

【 0 0 6 4 】

上述した実施形態では、本発明を擬似 S R A M チップに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明をシステム L S I に搭載される擬似 S R A M コアに適用しても同様の効果を得ることができる。

【 0 0 6 5 】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【 図面の簡単な説明 】

【 0 0 6 6 】

【 図 1 】 本発明の半導体メモリの一実施形態を示すブロック図である。

【 図 2 】 図 1 に示したラッチ信号生成回路の詳細を示す回路図である。

【 図 3 】 図 2 に示したラッチ信号生成回路の動作を示すタイミング図である。

【 図 4 】 図 2 に示したラッチ信号生成回路 3 2 の別の動作を示すタイミング図である。

【 図 5 】 セットアップ時間およびホールド時間の変化を示すタイミング図である。

【 図 6 】 アクセス動作を開始するまでの擬似 S R A M の動作を示すタイミング図である。

【 図 7 】 アクセス動作を開始するまでの擬似 S R A M の別の動作を示すタイミング図である。

【 図 8 】 擬似 S R A M に本発明を適用する前の不具合を示すタイミング図である。

【 符号の説明 】

【 0 0 6 7 】

1 0、1 2、1 4、1 6、1 8 入力バッファ

2 0 データ入出力回路

2 2 コマンドデコーダ

2 4 裁定回路

2 6 コア制御回路

2 8 リフレッシュタイマ

3 0 リフレッシュカウンタ

3 2 ラッチ信号生成回路

3 4 ラッチ回路

3 6 アドレス切替回路

3 8 ロウデコーダ

4 0 コラムデコーダ

4 2 メモリコア

A D D アドレス信号

A D D Z 内部アドレス信号

A L A T Z アドレスラッチ信号

A R Y メモリアレイ

B L、/ B L ビット線

C A Z コラムアドレス信号

C D E C コラムデコーダ部

/ C E チップイネーブル信号

C E X 内部チップイネーブル信号

C L K クロック信号

C L K Z 内部クロック信号

D Q データ端子

I N P E N Z 入力イネーブル信号

I R E F Z 内部リフレッシュ要求信号

M C メモリセル

/ O E アウトプットイネーブル信号

10

20

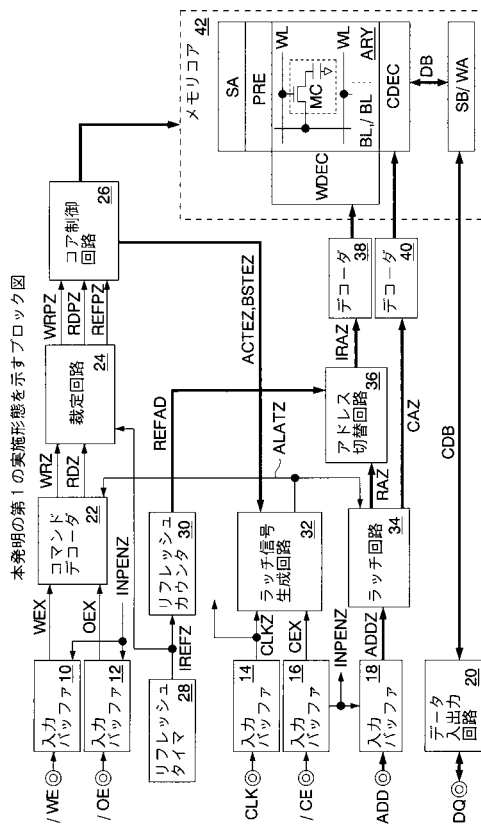
30

40

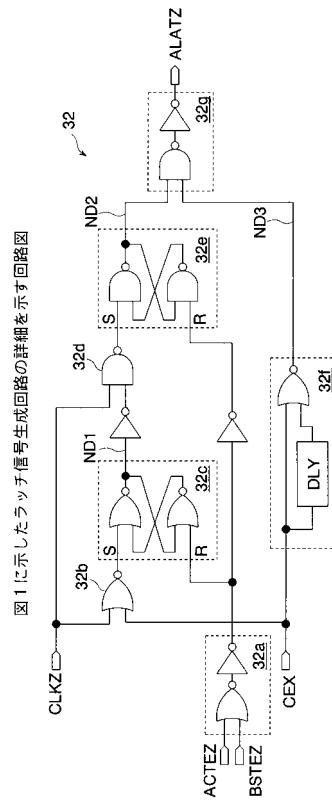
50

- PRE プリチャージ部
- RAZ、IRAZ ロウアドレス信号
- RDPZ 読み出しタイミング信号
- RDZ 読み出し制御信号
- REFAD リフレッシュアドレス信号
- REFPZ リフレッシュタイミング信号
- SA センスアンプ部
- SB センスバッファ部
- WA ライトアンプ部
- WDEC ワードデコーダ部
- /WE ライトイネーブル信号
- WL ワード線
- WRPZ 書き込みタイミング信号
- WRZ 書き込み制御信号

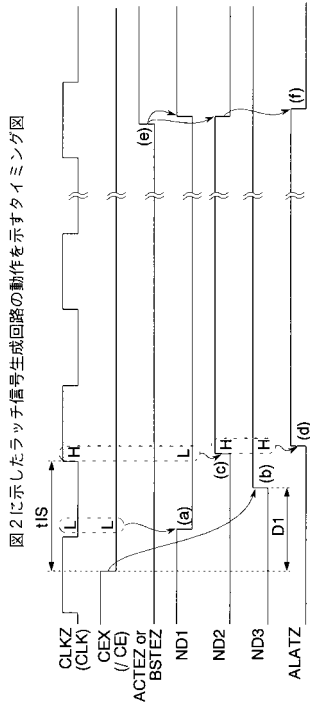
【 図 1 】



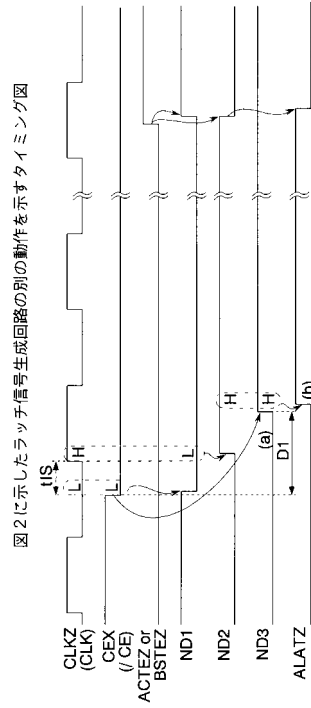
【 図 2 】



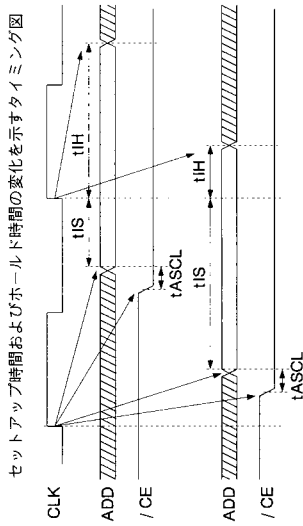
【 図 3 】



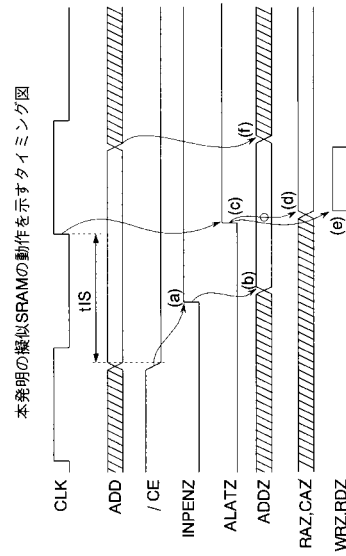
【 図 4 】



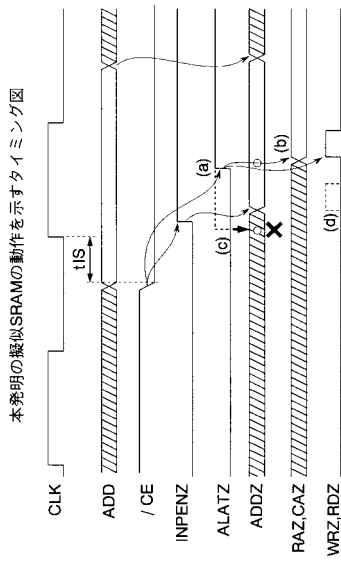
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

