

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年3月30日(2006.3.30)

【公開番号】特開2001-85625(P2001-85625A)

【公開日】平成13年3月30日(2001.3.30)

【出願番号】特願平11-259460

【国際特許分類】

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/11 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 21/8242 (2006.01)

【F I】

H 0 1 L 27/04 C

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/08 3 2 1 D

H 0 1 L 27/10 3 8 1

H 0 1 L 27/10 6 7 1 Z

【手続補正書】

【提出日】平成18年2月15日(2006.2.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 同一半導体基板に、

第1ゲート絶縁膜を有する第1MISFETと、

前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜を有する第2MISFETと

、

前記第1ゲート絶縁膜よりも膜厚が厚い絶縁膜を有する容量素子とを備え、

前記容量素子の前記絶縁膜は、前記半導体基板内に存在する第1半導体領域上に形成さ

れ、

前記容量素子の前記絶縁膜上に第1電極が存在し、

前記第1半導体領域は、前記容量素子の二つの電極のうち一方の電極として作用し、

前記第1電極は、前記容量素子の他方の電極として作用し、

前記第2MISFETは、第1電圧で動作し、

前記第1MISFETは、前記第1電圧よりも低い第2電圧で動作し、

前記容量素子は、前記第1電圧よりも低い第3電圧で動作する半導体集積回路装置。

【請求項2】 同一半導体基板に、

第1ゲート絶縁膜を有する第1MISFETと、

前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜を有する第2MISFETと

、

前記第1ゲート絶縁膜よりも膜厚が厚い絶縁膜を有する容量素子とを備え、
前記容量素子の前記絶縁膜は、前記半導体基板内に存在する第1半導体領域上に形成され、

前記容量素子の前記絶縁膜上に第1電極が存在し、
前記第1半導体領域は、前記容量素子の二つの電極のうちの一方向の電極として作用し、
前記第1電極は、前記容量素子の他方の電極として作用し、
前記第2MISFETは、第1電圧で動作し、
前記第1MISFETは、前記第1電圧よりも低い第2電圧で動作し、
前記容量素子は、前記第1電圧よりも低い電源電圧を有する半導体集積回路装置。

【請求項3】 同一半導体基板に、
第1ゲート絶縁膜を有する第1MISFETと、
前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜を有する第2MISFETと

、
前記第1ゲート絶縁膜よりも膜厚が厚い絶縁膜を有する容量素子とを備え、
前記容量素子の前記絶縁膜は、前記半導体基板内に存在する第1半導体領域上に形成され、

前記容量素子の前記絶縁膜上に第1電極が存在し、
前記第1半導体領域は、前記容量素子の二つの電極のうちの一方向の電極として作用し、
前記第1電極は、前記容量素子の他方の電極として作用し、
前記第2MISFETは、第1電圧で動作し、
前記第1MISFETは、前記第1電圧よりも低い第2電圧で動作し、
前記第1電極と前記第1半導体領域との電位差が前記第1電圧よりも低い半導体集積回路装置。

【請求項4】 請求項1～3のいずれか一項に記載の半導体集積回路装置において、
前記絶縁膜の膜厚と前記第2ゲート絶縁膜の膜厚がほぼ同一である半導体集積回路装置

。 【請求項5】 請求項1～4のいずれか一項に記載の半導体集積回路装置において、
前記第1MISFETの導電型は、前記第1ゲート絶縁膜上に形成された第1ゲート電極の導電型と同一であり、

前記第2MISFETの導電型は、前記第2ゲート絶縁膜上に形成された第2ゲート電極の導電型と同一である半導体集積回路装置。

【請求項6】 請求項1～5のいずれか一項に記載の半導体集積回路装置において、
前記第1電極の導電型は、n型であり、
前記第1半導体領域の導電型は、n型である半導体集積回路装置。

【請求項7】 請求項1～5のいずれか一項に記載の半導体集積回路装置において、
前記第1電極の導電型は、n型であり、
前記第1半導体領域の導電型は、p型であり、
前記第1半導体領域内に一对のn型半導体領域が形成されている半導体集積回路装置。

【請求項8】 同一半導体基板に、
第1ゲート絶縁膜および前記第1ゲート絶縁膜上に形成された第1ゲート電極を有する第1MISFETと、

前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜および前記第2ゲート絶縁膜上に形成された第2ゲート電極を有する第2MISFETと、

前記第1ゲート絶縁膜よりも膜厚が厚い絶縁膜を有する容量素子とを備え、
前記容量素子の前記絶縁膜は、前記半導体基板内に存在する第1半導体領域上に形成され、

前記容量素子の前記絶縁膜上に第1電極が存在し、
前記第1半導体領域は、前記容量素子の二つの電極のうちの一方向の電極として作用し、
前記第1電極は、前記容量素子の他方の電極として作用し、
前記第2MISFETの導電型は、前記第2ゲート電極の導電型と同一であり、

前記第1半導体領域の導電型は、n型であり、

前記第1電極の導電型は、n型である半導体集積回路装置。

【請求項9】 請求項8記載の半導体集積回路装置において、

前記絶縁膜の膜厚と前記第2ゲート絶縁膜の膜厚がほぼ同一である半導体集積回路装置

。

【請求項10】 同一半導体基板に、

第1ゲート絶縁膜および前記第1ゲート絶縁膜上に形成された第1ゲート電極を有する第1MISFETと、

前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜および前記第2ゲート絶縁膜上に形成された第2ゲート電極を有する第2MISFETと、

前記第1ゲート絶縁膜よりも膜厚が厚い絶縁膜を有する容量素子とを備え、

前記容量素子の前記絶縁膜は、前記半導体基板内に存在する第1半導体領域上に形成され、

前記容量素子の前記絶縁膜上に第1電極が存在し、

前記第1半導体領域は、前記容量素子の二つの電極のうちの一方向の電極として作用し、

前記第1電極は、前記容量素子の他方の電極として作用し、

前記第2MISFETおよび前記第2ゲート電極のそれぞれの導電型は、n型であり、

前記第1半導体領域の導電型は、p型であり、

前記第1半導体領域内に一对のn型半導体領域が形成され、

前記容量素子のしきい値電圧は、前記第2MISFETのしきい値電圧よりも低い半導体集積回路装置。

【請求項11】 請求項10記載の半導体集積回路装置において、

前記絶縁膜の膜厚と前記第2ゲート絶縁膜の膜厚がほぼ同一である半導体集積回路装置

。

【請求項12】 請求項8または9記載の半導体集積回路装置において、

前記第1半導体領域内に、一对のn型第2半導体領域が存在する半導体集積回路装置。

【請求項13】 請求項8～12のいずれか一項に記載の半導体集積回路装置において、

前記第1MISFETの導電型は、前記第1ゲート電極の導電型と同一である半導体集積回路装置。

【請求項14】 請求項6、8、9または12記載の半導体集積回路装置において、

前記第2MISFETの導電型は、p型であり、

前記容量素子のしきい値電圧は、前記第2MISFETのしきい値電圧よりも高い半導体集積回路装置。

【請求項15】 請求項7、10または11記載の半導体集積回路装置において、

前記第2MISFETの導電型は、n型であり、

前記容量素子のしきい値電圧は、前記第2MISFETのしきい値電圧よりも低い半導体集積回路装置。

【請求項16】 請求項6、8、9、12または14記載の半導体集積回路装置において、

前記容量素子は、蓄積領域を使用する半導体集積回路装置。

【請求項17】 請求項7、10、11または15記載の半導体集積回路装置において、

前記容量素子は、反転領域を使用する半導体集積回路装置。

【請求項18】 請求項1～17のいずれか一項に記載の半導体集積回路装置において、

前記容量素子は、アナログPLL回路内の容量素子である半導体集積回路装置。

【請求項19】 請求項1～17のいずれか一項に記載の半導体集積回路装置において、

前記容量素子は、フィルタ容量素子である半導体集積回路装置。

【請求項 2 0】 請求項 1 8 または 1 9 記載の半導体集積回路装置において、さらに、電源電圧安定化容量素子を備え、前記電源電圧安定化容量素子の絶縁膜の膜厚は、前記第 1 ゲート絶縁膜の膜厚とほぼ同じである半導体集積回路装置。

【請求項 2 1】 請求項 1 ~ 2 0 のいずれか一項に記載の半導体集積回路装置において、前記第 1 M I S F E T は、論理回路を構成する半導体集積回路装置。

【請求項 2 2】 請求項 1 ~ 2 0 のいずれか一項に記載の半導体集積回路装置において、前記第 1 M I S F E T は、マイクロプロセッサユニットを構成する半導体集積回路装置。

【請求項 2 3】 請求項 1 ~ 2 2 のいずれか一項に記載の半導体集積回路装置において、前記第 2 M I S F E T は、D R A M のメモリセルを構成する半導体集積回路装置。

【請求項 2 4】 請求項 1 ~ 2 2 のいずれか一項に記載の半導体集積回路装置において、前記第 2 M I S F E T は、S R A M のメモリセルを構成する半導体集積回路装置。

【請求項 2 5】 請求項 1 ~ 2 2 のいずれか一項に記載の半導体集積回路装置において、前記第 2 M I S F E T は、入力回路または出力回路を構成する半導体集積回路装置。

【請求項 2 6】 請求項 1 ~ 2 5 のいずれか一項に記載の半導体集積回路装置において、前記容量素子は、前記第 2 M I S F E T によって構成された複数の回路に囲まれた領域内に存在する半導体集積回路装置。

【請求項 2 7】 請求項 1 ~ 2 6 のいずれか一項に記載の半導体集積回路装置において、前記第 1 ゲート絶縁膜の膜厚は、3 n m 以下である半導体集積回路装置。