

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 30 日(30.04.2015)



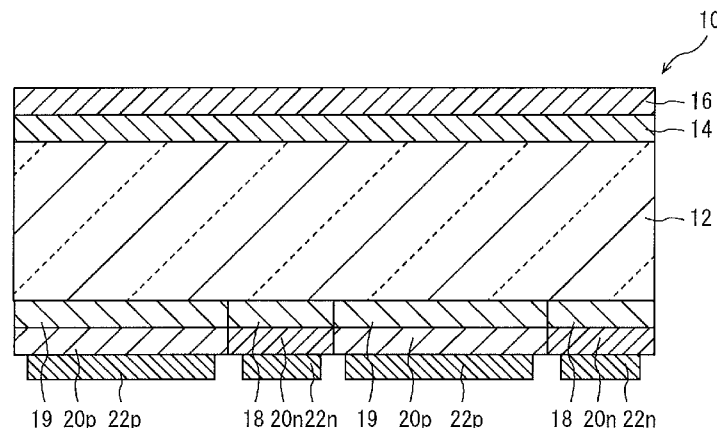
(10) 国際公開番号

WO 2015/060434 A1

- (51) 国際特許分類:
H01L 31/0224 (2006.01) H01L 31/0747 (2012.01)
- (21) 国際出願番号: PCT/JP2014/078372
- (22) 国際出願日: 2014 年 10 月 24 日(24.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-222816 2013 年 10 月 25 日(25.10.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 木本 賢治(KIMOTO Kenji). 小出 直城(KOIDE Naoki). 稗田 健(HIEDA Takeshi). 中村 淳一(NAKAMURA Junichi).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜 2 丁目 2 番 2 8 号堂島アクセスビル インテリクス特許法律事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: PHOTOELECTRIC CONVERSION ELEMENT, PHOTOELECTRIC CONVERSION MODULE, AND SOLAR PHOTOVOLTAIC POWER GENERATION SYSTEM

(54) 発明の名称: 光電変換素子、光電変換モジュール、並びに、太陽光発電システム



(57) Abstract: Provided is a photoelectric conversion element which has improved element characteristics by suppressing increase in the contact resistance between an amorphous semiconductor layer that contains an impurity and an electrode that is formed on the amorphous silicon layer. This photoelectric conversion element (10) is provided with a semiconductor substrate (12), a first semiconductor layer (20n), a second semiconductor layer (20p), a first electrode (22n) and a second electrode (22p). The first semiconductor layer (20n) has a first conductivity type. The second semiconductor layer (20p) has a second conductivity type that is opposite to the first conductivity type. The first electrode (22n) is formed on the first semiconductor layer (20n). The second electrode (22p) is formed on the second semiconductor layer (20p). The first electrode (22n) and/or the second electrode (22p) contains a plurality of metal crystal grains. The average crystal grain size of the metal crystal grains in the in-plane direction of the electrode is larger than the thickness of the electrode.

(57) 要約:

[続葉有]



WO 2015/060434 A1



不純物を含む非晶質半導体層と当該非晶質シリコン層上に形成される電極との接触抵抗が高くなるのを抑えて、素子特性を向上させることができる、光電変換素子を提供する。光電変換素子（１０）は、半導体基板（１２）、第１半導体層（２０ｎ）と、第２半導体層（２０ｐ）と、第１電極（２２ｎ）と、第２電極（２２ｐ）とを備える。第１半導体層（２０ｎ）は、第１導電型を有する。第２半導体層（２０ｐ）は、第１導電型とは反対の第２導電型を有する。第１電極（２２ｎ）は、第１半導体層（２０ｎ）上に形成される。第２電極（２２ｐ）は、第２半導体層（２０ｐ）上に形成される。第１電極（２２ｎ）及び第２電極（２２ｐ）のうち少なくとも一方の電極は、複数の金属結晶粒を含む。電極の面内方向における金属結晶粒の平均結晶粒径は、電極の厚みよりも大きい。

明 細 書

発明の名称：

光電変換素子、光電変換モジュール、並びに、太陽光発電システム

技術分野

[0001] 本発明は、光電変換素子、光電変換モジュール、並びに、太陽光発電システムに関する。

背景技術

[0002] 近年、光電変換素子としての太陽電池が注目されている。太陽電池の一例として、裏面電極型の太陽電池がある。

[0003] 裏面電極型の太陽電池は、例えば、特開 2 0 0 7 - 2 8 1 1 5 6 号公報に開示されている。上記公報において、裏面電極型の太陽電池は、結晶半導体と、前記結晶半導体の、太陽光の照射面とは反対側になる裏面に形成された n 型非晶質半導体層と、前記裏面に形成された p 型非晶質半導体層と、前記 n 型非晶質半導体層上および前記 p 型非晶質半導体層上に形成された電極とからなる。

[0004] しかしながら、上記公報のように、非晶質半導体層上に電極を形成する場合、非晶質半導体層と電極との間の接触抵抗が高くなるという問題があった。

発明の開示

[0005] 本発明の目的は、不純物を含む非晶質半導体層と当該非晶質半導体層上に形成される電極との接触抵抗を低減して、素子特性を向上させることができる、光電変換素子を提供することにある。

[0006] 本発明の実施の形態による光電変換素子は、半導体基板、第 1 半導体層と、第 2 半導体層と、第 1 電極と、第 2 電極とを備える。第 1 半導体層は、第 1 導電型を有する。第 2 半導体層は、第 1 導電型とは反対の第 2 導電型を有する。第 1 電極は、第 1 半導体層上に形成される。第 2 電極は、第 2 半導体層上に形成される。第 1 電極及び第 2 電極のうち少なくとも一方の電極は、

複数の金属結晶粒を含む。電極の面内方向における金属結晶粒の平均結晶粒径は、電極の厚みよりも大きい。

[0007] 本発明の実施の形態による光電変換素子は、不純物を含む非晶質半導体層と当該非晶質シリコン層上に形成される電極との接触抵抗を低減して、素子特性を向上させることができる。

図面の簡単な説明

[0008] [図1]本発明の第1の実施の形態による光電変換素子の概略構成を示す断面図である。

[図2A]図1に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板を示す断面図である。

[図2B]図1に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の裏面に真性非晶質シリコン層が形成され、且つ、真性非晶質シリコン層上にn型非晶質シリコン層及びp型非晶質シリコン層が形成された状態を示す断面図である。

[図2C]図1に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の受光面にパッシベーション膜が形成された状態を示す断面図である。

[図2D]図1に示す光電変換素子の製造方法を説明するための断面図であって、パッシベーション膜上に反射防止膜が形成された状態を示す断面図である。

[図2E]図1に示す光電変換素子の製造方法を説明するための断面図であって、金属膜が形成された状態を示す断面図である。

[図2F]図1に示す光電変換素子の製造方法を説明するための断面図であって、電極が形成された状態を示す断面図である。

[図3]平均結晶粒径とアニール温度との関係を示すグラフである。

[図4]平均結晶粒径と接触抵抗との関係を示すグラフである。

[図5]接触抵抗を測定したときのサンプルの概略構成を示す断面図である。

[図6]金属結晶粒の界面準位を説明するための概念図である。

[図7]金属結晶粒が小さい場合の電極と n 型非晶質シリコン層との界面のバンド図である。

[図8]金属結晶粒が大きい場合の電極と n 型非晶質シリコン層との界面のバンド図である。

[図9]セル抵抗と平均結晶粒径の平均値との関係を示すグラフである。

[図10]変換効率 η と平均結晶粒径の平均値との関係を示すグラフである。

[図11]曲線因子 $F F$ と平均結晶粒径の平均値との関係を示すグラフである。

[図12]本発明の第 1 の実施の形態の応用例 1 に係る光電変換素子の概略構成の一例を示す断面図である。

[図13]本発明の第 1 の実施の形態の応用例 2 に係る光電変換素子の概略構成の一例を示す断面図である。

[図14]本発明の第 1 の実施の形態の応用例 3 に係る光電変換素子の概略構成の一例を示す断面図である。

[図15]本発明の第 2 の実施の形態による光電変換素子の概略構成を示す断面図である。

[図16A]図 1 5 に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の裏面側に n 型拡散層が形成された状態を示す断面図である。

[図16B]図 1 5 に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の裏面に絶縁膜が形成された状態を示す断面図である。

[図16C]図 1 5 に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の表面側に p 型拡散層が形成された状態を示す断面図である。

[図16D]図 1 5 に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の受光面に非晶質膜が形成された状態を示す断面図である。

[図16E]図 1 5 に示す光電変換素子の製造方法を説明するための断面図であって、パッシベーション膜上に非晶質膜が形成された状態を示す断面図である。

。

[図16F]図15に示す光電変換素子の製造方法を説明するための断面図であって、金属膜が形成された状態を示す断面図である。

[図16G]図15に示す光電変換素子の製造方法を説明するための断面図であって、電極が形成された状態を示す断面図である。

[図17]本発明の第2の実施の形態の応用例に係る光電変換素子の概略構成を示す断面図である。

[図18]本発明の第3の実施の形態による光電変換素子の概略構成を示す断面図である。

[図19A]図18に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の裏面側にn型拡散層が形成された状態を示す断面図である。

[図19B]図18に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の表面側にp型拡散層が形成された状態を示す断面図である。

[図19C]図18に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の表面に非晶質膜が形成された状態を示す断面図である。

[図19D]図18に示す光電変換素子の製造方法を説明するための断面図であって、シリコン基板の裏面に非晶質膜が形成された状態を示す断面図である。

[図19E]図18に示す光電変換素子の製造方法を説明するための断面図であって、金属膜が形成された状態を示す断面図である。

[図19F]図18に示す光電変換素子の製造方法を説明するための断面図であって、電極が形成された状態を示す断面図である。

[図20]本発明の第3の実施の形態の応用例1に係る光電変換素子の概略構成を示す断面図である。

[図21]本発明の第3の実施の形態の応用例2に係る光電変換素子の概略構成を示す断面図である。

[図22]この実施の形態による光電変換素子を備える光電変換モジュールの構

成を示す概略図である。

[図23]この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

[図24]図 2 3 に示す光電変換モジュールアレイの構成を示す概略図である。

[図25]この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

発明を実施するための形態

[0009] 本発明の第 1 の態様に係る光電変換素子は、半導体基板と、第 1 半導体層と、第 2 半導体層と、第 1 電極と、第 2 電極とを備える。第 1 半導体層は、第 1 導電型を有する。第 2 半導体層は、第 1 導電型とは反対の第 2 導電型を有する。第 1 電極は、第 1 半導体層上に形成される。第 2 電極は、第 2 半導体層上に形成される。第 1 電極及び第 2 電極のうち少なくとも一方の電極は、複数の金属結晶粒を含む。電極の面内方向における金属結晶粒の平均結晶粒径は、電極の厚みよりも大きい。

[0010] 第 1 の態様においては、電極と半導体層との接触抵抗を低くできる。その結果、光電変換素子の素子特性を向上させることができる。

[0011] 本発明の第 2 の態様に係る光電変換素子は、第 1 の態様に係る光電変換素子において、電極は、銀を主成分とする金属膜からなる。

[0012] 第 2 の態様においては、電極そのものの抵抗を低くできる。また、電極が半導体基板の光入射側とは反対側の裏面に形成される場合は、裏面に到達した光を効果的に反射することにより、変換効率を向上する。

[0013] 本発明の第 3 の態様に係る光電変換素子は、第 1 又は第 2 の態様に係る光電変換素子において、第 1 半導体層及び第 2 半導体層は、半導体基板における受光面とは反対側の裏面に設けられている。

[0014] 第 3 の態様においては、裏面電極型の光電変換素子において、素子特性を向上させることができる。

[0015] 本発明の第 4 の態様に係る光電変換素子は、第 1 ～第 3 の態様の何れかに係る光電変換素子であって、金属結晶粒は、半導体基板の厚み方向に平行な

結晶軸が $\langle 111 \rangle$ 方向に優先配向している。

[0016] 第4の態様においては、電極と半導体層との接触抵抗が高くなるのを抑制できる。

[0017] 本発明の第5の態様に係る光電変換素子は、第1～第4の態様の何れかに係る光電変換素子であって、電極は、第1電極である。第1導電型は、n型である。平均結晶粒径は、第1電極の厚みの1.34倍以上である。

[0018] 第5の態様においては、第1電極と第1半導体層との接触抵抗が高くなるのを抑制できる。

[0019] 本発明の第6の態様に係る光電変換素子は、第1～第4の態様の何れかに係る光電変換素子であって、電極は、第1電極である。第1導電型は、n型である。平均結晶粒径は、第1電極の厚みの1.54倍以上である。

[0020] 第6の態様においては、第1電極と第1半導体層との接触抵抗が高くなるのをさらに抑制できる。

[0021] 本発明の第7の態様に係る光電変換素子は、第1～第4の態様の何れかに係る光電変換素子であって、電極は、第2電極である。第2導電型は、p型である。平均結晶粒径は、第2電極の厚みの1倍より大きく、2.44倍以下である。

[0022] 第7の態様においては、第2電極と第2半導体層との接触抵抗が高くなるのを抑制できる。

[0023] 本発明の第8の態様に係る光電変換素子は、第1～第4の態様の何れかに係る光電変換素子であって、電極は、第2電極である。第2導電型は、p型である。平均結晶粒径は、第2電極の厚みの1.26倍以上、且つ、2.44倍以下である。

[0024] 第8の態様においては、第2電極と第2半導体層との接触抵抗が高くなるのをさらに抑制できる。

[0025] 本発明の第9の態様に係る光電変換素子は、第1～第4の態様の何れかに係る光電変換素子において、半導体基板の導電型が第1導電型である。第2電極と第2半導体層との接触面積は、第1電極と第1半導体層との接触面積

の2倍以上である。電極は、第1電極及び第2電極である。第1電極の平均結晶粒径と第2電極の平均結晶粒径との平均値は、第1電極及び第2電極の厚みの1.3倍以上であって、且つ、4.72倍以下である。

[0026] 第9の態様においては、素子特性を向上させることができる。

[0027] 本発明の第10の態様に係る光電変換素子は、第1～第4の態様の何れかに係る光電変換素子において、半導体基板の導電型が第1導電型である。第2電極と第2半導体層との接触面積は、第1電極と第1半導体層との接触面積の1倍以上である。電極は、第1電極及び第2電極である。第1電極の平均結晶粒径と第2電極の平均結晶粒径との平均値は、第1電極及び第2電極の厚みの1.3倍以上であって、且つ、4倍以下である。

[0028] 第10の態様においては、素子特性をさらに向上させることができる。

[0029] 本発明の第11の態様に係る光電変換素子は、第1の態様に係る光電変換素子において、第1半導体層は、半導体基板上に形成され、第1導電型の非晶質半導体を含む。半導体基板と第1半導体層との間には、真性の非晶質半導体を含む第3半導体層が形成される。

[0030] 第11の態様においては、第1半導体層が半導体基板上に直接形成される場合と比べて、半導体基板のパッシベーション性が向上する。

[0031] 本発明の第12の態様に係る光電変換素子は、第11の態様に係る光電変換素子において、真性の非晶質半導体は、水素化アモルファスシリコンである。

[0032] 第12の態様においては、半導体基板の裏面のパッシベーション性がさらに向上する。

[0033] 本発明の第13の態様に係る光電変換素子は、第11の態様に係る光電変換素子において、第1導電型の非晶質半導体は、水素化アモルファスシリコンである。

[0034] 第13の態様においては、第1電極と第1半導体層との接触界面の劣化を抑制できる。

[0035] 本発明の第14の態様に係る光電変換素子は、第1の態様に係る光電変換

素子において、第2半導体層は、半導体基板上に形成され、第2導電型の非晶質半導体を含む。半導体基板と第2半導体層との間には、真性の非晶質半導体を含む第4半導体層が形成される。

[0036] 第14の態様においては、第2半導体層が半導体基板上に直接形成される場合と比べて、半導体基板のパッシベーション性が向上する。

[0037] 本発明の第15の態様に係る光電変換素子は、第14の態様に係る光電変換素子において、真性の非晶質半導体は、水素化アモルファスシリコンである。

[0038] 第15の態様においては、半導体基板のパッシベーション性がさらに向上する。

[0039] 本発明の第16の態様に係る光電変換素子は、第14の態様に係る光電変換素子において、第2導電型の非晶質半導体は、水素化アモルファスシリコンである。

[0040] 第16の態様においては、第2電極と第2半導体層との接触界面の劣化を抑制できる。

[0041] 本発明の第1の態様に係る光電変換モジュールは、本発明の第1～第16の態様の何れかに係る光電変換素子を含む。

[0042] 第1の態様においては、光電変換モジュールの性能を向上させることができる。

[0043] 本発明の第1の態様に係る光電変換システムは、本発明の第1の態様に係る光電変換モジュールを含む。

[0044] 第1の態様においては、光電変換システムの性能を向上させることができる。

[0045] 以下、本発明のより具体的な実施形態について、図面を参照しながら説明する。図中同一または相当部分には同一符号を付してその説明は繰り返さない。

[0046] [第1の実施の形態]

図1には、本発明の第1の実施の形態による光電変換素子10が示されて

いる。光電変換素子 10 は、裏面電極型の太陽電池である。

- [0047] 光電変換素子 10 は、シリコン基板 12 と、パッシベーション膜 14 と、反射防止膜 16 と、真性非晶質シリコン層 18、19 と、n 型非晶質シリコン層 20n と、p 型非晶質シリコン層 20p と、電極 22n と、電極 22p とを備える。
- [0048] シリコン基板 12 は、n 型の単結晶シリコン基板である。シリコン基板 12 の厚さは、例えば、50～300 μm である。シリコン基板 12 の比抵抗は、例えば、1.0～10.0 $\Omega \cdot \text{cm}$ である。なお、n 型単結晶シリコン基板に代えて、n 型多結晶シリコン基板、n 単結晶ゲルマニウム、n 型単結晶シリコンゲルマニウム等を用いてもよく、一般的には、半導体基板を用いてもよい。n 型の代わりに p 型を用いてもよい。
- [0049] シリコン基板 12 の受光面には、図示はしていないが、テクスチャ構造が形成されている。これにより、シリコン基板 12 に入射した光を閉じ込めて、光の利用効率を高めることができる。
- [0050] シリコン基板 12 の面方位は (100) が望ましい。これにより、テクスチャ構造の形成が容易になる。
- [0051] シリコン基板 12 の受光面は、パッシベーション膜 14 で覆われている。パッシベーション膜 14 は、例えば、水素化アモルファスシリコン膜である。パッシベーション膜 14 の膜厚は、例えば、3～30 nm である。なお、パッシベーション膜 14 として、水素化アモルファスシリコン膜の代わりに、窒化シリコン膜、酸化シリコン膜、酸窒化シリコン膜等を用いてもよい。
- [0052] 反射防止膜 16 は、パッシベーション膜 14 を覆う。反射防止膜 16 は、例えば、シリコン窒化膜である。反射防止膜 16 の膜厚は、例えば、50～200 nm である。
- [0053] シリコン基板 12 の裏面上には、真性非晶質シリコン層 18、19 が形成されている。真性非晶質シリコン 18、19 は、例えば、i 型の水素化アモルファスシリコン (a-Si:H) からなる。真性非晶質シリコン層 18 は、シリコン基板 12 の裏面の一部に形成されている。真性非晶質シリコン層

19は、シリコン基板12の裏面において真性非晶質シリコン層18に隣接して形成されている。つまり、真性非晶質シリコン層18、19は、シリコン基板12の裏面の全体に交互に形成されている。真性非晶質シリコン層18、19の厚さは、例えば、10nmである。図1に示す例では、真性非晶質シリコン層19は、真性非晶質シリコン層18に隣接して形成されているが、例えば、シリコン基板12の裏面において真性非晶質シリコン層18が形成されていない領域の一部に形成されていてもよい。また、真性非晶質シリコン層18、19は、非晶質相のみからなってもよいし、微細な結晶相と非晶質相とからなってもよい。

[0054] 真性非晶質シリコン層18上には、n型非晶質シリコン層20nが形成されている。n型非晶質シリコン層20nは、n型不純物（例えば、リン）を含む水素化アモルファスシリコン（a-Si:H(n)）からなる。n型非晶質シリコン層20nの厚さは、例えば、10nmである。n型非晶質シリコン層20nの不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。n型非晶質シリコン層20nは、非晶質相のみからなってもよいし、微細な結晶相と非晶質相とからなってもよい。微細な結晶相と非晶質相とからなっている場合の一例は、例えば、n型微結晶シリコンである。

[0055] 真性非晶質シリコン層19上には、p型非晶質シリコン層20pが形成されている。p型非晶質シリコン層20pは、p型不純物（例えば、ボロン）を含む水素化アモルファスシリコン（a-Si:H(p)）からなる。p型非晶質シリコン層20pの厚さは、例えば、10nmである。p型非晶質シリコン層20pの不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。p型非晶質シリコン層20pは、非晶質相のみからなってもよいし、微細な結晶相と非晶質相とからなってもよい。微細な結晶相と非晶質相とからなっている場合の一例は、例えば、p型微結晶シリコンである。図1に示す例では、n型非晶質シリコン層20nは、p型非晶質シリコン層20pに隣接して形成されているが、必ずしも隣接する必要はなく、

例えば、 n 型非晶質シリコン層20nは非晶質シリコン層18上の少なくとも一部に形成されていてもよく、また、 p 型非晶質シリコン層20pは非晶質シリコン層19上の少なくとも一部に形成されていてもよい。

[0056] シリコン基板12の面内方向において、 n 型非晶質シリコン層20nの幅寸法は、 p 型非晶質シリコン層20pの幅寸法よりも小さいほうが好ましい。 n 型非晶質シリコン層20nの面積と p 型非晶質シリコン層20pの面積の和に対する p 型非晶質シリコン層20pの面積の割合（ p 型非晶質シリコン層20pの面積率）が高いほど、光生成された少数キャリア（正孔）が、 p 型非晶質シリコン層20pに到達するまでに移動しなくてはならない距離が減少する。そのため、 p 型非晶質シリコン層20pに到達するまでに再結合する正孔の数が減少し、短絡電流が増加する。したがって、光電変換素子10の変換効率が向上する。好ましい p 型非晶質シリコン層20pの面積率は、63～90%である。

[0057] シリコン基板12の裏面には、図示はしていないが、テクスチャ構造が形成されていてもよい。この場合、真性非晶質シリコン層18、19、 n 型非晶質シリコン層20n及び p 型非晶質シリコン層20pには、シリコン基板12の裏面のテクスチャ構造に対応した凹凸が形成される。

[0058] n 型非晶質シリコン層20n上には、電極22nが形成されている。 p 型非晶質シリコン層20p上には、電極22pが形成されている。電極22n、22pは、銀を主成分とする金属膜である。なお、電極22n、22pは、銀以外の元素（例えば、金属元素や酸素等）を含んでいてもよい。電極22n、22pの厚さは、例えば、500nmである。

[0059] なお、シリコン基板12の裏面にテクスチャ構造を形成する場合には、電極22nと n 型非晶質シリコン層20nとの密着性、及び、電極22pと p 型非晶質シリコン層20pとの密着性が向上する。これにより、光電変換素子10の歩留まり及び信頼性が向上する。更に、シリコン基板12の裏面が平坦な場合に比べて、電極22nと n 型非晶質シリコン層20nとの接触面積、及び、電極22pと p 型非晶質シリコン層20pとの接触面積が大きく

なるため、接触抵抗が低減される。なお、シリコン基板 12 の厚み方向から見て、電極 22 n と重なる領域の少なくとも一部を含む領域、または、電極 22 p と重なる領域の少なくとも一部を含む領域のいずれか一方にテクスチャを形成してもよい。

[0060] [光電変換素子の製造方法]

図 2 A ～ 図 2 F を参照しながら、光電変換素子 10 の製造方法について説明する。

[0061] 先ず、図 2 A に示すように、シリコン基板 12 を準備する。シリコン基板 12 は、受光面の全体にテクスチャ構造を有する。テクスチャ構造を形成する方法は、例えば、ウェットエッチングである。シリコン基板 12 の受光面の全体にウェットエッチングを実施することにより、シリコン基板 12 の受光面の全体にテクスチャ構造が形成される。ウェットエッチングは、例えば、アルカリ溶液等を用いて実施される。ウェットエッチングの時間は、例えば、10 ～ 60 分である。ウェットエッチングに用いられるアルカリ溶液は、例えば、NaOH や KOH であり、その濃度は、例えば、5 % である。

[0062] 続いて、図 2 B に示すように、シリコン基板 12 の裏面に真性非晶質シリコン層 18、19 を形成し、真性非晶質半導体層 18 上に n 型非晶質半導体層 20 n を形成し、真性非晶質半導体層 19 上に p 型非晶質半導体層 20 p を形成する。

[0063] 真性非晶質シリコン層 18、19 は、例えば、プラズマ CVD で形成することができる。プラズマ CVD で形成する場合、プラズマ CVD 装置が備える反応室に導入される反応ガスは、シランガス及び水素ガスである。シリコン基板 12 の温度は、例えば、100 ～ 300 °C である。

[0064] 続いて、p 型非晶質シリコン層を真性非晶質シリコン層 18、19 上に形成する。p 型非晶質シリコン層は、例えば、プラズマ CVD で形成することができる。プラズマ CVD で形成する場合、プラズマ CVD 装置が備える反応室に導入される反応ガスは、シランガス、水素ガス及びジボランガスである。シリコン基板 12 の温度は、例えば、100 ～ 300 °C である。

- [0065] 続いて、p型非晶質シリコン層上に、マスクとしての被覆層を形成する。
この被覆層は、例えば、p型非晶質シリコン層上に形成された窒化シリコン膜をパターニングすることで得られる。窒化シリコン膜の代わりに、酸化シリコン膜または酸窒化シリコン膜等を用いてもよい。パターニングは、例えば、フォトリソグラフィ法によって実施される。被覆層は、真性非晶質シリコン層18、19上に形成されたp型非晶質シリコン層のうち、後にp型非晶質シリコン層20pとなる部分、つまり、真性非晶質シリコン層19上に形成されたp型非晶質シリコン層を覆う。
- [0066] 続いて、真性非晶質シリコン層18上に形成されたp型非晶質シリコン層を除去する。p型非晶質シリコン層を除去する方法は、ドライエッチングであってもよいし、ウェットエッチングであってもよい。これにより、真性非晶質シリコン層19上にp型非晶質シリコン層20pが形成される。このとき、p型非晶質シリコン層20p上には、被覆層が形成されている。
- [0067] 続いて、n型非晶質シリコン層を、真性非晶質シリコン層18上と、p型非晶質シリコン層20p上に形成された被覆層上とに形成する。n型非晶質シリコン層は、例えば、プラズマCVDで形成することができる。プラズマCVDで形成する場合、プラズマCVD装置が備える反応室に導入される反応ガスは、シランガス、水素ガス及びフォスフィンガスである。シリコン基板12の温度は、例えば、100～300℃である。
- [0068] 続いて、p型非晶質シリコン層20p上に形成された被覆層を除去する。これにより、n型非晶質シリコン層20nが真性非晶質シリコン層18上に形成される。p型非晶質シリコン層20p上に形成された被覆層を除去する方法は、例えば、ウェットエッチングである。
- [0069] 続いて、図2Cに示すように、シリコン基板12の受光面上にパッシベーション膜14を形成する。パッシベーション膜14は、例えば、プラズマCVDによって形成される。
- [0070] 続いて、図2Dに示すように、パッシベーション膜14上に反射防止膜16を形成する。反射防止膜16は、例えば、プラズマCVDによって、例え

ば、窒化シリコン膜、酸化シリコン膜、酸窒化シリコン膜等を成膜することによって形成される。

[0071] 続いて、図2Eに示すように、金属膜21n、21pを形成する。金属膜21n、21pの形成方法は、例えば、以下のとおりである。

[0072] 先ず、n型非晶質シリコン層20n上及びp型非晶質シリコン層20p上に、蒸着又はスパッタリングにより、銀からなる金属膜を形成する。続いて、マスクとしてのレジストパターンを金属膜上に形成する。レジストパターンは、金属膜上に形成されたレジストをパターニングすることで得られる。パターニングは、例えば、フォトリソグラフィ法によって実施される。レジストパターンは、シリコン基板12の厚さ方向から見た場合に、n型非晶質シリコン層20nとp型非晶質シリコン層20pとの境界には重ならない。

[0073] 続いて、金属膜のうち、レジストパターンで覆われていない部分を除去する。金属膜を除去する方法は、例えば、ウェットエッチングである。

[0074] 続いて、レジストパターンを除去する。これにより、金属膜21nがn型非晶質シリコン層20n上に形成され、金属膜21pがp型非晶質シリコン層20p上に形成される。レジストパターンを除去する方法は、例えば、ウェットエッチングである。

[0075] 続いて、図2Fに示すように、電極22n、22pを形成する。これにより、目的とする光電変換素子10が得られる。

[0076] 電極22n、22pは、金属膜21n、21pを熱処理することで形成される。熱処理は、例えば、ホットプレートを用いて実施される。熱処理の時間は、例えば、15分である。熱処理の温度は、125℃～225℃が好ましい。熱処理は、例えば、大気中で実施する。不活性雰囲気中または真空中で実施してもよい。熱処理は、金属膜21n、21pを形成した後であれば、何れの工程で行ってもよい。例えば、モジュールを製造するとき等において、熱処理を行ってもよい。また、熱処理等を実施して所望のサイズの金属結晶粒を成長させた後、電極22nおよび電極22pの上に、更に、導電膜を形成してもよい。この場合、電極22nと導電膜、および、電極22pと

導電膜との境界は、金属結晶粒の分布の不連続性、組成の不連続性等から判断できる。

[0077] [平均結晶粒径]

光電変換素子 10 においては、電極 22 n、22 p に含まれる複数の金属結晶粒の平均結晶粒径（以下、単に平均結晶粒径と称する）を電極 22 n、22 p の厚みよりも大きくすることで、素子特性を向上させることができる。以下、この点について説明する。なお、熱処理等を実施して所望のサイズの金属結晶粒を成長させた後、電極 22 n および電極 22 p の上に、更に、導電膜を形成する場合については、所望のサイズの金属結晶粒が形成されている電極層と当該電極層の厚みとの関係が、上記の条件を満たせばよい。

[0078] 平均結晶粒径は、電子後方散乱回折法（Electron Backscatter Diffraction Pattern）によって、電極 22 n、22 p の表面を解析することで求められる。電極 22 n、22 p は、複数の金属結晶粒を含む。

[0079] 平均結晶粒径は、各金属結晶粒の結晶粒径と面積占有率との積を平均したものである。結晶粒径は、以下の式（1）により、求められる。

$$\text{結晶粒径} = 2 \times \{ (\text{結晶粒の面積}) / \pi \}^{1/2} \cdots (1)$$

式（1）における「結晶粒の面積」は、電子後方散乱回折法を用いて測定したものである。式（1）は、結晶粒の面積を円の面積と仮定し、且つ、結晶粒径を円の直径と仮定して計算することを意味する。結晶粒径を求める際、シグマ 3（ $\Sigma 3$ ）の対応粒界は、粒界として取り扱わないこととする。また、結晶方位のずれが 5 度以内である場合には、同一の結晶粒とみなすこととする。

[0080] 面積占有率は、金属結晶粒の面積を測定領域の面積で除することで得られる。ここで、金属結晶粒の面積とは、シリコン基板 12 の厚さ方向に垂直な平面に正射影したときの面積である。測定領域は、 $8 \mu\text{m} \times 23 \mu\text{m}$ である。尚、測定領域の境界を含む金属結晶粒については、平均結晶粒径の計算には含めないものとする。

[0081] シリコン基板 12 の厚さ方向から見た場合、金属結晶粒の結晶方位は、＜

111 に優先配向している。この場合、金属結晶粒の結晶方位が揃っているので、 n 型非晶質シリコン層 $20n$ と電極 $22n$ との界面における金属結晶粒の仕事関数、及び、 p 型非晶質シリコン層 $20p$ と電極 $22p$ との界面における金属結晶粒の仕事関数の均一性が向上する。その結果、接触抵抗のばらつきを抑制することができる。また、銀の $\{110\}$ 面、 $\{100\}$ 面、 $\{111\}$ 面の仕事関数はそれぞれ、 4.52 eV 、 4.64 eV 、 4.74 eV であり、 $\{111\}$ 面の仕事関数が最も大きい。従って、金属結晶粒の面方位を $\{111\}$ に優先配向させること、即ち、シリコン基板 12 の厚さ方向に対して、金属結晶粒の結晶方位を $\langle 111 \rangle$ に優先配向させることは、特に、 p 型非晶質シリコン層 $20p$ と電極 $22p$ との接触抵抗を低くする効果がある。

[0082] 金属膜 $21n$ を 150°C で 15 分熱処理した場合において、シリコン基板 12 の厚さ方向に対して 10 度以内に $\langle 111 \rangle$ 方向の結晶方位を有する金属結晶粒が電極 $22n$ に占める割合は、 61.9% であった。金属膜 $21p$ を 150°C で 15 分熱処理した場合において、シリコン基板 12 の厚さ方向に対して 10 度以内に $\langle 111 \rangle$ 方向の結晶方位を有する金属結晶粒が電極 $22p$ に占める割合は、 53.5% であった。

[0083] 電極 $22n$ の膜厚が $0.5\text{ }\mu\text{m}$ の場合、複数の金属結晶粒のうち、 $0.5\text{ }\mu\text{m}$ 以上の粒径を有する金属結晶粒が電極 $22n$ に占める割合は、熱処理前は 6.5% であり、 150°C で 15 分熱処理した後は 41.2% であった。電極 $22p$ の膜厚が $0.5\text{ }\mu\text{m}$ の場合、複数の金属結晶粒のうち、 $0.5\text{ }\mu\text{m}$ 以上の粒径を有する金属結晶粒が電極 $22p$ に占める割合は、熱処理前は 11.9% であり、 150°C で 15 分熱処理した後は 33.3% であった。

[0084] 平均結晶粒径の大きさは、金属膜 $21n$ 、 $21p$ を熱処理するときの温度（以下、単にアニール温度と称する）に依存する。図3は、平均結晶粒径とアニール温度との関係を示すグラフである。図3には、アニール温度が 25°C である場合の平均結晶粒径が示されている。これは熱処理をしていない状態での平均結晶粒径を意味する。図3に示すように、電極 $22n$ 、 $22p$ で

は、アニール温度が高くなると、平均結晶粒径が大きくなった。ここで、電極 2 2 n、2 2 p の厚みは、 $0.5 \mu\text{m}$ であった。つまり、金属膜 2 1 n、2 1 p を熱処理することにより、平均結晶粒径は、電極 2 2 n、2 2 p の厚みよりも大きくなった。

[0085] 図 4 は、平均結晶粒径と接触抵抗との関係を示すグラフである。

[0086] 接触抵抗については、図 5 に示すサンプル 3 0 を作成し、当該サンプル 3 0 を用いて測定した。サンプル 3 0 は、シリコン基板 3 2 と、電極 3 4 と、非晶質シリコン層 3 6 と、電極 3 8 とを備えていた。

[0087] 電極 2 2 n と n 型非晶質シリコン層 2 0 n との接触抵抗については、電極 3 4 を電極 2 2 n とした。この場合、非晶質シリコン層 3 6 は n 型不純物を含み、シリコン基板 3 2 は n 型シリコン基板であった。n 型シリコン基板の比抵抗は、 $0.01 \Omega \cdot \text{cm}$ 以下であった。電極 3 4 の厚みは、電極 2 2 n の厚みと同じであった。非晶質シリコン層 3 6 の厚み及び不純物濃度は、n 型非晶質シリコン層 2 0 n と同じであった。シリコン基板 3 2 の厚みは、 $300 \mu\text{m}$ であった。

[0088] 電極 2 2 p と p 型非晶質シリコン層 2 0 p との接触抵抗については、電極 3 4 を電極 2 2 p とした。この場合、非晶質シリコン層 3 6 は p 型不純物を含み、シリコン基板 3 2 は p 型シリコン基板であった。p 型シリコン基板の比抵抗は、 $0.01 \Omega \cdot \text{cm}$ 以下であった。電極 3 4 の厚みは、電極 2 2 p の厚みと同じであった。非晶質シリコン層 3 6 の厚み及び不純物濃度は、p 型非晶質シリコン層 2 0 p と同じであった。

[0089] 電極 2 2 n と n 型非晶質シリコン層 2 0 n との接触抵抗を測定する場合、及び、電極 2 2 p と p 型非晶質シリコン層 2 0 p との接触抵抗を測定する場合の何れにおいても、電極 3 8 は、チタン (Ti)、パラジウム (Pd) 及び銀 (Ag) の積層構造であった。

[0090] 図 4 に示すように、電極 2 2 n における平均結晶粒径が電極 2 2 n の厚み ($0.5 \mu\text{m}$) よりも大きくなると、n 型非晶質シリコン層 2 0 n と電極 2 2 n との接触抵抗は、熱処理をしていない状態での接触抵抗よりも小さくな

った。従って、 n 型非晶質半導体上の電極（電極 2 2 n）の平均結晶粒径は、金属膜の膜厚（電極 2 2 n の厚み）以上であることが好ましい。より好ましくは、電極 2 2 n の平均結晶粒径は、電極 2 2 n の厚みの 1.34 倍以上である。具体的には、図 4 より、電極 2 2 n の厚みが $0.5\ \mu\text{m}$ の場合、電極 2 2 n の平均結晶粒径は $0.67\ \mu\text{m}$ 以上であることがより好ましい。

[0091] 図 4 に示すように、 n 型非晶質シリコン層 2 0 n と電極 2 2 n との接触抵抗は、電極 2 2 n の平均結晶粒径が大きくなるほど小さくなり、平均結晶粒径が電極 2 2 n の厚みの 1.54 倍以上になるとほぼ最低の接触抵抗を得ることができる。従って、 n 型非晶質半導体上の電極 2 2 n の平均結晶粒径は、電極 2 2 n の膜厚の 1.54 倍以上であることがさらに好ましい。具体的には、図 4 より、電極 2 2 n の厚みが $0.5\ \mu\text{m}$ の場合、電極 2 2 n の平均結晶粒径は、 $0.77\ \mu\text{m}$ 以上であることがさらに好ましい。

[0092] ここで、平均結晶粒径が大きくなることで接触抵抗が低くなる理由としては、例えば、以下の理由が考えられる。

[0093] 図 6 に示すように、金属結晶粒 2 4 間の界面である結晶粒界には、高密度の界面準位が存在すると考えられる。つまり、結晶粒界が密であるほど、界面準位の影響を大きく受ける。

[0094] 金属結晶粒 2 4 が小さい場合には、界面準位が多くなる。そのため、図 7 に示すように、 n 型非晶質シリコン層 2 0 n の空乏層中のイオン化したドナー不純物と、金属結晶粒界の界面準位にトラップされた電子との間に、ダイポールが形成される。その結果、エネルギー障壁が大きくなり、非オーミックな特性になりやすく、接触抵抗が高くなる。なお、図 7 では、界面準位の影響を判り易く示すために、 n 型非晶質シリコン層 2 0 n と電極 2 2 n との間に界面準位領域があるものとして記載している。

[0095] 一方、金属結晶粒 2 4 が大きい場合には、結晶粒界が少なくなる。そのため、界面準位密度が実効的に減少する。この場合、図 8 に示すように、 n 型非晶質シリコン層 2 0 n のフェルミ準位と、電極 2 2 n のフェルミ準位とが一致するように、バンドベンディングが起こり、 n 型非晶質シリコン層 2 0

n中に空乏層が形成される。n型非晶質シリコン層20n中のドナー不純物濃度が十分に大きい場合、空乏層幅が十分に小さくなり、トンネル電流が流れる。この場合、n型非晶質シリコン層20nと電極22nとの間のエネルギー障壁が小さいので、オーミック特性となり、接触抵抗が低くなる。つまり、金属結晶粒24の結晶粒径を大きくしたほうが、接触抵抗を低くできる。電極22nにおける平均結晶粒径が電極22nの膜厚よりも大きくなると、金属結晶粒24間の結晶粒界の多くが電極22nの膜厚方向に貫通するため、n型非晶質シリコン層20nとの界面付近における結晶粒界密度が非常に小さくなり、界面準位密度が非常に小さくなる。従って、電極22nにおける平均結晶粒径は、電極22nの膜厚よりも大きいことが好ましい。同様に、電極22pにおける平均結晶粒径は、電極22pの膜厚よりも大きいことが好ましい。

[0096] 図4では、電極22pにおける平均結晶粒径が電極22pの厚みの2.44倍(1.22 μ m)よりも大きくなると、p型非晶質シリコン層20pと電極22pとの接触抵抗が、熱処理をしていない状態での接触抵抗よりも大きくなった。つまり、電極22pにおける平均結晶粒径が電極22pの厚みの1~2.44倍(0.5~1.22 μ m)である場合、p型非晶質シリコン層20pと電極22pとの接触抵抗は、熱処理をしていない状態での接触抵抗よりも小さくなった。更に、電極22pにおける平均結晶粒径は、電極22pの厚みの1.26倍以上であって、2.44倍以下(電極22pの厚みが0.5 μ mの場合、平均結晶粒径は0.63 μ m以上であって、1.22 μ m以下)の場合、接触抵抗が非常に小さくなった。

[0097] 従って、電極22pの平均結晶粒径は、電極22pの厚みよりも大きいことが好ましく、より好ましくは、電極22pの厚みの1倍よりも大きく、2.44倍以下である。具体的には、電極22pの厚みが0.5 μ mの場合、電極22pの平均結晶粒径は、0.5 μ mよりも大きいことが好ましく、より好ましくは、0.5 μ mよりも大きく、1.22 μ m以下である。

[0098] さらに好ましくは、電極22pの平均結晶粒径は、電極22pの厚みの1

、2.6倍以上であって、2.44倍以下である。具体的には、電極22pの厚みが $0.5\mu\text{m}$ の場合、電極22pの平均結晶粒径は、 $0.63\mu\text{m}$ 以上であって、 $1.22\mu\text{m}$ 以下である。

[0099] 電極22pにおける平均結晶粒径が電極22pの厚みの1～2.44倍（ $0.5\sim 1.22\mu\text{m}$ ）である場合に接触抵抗が低くなる理由は、電極22nにおける平均結晶粒径が電極22nの厚みよりも大きい場合に接触抵抗が低くなる理由と同様であると考えられる。

[0100] p型非晶質シリコン層20pと電極22pとの接触抵抗が高くなる理由としては、例えば、p型非晶質シリコン層20pと電極22pとの界面に酸化銀又は酸化シリコンからなる高抵抗層が形成されたことが考えられる。実際、オージェ電子分光法により、p型非晶質シリコン層20pと電極22pとの界面付近で、酸化銀と酸化シリコンとを検出した。つまり、p型非晶質シリコン層20pと電極22pとの界面では、n型非晶質シリコン層20nと電極22nとの界面と異なり、特異的に酸化が進むことが明らかとなった。

[0101] 図9は、光電変換素子面積 1cm^2 当たりの接触抵抗（セル抵抗）と、平均結晶粒径の平均値との関係を示すグラフである。

[0102] セル抵抗は、電極22nとn型非晶質シリコン層20nとの接触面積と、電極22pとp型非晶質シリコン層20pとの接触面積との比率を仮定したときの光電変換素子10の接触抵抗である。図9において、凡例中の $n:p=1:1$ 、 $n:p=1:2$ 、 $n:p=1:3$ とは、電極22nとn型非晶質シリコン層20nとの接触面積と、電極22pとp型非晶質シリコン層20pとの接触面積との比がそれぞれ、 $1:1$ 、 $1:2$ 、 $1:3$ であることを示す。平均結晶粒径の平均値は、電極22nにおける平均結晶粒径と電極22pにおける平均結晶粒径との平均値である。

[0103] 電極22nとn型非晶質シリコン層20nとの接触面積を1とし、電極22pとp型非晶質シリコン層20pとの接触面積をNとした場合、セル抵抗は、以下の式（2）により、求められる。

セル抵抗 = {（電極22nとn型非晶質シリコン層20nとの接触抵抗）×

$$(1 + N) \} + \{ (\text{電極 } 22p \text{ と } p \text{ 型非晶質シリコン層 } 20p \text{ との接触抵抗}) \times (1 + N) / N \} \cdots (2)$$

図9に示すように、電極22pとp型非晶質シリコン層20pとの接触面積が、電極22nとn型非晶質シリコン層20nとの接触面積の2倍以上であり、平均結晶粒径の平均値が、 $0.65 \mu\text{m}$ 以上であって、且つ、 $2.36 \mu\text{m}$ 以下である場合には、セル抵抗が、熱処理をしていない状態（平均結晶粒径の平均値＝ $0.27 \mu\text{m}$ ）でのセル抵抗よりも低くなった。即ち、電極22pとp型非晶質シリコン層20pとの接触面積が、電極22nとn型非晶質シリコン層20nとの接触面積の2倍以上である場合、平均結晶粒径の平均値は、電極22n、22pの厚みの1.3倍以上、且つ、4.72倍以下であることが好ましい。この場合、熱処理をしていない状態でのセル抵抗よりも低いセル抵抗が得られ、素子特性が向上する。

[0104] 図9に示すように、電極22pとp型非晶質シリコン層20pとの接触面積が、電極22nとn型非晶質シリコン層20nとの接触面積の1倍以上であり、平均結晶粒径の平均値が、 $0.65 \mu\text{m}$ 以上であって、且つ、 $2.0 \mu\text{m}$ 以下である場合には、セル抵抗が、熱処理をしていない状態でのセル抵抗よりも低くなった。即ち、電極22pとp型非晶質シリコン層20pとの接触面積が、電極22nとn型非晶質シリコン層20nとの接触面積の1倍以上である場合、平均結晶粒径の平均値は、電極22n、22pの厚みの1.3倍以上、且つ、4倍以下であることが好ましい。この場合、熱処理をしていない状態でのセル抵抗よりも低いセル抵抗が得られ、素子特性が向上する。

[0105] 平均結晶粒径の平均値は、電極22n、22pの厚みの1.3倍以上、且つ、3.18倍以下であることがより好ましい。この場合、非常に低いセル抵抗が得られる。具体的には、電極22n、22pの厚みが $0.5 \mu\text{m}$ のとき、平均結晶粒径の平均値は、 $0.65 \mu\text{m}$ 以上であって、 $1.59 \mu\text{m}$ 以下であることがより好ましい。

[0106] 平均結晶粒径の平均値は、電極22n、22pの厚みの1.46倍以上、

且つ、3.18倍以下であることが、さらに好ましい。この場合、さらに低いセル抵抗が得られる。具体的には、電極22n、22pの厚みが $0.5\mu\text{m}$ のとき、平均結晶粒径の平均値は、 $0.73\mu\text{m}$ 以上であって、 $1.59\mu\text{m}$ 以下であることがさらに好ましい。

[0107] 図10は、変換効率 η と平均結晶粒径との関係を示すグラフである。変換効率 η は、熱処理をしていない状態での変換効率 η を基準に規格化している。平均結晶粒径の平均値は、電極22nに含まれる複数の金属結晶粒の平均結晶粒径と、電極22pに含まれる複数の金属結晶粒の平均結晶粒径とを平均したものである。

[0108] 図11は、曲線因子FFと平均結晶粒径との関係を示すグラフである。曲線因子FFは、熱処理をしていない状態での曲線因子FFを基準に規格化している。平均結晶粒径の平均値は、電極22nに含まれる複数の金属結晶粒の平均結晶粒径と、電極22pに含まれる複数の金属結晶粒の平均結晶粒径とを平均したものである。

[0109] 図10及び図11は、電極22n、22pの厚みが $0.5\mu\text{m}$ であり、且つ、電極22pとp型非晶質シリコン層20pとの接触面積が、電極22nとn型非晶質シリコン層20nとの接触面積の3倍である場合の測定結果を示す。図10及び図11に示すように、平均結晶粒径が電極22n、22pの厚みよりも大きい場合に、素子特性（具体的には、変換効率 η 及び曲線因子FF）が向上する。特に、曲線因子FFが向上するのは、熱処理をすることにより、n型非晶質シリコン層20nと電極22nとの接触抵抗、及び、p型非晶質シリコン層20pと電極22pとの接触抵抗が低くなるからである。つまり、光電変換素子10においては、n型非晶質シリコン層20nと電極22nとの接触抵抗、及び、p型非晶質シリコン層20pと電極22pとの接触抵抗を小さくすることができるので、曲線因子FFを向上させることができる。その結果、変換効率 η を向上させることができる。

[0110] 平均結晶粒径の平均値は、好ましくは、電極22n、22pの厚みよりも大きく、且つ、電極22n、22pの厚みの4.72倍以下である。具体的

には、電極 22 n、22 p の厚みが $0.5\ \mu\text{m}$ である場合、平均結晶粒径の平均値は、好ましくは、 $0.5\ \mu\text{m}$ よりも大きく、且つ、 $2.36\ \mu\text{m}$ 以下である。この場合、図 10 及び図 11 に示すように、素子特性がさらに向上する。

[0111] 平均結晶粒径の平均値は、より好ましくは、電極 22 n、22 p の厚みの 1.3 倍以上、且つ、電極 22 n、22 p の厚みの 4.0 倍以下である。具体的には、電極 22 n、22 p の厚みが $0.5\ \mu\text{m}$ である場合、平均結晶粒径は、より好ましくは、 $0.65\ \mu\text{m}$ 以上、且つ、 $2.0\ \mu\text{m}$ 以下である。この場合、図 10 及び図 11 に示すように、素子特性がより一層向上する。

[0112] 平均結晶粒径の平均値は、さらに好ましくは、電極 22 n、22 p の厚みの 1.3 倍以上、且つ、電極 22 n、22 p の厚みの 3.18 倍以下である。具体的には、電極 22 n、22 p の厚みが $0.5\ \mu\text{m}$ である場合、平均結晶粒径は、さらに好ましくは、 $0.65\ \mu\text{m}$ 以上、且つ、 $1.59\ \mu\text{m}$ 以下である。この場合、図 10 及び図 11 に示すように、素子特性がより一層向上する。

[0113] 平均結晶粒径の平均値は、更に一層好ましくは、電極 22 n、22 p の厚みの 1.46 倍以上、且つ、電極 22 n、22 p の厚みの 3.18 倍以下である。具体的には、電極 22 n、22 p の厚みが $0.5\ \mu\text{m}$ である場合、平均結晶粒径は、更に一層好ましくは、 $0.73\ \mu\text{m}$ 以上、且つ、 $1.59\ \mu\text{m}$ 以下である。この場合、図 10 及び図 11 に示すように、素子特性がより一層向上する。

[0114] [第 1 の実施の形態による光電変換素子の応用例 1～3]

本発明の第 1 の実施の形態による光電変換素子は、図 12～図 14 に示すような構成であってもよい。

[0115] 図 12 は、本発明の第 1 の実施の形態の応用例 1 に係る光電変換素子 10 A の概略構成の一例を示す断面図である。図 12 に示すように、光電変換素子 10 A は、光電変換素子 10 と比べて、真性非晶質シリコン層 18 を備えていない。

[0116] 光電変換素子 10A を製造するときには、例えば、真性非晶質シリコン層と p 型非晶質シリコン層とを、この順番で、シリコン基板 12 の裏面上に形成する。続いて、p 型非晶質シリコン層のうち、後に p 型非晶質シリコン層 20p となる部分以外を除去すると共に、真性非晶質シリコン層のうち、後に真性非晶質シリコン層 19 となる部分以外も除去する。続いて、p 型非晶質シリコン層 20p 上に形成された被覆層上と、シリコン基板 12 の裏面上とに、n 型非晶質シリコン層を形成する。続いて、p 型非晶質シリコン層 20p 上に形成された被覆層を除去する。これにより、シリコン基板 12 の裏面上には、真性非晶質シリコン層 19 と、n 型非晶質シリコン層 20n とが形成され、真性非晶質シリコン層 19 上には、p 型非晶質シリコン層 20p が形成される。

[0117] 図 13 は、本発明の第 1 の実施の形態の応用例 2 に係る光電変換素子 10B の概略構成の一例を示す断面図である。図 13 に示すように、光電変換素子 10B は、光電変換素子 10 と比べて、真性非晶質シリコン層 19 を備えていない。

[0118] 光電変換素子 10B を製造するときには、例えば、真性非晶質シリコン層と n 型非晶質シリコン層と被覆層とを、この順番で、シリコン基板 12 の裏面上に形成する。続いて、フォトリソグラフィ法等を利用して、被覆層と n 型非晶質シリコン層と真性非晶質シリコン層とをパターニングして、シリコン基板 12 の一部を露出させるのと同時に、n 型非晶質シリコン層 20n と真性非晶質シリコン層 18 とを形成する。このとき、n 型非晶質シリコン層 20n 上には被覆層が形成されている。続いて、n 型非晶質シリコン層 20n 上に形成された被覆層上と、シリコン基板 12 の裏面上とに、p 型非晶質シリコン層を形成する。続いて、n 型非晶質シリコン層 20n 上に形成された被覆層を除去する。これにより、シリコン基板 12 の裏面上には、真性非晶質シリコン層 18 と、p 型非晶質シリコン層 20p とが形成され、真性非晶質シリコン層 18 上には、n 型非晶質シリコン層 20n が形成される。

[0119] 図 14 は、本発明の第 1 の実施の形態の応用例 3 に係る光電変換素子 10

Cの概略構成の一例を示す断面図である。図14に示すように、光電変換素子10Cは、光電変換素子10と比べて、真性非晶質シリコン層18、19を備えていない。

[0120] 光電変換素子10Cを製造するときには、例えば、n型非晶質シリコン層と被覆層とを、この順番で、シリコン基板12の裏面上に形成する。続いて、被覆層とn型シリコン層とをパターニングし、シリコン基板12の一部を露出させるのとともに、n型非晶質シリコン層20nを形成する。このとき、n型非晶質シリコン層20n上には被覆層が形成されている。続いて、n型非晶質シリコン層20n上に形成された被覆層上と、シリコン基板12の裏面上とに、p型非晶質シリコン層を形成する。続いて、n型非晶質シリコン層20n上に形成された被覆層を除去する。これにより、シリコン基板12の裏面上には、n型非晶質シリコン層20nと、p型非晶質シリコン層20pとが形成される。

[0121] [第2の実施の形態]

図15は、本発明の第2の実施の形態による光電変換素子50の構成を示す断面図である。光電変換素子50は、シリコン基板52と、非晶質膜54と、非晶質膜56と、電極58と、絶縁膜60と、電極62とを含む。

[0122] シリコン基板52は、n型単結晶シリコン基板である。シリコン基板52は、p型拡散層64pと、n型拡散層64nとを含む。

[0123] p型拡散層64pは、p型の不純物として、例えば、ボロン(B)を含む。ボロン(B)の最大濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。p型拡散層64pは、例えば、50～1000nmの厚みを有する。

[0124] n型拡散層64nは、シリコン基板52の光入射側の表面と反対側の裏面に接してシリコン基板52の面内方向に所望の間隔で配置される。n型拡散層64nは、n型の不純物として、例えば、リン(P)を含む。リン(P)の最大濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。n型拡散層64nは、例えば、50～1000nmの厚みを有する。

[0125] シリコン基板 5 2 についてのその他の説明は、シリコン基板 1 2 の説明と同じである。

[0126] 非晶質膜 5 4 は、シリコン基板 5 2 の光入射側の表面に接して配置される。非晶質膜 5 4 は、少なくとも非晶質相を含み、例えば、 $a-Si:H$ からなる。非晶質膜 5 4 の膜厚は、例えば、 $1 \sim 20 \text{ nm}$ である。

[0127] 非晶質膜 5 6 は、非晶質膜 5 4 に接して配置される。非晶質膜 5 4 は、少なくとも非晶質相を含み、例えば、窒化シリコンからなる。非晶質膜 5 6 の膜厚は、例えば、 $50 \sim 200 \text{ nm}$ である。

[0128] 電極 5 8 は、非晶質膜 5 4 及び非晶質膜 5 6 を貫通してシリコン基板 5 2 の p 型拡散層 6 4 p に接するとともに非晶質膜 5 6 上に配置される。電極 5 8 は、銀からなる。

[0129] 絶縁膜 6 0 は、シリコン基板 5 2 の裏面に接して配置される。絶縁膜 6 0 は、例えば、酸化シリコン、窒化シリコン、酸窒化シリコンおよび酸化アルミニウム等からなる。絶縁膜 6 0 は、例えば、 $50 \sim 1000 \text{ nm}$ の厚みを有する。

[0130] 電極 6 2 は、絶縁膜 6 0 を貫通してシリコン基板 5 2 の n 型拡散層 6 4 n に接するとともに絶縁膜 6 0 を覆うように配置される。電極 6 2 は、銀からなる。

[0131] [光電変換素子の製造方法]

図 1 6 A ～ 図 1 6 G を参照しながら、光電変換素子 5 0 の製造方法について説明する。

[0132] 先ず、図 1 6 A に示すように、シリコン基板 5 2 に n 型拡散層 6 4 n を形成する。具体的には、先ず、シリコン基板 5 2 を準備する。続いて、シリコン基板 5 2 の裏面にレジストを塗布する。続いて、レジストをフォトリソグラフィ法でパターンニングし、レジストパターンを形成する。続いて、レジストパターンをマスクとして P および砒素 (As) 等の n 型不純物をシリコン基板 5 2 にイオン注入する。これによって、n 型拡散層 6 4 n がシリコン基板 5 2 の裏面側に形成される。なお、イオン注入後、n 型不純物を電氣的に

活性化するための熱処理を行ってもよい。イオン注入法の代わりに、気相拡散法、固相拡散法、プラズマドーピング法、イオンドーピング法等を用いてもよい。

[0133] 続いて、図16Bに示すように、シリコン基板52の裏面全体に絶縁膜60を形成する。絶縁膜60は、例えば、プラズマCVD法によって形成される。なお、絶縁膜60は、ALD (Atomic Layer Deposition) 法および熱CVD法等によって形成されてもよい。

[0134] 続いて、図16Cに示すように、シリコン基板52にp型拡散層64pを形成する。具体的には、B、ガリウム (Ga) およびインジウム (In) 等のp型不純物を光入射側からシリコン基板52にイオン注入する。これによって、p型拡散層64pがシリコン基板52の光入射側に形成される。なお、イオン注入後、p型不純物を電氣的に活性化するための熱処理を行ってもよい。イオン注入法の代わりに、気相拡散法、固相拡散法、プラズマドーピング法、イオンドーピング法等を用いてもよい。

[0135] 続いて、図16Dに示すように、シリコン基板52の受光面上に非晶質膜54を形成する。非晶質膜54は、例えば、プラズマCVDによって形成される。

[0136] 続いて、図16Eに示すように、非晶質膜54上に非晶質膜56を形成する。非晶質膜56は、例えば、プラズマCVDによって形成される。

[0137] 続いて、図16Fに示すように、金属膜581、621を形成する。金属膜581、621の形成方法は、例えば、以下のとおりである。

[0138] 先ず、非晶質膜56の全面にレジストを塗布する。続いて、レジストをフォトリソグラフィ法でパターンニングし、レジストパターンを形成する。続いて、レジストパターンをマスクとしてフッ酸と硝酸の混合液等を用いて非晶質膜56及び非晶質膜54の一部をエッチングする。続いて、レジストパターンを除去する。これにより、p型拡散層64pの一部が露出される。続いて、蒸着法またはスパッタリング法等を用いて、Agからなる金属膜を非晶質膜56の全面に形成する。続いて、金属膜をパターンニングする。これによ

り、金属膜581が形成される。

[0139] 続いて、絶縁膜60の全面にレジストを塗布する。続いて、レジストをフォトリソグラフィ法でパターニングし、レジストパターンを形成する。続いて、レジストパターンをマスクとして、フッ酸等を用いて、絶縁膜60の一部をエッチングし、レジストパターンを除去する。これにより、シリコン基板52のn型拡散層64nの一部が露出される。

[0140] 続いて、蒸着法またはスパッタリング法等を用いて、絶縁膜60を覆うようにして、Agからなる金属膜621を形成する。

[0141] 続いて、金属膜581、621を熱処理し、電極58、62を形成する。熱処理は、第1の実施の形態と同様にして行われる。これにより、図16Gに示すように、光電変換素子50が得られる。

[0142] 光電変換素子50においても、光電変換素子10と同様に、素子特性が向上する。

[0143] また、光電変換素子50においては、シリコン基板52表面全体に設けられたp型拡散層64pによって、シリコン基板52の受光面側全体に空乏層が形成されるのとともに、p型拡散層64pによる横方向の高いキャリア伝導を得ることで、光によって生成される電子・正孔対の分離を効率的に行うことができる。更に、シリコン基板52表面に設けた非晶質膜54（例えばi型a-Si:H）によって高いパッシベーション効果を得ることができる。非晶質膜54としてa-Si:Hを用いる場合、高温処理（例えば300℃以上）によってパッシベーション性能が低下してしまうが、光電変換素子50においては、250℃以下の低温プロセスにて低い接触抵抗が得られる。

[0144] なお、光電変換素子50は、p型拡散層64pに代えてn型拡散層を備え、n型拡散層64nに代えてp型拡散層を備えていてもよい。また、光電変換素子50において、シリコン基板52の導電型はp型であってもよい。

[0145] [第2の実施の形態の応用例]

図17は、第2の実施の形態の応用例に係る光電変換素子50Aの概略構

成を示す断面図である。光電変換素子 50A は、光電変換素子 50 と比べて、非晶質膜 54 の代わりに、非晶質膜 70 及び非晶質膜 72 を備える。また、光電変換素子 50A は、光電変換素子 50 と比べて、電極 58 の代わりに、電極 76 を備える。

[0146] 非晶質膜 70 は、少なくとも非晶質相を含み、例えば、 $a-Si:H$ からなる。非晶質膜 70 は、 i 型 $a-Si:H$ からなることが好ましいが、非晶質膜 72 に含まれる p 型不純物の濃度よりも低い濃度の p 型不純物を含んでいてもよい。非晶質膜 70 は、例えば、 $1\text{ nm} \sim 20\text{ nm}$ の膜厚を有する。非晶質膜 70 は、シリコン基板 50 の p 型拡散層 64p に接して p 型拡散層 64p 上に配置され、シリコン基板 52 をパッシベーションする。

[0147] 非晶質膜 72 は、少なくとも非晶質相を含み、例えば、 p 型 $a-Si:H$ からなる。非晶質膜 72 は、例えば、 $1 \sim 30\text{ nm}$ の膜厚を有する。非晶質膜 72 は、非晶質膜 70 に接して非晶質膜 70 上に配置される。

[0148] 電極 76 は、 Ag からなる。電極 76 は、非晶質膜 56 を貫通して非晶質膜 72 に接し、非晶質膜 56 上に配置される。

[0149] 光電変換素子 50A は、電極 76 が直接シリコン基板 52 に接することがなく、シリコン基板 52 表面が非晶質膜 70 で被覆されているため、光電変換素子 50 に比べて更に良好なパッシベーション特性が得られる。この結果、光電変換効率を更に向上させることができる。

[0150] 光電変換素子 50A の製造方法は、光電変換素子 50 の製造方法のうち、非晶質膜 54 を形成する工程を、非晶質膜 70 及び非晶質膜 72 を形成する工程に変更し、且つ、電極 58 を形成する工程を、電極 76 を形成する工程に変更すればよい。

[0151] なお、光電変換素子 50A は、非晶質膜 70 を備えていなくてもよい。光電変換素子 50A においては、 p 型拡散層 64p を n 型拡散層に代え、 n 型拡散層 64n を p 型拡散層に代え、非晶質膜 72 を n 型 $a-Si:H$ からなるものに代えてもよい。シリコン基板 52 の導電型を p 型に変更してもよい。

〔第 3 の実施の形態〕

図18は、本発明の第3の実施の形態による光電変換素子80の概略構成を示す断面図である。光電変換素子80は、光電変換素子50のシリコン基板52をシリコン基板82に代え、絶縁膜60を非晶質膜84、86に代え、電極62を電極88に代えたものである。その他は、光電変換素子50と同じである。

[0152] シリコン基板82は、シリコン基板52のn型拡散層64nをn型拡散層90nに代えたものである。その他は、シリコン基板52と同じである。

[0153] n型拡散層90nは、シリコン基板82の光入射側と反対側の裏面全体に接してシリコン基板82中に配置される。n型拡散層90nは、n型拡散層64nと同じ厚みを有するとともに、n型拡散層64nのn型不純物と同じ濃度のn型不純物を含む。

[0154] 非晶質薄膜84は、少なくとも非晶質相を含み、例えば、i型a-Si:Hまたはn型a-Si:Hからなる。また、非晶質薄膜84の膜厚は、例えば、1~20nmである。非晶質薄膜84は、シリコン基板82の光入射側と反対側の裏面に接してシリコン基板82上に配置される。

[0155] 非晶質薄膜86は、少なくとも非晶質相を含み、例えば、窒化シリコンからなる。また、非晶質薄膜86の膜厚は、例えば、50~200nmである。

[0156] 電極88は、Agからなる。電極88は、非晶質薄膜84、86を貫通してn型拡散層90nに接し、非晶質薄膜86上に配置される。

[0157] 光電変換素子80においては、シリコン基板82の光入射側の表面は、非晶質薄膜54によってパッシベーションされ、シリコン基板82の裏面は、非晶質薄膜84によってパッシベーションされる。これにより、高い光電変換効率が得られる。なお、シリコン基板82の裏面側から光を入射しても良い。

[0158] [光電変換素子の製造方法]

図19A~19Fを参照しながら、光電変換素子80の製造方法について説明する。

- [0159] 先ず、図19Aに示すように、シリコン基板82にn型拡散層90nを形成する。具体的には、Pおよび砒素（As）等のn型不純物をシリコン基板82にイオン注入して、n型拡散層90nをシリコン基板82の裏面側に形成する。なお、イオン注入後、n型不純物を電氣的に活性化するための熱処理を行ってもよい。イオン注入法の代わりに、気相拡散法、固相拡散法、プラズマドーピング法、イオンドーピング法等を用いてもよい。
- [0160] 続いて、図19Bに示すように、シリコン基板82にp型拡散層64pを形成する。具体的には、B、ガリウム（Ga）およびインジウム（In）等のp型不純物を光入射側からシリコン基板82にイオン注入する。これによって、p型拡散層64pがシリコン基板82の光入射側に形成される。なお、イオン注入後、p型不純物を電氣的に活性化するための熱処理を行ってもよい。イオン注入法の代わりに、気相拡散法、固相拡散法、プラズマドーピング法、イオンドーピング法等を用いてもよい。
- [0161] 続いて、図19Cに示すように、シリコン基板82の受光面上に非晶質膜54、56を形成する。非晶質膜54、56は、例えば、プラズマCVDによって形成される。
- [0162] 続いて、図19Dに示すように、非晶質薄膜84、86をシリコン基板82の裏面に順次積層する。非晶質膜84、86は、例えば、プラズマCVDによって形成される。
- [0163] 続いて、図19Eに示すように、金属膜581、881を形成する。金属膜581、881の形成方法は、例えば、以下のとおりである。
- [0164] 先ず、非晶質膜56の全面にレジストを塗布する。続いて、レジストをフォトリソグラフィ法でパターンニングし、レジストパターンを形成する。続いて、レジストパターンをマスクとして非晶質膜56及び非晶質膜54の一部をエッチングする。続いて、レジストパターンを除去する。これにより、p型拡散層64pの一部が露出される。続いて、蒸着法およびスパッタリング法等を用いて、Agからなる金属膜を非晶質膜56の全面に形成する。続いて、金属膜をパターンニングする。これにより、金属膜581が形成される。

[0165] 続いて、非晶質膜 86 の全面にレジストを塗布する。続いて、レジストをフォトリソグラフィ法でパターニングし、レジストパターンを形成する。続いて、レジストパターンをマスクとして非晶質膜 86 の一部をエッチングし、レジストパターンを除去する。これにより、シリコン基板 82 の n 型拡散層 64 n の一部が露出される。

[0166] 続いて、蒸着法およびスパッタリング法等を用いて、非晶質膜 86 を覆うようにして、Ag からなる金属膜 881 を形成する。

[0167] 続いて、金属膜 581、881 を熱処理し、電極 58、88 を形成する。熱処理は、第 1 の実施の形態と同様にして行われる。これにより、図 19 F に示すように、光電変換素子 80 が得られる。

[0168] 光電変換素子 80 においても、光電変換素子 10 と同様に、素子特性が向上する。

[0169] なお、光電変換素子 80 においては、p 型拡散層 64 p を n 型拡散層に代え、n 型拡散層 90 n を p 型拡散層に代えてもよい。この場合、非晶質薄膜 54 は、i 型 a-Si:H または n 型 a-Si:H からなり、非晶質薄膜 84 は、i 型 a-Si:H または p 型 a-Si:H からなる。

[0170] [第 3 の実施の形態の応用例 1]

図 20 は、第 3 の実施の形態の応用例 1 に係る光電変換素子 80 A の概略構成を示す縦断面図である。光電変換素子 80 A は、光電変換素子 80 と比べて、非晶質膜 54 の代わりに、非晶質膜 70 及び非晶質膜 72 を備える。非晶質膜 84 の代わりに、非晶質膜 94 及び非晶質膜 96 を備える。電極 58 の代わりに、電極 76 を備える。電極 88 の代わりに、電極 98 を備える。

[0171] 非晶質薄膜 94 は、少なくとも非晶質相を含み、例えば、i 型 a-Si:H または n 型 a-Si:H からなる。非晶質薄膜 94 は、シリコン基板 82 の裏面に接してシリコン基板 82 の裏面上に配置される。

[0172] 非晶質薄膜 96 は、少なくとも非晶質相を含み、例えば、n 型 a-Si:H からなる。非晶質薄膜 96 は、非晶質薄膜 94 に接して非晶質薄膜 94 1

上に配置される。

[0173] 電極 98 は、Ag からなる。電極 98 は、非晶質薄膜 86 を貫通して非晶質薄膜 96 に接し、非晶質薄膜 86 上に配置される。

[0174] 光電変換素子 80A の製造方法は、光電変換素子 80 の製造方法のうち、非晶質膜 54 を形成する工程を、非晶質膜 70 及び非晶質膜 72 を形成する工程に変更し、非晶質膜 84 を形成する工程を、非晶質膜 94 及び非晶質膜 96 を形成する工程に変更し、電極 58 を形成する工程を、電極 76 を形成する工程に変更し、電極 88 を形成する工程を、電極 98 を形成する工程に変更すればよい。

[0175] 光電変換素子 80A の構成では、電極 76 とシリコン基板 82 の間には非晶質膜 70、72 が形成され、電極 98 とシリコン基板 82 の間には非晶質膜 94、96 が形成されているため、光電変換素子 80 と比べ、より高いパッシベーション効果が得られる。

[0176] なお、光電変換素子 80A は、非晶質膜 70、94 を備えていなくてもよい。光電変換素子 80A においては、p 型拡散層 64p を n 型拡散層に代え、n 型拡散層 90n を p 型拡散層に代え、非晶質膜 72 を n 型 a-Si:H からなるものに代え、非晶質膜 96 を p 型 a-Si:H からなるものに代えてもよい。シリコン基板 82 の導電型を p 型に変更してもよい。

[0177] [第 3 の実施の形態の応用例 2]

図 21 は、第 3 の実施の形態の応用例 2 に係る光電変換素子 80B の概略構成を示す縦断面図である。光電変換素子 80B は、光電変換素子 80 と比べて、非晶質膜 54 の代わりに、非晶質膜 70 及び非晶質膜 72 を備える。電極 58 の代わりに、電極 76 を備える。

[0178] 光電変換素子 80B の製造方法は、光電変換素子 80 の製造方法のうち、非晶質膜 54 を形成する工程を、非晶質膜 70 及び非晶質膜 72 を形成する工程に変更し、電極 58 を形成する工程を、電極 76 を形成する工程に変更すればよい。

[0179] なお、光電変換素子 80B は、非晶質膜 70 を備えていなくてもよい。光

電変換素子 80B においては、p 型拡散層 64p を n 型拡散層に代え、n 型拡散層 90n を p 型拡散層に代え、非晶質膜 72 を n 型 a-Si:H からなるものに代えてもよい。シリコン基板 82 の導電型を p 型に変更してもよい。

[0180] [第 4 の実施の形態]

図 22 は、この実施の形態による光電変換素子を備える光電変換モジュールの構成を示す概略図である。図 22 を参照して、光電変換モジュール 1000 は、複数の光電変換素子 1001 と、カバー 1002 と、出力端子 1003, 1004 とを備える。

[0181] 複数の光電変換素子 1001 は、アレイ状に配置され、直列に接続される。直列に接続する代わりに、並列接続、または、直列と並列を組み合わせた接続を行ってもよい。複数の光電変換素子 1001 の各々は、光電変換素子 10, 10A, 10B, 10C, 50, 50A, 80, 80A, 80B のいずれかからなる。

[0182] カバー 1002 は、耐候性のカバーからなり、複数の光電変換素子 1001 を覆う。

[0183] 出力端子 1003 は、直列に接続された複数の光電変換素子 1001 の一方端に配置される光電変換素子 1001 に接続される。

[0184] 出力端子 1004 は、直列に接続された複数の光電変換素子 1001 の他方端に配置される光電変換素子 1001 に接続される。

[0185] 上述したように、光電変換素子 10, 10A, 10B, 10C, 50, 50A, 80, 80A, 80B は、素子特性が向上している。従って、光電変換モジュール 1000 の性能を向上させることができる。

[0186] なお、第 4 の実施の形態による光電変換モジュールは、図 22 に示す構成に限らず、光電変換素子 10, 10A, 10B, 10C, 50, 50A, 80, 80A, 80B のいずれかをを用いる限り、どのような構成であってもよい。

[0187] [第 5 の実施の形態]

図 23 は、この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。図 23 を参照して、太陽光発電システム 1100 は、光電変換モジュールアレイ 1101 と、接続箱 1102 と、パワーコンディショナー 1103 と、分電盤 1104 と、電力メーター 1105 とを備える。

[0188] 接続箱 1102 は、光電変換モジュールアレイ 1101 に接続される。パワーコンディショナー 1103 は、接続箱 1102 に接続される。分電盤 1104 は、パワーコンディショナー 1103 および電気機器 1110 に接続される。電力メーター 1105 は、分電盤 1104 および商用電力系統に接続される。

[0189] 光電変換モジュールアレイ 1101 は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力を接続箱 1102 に供給する。

[0190] 接続箱 1102 は、光電変換モジュールアレイ 1101 が発電した直流電力を受け、その受けた直流電力をパワーコンディショナー 1103 へ供給する。

[0191] パワーコンディショナー 1103 は、接続箱 1102 から受けた直流電力を交流電力に変換し、その変換した交流電力を分電盤 1104 に供給する。

[0192] 分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力および／または電力メーター 1105 を介して受けた商用電力を電気機器 1110 へ供給する。また、分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力が電気機器 1110 の消費電力よりも多いとき、余った交流電力を、電力メーター 1105 を介して、商用電力系統へ供給する。

[0193] 電力メーター 1105 は、商用電力系統から分電盤 1104 へ向かう方向の電力を計測するとともに、分電盤 1104 から商用電力系統へ向かう方向の電力を計測する。

[0194] 図 24 は、図 23 に示す光電変換モジュールアレイ 1101 の構成を示す概略図である。図 24 を参照して、光電変換モジュールアレイ 1101 は、

複数の光電変換モジュール 1120 と、出力端子 1121, 1122 とを含む。

[0195] 複数の光電変換モジュール 1120 は、アレイ状に配列され、直列に接続される。直列に接続する代わりに、並列接続、または、直列と並列を組み合わせた接続を行ってもよい。複数の光電変換モジュール 1120 の各々は、図 22 に示す光電変換モジュール 1000 からなる。

[0196] 出力端子 1121 は、直列に接続された複数の光電変換モジュール 1120 の一方端に位置する光電変換モジュール 1120 に接続される。

[0197] 出力端子 1122 は、直列に接続された複数の光電変換モジュール 1120 の他方端に位置する光電変換モジュール 1120 に接続される。

[0198] 太陽光発電システム 1100 における動作を説明する。光電変換モジュールアレイ 1101 は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力を、接続箱 1102 を介してパワーコンディショナー 1103 へ供給する。

[0199] パワーコンディショナー 1103 は、光電変換モジュールアレイ 1101 から受けた直流電力を交流電力に変換し、その変換した交流電力を分電盤 1104 へ供給する。

[0200] 分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力が電気機器 1110 の消費電力以上であるとき、パワーコンディショナー 1103 から受けた交流電力を電気機器 1110 に供給する。そして、分電盤 1104 は、余った交流電力を、電力メーター 1105 を介して、商用電力系統へ供給する。

[0201] また、分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力が電気機器 1110 の消費電力よりも少ないとき、商用電力系統から受けた交流電力およびパワーコンディショナー 1103 から受けた交流電力を電気機器 1110 へ供給する。

[0202] 太陽光発電システム 1100 は、上述したように、素子特性が向上している光電変換素子 10, 10A, 10B, 10C, 50, 50A, 80, 80

A, 80Bのいずれかを備えている。従って、太陽光発電システム1100の性能を向上させることができる。

[0203] なお、第5の実施の形態による太陽光発電システムは、図23, 24に示す構成に限らず、光電変換素子10, 10A, 10B, 10C, 50, 50A, 80, 80A, 80Bのいずれかをを用いる限り、どのような構成であってもよい。

[0204] [第6の実施の形態]

図25は、この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。図25を参照して、太陽光発電システム1200は、サブシステム1201~120n (nは2以上の整数) と、パワーコンディショナー1211~121nと、変圧器1221とを備える。太陽光発電システム1200は、図23に示す太陽光発電システム1100よりも規模が大きい太陽光発電システムである。

[0205] パワーコンディショナー1211~121nは、それぞれ、サブシステム1201~120nに接続される。

[0206] 変圧器1221は、パワーコンディショナー1211~121nおよび商用電力系統に接続される。

[0207] サブシステム1201~120nの各々は、モジュールシステム1231~123j (jは2以上の整数) からなる。

[0208] モジュールシステム1231~123jの各々は、光電変換モジュールアレイ1301~130i (iは2以上の整数) と、接続箱1311~131iと、集電箱1321とを含む。

[0209] 光電変換モジュールアレイ1301~130iの各々は、図34に示す光電変換モジュールアレイ1101と同じ構成からなる。

[0210] 接続箱1311~131iは、それぞれ、光電変換モジュールアレイ1301~130iに接続される。

[0211] 集電箱1321は、接続箱1311~131iに接続される。また、サブシステム1201のj個の集電箱1321は、パワーコンディショナー12

1 1 に接続される。サブシステム 1 2 0 2 の j 個の集電箱 1 3 2 1 は、パワーコンディショナー 1 2 1 2 に接続される。以下、同様にして、サブシステム 1 2 0 n の j 個の集電箱 1 3 2 1 は、パワーコンディショナー 1 2 1 n に接続される。

[0212] モジュールシステム 1 2 3 1 の i 個の光電変換モジュールアレイ 1 3 0 1 ~ 1 3 0 i は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱 1 3 1 1 ~ 1 3 1 i を介して集電箱 1 3 2 1 へ供給する。モジュールシステム 1 2 3 2 の i 個の光電変換モジュールアレイ 1 3 0 1 ~ 1 3 0 i は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱 1 3 1 1 ~ 1 3 1 i を介して集電箱 1 3 2 1 へ供給する。以下、同様にして、モジュールシステム 1 2 3 j の i 個の光電変換モジュールアレイ 1 3 0 1 ~ 1 3 0 i は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱 1 3 1 1 ~ 1 3 1 i を介して集電箱 1 3 2 1 へ供給する。

[0213] そして、サブシステム 1 2 0 1 の j 個の集電箱 1 3 2 1 は、直流電力をパワーコンディショナー 1 2 1 1 へ供給する。

[0214] サブシステム 1 2 0 2 の j 個の集電箱 1 3 2 1 は、同様にして直流電力をパワーコンディショナー 1 2 1 2 へ供給する。

[0215] 以下、同様にして、サブシステム 1 2 0 n の j 個の集電箱 1 3 2 1 は、直流電力をパワーコンディショナー 1 2 1 n へ供給する。

[0216] パワーコンディショナー 1 2 1 1 ~ 1 2 1 n は、それぞれ、サブシステム 1 2 0 1 ~ 1 2 0 n から受けた直流電力を交流電力に変換し、その変換した交流電力を変圧器 1 2 2 1 へ供給する。

[0217] 変圧器 1 2 2 1 は、パワーコンディショナー 1 2 1 1 ~ 1 2 1 n から交流電力を受け、その受けた交流電力の電圧レベルを変換して商用電力系統へ供給する。

[0218] 太陽光発電システム 1 2 0 0 は、上述したように、素子特性が向上している光電変換素子 1 0, 1 0 A, 1 0 B, 1 0 C, 5 0, 5 0 A, 8 0, 8 0

A, 80Bのいずれかを備えている。従って、太陽光発電システム1200の性能を向上させることができる。なお、第6の実施の形態による太陽光発電システムは、図25に示す構成に限らず、光電変換素子10, 10A, 10B, 10C, 50, 50A, 80, 80A, 80Bのいずれかを用いる限り、どのような構成であってもよい。

[0219] 以上、本発明の実施形態について、詳述してきたが、これらはあくまでも例示であって、本発明は、上述の実施形態によって、何等、限定されない。

[0220] 例えば、第1の実施の形態において、シリコン基板12はp型の単結晶シリコン基板であってもよい。この場合、シリコン基板12の面内方向でp型非晶質シリコン層20pの幅寸法がn型非晶質シリコン層20nの幅寸法よりも小さくするのが好ましい。これは、応用例1～3についても、同様である。

[0221] 第1の実施の形態において、シリコン基板12の受光面側のテクスチャ構造及び裏面側のテクスチャ構造は、必須の構成要素ではない。これは、応用例1～3についても、同様である。

[0222] 第1の実施の形態において、パッシベーション膜14及び反射防止膜16は、必須の構成要素ではない。これは、応用例1～3についても、同様である。

[0223] 第1の実施の形態において、シリコン基板12の受光面側に高濃度領域が形成されていてもよい。高濃度領域は、シリコン基板12と同じ導電型を有する不純物がシリコン基板12よりも高濃度にドーピングされた領域である。高濃度領域は、FSF (Front Surface Field) として機能する。これは、応用例1～3についても、同様である。

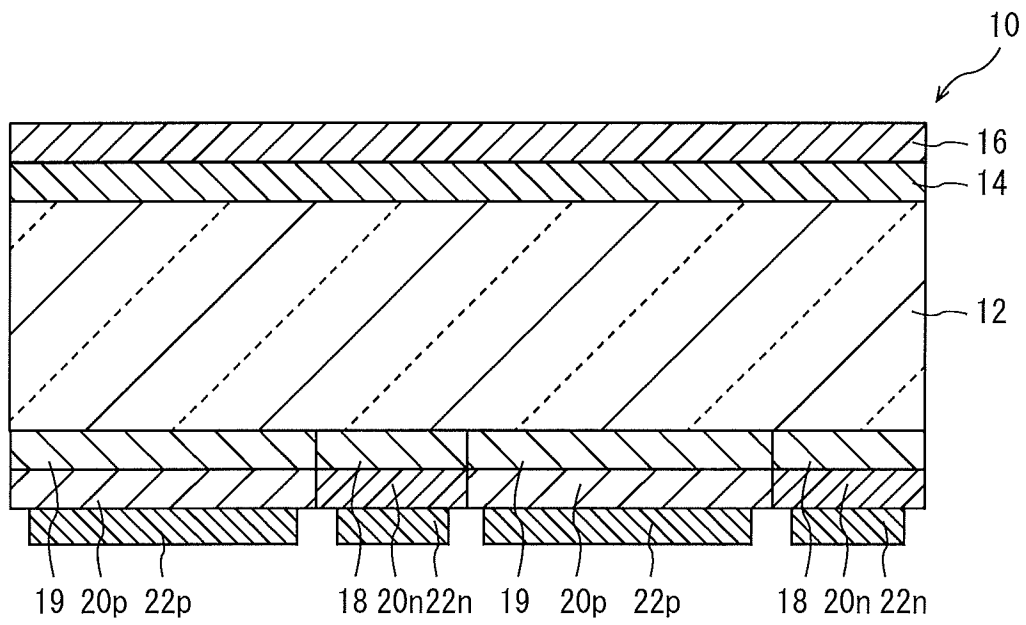
請求の範囲

- [請求項1] 半導体基板と、
第1導電型の第1半導体層と、
前記第1導電型とは反対の第2導電型の第2半導体層と、
前記第1半導体層上に形成された第1電極と、
前記第2半導体層上に形成された第2電極とを備え、
前記第1電極と前記第2電極のうち少なくとも一方の電極は、金属結晶粒を複数含み、
前記電極の面内方向における前記金属結晶粒の平均結晶粒径が前記電極の厚みより大きい、光電変換素子。
- [請求項2] 請求項1に記載の光電変換素子であって、
前記電極は、銀を主成分とする金属膜からなる、光電変換素子。
- [請求項3] 請求項1又は2に記載の光電変換素子であって、
前記第1半導体層及び前記第2半導体層は、前記半導体基板における受光面とは反対側の裏面に設けられた、光電変換素子。
- [請求項4] 請求項1～3の何れか1項に記載の光電変換素子であって、
前記金属結晶粒は、前記半導体基板の厚み方向に平行な結晶軸が $\langle 111 \rangle$ 方向に優先配向している、光電変換素子。
- [請求項5] 請求項1～4の何れか1項に記載の光電変換素子であって、
前記電極は、前記第1電極であり、
前記第1導電型は、n型であり、
前記平均結晶粒径は、前記第1電極の厚みの1.34倍以上である、
光電変換素子。
- [請求項6] 請求項1～4の何れか1項に記載の光電変換素子であって、
前記電極は、前記第1電極であり、
前記第1導電型は、n型であり、
前記平均結晶粒径は、前記第1電極の厚みの1.54倍以上である、
光電変換素子。

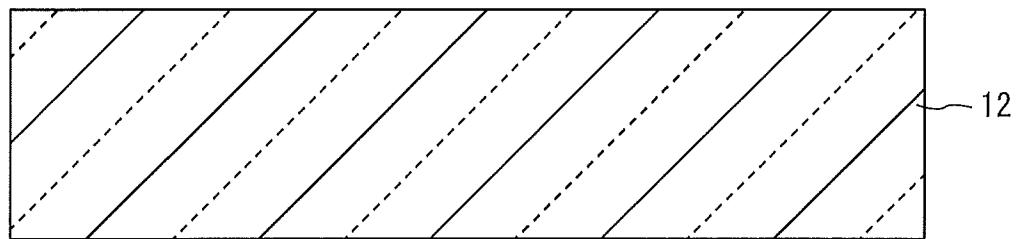
- [請求項7] 請求項1～4の何れか1項に記載の光電変換素子であって、
前記電極は、前記第2電極であり、
前記第2導電型は、p型であり、
前記平均結晶粒径は、前記第2電極の厚みの1倍より大きく、2.44倍以下である、光電変換素子。
- [請求項8] 請求項1～4の何れか1項に記載の光電変換素子であって、
前記電極は、前記第2電極であり、
前記第2導電型は、p型であり、
前記平均結晶粒径は、前記第2電極の厚みの1.26倍以上、且つ、2.44倍以下である、光電変換素子。
- [請求項9] 請求項1～4の何れか1項に記載の光電変換素子であって、
前記半導体基板の導電型は、前記第1導電型であり、
前記第2電極と前記第2半導体層との接触面積は、前記第1電極と前記第1半導体層との接触面積の2倍以上であり、
前記電極は、前記第1電極及び前記第2電極であり、
前記第1電極の平均結晶粒径と前記第2電極の平均結晶粒径との平均値は、前記第1電極及び前記第2電極の厚みの1.3倍以上であって、且つ、4.72倍以下である、光電変換素子。
- [請求項10] 請求項1～4の何れか1項に記載の光電変換素子であって、
前記半導体基板の導電型は、前記第1導電型であり、
前記第2電極と前記第2半導体層との接触面積は、前記第1電極と前記第1半導体層との接触面積の1倍以上であり、
前記電極は、前記第1電極及び前記第2電極であり、
前記第1電極の平均結晶粒径と前記第2電極の平均結晶粒径との平均値は、第1電極及び第2電極の厚みの1.3倍以上であって、且つ、4倍以下である、光電変換素子。
- [請求項11] 請求項1～10の何れか1項に記載の光電変換素子を少なくとも1つ含む光電変換モジュール。

[請求項12] 請求項11に記載の光電変換モジュールを少なくとも1つ含む太陽光発電システム。

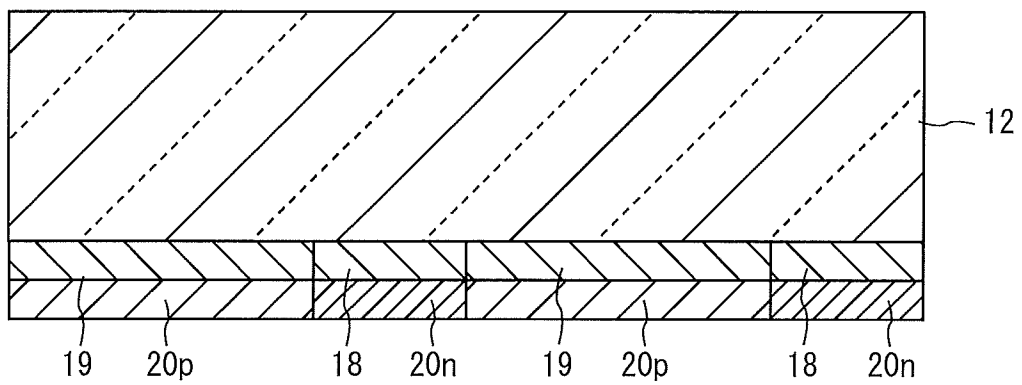
[図1]



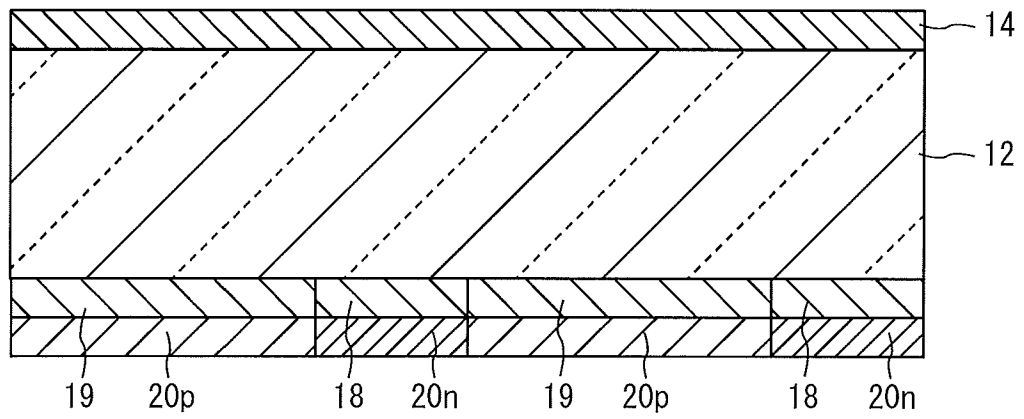
[図2A]



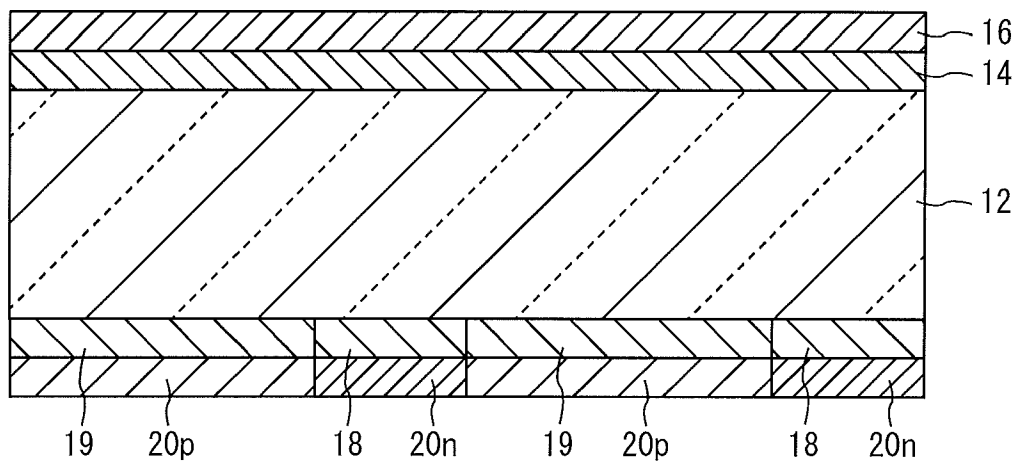
[図2B]



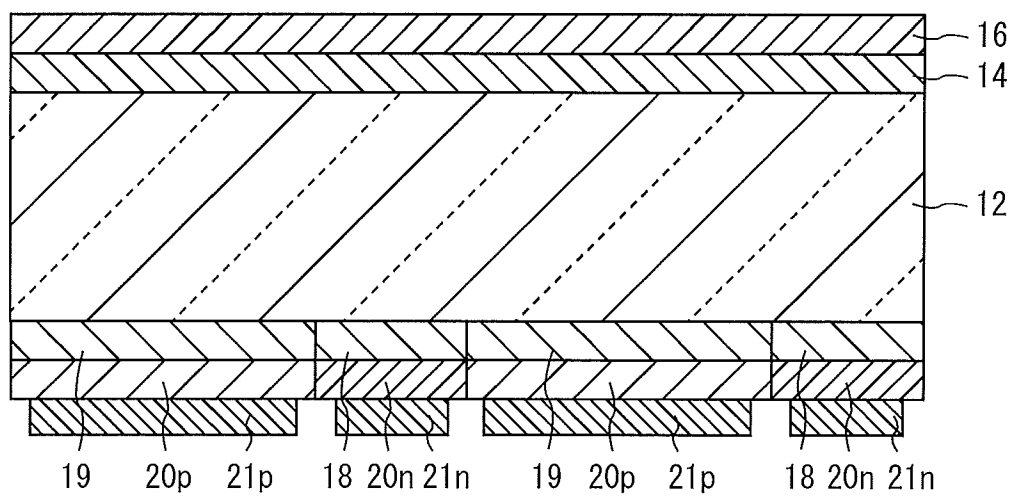
[図2C]



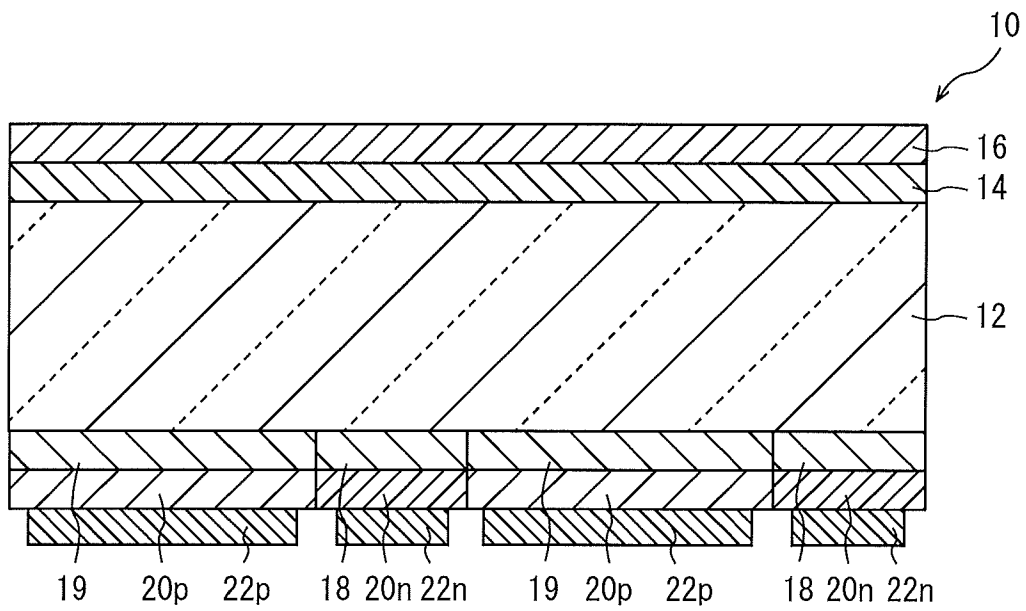
[図2D]



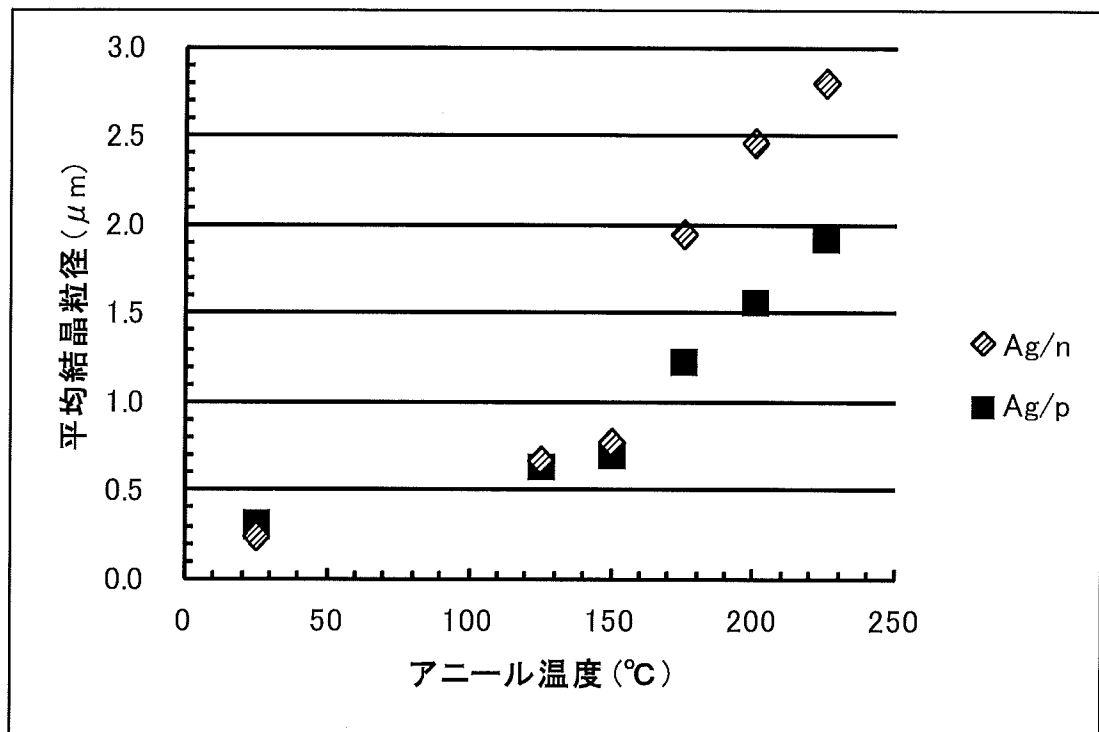
[図2E]



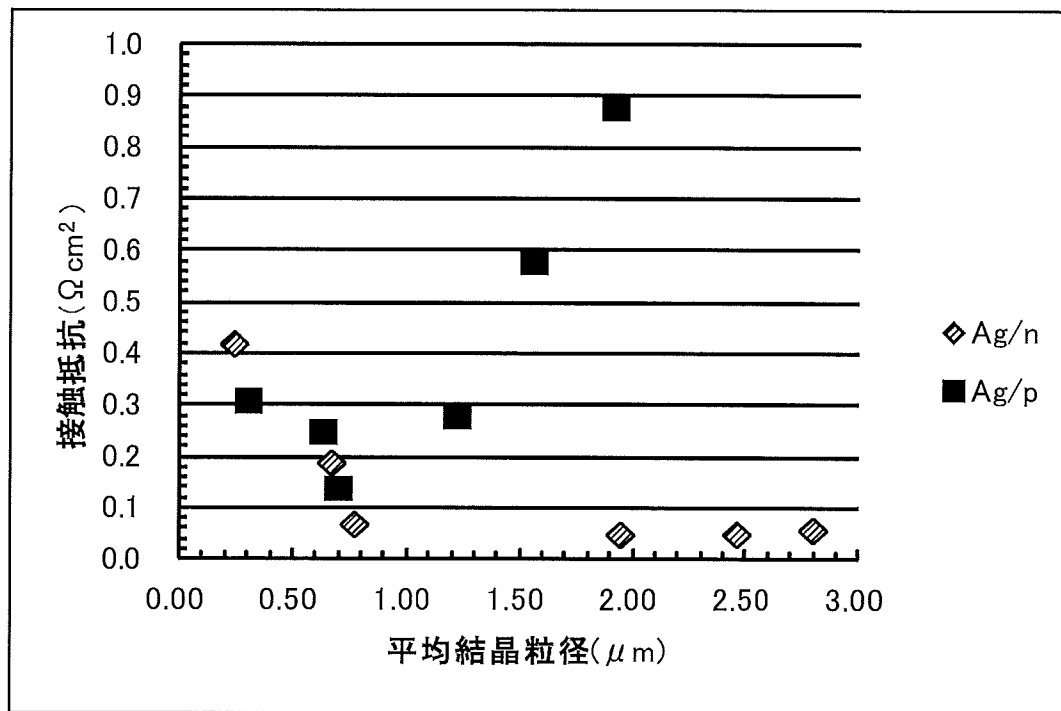
[図2F]



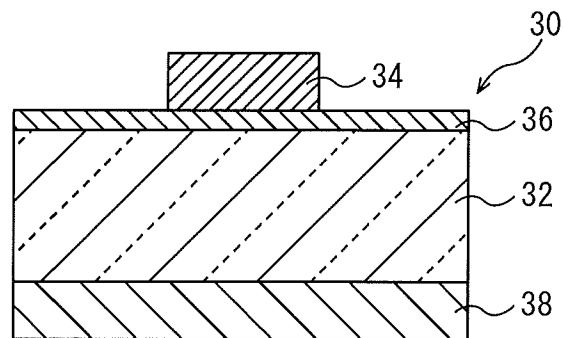
[図3]



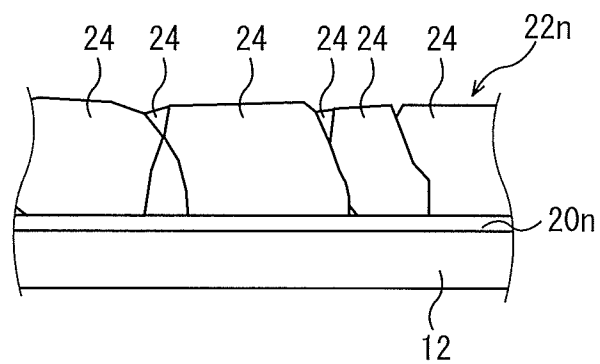
[図4]



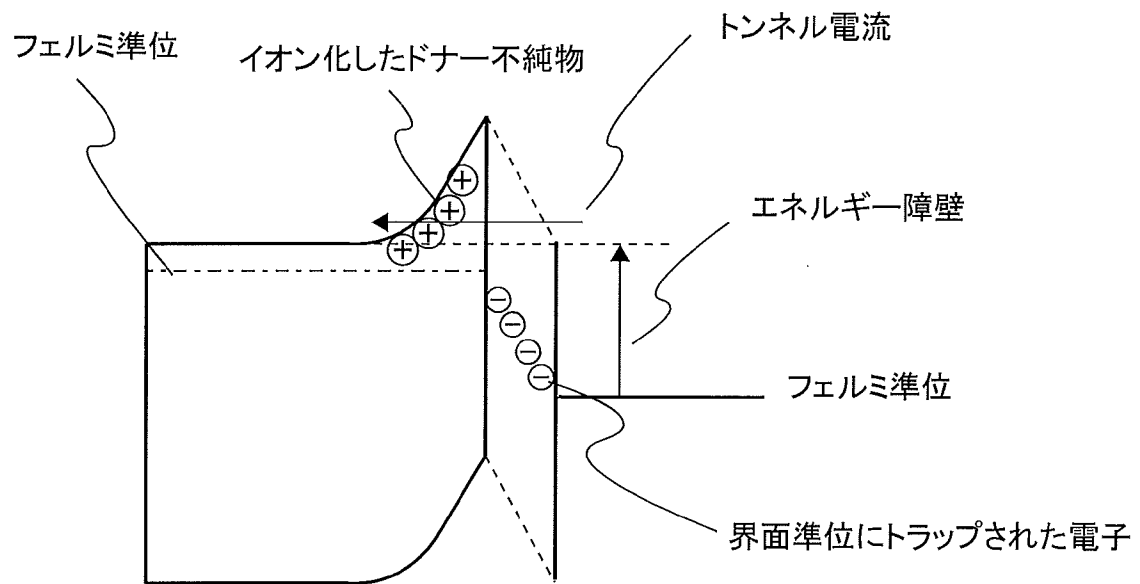
[図5]



[図6]



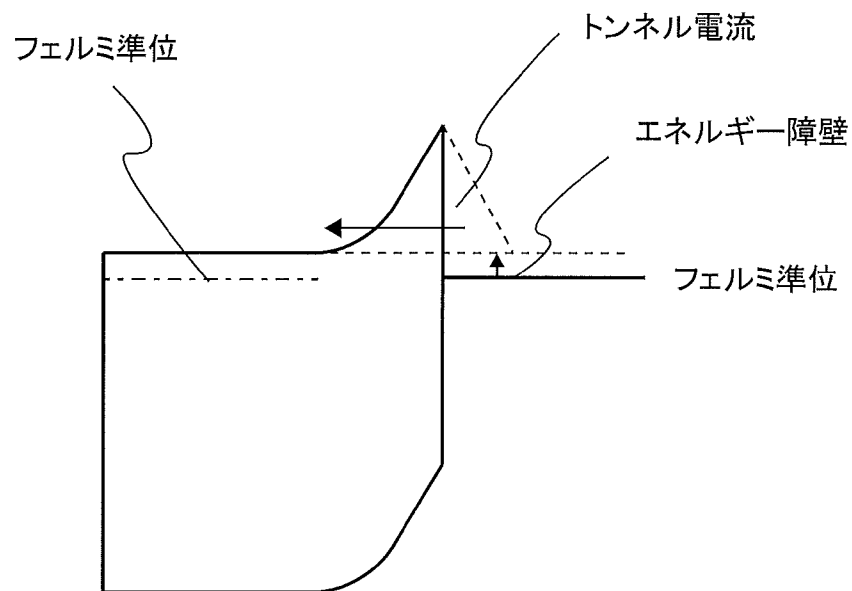
[図7]



n型非晶質シリコン層 20 nm

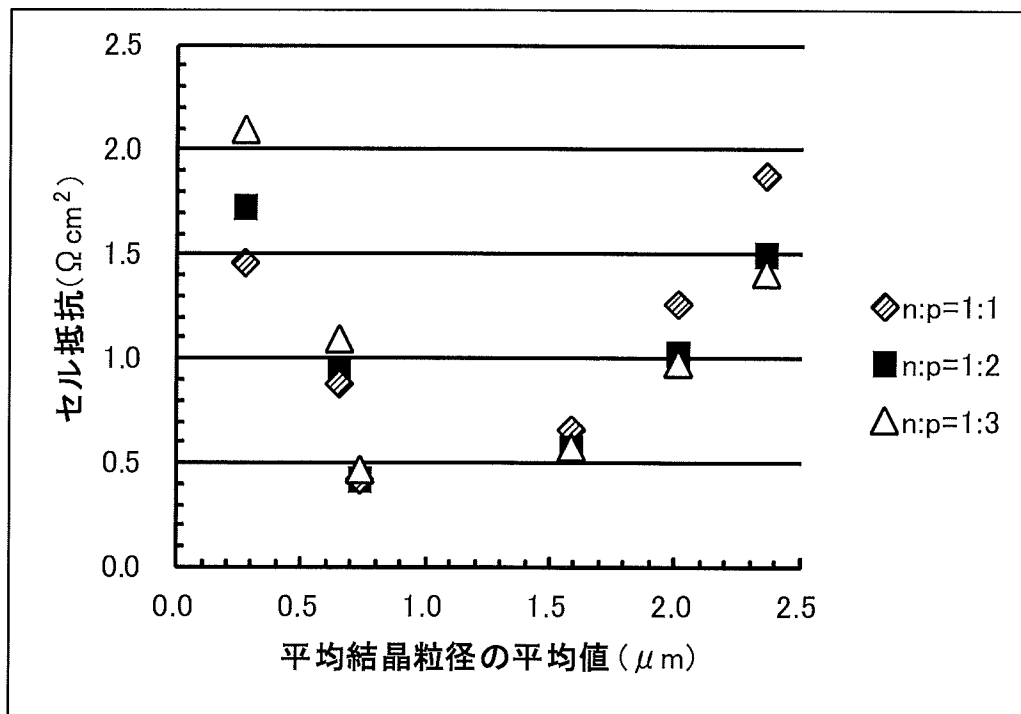
電極 22 nm

[図8]

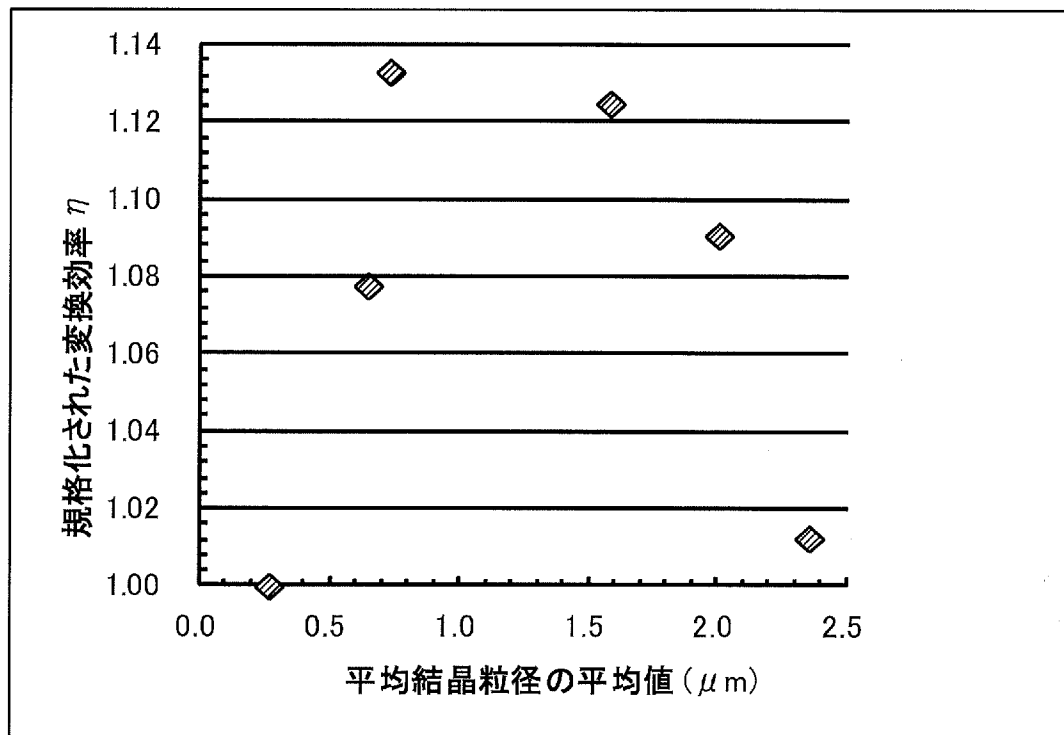


n型非晶質シリコン層 20 nm 電極 22 nm

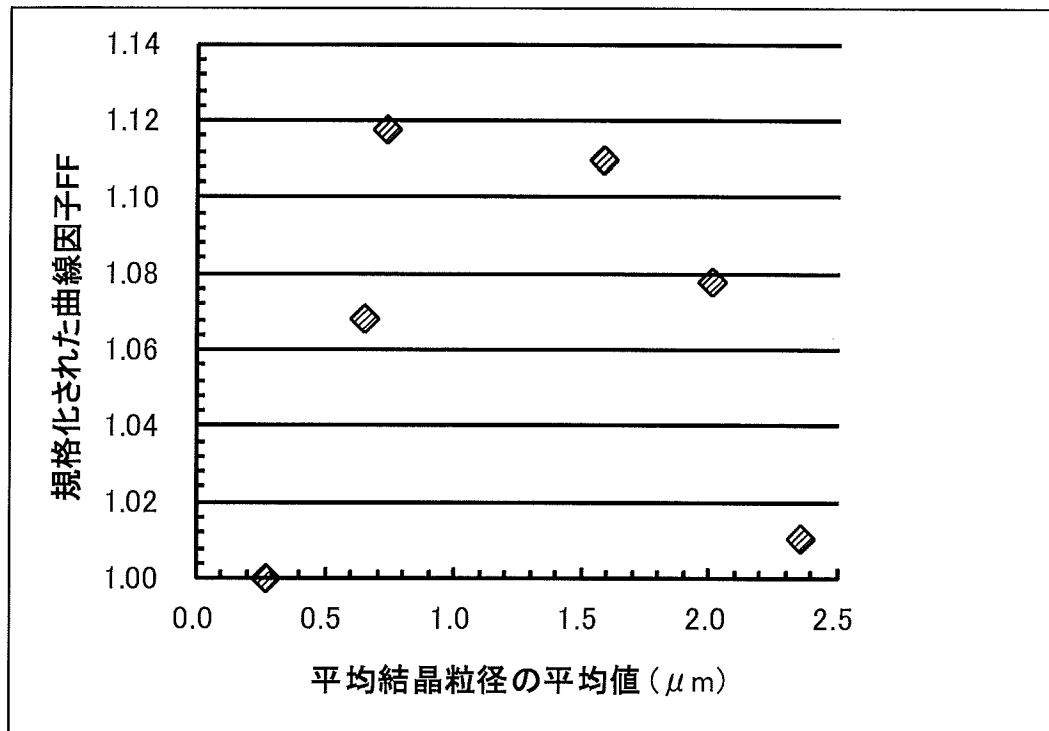
[図9]



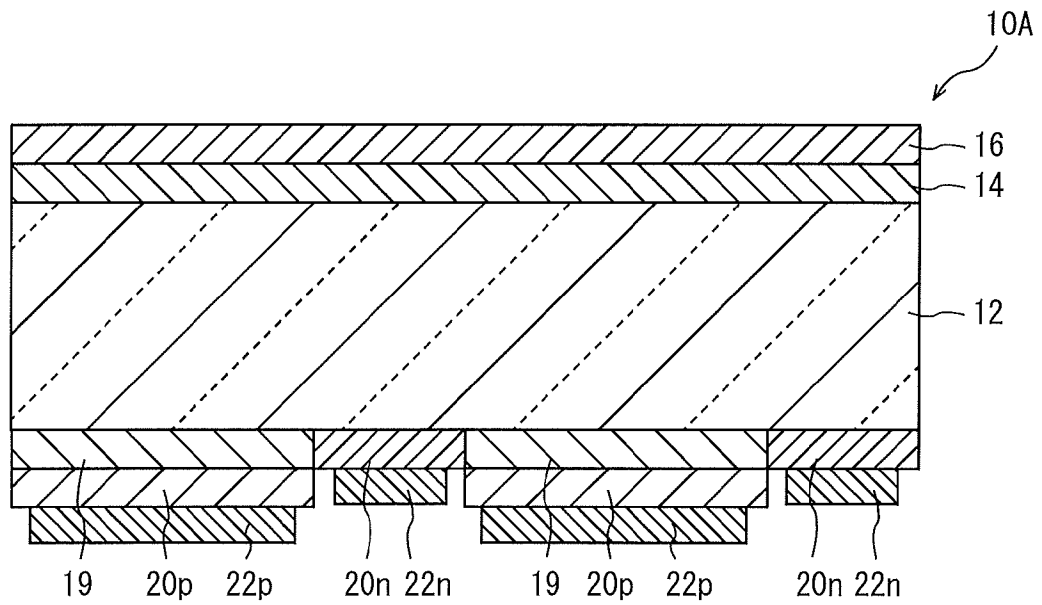
[図10]



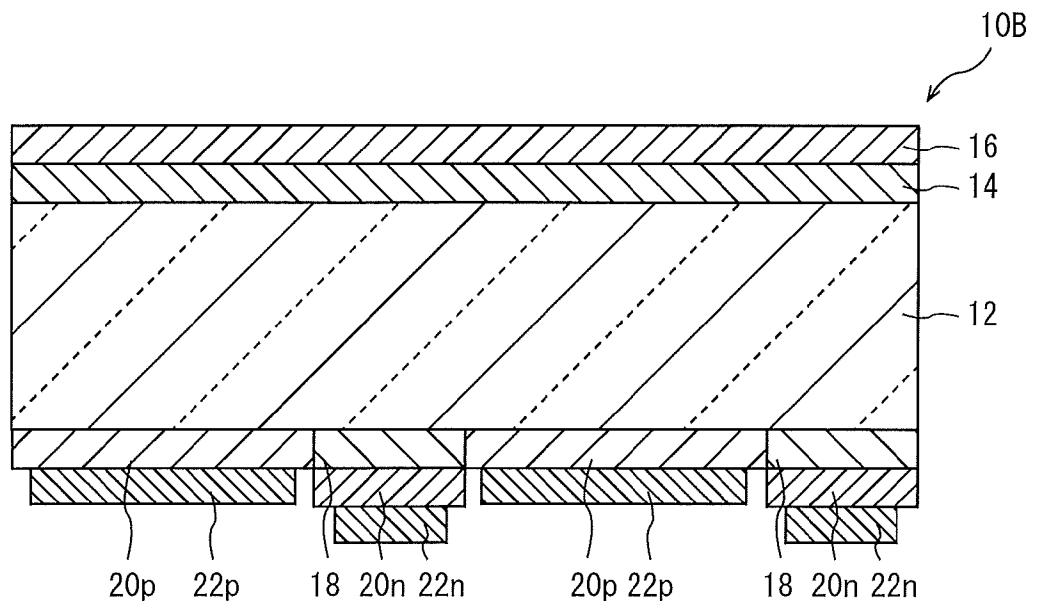
[図11]



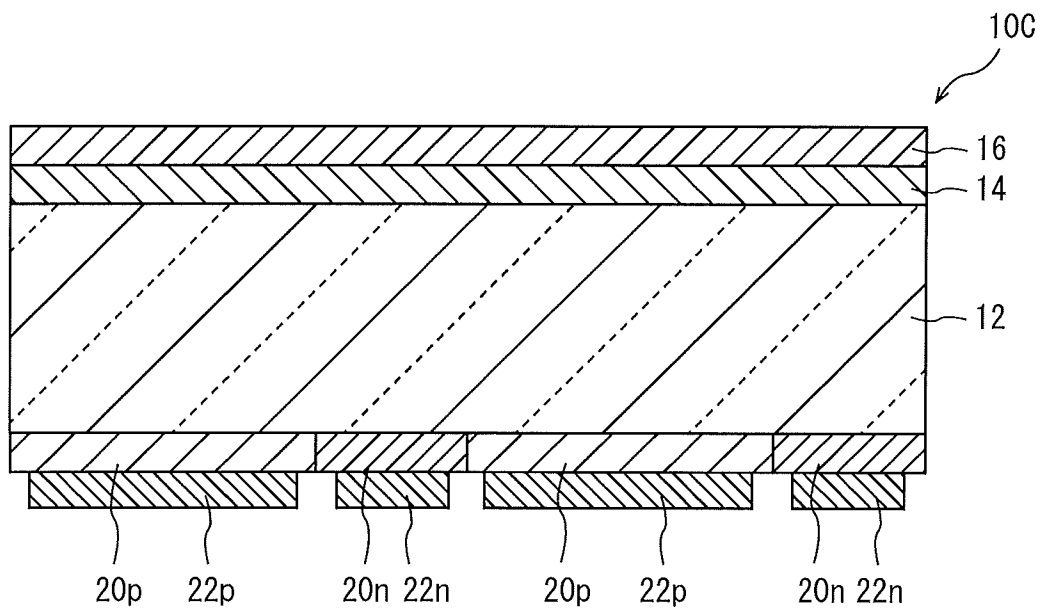
[図12]



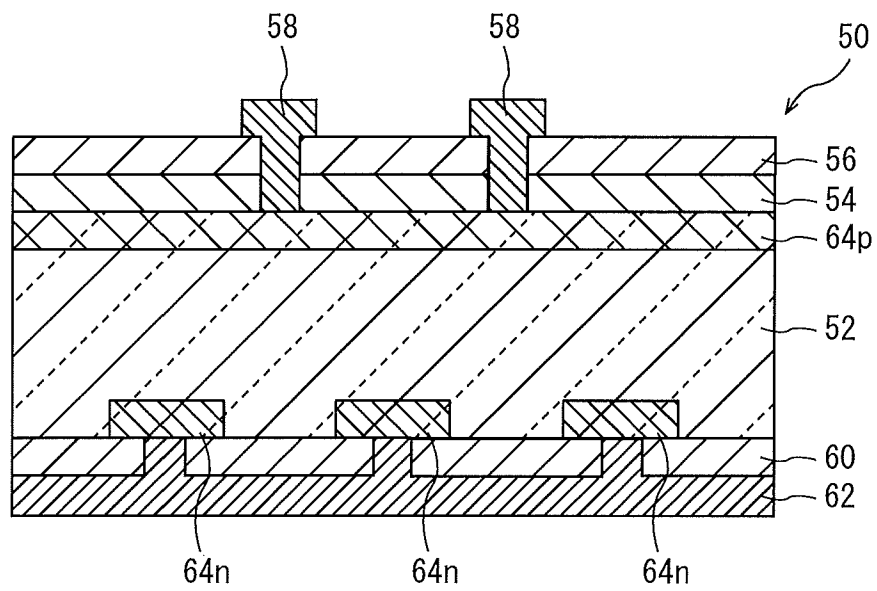
[図13]



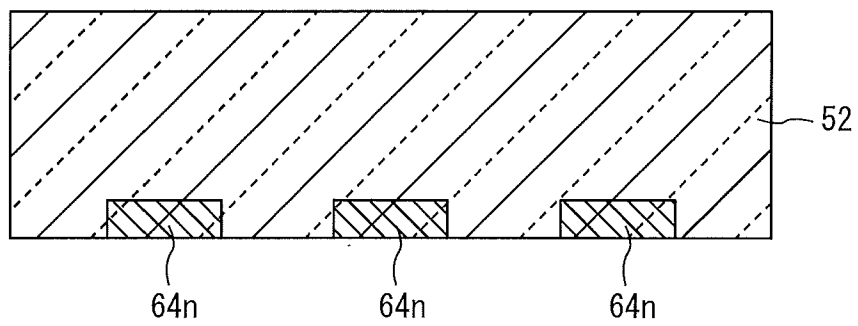
[図14]



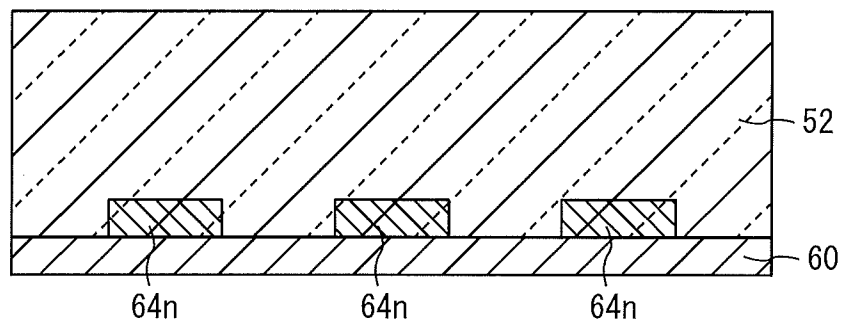
[図15]



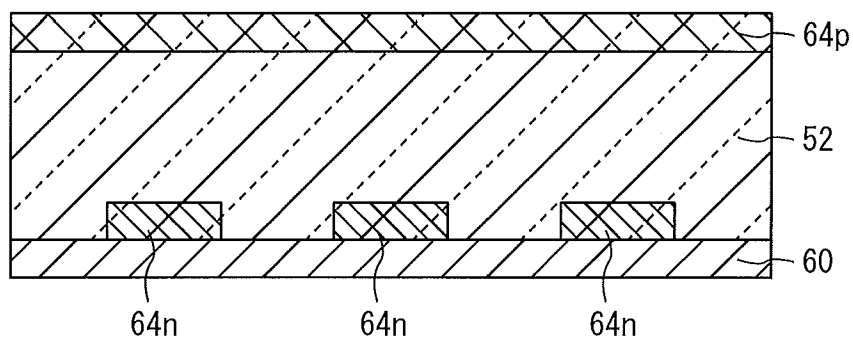
[図16A]



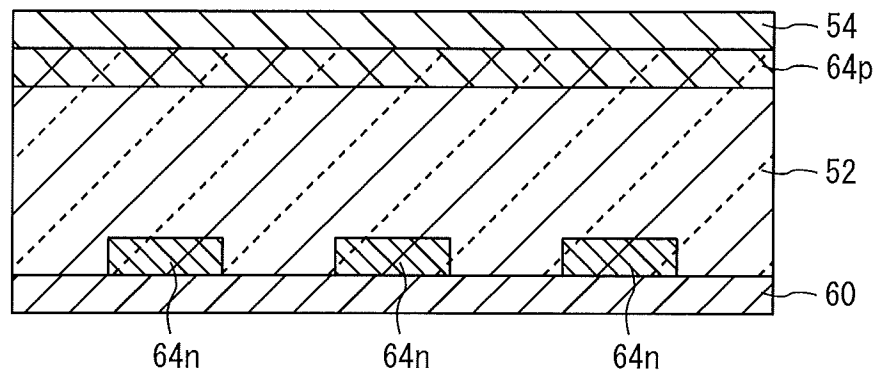
[図16B]



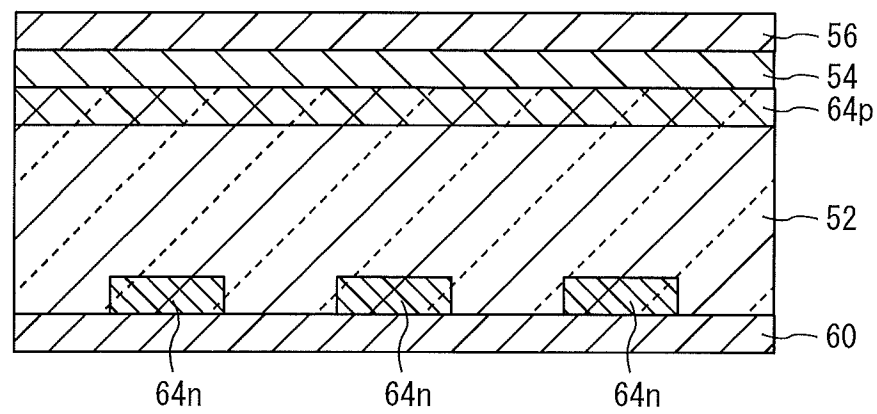
[図16C]



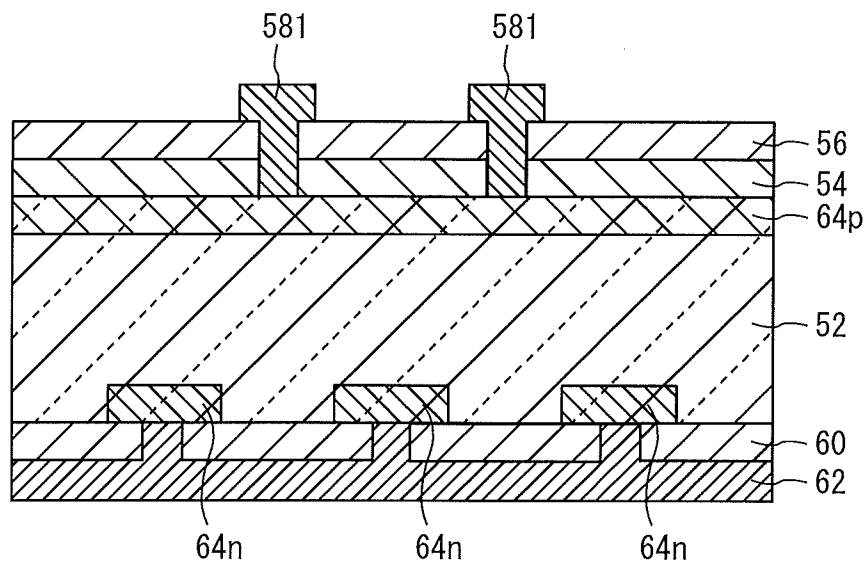
[図16D]



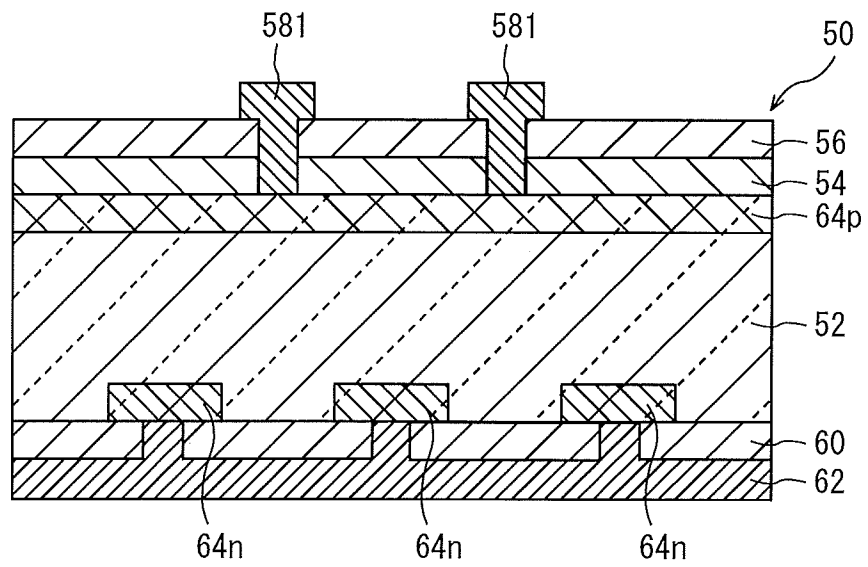
[図16E]



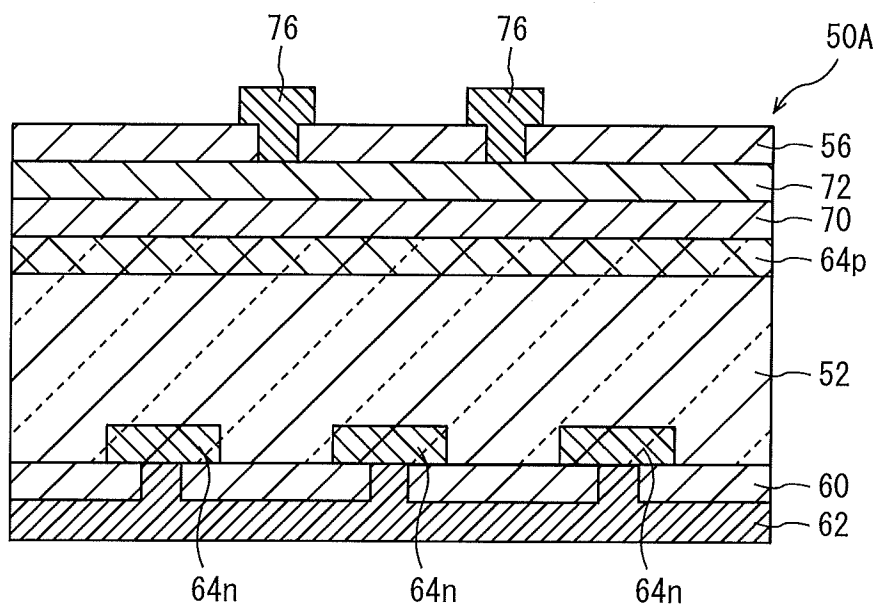
[図16F]



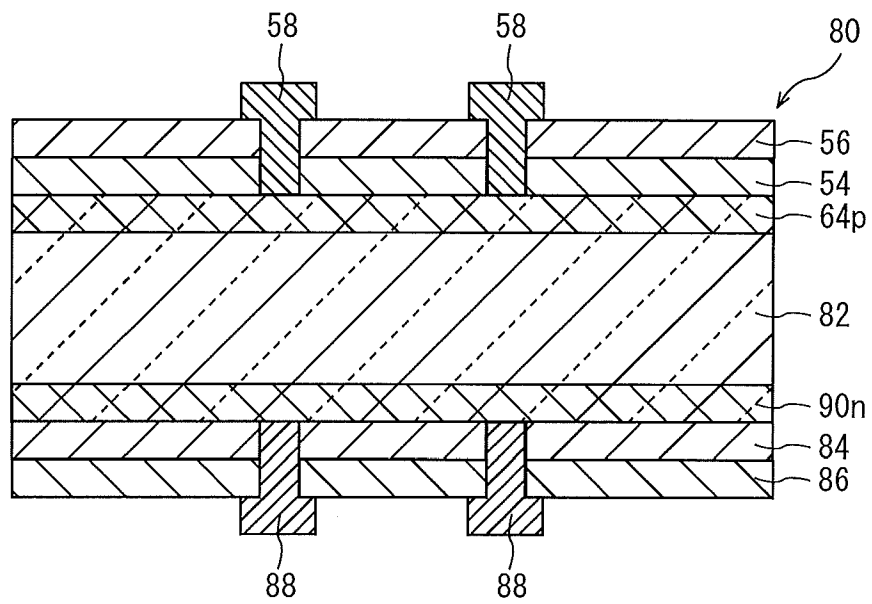
[図16G]



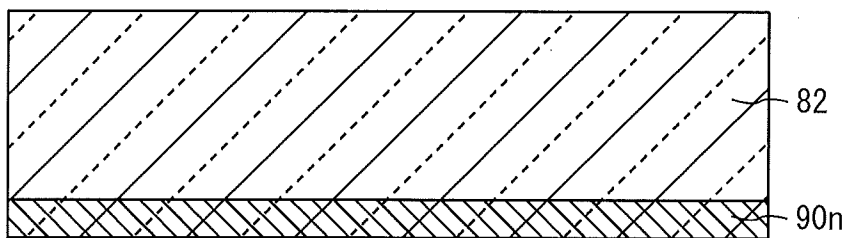
[図17]



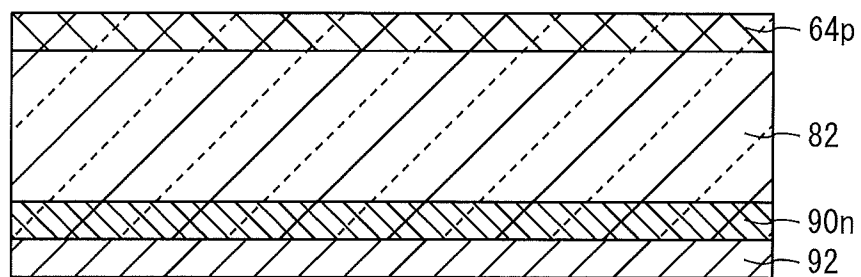
[図18]



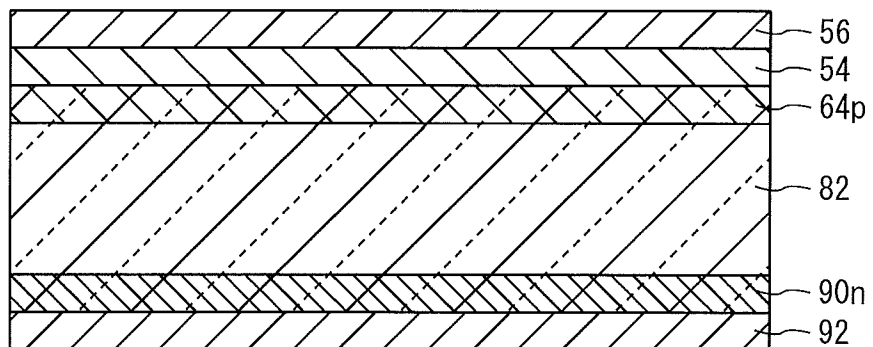
[図19A]



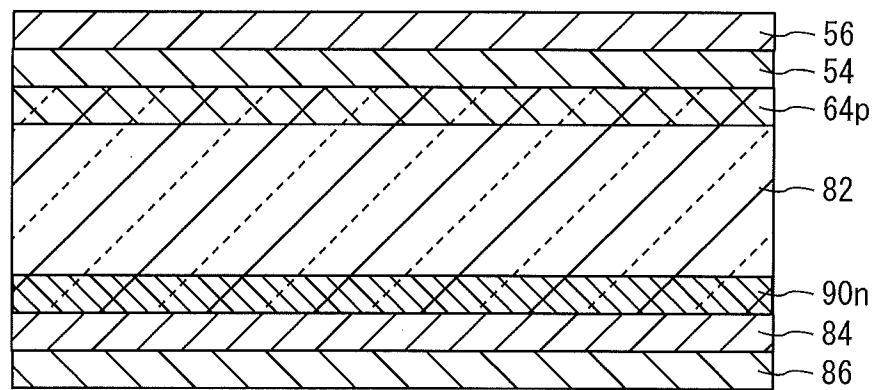
[図19B]



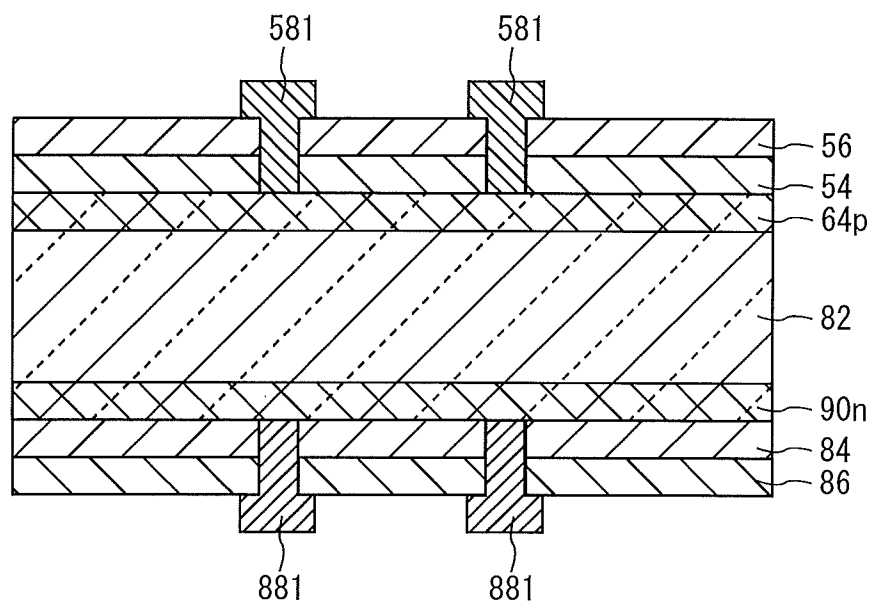
[図19C]



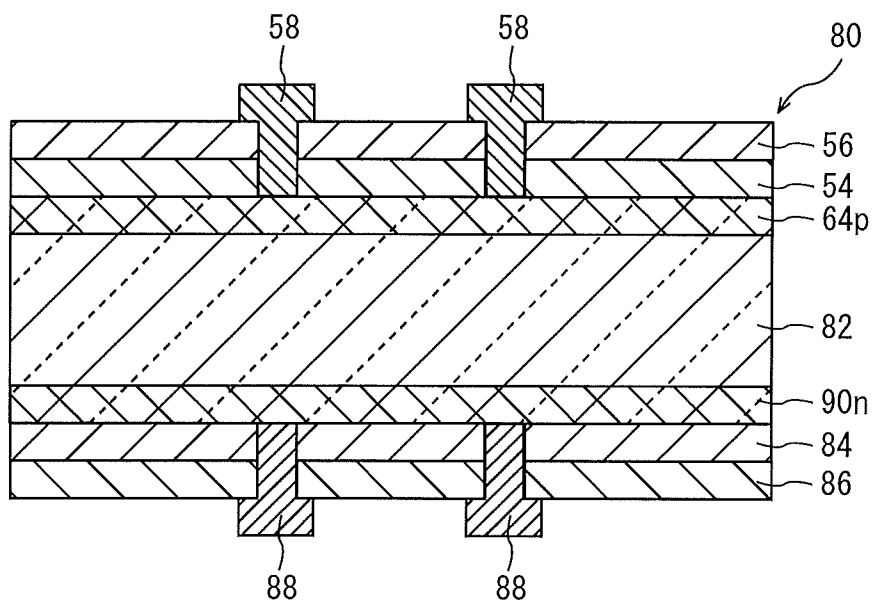
[図19D]



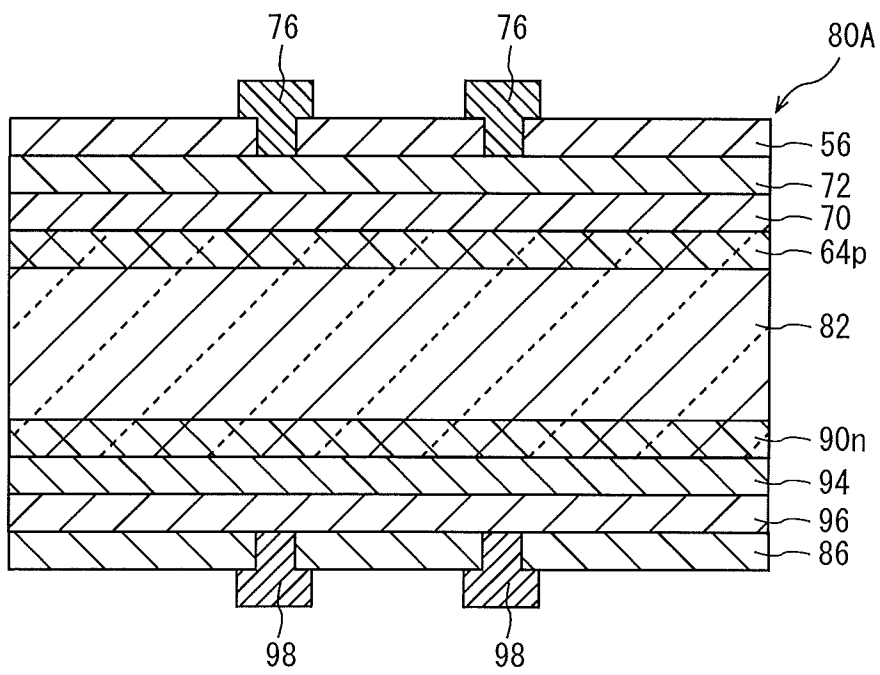
[図19E]



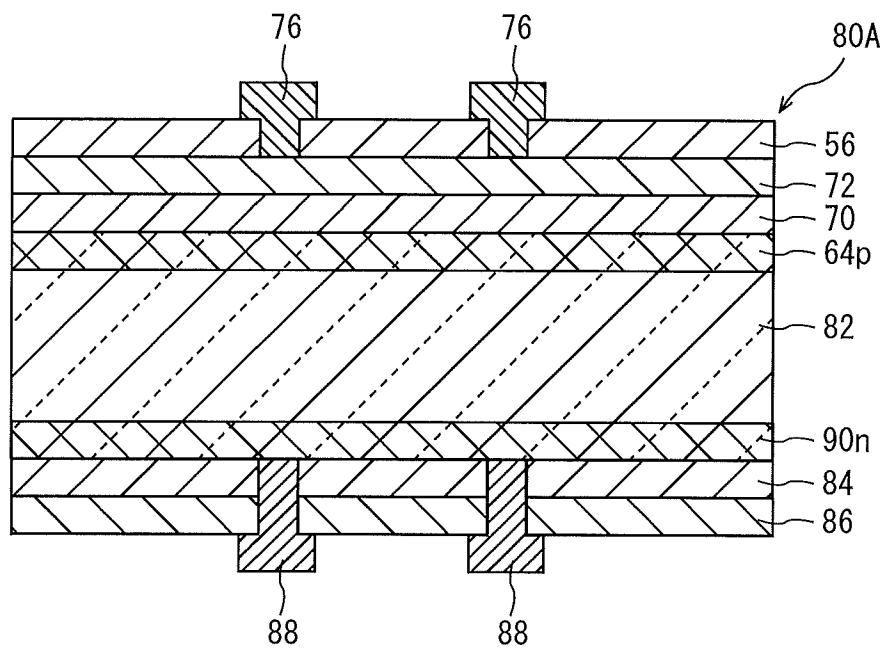
[図19F]



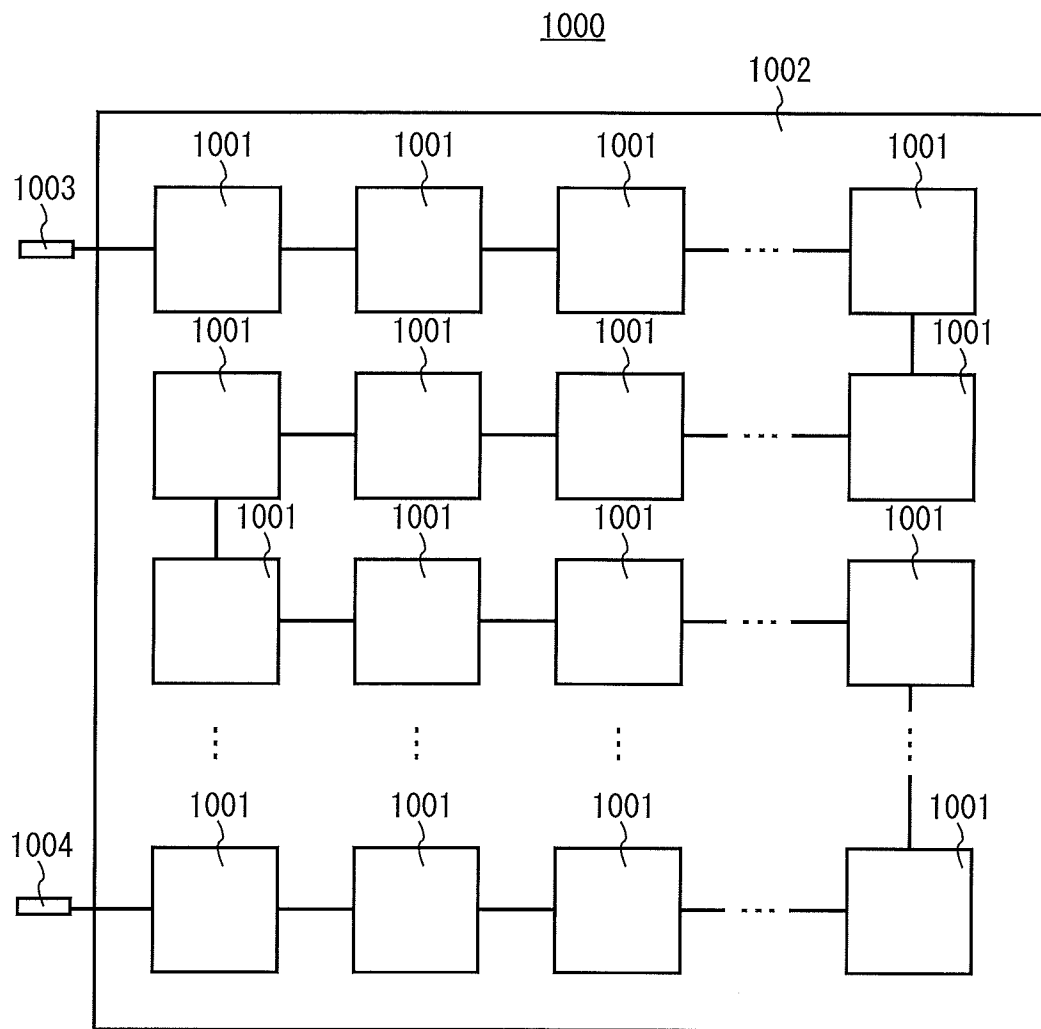
[図20]



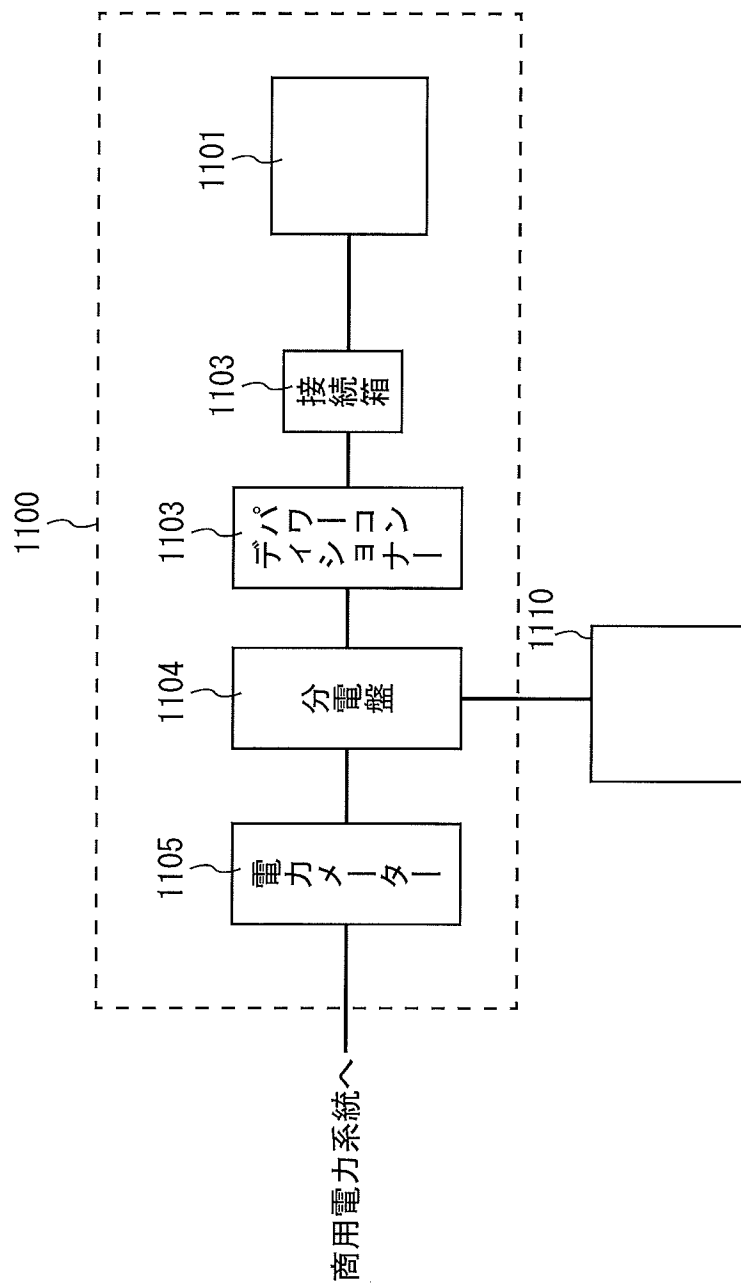
[図21]



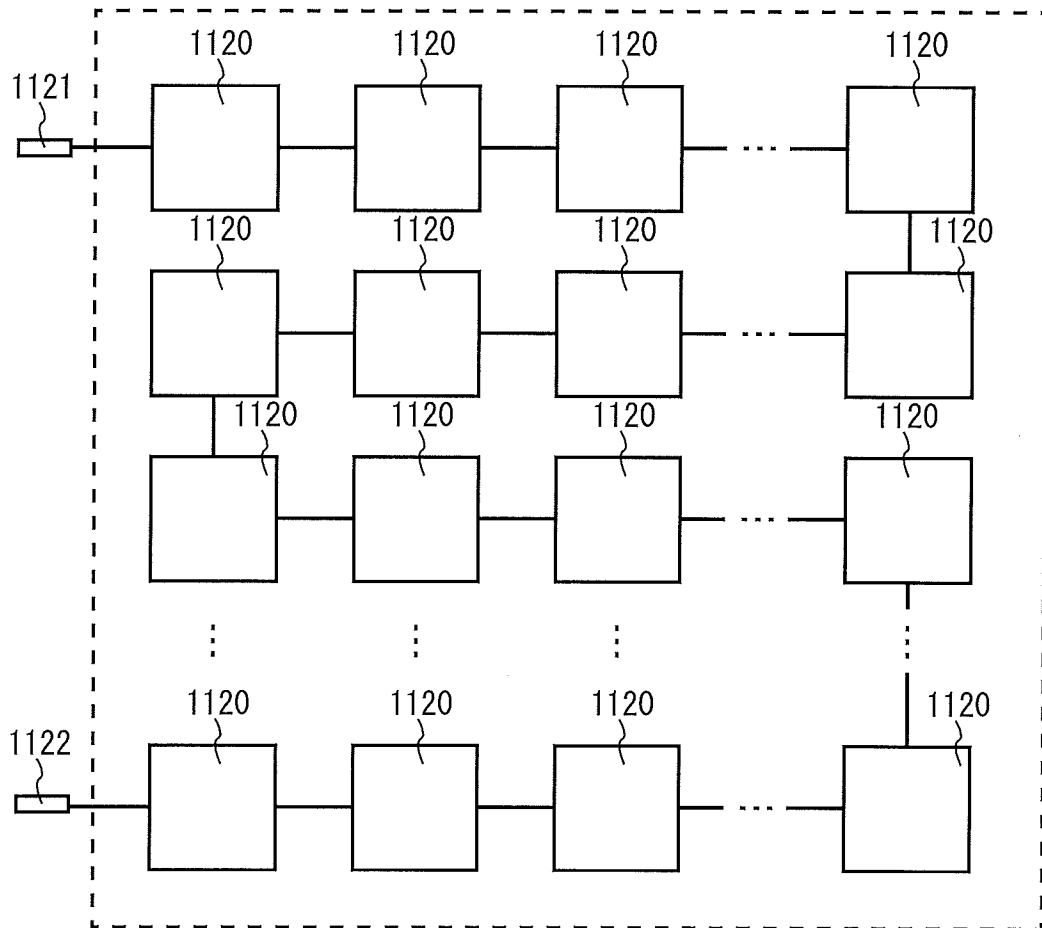
[図22]



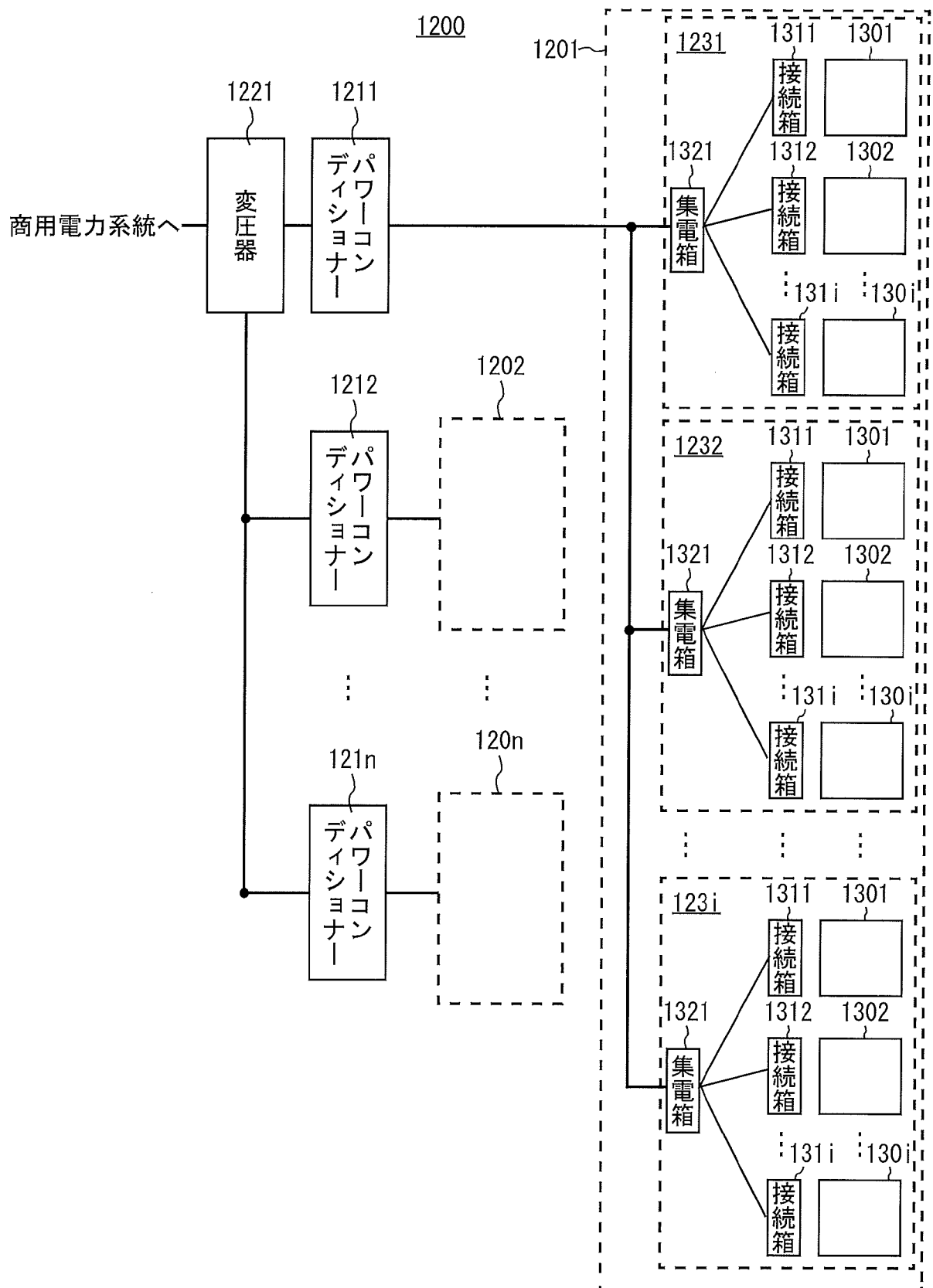
[図23]



[図24]

1101

[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/078372

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/0224(2006.01)i, H01L31/0747(2012.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/00-31/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-98241 A (Kaneka Corp.), 20 May 2013 (20.05.2013), (Family: none)	1-2, 4-12 3
Y	JP 2010-183080 A (LG Electronics Inc.), 19 August 2010 (19.08.2010), & US 2010/0193027 A1 & KR 10-2010-0089538 A & EP 2219222 A2	1-12
Y	JP 2005-101240 A (Sanyo Electric Co., Ltd.), 14 April 2005 (14.04.2005), & US 2005/0062041 A1 & EP 1519422 A2 & CN 1601759 A	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 November, 2014 (11.11.14)

Date of mailing of the international search report
25 November, 2014 (25.11.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L31/0224(2006.01)i, H01L31/0747(2012.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/00-31/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-98241 A (カネカ) 2013.05.20, (ファミリーなし)	1-2, 4-12 3
Y	JP 2010-183080 A (エルジー エレクトロニクス) 2010.08.19, & US 2010/0193027 A1 & KR 10-2010-0089538 A & EP 2219222 A2	1-12

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
1 1 . 1 1 . 2 0 1 4

国際調査報告の発送日
2 5 . 1 1 . 2 0 1 4

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員） 濱田 聖司	2 K	9 2 0 7
電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-101240 A (三洋電機) 2005.04.14, & US 2005/0062041 A1 & EP 1519422 A2 & CN 1601759 A	1-12