

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/11

(11) 공개번호 특2000-0045902
(43) 공개일자 2000년07월25일

(21) 출원번호	10-1998-0062518
(22) 출원일자	1998년12월30일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 양규석
(74) 대리인	경기도 이천시 부발읍 아미리 현대전자 사원임대아파트 105동 308호 박대진, 이은경, 정은섭

심사청구 : 없음

(54) PNPN 다이오드를 갖는 SRAM 장치의 메모리 셀 구조 및 그 형성 방법

요약

본 발명은 pnpn 다이오드를 갖는 SRAM 장치의 메모리 셀 구조 및 그 형성 방법에 관한 것으로, 특히 그 구조는 전원 단자에 병렬로 연결된 제 1 및 제 2풀업 트랜지스터와, 접지 단자와 상기 풀업 트랜지스터의 출력단자에 각각 연결된 제 1 및 제 2구동 트랜지스터와, 워드라인에 응답하여 비트라인의 신호를 상기 제 1풀업 및 제 1구동 트랜지스터의 게이트와 상기 제 2풀업 및 제 2구동 트랜지스터의 공통 노드에 인가하는 제 1엑세스 트랜지스터와, 워드 라인에 응답하여 반전 비트라인의 신호를 상기 제 2풀업 및 제 2구동 트랜지스터의 게이트와 상기 제 1 풀업 및 제 1구동 트랜지스터의 공통 노드에 인가하는 제 2엑세스 트랜지스터를 기본 메모리 셀 구조로 하는 SRAM 장치에 있어서, 상기 비트라인과 제 1엑세스 트랜지스터 사이와 상기 반전 비트라인과 제 2엑세스 트랜지스터 사이에 각각 pnpn 다이오드가 구성된다. 따라서, 본 발명은 SRAM의 비트라인과 액세스 트랜지스터 사이에 pnpn 다이오드를 연결하여 일정 수준 이상의 전압이 인가되었을 때 pnpn 구조의 다이오드가 순방향으로 동작되어 많은 양의 전류를 인가시켜 SRAM의 저전압, 고속 동작을 구현한다.

대표도

도2a

명세서

도면의 간단한 설명

도 1a 내지 도 1b는 각각 통상적인 SRAM 장치의 메모리 셀 구조를 나타낸 회로도 및 메모리 셀 내의 액세스 트랜지스터와 비트라인 사이의 수직 단면도,

도 2a 내지 도 2b는 각각 본 발명에 따른 SRAM 장치의 메모리 셀 구조를 나타낸 회로도 및 메모리 셀 내의 비트라인과 액세스 트랜지스터 사이의 pnpn 다이오드를 나타낸 수직 단면도,

도 3은 통상의 pnpn 다이오드의 전기적 특성을 나타낸 파형도

도 4a 내지 도 4c는 본 발명에 따라 SRAM 장치의 pnpn 다이오드를 형성하기 위한 제조 공정도.

* 도면의 주요부분에 대한 부호의 설명 *

T1 : 제 1구동 트랜지스터 T2 : 제 2구동 트랜지스터
T3 : 제 1풀업 트랜지스터 T4 : 제 2풀업 트랜지스터
T5 : 제 1엑세스 트랜지스터 T6 : 제 2엑세스 트랜지스터
105 : pnpn 다이오드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 SRAM(Static Random Access Memory)에 관한 것으로서, 특히 비트 라인과 연결된 액세스 트랜지스터의 전류 구동 능력을 향상시킬 수 있는 pnpn 다이오드를 갖는 SRAM 장치의 메모리 셀 구조 및 그 형성 방법에 관한 것이다.

반도체 메모리 장치로서 SRAM은 DRAM(Dynamic Random Access Memory)에 비하여 메모리 용량에서는 떨어지지만 고속이고 사용하기 쉽기 때문에 중, 소용량 메모리 분야에서 널리 사용되고 있다. SRAM의 메모리 셀은 2개의 액세스 트랜지스터, 2개의 구동트랜지스터, 및 2개의 부하소자인 풀업 트랜지스터로 이루어지는 2개의 플립플롭(Flip Flop) 회로로 구성되어 있으며, 기억정보는 플립플롭의 입, 출력단자간의 전압차, 즉 실제로는 노드(Node)에 있어서의 부유 용량에 축적된 전하로써 보존된다. 이 전하는 전원전압 공급선(V_{cc} line)으로부터 부하소자인 부하 MOS 트랜지스터 또는 부하 저항을 통하여 항상 보충되고 있으므로, DRAM에서처럼 리프레쉬(refresh)기능은 불필요하게 된다.

도 1a 내지 도 1b는 각각 통상적인 SRAM 장치의 메모리 셀 구조를 나타낸 회로도 및 메모리 셀 내의 액세스 트랜지스터와 비트라인 사이의 수직 단면도이다.

도 1a에 도시된 바와 같이 통상의 SRAM 장치의 메모리 셀 구조는 접지 전압(V_{ss}) 단자에 병렬로 연결된 제 1 및 제 2구동 트랜지스터(T_1, T_2)와, 상기 트랜지스터들(T_1, T_2)에 각각 그리고, 전원 전압 단자에 연결된 제 1 및 제 2풀업 트랜지스터(T_3, T_4)와, 워드 라인(W/L)에 의해 턴온되어 비트라인(B/L) 신호를 상기 제 2구동 트랜지스터(T_2)와 제 2풀업 트랜지스터(T_4)의 게이트와 제 1 구동 트랜지스터(T_1)와 제 1풀업 트랜지스터(T_3)의 공통 노드에 인가하는 제 1액세스 트랜지스터(T_5)와, 워드 라인(W/L)에 의해 턴온되

$\overline{B/L}$

어 반전 비트라인($\overline{B/L}$) 신호를 상기 제 1구동 트랜지스터(T_1)와 제 1풀업 트랜지스터(T_3)의 게이트와 제 2 구동 트랜지스터(T_2)와 제 2풀업 트랜지스터(T_4)의 공통 노드에 인가하는 제 2액세스 트랜지스터(T_6)으로 구성된다.

상기와 같이 구성된 SRAM은 워드라인(W/L)신호에 의해 상기 액세스 트랜지스터들(T_5, T_6)이 턴온되면 각 액세스 트랜지스터에 상보적으로 연결된 구동 트랜지스터(T_1, T_2)를 턴온시키고 이에 비트라인

$\overline{B/L}$

($\overline{B/L}$, $\overline{B/L}$)으로부터 인가된 데이터가 전하의 형태로 상기 액세스 트랜지스터의 소스에 연결된 구동 및 풀업 트랜지스터의 공통 노드에 인가되며 상기 상보적으로 연결된 다른 구동 트랜지스터를 턴온시켜서 이 트랜지스터와 연결된 풀업 트랜지스터에 전하를 인가하여 저장한다.

또한, 도 1b는 도 1a에 도시된 A 영역인 메모리 셀 내의 액세스 트랜지스터와 비트라인 사이의 수직 단면도로서, 이를 참조하면 액세스 트랜지스터(T_5, T_6)는 통상의 트랜지스터 구조와 동일하게 반도체 기판(10) 위의 절연박막에 형성된 게이트 전극(12)과 상기 게이트 전극(12)의 에지 근방의 기판(10) 내에 형성된 소스/드레인(14a, 14b)으로 구성되며, 상기 소스(14a)에 구동 트랜지스터와 풀업 트랜지스터의 공통 노드

$\overline{B/L}$

(Nd)가 연결되며, 반면에 드레인(14b)에 비트라인(B/L) 내지 반전 비트라인($\overline{B/L}$)에 연결되어 있다. 이때, 액세스 트랜지스터는 n형 MOS 트랜지스터를 사용하므로 이 트랜지스터는 p-기판 내에 형성되며 소스/드레인(14a, 14b)은 n+ 도펀트가 주입된다.

상기와 같은 구조를 갖는 통상의 SRAM의 경우 최근 대두되고 있는 메모리의 저전압과 고속 동작의 효과를 달성하기 위해서는 비트라인에 연결된 액세스 트랜지스터의 전류 전달 능력이 중요한 역할을 한다.

그러므로, SRAM이 저전압 동작을 구현하고자 액세스 트랜지스터의 셀 크기를 작게 할 경우 리드(read) 전류가 감소되어 고속 동작을 달성하는데 한계가 있기 때문에 비트라인을 통해 일정 전압이 인가되면 고속으로 턴온되거나 또는 많은 전류량을 인가할 수 있도록 메모리 셀 구조를 개선할 필요성이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기와 같은 종래기술의 문제점을 해결하기 위하여 액세스 트랜지스터와 비트 라인 사이에 pnpn 구조의 다이오드를 형성하여 일정전압 이상 외부 전원이 공급되었을 때 많은 전류가 흐르게 되어 액세스 트랜지스터의 전류 전달 능력을 향상시키는 pnpn 다이오드를 갖는 SRAM 장치의 메모리 셀 구조 및 그 형성 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 전원 단자에 병렬로 연결된 제 1 및 제 2풀업 트랜지스터와, 접지 단자와 상기 풀업 트랜지스터의 출력단자에 각각 연결된 제 1 및 제 2구동 트랜지스터와, 워드라인에 응답하여 비트라인의 신호를 상기 제 1풀업 및 제 1구동 트랜지스터의 게이트와 상기 제 2풀업 및 제 2구동 트랜지스터의 공통 노드에 인가하는 제 1액세스 트랜지스터와, 워드 라인에 응답하여 반전 비트라인의 신호를 상기 제 2풀업 및 제 2구동 트랜지스터의 게이트와 상기 제 1 풀업 및 제 1구동 트랜지스터의 공통 노드에 인가하는 제 2액세스 트랜지스터를 기본 메모리 셀 구조로 하는 SRAM 장치에 있어서, 상기 비트라인과 제 1액세스 트랜지스터 사이와 상기 반전 비트라인과 제 2액세스 트랜지스터 사이에 각각 pnpn 다이오드를 구비하는 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명의 pnpn 다이오드의 제조 방법은 반도체기판내에 SRAM의 게이트 전극과 n+ 도펀트가 주입된 소스/드레인 접합층을 형성하는 단계와, pnpn 다이오드 마스크를 이용한 사진 공정을 진행하여 비트라인 및 반전 비트라인 방향에 해당하는 드레인 접합층 및 그에 이웃한 기판을 선택적으로 개방하는 포토레지스트 패턴을 형성하는 단계와 포토레지스트 패턴에 의해 개방된 드레인 접합층과

기판 내에 p+ 도펀트를 주입하여 드레인 방향의 게이트 전극 에지 하부 기판 내에 pnpn으로 이루어진 접합층을 형성하는 단계와, 포토레지스트 패턴을 제거하는 단계로 이루어진다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다. 아래 도면에서 종래 기술을 설명하기 위한 도면과 그 구성이 동일한 부분의 부호는 동일하게 사용한다.

도 2a 내지 도 2b는 각각 본 발명에 따른 SRAM 장치의 메모리 셀 구조를 나타낸 회로도 및 메모리 셀 내의 비트라인과 액세스 트랜지스터 사이의 pnpn 다이오드를 나타낸 수직 단면도로서, 이 메모리의 단위 셀은 접지 전압(Vss) 단자에 병렬로 연결된 제 1 및 제 2구동 트랜지스터(T1,T2)와, 상기 트랜지스터들(T1,T2)에 각각 그리고, 전원 전압 단자에 연결된 제 1 및 제 2풀업 트랜지스터(T3,T4)와, 비트라인(B/L)과 반

$\overline{B/L}$

전 비트라인()에 각각 연결된 두 개의 바이폴라 트랜지스터(BTr1,BTr2)(BTr3,BTr4)로 이루어진 pnpn 다이오드(106)와, 워드 라인(W/L)에 의해 턴온되어 상기 다이오드(104b)를 통해서 인가된 비트라인(B/L) 신호를 상기 제 2구동 트랜지스터(T2)와 제 2풀업 트랜지스터(T4)의 게이트와 제 1 구동 트랜지스터(T1)와 제 1풀업 트랜지스터(T3)의 공통 노드(Nd)에 전송하는 제 1 액세스 트랜지스터(T5)와, 워드 라

$\overline{B/L}$

인(W/L)에 의해 턴온되어 상기 다이오드(104b)를 통해 인가된 반전 비트라인() 신호를 상기 제 1구동 트랜지스터(T1)와 제 1풀업 트랜지스터(T3)의 게이트와 제 2 구동 트랜지스터(T2)와 제 2풀업 트랜지스터(T4)의 공통 노드(Nd)에 전송하는 제 2 액세스 트랜지스터(T6)으로 구성된다.

또한, 도 2a는 도 1a에 도시된 B 영역인 메모리 셀 내의 비트라인과 액세스 트랜지스터 사이의 pnpn 다이오드를 나타낸 수직 단면도로서, 이를 참조하면 액세스 트랜지스터(T5,T6)는 통상의 트랜지스터 구조와 동일하게 반도체 기판(100) 위의 절연박막에 형성되며 워드라인(W/L)과 연결된 게이트 전극(102)과 상기 게이트 전극(102)의 에지 근방의 기판(10) 내에 형성된 소스(104a), 드레인과 연결된 pnpn 다이오드(106)로 구성되어 있다. 이때, 상기 소스(104a)는 구동 트랜지스터와 풀업 트랜지스터의 공통 노드(Nd)가

$\overline{B/L}$

연결되어 있는 반면에, pnpn 다이오드(106)는 비트라인(B/L) 내지 반전 비트라인()에 연결되어 있다. 역시, 액세스 트랜지스터는 n형 모스 트랜지스터를 사용하므로 이 트랜지스터는 p-기판 내에 형성되며 상기 다이오드(106)는 기판(100) 내에 p+/n+/p+/n+ 도펀트가 일련으로 주입된 영역으로 구성되어 있다

도 3은 통상의 pnpn 다이오드의 전기적 특성을 나타낸 파형도로서, 상기 다이오드는 일반적인 pnpn 구조의 다이오드와 동일하게 구동되는데, 일정 전압인 Vp이상이 되면 전류가 크게 증가되며 이때, Vp는 pnpn 다이오드의 불순물 농도와 결핍 영역 폭등에 의해 결정된다.

이와 같이 본 발명에 따른 SRAM은 Vp 미만의 낮은 전압이 비트라인(B/L) 내지 반전 비트라인

$\overline{B/L}$

()에 인가되면 pnpn 다이오드(106)의 블록킹 영역에 속하여 상기 액세스 트랜지스터(T5,T6)로 전류가 거의 흐르지 않게 된다.

그러나, Vp 이상의 전압이 인가되면 pnpn 다이오드(106)가 순방향으로 동작되고, 상기 액세스 트랜지스터(T5,T6)의 구조에 의해 증폭되어 많은 양의 전류가 노드 Nd에 흐른다.

도 4a 내지 도 4c는 본 발명에 따라 SRAM 장치의 pnpn 다이오드를 형성하기 위한 제조 공정도로서, pnpn 다이오드는 다음과 같은 공정 순서에 의해 형성된다.

우선, 도 4a에 도시된 바와 같이 p-의 반도체기판(100)에 통상의 제조 공정을 거쳐서 SRAM을 구성하는 게이트 전극(102)을 형성하고, 이온 주입 공정을 실시하여 n+ 도펀트가 주입된 소스/드레인 접합층(104a, 104b)을 형성한다.

그 다음, 도 4b에 도시된 바와 같이 pnpn 다이오드 마스크를 이용한 사진 공정을 진행하여 결과물 위에 비트라인 및 반전 비트라인 방향에 해당하는 드레인 접합층 및 그에 이웃한 기판을 선택적으로 개방하는 포토레지스트 패턴(105)을 형성한다. 그리고, p+ 불순물 이온 주입 공정을 실시하여 포토레지스트 패턴(105)에 의해 개방된 드레인 접합층(104b)과 기판 내에 p+ 도펀트를 주입하여 드레인 방향의 게이트 전극(102) 에지 하부 기판 내에 pnpn으로 이루어진 접합층(106)을 형성한다.

그리고, 도 4c에 도시된 바와 같이 포토레지스트 패턴(105)을 제거하고 도면에 도시되지는 않았지만 배선 공정을 진행하여 상기 게이트 전극(102)과 소스/드레인 접합층(104a) 및 pnpn 다이오드(106)와 연결되는 배선을 형성한다.

발명의 효과

따라서, 상기한 바와 같이 본 발명은 SRAM의 비트라인과 액세스 트랜지스터 사이에 pnpn 다이오드를 연결하여 일정 수준 이상의 전압이 인가되었을 때 pnpn 구조의 다이오드가 순방향으로 동작되어 많은 양의 전류를 인가시켜 SRAM의 저전압, 고속 동작을 구현한다.

또한 본 발명의 pnpn 다이오드 제조 공정을 일반적인 CMOS 공정을 이용해서 메모리 공정 중에 실시함으로써 제조 공정의 단순화를 이룰 수 있다.

(57) 청구의 범위

청구항 1

전원 단자에 병렬로 연결된 제 1 및 제 2풀업 트랜지스터와, 접지 단자와 상기 풀업 트랜지스터의 출력단자에 각각 연결된 제 1 및 제 2구동 트랜지스터와, 위드라인에 응답하여 비트라인의 신호를 상기 제 1풀업 및 제 1구동 트랜지스터의 게이트와 상기 제 2풀업 및 제 2구동 트랜지스터의 공통 노드에 인가하는 제 1액세스 트랜지스터와, 위드 라인에 응답하여 반전 비트라인의 신호를 상기 제 2풀업 및 제 2구동 트랜지스터의 게이트와 상기 제 1 풀업 및 제 1구동 트랜지스터의 공통 노드에 인가하는 제 2액세스 트랜지스터를 기본 메모리 셀 구조로 하는 SRAM 장치에 있어서,

상기 비트라인과 제 1액세스 트랜지스터 사이와 상기 반전 비트라인과 제 2액세스 트랜지스터 사이에 각각 pnpn 다이오드를 구비하는 것을 특징으로 하는 pnpn 다이오드를 갖는 SRAM 장치의 메모리 셀 구조.

청구항 2

제 1항에 있어서, 상기 pnpn 다이오드의 제조 방법은

반도체기판내에 SRAM의 게이트 전극과 n+ 도펀트가 주입된 소스/드레인 접합층을 형성하는 단계;

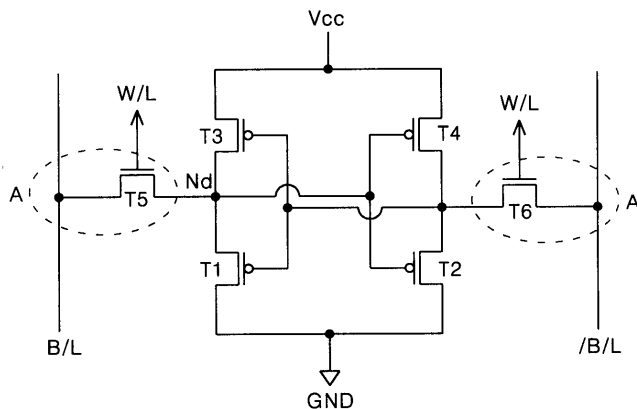
상기 pnpn 다이오드 마스크를 이용한 사진 공정을 진행하여 비트라인 및 반전 비트라인 방향에 해당하는 드레인 접합층 및 그에 이웃한 기판을 선택적으로 개방하는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴에 의해 개방된 드레인 접합층과 기판 내에 p+ 도펀트를 주입하여 드레인 방향의 게이트 전극 에지 하부 기판 내에 pnpn으로 이루어진 접합층을 형성하는 단계; 및

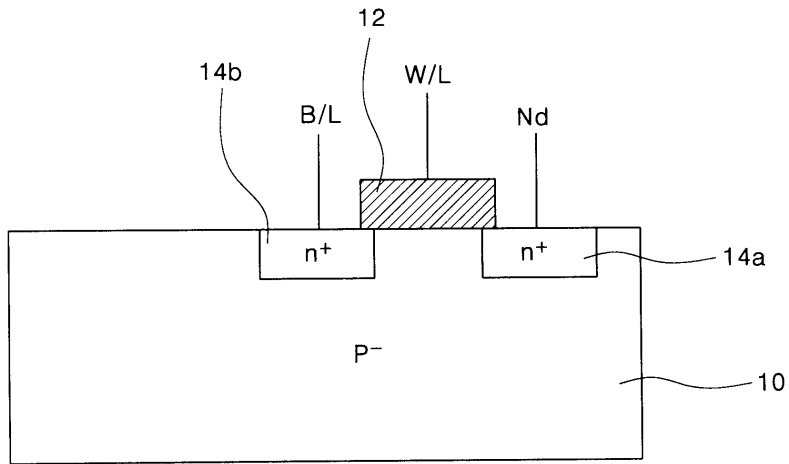
상기 포토레지스트 패턴을 제거하는 단계를 포함하여 이루어진 것을 특징으로 하는 SRAM 장치의 메모리 셀 내의 pnpn 다이오드 형성방법.

도면

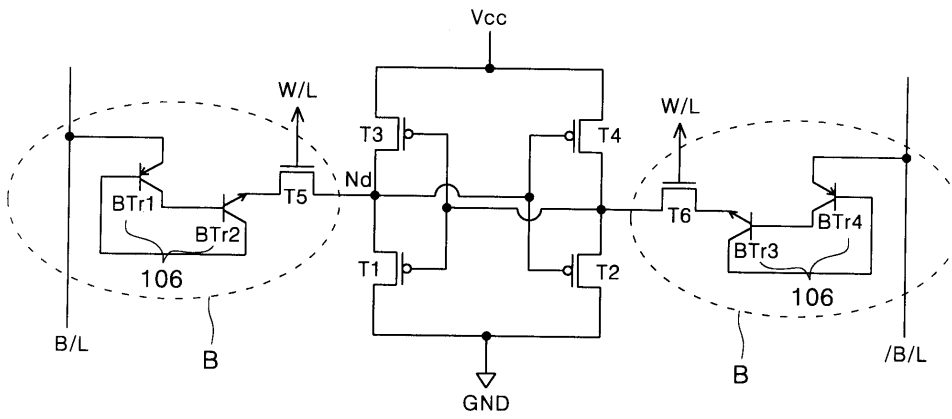
도면 1a



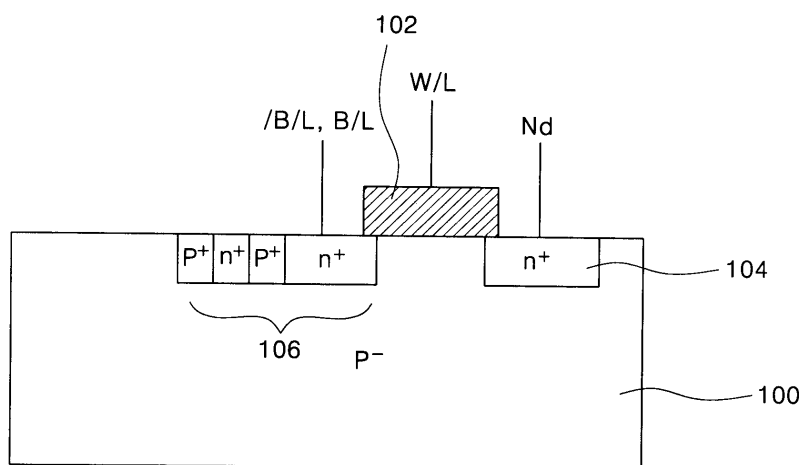
도면 1b



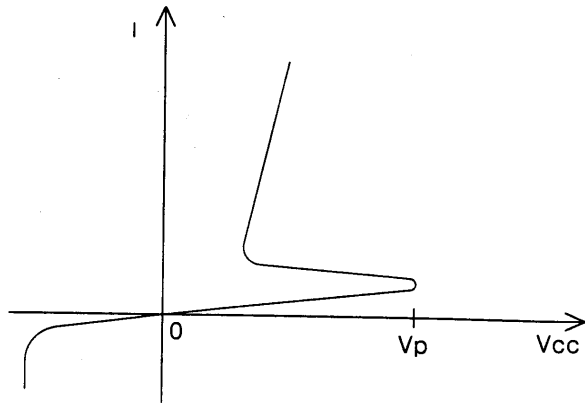
도면 2a



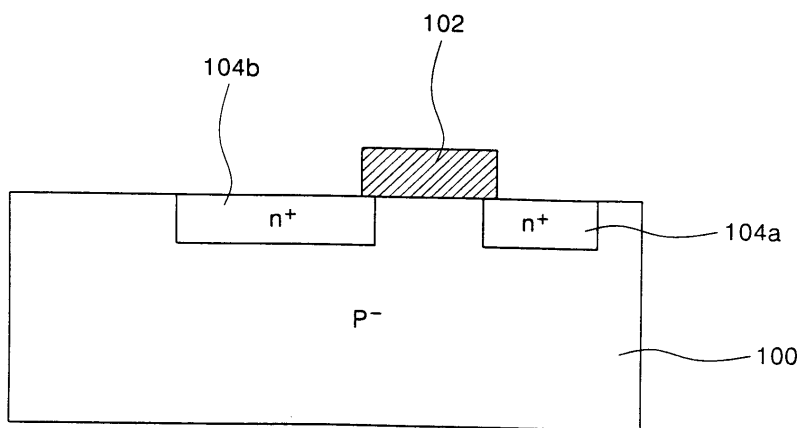
도면 2b



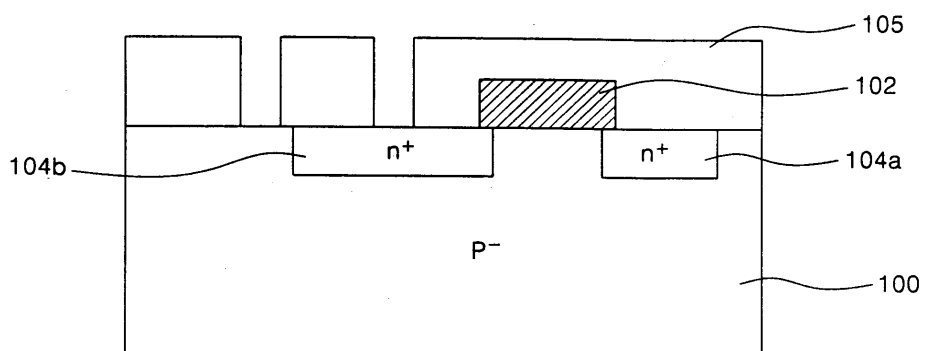
도면3



도면4a



도면4b



도면4c

