

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5765251号
(P5765251)

(45) 発行日 平成27年8月19日 (2015. 8. 19)

(24) 登録日 平成27年6月26日 (2015. 6. 26)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 5 2 Q

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 5 2 N

H O 1 L 29/78 6 5 8 A

請求項の数 11 (全 12 頁)

(21) 出願番号 特願2012-11869 (P2012-11869)
 (22) 出願日 平成24年1月24日 (2012. 1. 24)
 (65) 公開番号 特開2013-152981 (P2013-152981A)
 (43) 公開日 平成25年8月8日 (2013. 8. 8)
 審査請求日 平成26年5月19日 (2014. 5. 19)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100082175
 弁理士 高田 守
 (74) 代理人 100106150
 弁理士 高橋 英樹
 (74) 代理人 100148057
 弁理士 久野 淑己
 (72) 発明者 高野 和豊
 福岡県福岡市西区今宿東一丁目1番1号
 メルコセミコンダクタエンジニアリング株
 式会社内

審査官 行武 哲太郎

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板のセル領域、パッド領域、及び前記セル領域と前記パッド領域の間の中間領域に設けられた第1導電型の半導体層と、

前記セル領域において前記半導体層上に設けられた第2導電型の第1のベース層と、

前記中間領域において前記半導体層上に設けられた第2導電型の第2のベース層と、

前記第1のベース層内に設けられた第1導電型の導電領域と、

前記導電領域と前記半導体層に挟まれたチャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、

前記第1及び第2のベース層に接続された第1の電極と、

前記半導体層の下面に接続された第2の電極と、

前記パッド領域において前記半導体層上に絶縁膜を介して設けられ、前記ゲート電極に接続されたゲートパッドとを備え、

前記第2のベース層の前記ゲートパッド側は、不純物濃度勾配が前記第1のベース層に比べてなだらかなVLD (Variation Lateral Doping) 構造であることを特徴とする半導体装置。

【請求項 2】

前記半導体基板の前記セル領域及び前記パッド領域の外側に配置されたエッジターミネーション領域において前記半導体層上に設けられた第2導電型の第3のベース層を更に備え、

10

20

前記第 3 のベース層の外側は、不純物濃度勾配が前記第 1 のベース層に比べてなだらかな V L D 構造であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記パッド領域において前記半導体層上に前記絶縁膜を介して設けられ、前記ゲート電極及び前記ゲートパッドに接続されたゲート配線を更に備え、

前記第 2 のベース層の前記ゲート配線側は、不純物濃度勾配が前記第 1 のベース層に比べてなだらかな V L D 構造であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 2 のベース層の前記ゲートパッドに対して反対側も、不純物濃度勾配が前記第 1 のベース層に比べてなだらかな V L D 構造であることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の半導体装置。

10

【請求項 5】

半導体基板のセル領域、パッド領域、及び前記セル領域と前記パッド領域の間の中間領域に設けられた第 1 導電型の半導体層と、

前記セル領域において前記半導体層上に設けられた第 2 導電型の第 1 のベース層と、

前記中間領域において前記半導体層上に設けられた第 2 導電型の第 2 のベース層と、

前記パッド領域において前記半導体層上に設けられ、前記第 2 のベース層の最深部より浅い第 2 導電型の第 3 のベース層と、

前記第 1 のベース層内に設けられた第 1 導電型の導電領域と、

前記導電領域と前記半導体層に挟まれたチャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、

20

前記第 1 及び第 2 のベース層に接続された第 1 の電極と、

前記半導体層の下面に接続された第 2 の電極と、

前記パッド領域において前記半導体層上に絶縁膜を介して設けられ、前記ゲート電極に接続されたゲートパッドとを備え、

前記第 2 のベース層の前記ゲートパッド側は、不純物濃度勾配が前記第 1 のベース層に比べてなだらかな V L D 構造であることを特徴とする半導体装置。

【請求項 6】

前記第 3 のベース層の不純物濃度は $1.0 \sim 2.0 \times 10^{12} \text{ ions/cm}^2$ であることを特徴とする請求項 5 に記載の半導体装置。

30

【請求項 7】

半導体基板のセル領域、パッド領域、及び前記セル領域と前記パッド領域の間の中間領域に設けられた第 1 導電型の半導体層と、

前記セル領域において前記半導体層上に設けられた第 2 導電型の第 1 のベース層と、

前記中間領域及び前記パッド領域において前記半導体層上に設けられた第 2 導電型の第 2 のベース層と、

前記第 1 のベース層内に設けられた第 1 導電型の導電領域と、

前記導電領域と前記半導体層に挟まれたチャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、

前記第 1 及び第 2 のベース層に接続された第 1 の電極と、

40

前記半導体層の下面に接続された第 2 の電極と、

前記パッド領域において前記半導体層上に絶縁膜を介して設けられ、前記ゲート電極に接続されたゲートパッドとを備え、

前記第 2 のベース層の不純物濃度は前記ゲートパッドの中心方向に増加し、

前記第 2 のベース層は、不純物濃度勾配が前記第 1 のベース層に比べてなだらかな V L D 構造であることを特徴とする半導体装置。

【請求項 8】

請求項 1 ~ 4 の何れか 1 項に記載の半導体装置を製造する方法であって、

前記中間領域において前記半導体層上に、前記パッド領域に向かって幅が狭くなる複数の開口を有するマスクを形成する工程と、

50

前記マスクの前記複数の開口を通して不純物を前記半導体層に注入して前記第2のベース層を形成することを特徴とする半導体装置の製造方法。

【請求項9】

前記複数の開口の最大幅は、前記第2のベース層の最深部の深さの2倍未満であることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】

請求項2に記載の半導体装置を製造する方法であって、前記第2のベース層と前記第3のベース層を同時に形成することを特徴とする半導体装置の製造方法。

【請求項11】

請求項5又は6に記載の半導体装置を製造する方法であって、前記第1のベース層と前記第3のベース層を同時に形成することを特徴とする半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、耐圧低下やオン抵抗増大を発生させることなく、アバランシェ耐量を向上させることができる半導体装置及びその製造方法に関する。

【背景技術】

【0002】

省エネや装置の小型化という市場要求を実現するため、MOSFETやIGBTなどの半導体装置にはオン状態、及びスイッチング時における過渡状態の低損失化が求められている。ここで、オン状態のみに着目すると、バルク部であるエピ層のウェハスペックを低抵抗にすることでオン抵抗を下げ、低損失化が可能である。ただし、オン抵抗と耐圧はトレードオフの関係にあり、単純にウェハスペックを低抵抗とするだけでは、素子耐圧が低下し目的を達し得ない。そこで、低抵抗のウェハスペックでセルの設計を最適化して高い耐圧を得つつ、そのウェハスペックの低抵抗化によるオン抵抗減の効果を得ることで、トレードオフの改善が図られている。

20

【0003】

セル設計の最適化による耐圧向上に伴い、誘導負荷スイッチングでのターンオフサージによるアバランシェ動作が発生すると電流がセル以外の箇所へ流れ込みやすくなってくる。そのような状況下においても高い耐量を得るために、ゲートパッド下のP型ベース層をエッジターミネーション部（チップ外周）のP型ベース層よりも深く形成したものや、ゲートパッド下のP型ベース層をフローティングとしたものが提案されている（例えば、特許文献1参照）。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-97116号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

40

ターンオフ時に誘導負荷の逆起電力によって電圧が上昇して素子の持つ耐圧を超えると、半導体装置はアバランシェ動作する。この時に装置が流すことができる（遮断可能な）電流値又はエネルギー値をアバランシェ耐量という。セル領域の耐圧向上によって、アバランシェ電流がセル領域以外の箇所に流れ易くなった場合、ゲートパッドとセル領域の間に設けられたP型ベース層が、アバランシェ動作時に電流が集中して破壊されるという問題があった。

【0006】

本発明は、上述のような課題を解決するためになされたもので、その目的は耐圧低下やオン抵抗増大を発生させることなく、アバランシェ耐量を向上させることができる半導体装置及びその製造方法を得るものである。

50

【課題を解決するための手段】

【0007】

本発明に係る半導体装置は、半導体基板のセル領域、パッド領域、及び前記セル領域と前記パッド領域の間の中間領域に設けられた第1導電型の半導体層と、前記セル領域において前記半導体層上に設けられた第2導電型の第1のベース層と、前記中間領域において前記半導体層上に設けられた第2導電型の第2のベース層と、前記第1のベース層内に設けられた第1導電型の導電領域と、前記導電領域と前記半導体層に挟まれたチャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、前記第1及び第2のベース層に接続された第1の電極と、前記半導体層の下面に接続された第2の電極と、前記パッド領域において前記半導体層上に絶縁膜を介して設けられ、前記ゲート電極に接続されたゲートパッドとを備え、前記第2のベース層の前記ゲートパッド側は、不純物濃度勾配が前記第1のベース層に比べてなだらかなVLD (Variation Lateral Doping) 構造である。

10

【発明の効果】

【0008】

本発明により、耐圧低下やオン抵抗増大を発生させることなく、アバランシェ耐量を向上させることができる。

【図面の簡単な説明】

【0009】

【図1】本発明の実施の形態1に係る半導体装置を示す上面図である。

【図2】図1のA-A'に沿った断面図である。

20

【図3】図1のB-B'に沿った断面図である。

【図4】図1のC-C'に沿った断面図である。

【図5】中間領域のP型ベース層の形成方法を示す図である。

【図6】中間領域のP型ベース層の形成方法を示す図である。

【図7】中間領域のP型ベース層の形成方法を示す図である。

【図8】中間領域のP型ベース層の形成方法を示す図である。

【図9】エッジターミネーション領域の電界分布を示す図である。

【図10】中間領域近傍（ゲートパッド領域）の電界分布を示す図である。

【図11】比較例1に係る半導体装置を示す断面図である。

【図12】MOSFETをL負荷スイッチングさせた時のスイッチング波形をシミュレーションした結果を示す図である。

30

【図13】比較例2に係る半導体装置を示す断面図である。

【図14】本発明の実施の形態1に係る半導体装置の変形例1を示す断面図である。

【図15】本発明の実施の形態1に係る半導体装置の変形例2を示す断面図である。

【図16】本発明の実施の形態2に係る半導体装置を示す断面図である。

【図17】実施の形態2と比較例1のゲートパッド下の電界強度を示す図である。

【図18】本発明の実施の形態2に係る半導体装置の変形例を示す断面図である。

【図19】本発明の実施の形態3に係る半導体装置を示す断面図である。

【発明を実施するための形態】

【0010】

40

本発明の実施の形態に係る半導体装置及びその製造方法について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【0011】

実施の形態1

図1は、本発明の実施の形態1に係る半導体装置を示す上面図である。図2は図1のA-A'に沿った断面図である。

【0012】

シリコン基板1は、セル領域、パッド領域、中間領域、及びエッジターミネーション領域を有する。中間領域はセル領域とパッド領域の間に配置されている。エッジターミネー

50

ション領域は、セル領域及びパッド領域の外側に配置されている。

【0013】

シリコン基板1内の全領域にN⁻型ドレイン層2が設けられている。N⁻型ドレイン層2の下にN⁺型ドレイン層3が設けられ、そのN⁺型ドレイン層3の下面にドレイン電極4が接続されている。

【0014】

セル領域においてN⁻型ドレイン層2上にP⁻型ベース層5が設けられている。中間領域においてN⁻型ドレイン層2上にP型ベース層6が設けられている。P⁻型ベース層5内にN⁺型ソース領域7が設けられている。ゲート電極8が、N⁺型ソース領域7とN⁻型ドレイン層2に挟まれたチャネル領域上にゲート絶縁膜9を介して設けられている。ソース電極10がP⁻型ベース層5及びP型ベース層6に接続されている。ドレイン電極4がN⁺型ドレイン層3の下面に接続されている。ゲートパッド11が、パッド領域においてN⁻型ドレイン層2上に絶縁膜12を介して設けられている。ゲートパッド11はゲート電極8に接続されている。

10

【0015】

本実施の形態の特徴として、ゲートパッド11の周囲の中間領域に環状に設けられたP型ベース層6のゲートパッド11側(a)は、不純物濃度勾配がP⁻型ベース層5に比べてなだらかなVLD(Variation Lateral Doping)構造である。

【0016】

図3は図1のB-B'に沿った断面図である。ゲート配線13がパッド領域(実際には配線領域でありパッド領域ではないが、ここでは便宜上こう呼ぶ)においてN⁻型ドレイン層2上に絶縁膜12を介して設けられている。ゲート配線13はゲート電極8とゲートパッド11を接続するものである。P型ベース層6のゲート配線13側は、不純物濃度勾配がP⁻型ベース層5に比べてなだらかなVLD構造である。

20

【0017】

図4は図1のC-C'に沿った断面図である。エッジターミネーション領域においてN⁻型ドレイン層2上にP型ベース層14, 15, 16が設けられている。P型ベース層14, 15, 16はFLR(Field Limiting Ring)である。最外周にN⁺型チャネルストップ層17が設けられている。P型ベース層15, 16にそれぞれリング電極18, 19が接続されている。N⁺型チャネルストップ層17にチャネルストップ電極20が接続されている。P型ベース層14, 15, 16の外側は、不純物濃度勾配がP⁻型ベース層5に比べてなだらかなVLD構造である。

30

【0018】

続いて、中間領域のP型ベース層6の形成方法を説明する。図5から図8は、中間領域のP型ベース層の形成方法を示す図である。まず、図5に示すように、N⁻型ドレイン層2上にSiO₂膜21を形成する。次に、図6に示すように、SiO₂膜21上にレジスト22を形成し、写真製版処理時によりレジスト22をパターニングする。そのレジスト22をマスクとしてエッチングを行ってSiO₂膜21をパターニングする。

【0019】

パターニング後のSiO₂膜21は、中間領域においてパッド領域に向かって幅が狭くなる複数の開口を有する。次に、図7に示すように、SiO₂膜21の複数の開口を通してボロン等の不純物をN⁻型ドレイン層2に注入し、図8に示すように高温ドライブにより不純物を拡散させてP型ベース層6を形成する。このようなウェハプロセスで作成された不純物濃度勾配がなだらかな拡散形状をVLD構造と呼ぶ。

40

【0020】

なお、エッジターミネーション領域のP型ベース層14, 15, 16の外側も同様にVLDで形成する(例えば、社団法人 電気学会著 半導体装置・パワーICハンドブック P. 62~63、特開2011-204710号公報を参照)。

【0021】

続いて、VLD構造のP型ベース層が設けられた2つの領域の電界分布の違いを説明す

50

る。図 9 は、エッジターミネーション領域の電界分布を示す図である。図 10 は、中間領域近傍（ゲートパッド領域）の電界分布を示す図である。点線が等電位線を表している。エッジターミネーション領域ではソース電極 10 とチャネルストッパ電極 20 の間に電位差があり、横方向でデバイス耐圧を保持している。一方、中間領域近傍（ゲートパッド領域）では、ソース電極 10 とゲートパッド 11 の間に電位差は無い。

【0022】

続いて、本実施の形態の効果を比較例 1, 2 と比較して説明する。図 11 は比較例 1 に係る半導体装置を示す断面図である。比較例 1 では、中間領域の P 型ベース層 6 とパッド領域の P 型ベース層 23 が繋がっており、両者の厚みが同じである。比較例 1 の場合、広い P 型ベース層 6, 23 直下で発生するインパクトイオン化によるアバランシェ電流（インパクトイオン化電流）がソースコンタクト部（b）に流れ込み、電流集中が起こって破壊に至ることがある。

10

【0023】

図 12 は、MOSFET を L 負荷スイッチングさせた時のスイッチング波形をシミュレーションした結果を示す図である。全電流とは、セル領域と中間領域の電流の和である。比較例 1 と実施の形態 1 の全電流は同じであるが、比較例 1 は中間領域への電流が高いため、ソースコンタクト部への電流集中が発生する。一方、実施の形態 1 ではセル領域への電流が増えるため、中間領域への電流集中を緩和できる。

【0024】

なお、比較例 1 において、インパクトイオン化電流を減らすために、不純物注入量や熱処理をコントロールして P 型ベース層 6, 23 を浅くすると、それらと同時に形成するエッジターミネーション領域の P 型ベース層 14, 15, 16 も浅くなる。従って、エッジターミネーション領域の P 型ベース層 14, 15, 16 の濃度勾配が急に（円弧部分の曲率、即ち半径が小さく）なり、エッジターミネーション耐圧の低下、引いてはアバランシェ耐量の低下や信頼性の悪化が懸念される。

20

【0025】

図 13 は比較例 2 に係る半導体装置を示す断面図である。比較例 2 では、中間領域の P 型ベース層 6 とパッド領域の P 型ベース層 23 が分離している。即ち、パッド領域の P 型ベース層 23 がフローティングになっている。これにより、比較例 1 に比べれば中間領域への電流集中を緩和できる。しかし、比較例 2 では、P 型ベース層 6 のゲートパッド 11 側（a）の不純物濃度勾配が急である（P 型ベース層 6 の円弧部分の曲率が小さい）ため、インパクトイオン化電流がソースコンタクト部（b）に流れ込み、電流集中が起こって破壊に至ることがある。

30

【0026】

これに対して、本実施の形態では、VLD により形成した P 型ベース層 6 のゲートパッド 11 側（a）は、不純物濃度勾配が P 型ベース層 5 に比べてなだらかな VLD 構造である。これにより、アバランシェ動作時にソースコンタクト部（b）へのインパクトイオン化電流の集中を防ぐことができる。従って、アバランシェ耐量を向上させることができる。

【0027】

また、本実施の形態では、中間領域の構造のみ変更しており、電流が流れるアクティブ領域であるセル領域の構造は変更しない。このため、耐圧低下やオン抵抗増大を発生させることはない。

40

【0028】

また、ゲートパッド 11 の周囲だけでなく、ゲート配線 13 の周囲の P 型ベース層 6 にも VLD 構造を適用する。これにより、ゲート配線 13 の周囲の P 型ベース層 6 でのインパクトイオン化を抑え、アバランシェ耐量がゲート配線 13 の設計律速となることを防ぐことができる。

【0029】

また、P 型ベース層 6 の形成時に用いる SiO_2 膜 21 の複数の開口の最大幅 w は、P

50

型ベース層 6 の最深部の深さ d の 2 倍未満であることが好ましい。このように開口の幅が狭いと P 型ベース層 6 の深さが浅くなるため、N⁻型ドレイン層 2 を増やし、インパクトイオン化電流を減らすことができる。一方、FLR である P 型ベース層 14, 15, 16 を形成する際には、開口の最大幅 w を P 型ベース層 6 の最深部の深さ d の 2 倍以上にし、P 型ベース層 14, 15, 16 を深くする。

【0030】

また、中間領域の P 型ベース層 6 とエッジターミネーション領域の P 型ベース層 14, 15, 16 を同時に形成することが好ましい。これにより、マスクを増やすことなく両者の VLD 構造を形成することができる。

【0031】

図 14 は、本発明の実施の形態 1 に係る半導体装置の変形例 1 を示す断面図である。P 型ベース層 6 のゲートパッド 11 に対して反対側も、不純物濃度勾配が P⁻型ベース層 5 に比べてなだらかな VLD 構造である。即ち、VLD 構造をセル側にも形成する。これにより、アバランシェ動作時にソースコンタクト部 (b) へのインパクトイオン化電流の集中を更に確実に防ぐことができる。

【0032】

図 15 は、本発明の実施の形態 1 に係る半導体装置の変形例 2 を示す断面図である。実施の形態 1 の構成に加えて、パッド領域において N⁻型ドレイン層 2 上に P 型ベース層 23 が設けられている。これによりゲートパッド 11 の下の容量を減らすことができる。

【0033】

実施の形態 2 .

図 16 は、本発明の実施の形態 2 に係る半導体装置を示す断面図である。実施の形態 1 の構成に加えて、パッド領域において N⁻型ドレイン層 2 上に P 型ベース層 23 が設けられている。中間領域の P 型ベース層 6 とパッド領域の P 型ベース層 23 は繋がっている。ただし、比較例 1 とは異なり、P 型ベース層 23 は P 型ベース層 6 の最深部より浅い。

【0034】

図 17 は、実施の形態 2 と比較例 1 のゲートパッド下の電界強度を示す図である。横軸は電界強度、縦軸はシリコン基板 1 の表面からの深さを示している。図中の三角形の面積が N⁻型ドレイン層 2 と P 型ベース層 23 がそれぞれ保持している電圧に相当する。比較例 1 では、N⁻型ドレイン層 2 に広がる空乏層で殆どの耐圧を保持している。一方、実施の形態 2 では、P 型ベース層 23 にも空乏層が広がるため、P 型ベース層 23 の電圧分担が増える。これにより、アバランシェ時の PN 接合近傍の電界強度が下がり、インパクトイオン化電流を下げる可以降低することができる。

【0035】

また、P 型ベース層 23 の不純物濃度は $1.0 \sim 2.0 \times 10^{12} \text{ ions/cm}^2$ であることが好ましい。これにより、PN 接合に逆耐圧をかけた際に、PN 両方の拡散層全体に空乏層が広がる RESURF (Reduced Surface Field) 条件になる。従って、P 型ベース層 23 の全体に空乏層が広がる。これにより、インパクトイオン化電流を更に下げることができる。

【0036】

また、セル領域の P⁻型ベース層 5 とパッド領域の P 型ベース層 23 を同時に形成することが好ましい。これにより、マスクを増やすことなく両構造を形成することができる。

【0037】

図 18 は、本発明の実施の形態 2 に係る半導体装置の変形例を示す断面図である。図 16 では P 型ベース層 6 のゲートパッド 11 側が VLD 構造であったが、この変形例では P 型ベース層 6 は VLD 構造ではない。この場合でも、P 型ベース層 23 が P 型ベース層 6 の最深部より浅いことにより、インパクトイオン化電流を下げる可以降低することができる。

【0038】

また、VLD 構造はストライプや微細なホール形状でパターンを作るため、寸法制御性の良い微細加工装置が必要になる。このような寸法制御性の良い微細加工装置が変形例で

10

20

30

40

50

は不要となる。

【 0 0 3 9 】

実施の形態 3 .

図 1 9 は、本発明の実施の形態 3 に係る半導体装置を示す断面図である。実施の形態 1 の P 型ベース層 6 の代わりに、中間領域及びパッド領域において N⁻ 型ドレイン層 2 上に P 型ベース層 2 4 が設けられている。P 型ベース層 2 4 の不純物濃度はゲートパッド 1 1 の中心方向に増加し、ゲートパッド 1 1 の中心部において濃度がピークとなる。P 型ベース層 2 4 は、不純物濃度勾配が P⁻ 型ベース層 5 に比べてなだらかな V L D 構造である。これにより、アバランシェ動作時のインパクトイオン化電流を下げることができる。

【 0 0 4 0 】

10

なお、実施の形態 1 ~ 3 では、本発明を n チャネルパワー MOS F E T に適用している。しかし、これに限らず、本発明は、p チャネルパワー MOS F E T、I G B T、又は S i C デバイスにも適用可能である。

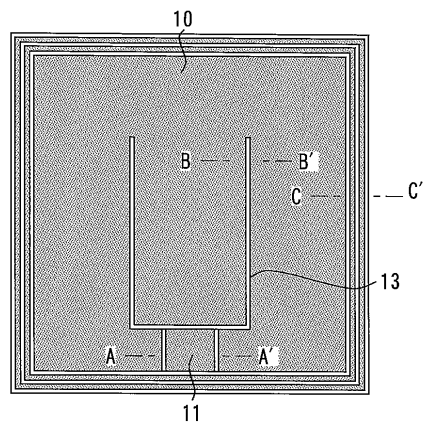
【符号の説明】

【 0 0 4 1 】

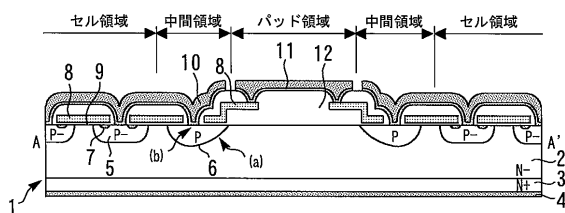
- 1 シリコン基板（半導体基板）
- 2 N⁻ 型ドレイン層（半導体層）
- 4 ドレイン電極（第 2 の電極）
- 5 P⁻ 型ベース層（第 1 のベース層）
- 6 , 2 4 P 型ベース層（第 2 のベース層）
- 7 N⁺ 型ソース領域（導電領域）
- 8 ゲート電極
- 9 ゲート絶縁膜
- 1 0 ソース電極（第 1 の電極）
- 1 1 ゲートパッド
- 1 2 絶縁膜
- 1 3 ゲート配線
- 1 4 , 1 5 , 1 6 , 2 3 P 型ベース層（第 3 のベース層）
- 2 1 S i O₂ 膜（マスク）

20

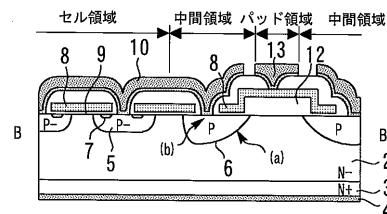
【図 1】



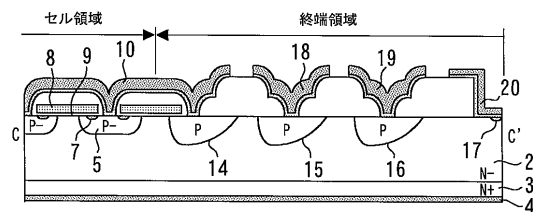
【図 2】



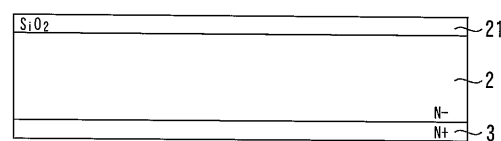
【図 3】



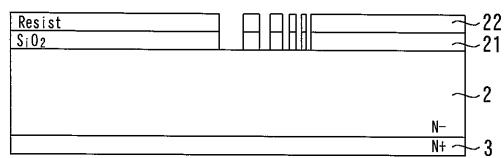
【図 4】



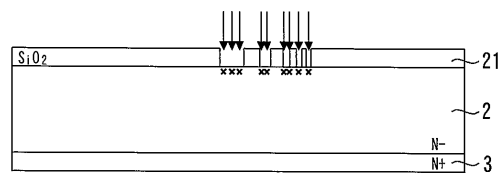
【図 5】



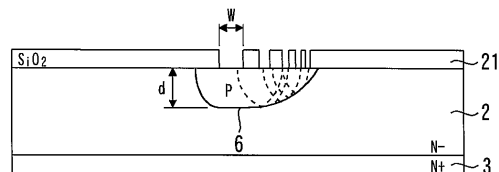
【図 6】



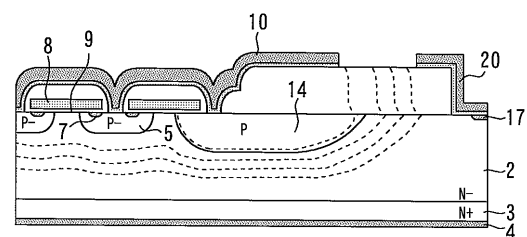
【図 7】



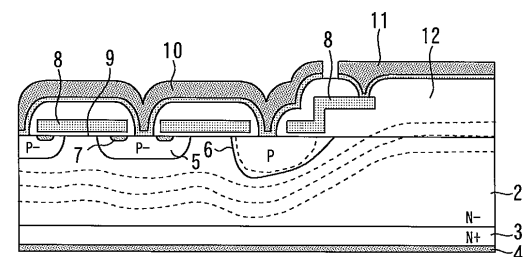
【図 8】



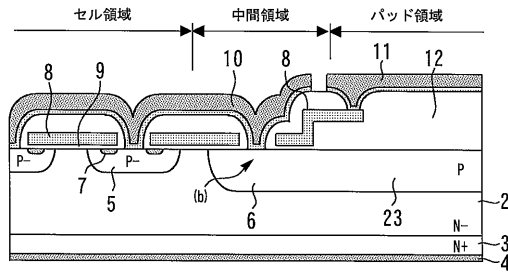
【図 9】



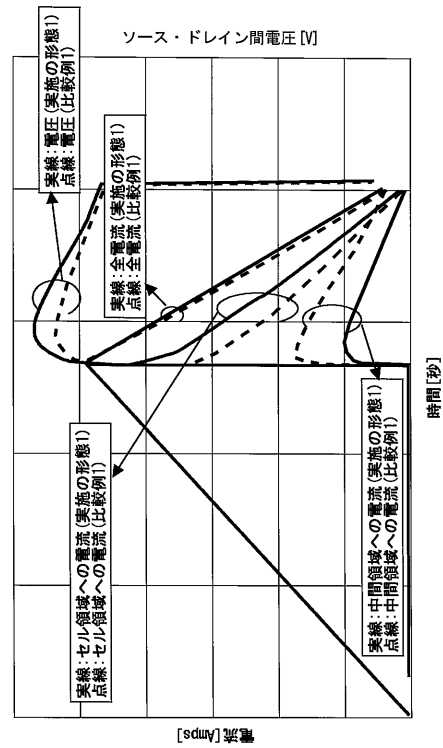
【図 10】



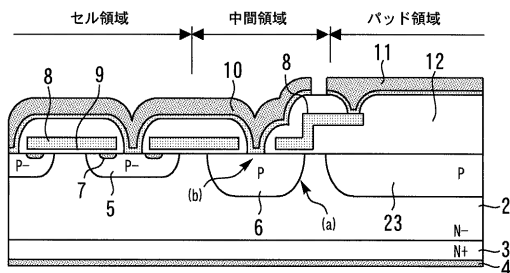
【図 1 1】



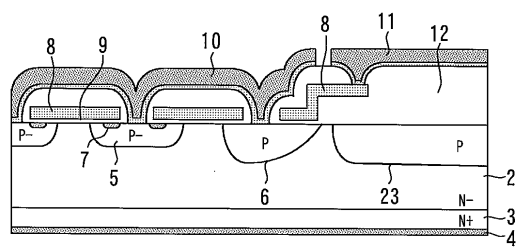
【図 1 2】



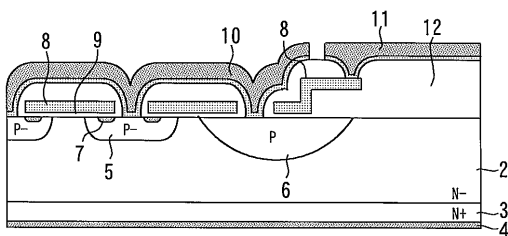
【図 1 3】



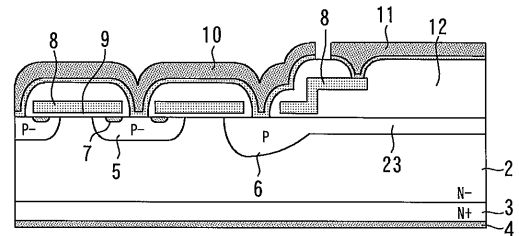
【図 1 5】



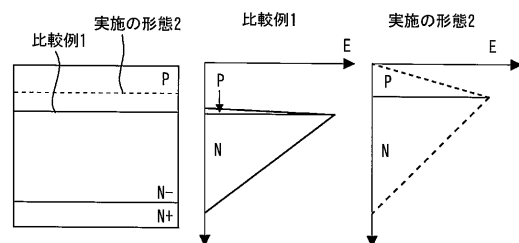
【図 1 4】



【図 1 6】



【図 1 7】



[illegible]

This cross-sectional view shows a semiconductor device with a gate stack (8, 9, 10) and a trench (11, 12). The gate stack is formed on a substrate (2) which has a p-type region (P-) and an n-type region (N-). The trench is filled with a material (24) and has a p-type region (P) on its side wall. The device is formed on a substrate (4) which has a p-type region (P-).

フロントページの続き

(56)参考文献 特開平 3 - 1 8 0 0 7 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8 - 2 9 / 7 9 2