

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H03F 3/46	(45) 공고일자 1999년06월01일
	(11) 등록번호 10-0190848
	(24) 등록일자 1999년01월21일
(21) 출원번호 10-1996-0020067	(65) 공개번호 특1998-0006810
(22) 출원일자 1996년06월05일	(43) 공개일자 1998년03월30일

(73) 특허권자	삼성전자주식회사	윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416	박희중
(74) 대리인	경기도 수원시 팔달구 매탄 주공 5단지 515동 102호	임창현

심사관 : 정순원

(54) 오차 전류가 보상된 전류 미러

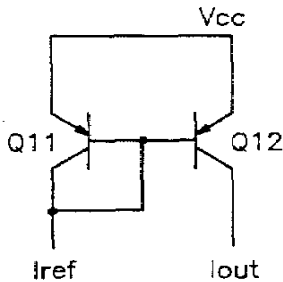
요약

본 발명은 초기 전압으로 인해 콜렉터-에미터 전압이 서로 다르게 잡히게 되어 발생하는 오차 전류를 보상하여 주는 오차 전류가 보상된 전류 미러에 관한 것이다.

본 발명은 전류 소오스(1)에 의해 공급되는 전류에 따라 오차 전류(ΔI)를 발생하여 전류 미러부(2)에서 발생한 오차 전류를 빼내어 보상하도록 하는 오차 전류 발생부(3)를 포함하여 구성된다.

따라서 본 발명은 설계자가 원하는 정확한 회로를 구성할 수 있게 되어 증폭기에 적용시 원하는 이득을 얻을 수 있다.

대표도



명세서

[발명의 명칭]

오차 전류가 보상된 전류 미러(Current Mirror Compensated Error Current)

[도면의 간단한 설명]

제1도는 일반적인 전류 미러의 구성도

제2도는 트랜지스터의 콜렉터-에미터 전압과 콜렉터 전류의 상관 관계도

제3도는 본 발명에 의한 오차 전류가 보상된 전류 미러의 구성도

* 도면의 주요부분에 대한 부호의 설명

- 1 : 전류 소오스 2 : 전류 미러부
3 : 오차 전류 발생부 Q1 내지 Q9, Q11, Q12 : 트랜지스터

[발명의 상세한 설명]

(산업상의 이용 분야)

본 발명은 전류 미러에 관한 것으로, 특히 초기 전압에 의해 발생하는 오차 전류가 보상된 전류 미러에 관한 것이다.

(종래 기술 및 그의 문제점)

제1도는 일반적인 전류 미러의 구성도이고, 제2도는 제1도의 pnp트랜지스터의 콜렉터-에미터 전압(V_{ce})과

전류(I_c)의 상관 관계도이다.

일반적인 전류 미러는 제1도에 도시한 바와 같이 전원(V_{cc})에 에미터가 연결되고 인가되는 기준 전류(I_{ref})를 베이스와 콜렉터 입력으로 하는 pnp트랜지스터(Q11)와, 전원(V_{cc})에 에미터가 연결되고 인가되는 기준 전류(I_{ref})를 베이스 입력으로 하고 콜렉터로 출력 전류(I_{out})를 출력하는 pnp트랜지스터(Q12)로 구성된다.

이와 같이 구성되는 일반적인 전류 미러는 설계자들이 가장 많이 사용하는 회로 중의 하나로, 이의 동작을 제2도를 참조하여 설명하면 다음과 같다.

pnp트랜지스터(Q11)의 콜렉터-에미터 전압(V_{ceQ11})은 pnp트랜지스터(Q11)의 베이스-에미터 전압(V_{beQ11})으로 잡혀 있지만, pnp트랜지스터(Q12)의 콜렉터-에미터 전압(V_{ceQ12})은 pnp트랜지스터(Q12)의 콜렉터 노드에 어떤 회로가 연결되느냐에 따라 결정된다.

제2도에 도시한 바와 같이 초기 전압(Early Voltage) 특성으로 인해 pnp트랜지스터의 콜렉터-에미터 전압의 변화(ΔV_{ce})가 콜렉터 전류의 변화(ΔI_c) 만큼의 전류 오차를 발생시킨다. 즉, pnp트랜지스터(Q11, Q12)의 콜렉터-에미터 전압(V_{ce})의 오차가 크면 pnp트랜지스터(Q11, Q12)의 콜렉터 전류(I_c)는 더욱 더 많이 발생하게 된다.

따라서 일반적인 전류 미러는 사용자가 원하는 출력 전류(I_{out})가 출력되지 않게 문제점이 있다.

그런데, 일반적으로 전류 미러는 회로 설계시 바이어스 부분 뿐만 아니라 여러 곳에서 사용되는 회로이다. 특히 증폭기의 바이어스부에 사용되는 경우에는 그 증폭기의 Q 포인트(Q Point)를 잡고 이득을 결정하게 된다.

그러나, 이와 같이 초기 전압 때문에 콜렉터-에미터 전압(V_{ce})이 서로 다르게 잡히게 되면 두 트랜지스터 사이에 오차 전류가 발생하여 설계자가 원하는 증폭기의 이득을 얻을 수 없게 된다.

(발명의 목적)

상기 문제점을 개선하기 위한 본 발명은 오차 전류를 보상하여 설계자가 원하는 전류를 최종단까지 같은 양으로 전달할 수 있도록 하기 위한 오차 전류가 보상된 전류 미러를 제공함에 그 목적이 있다.

(발명의 구성)

상기 목적을 달성하기 위해 본 발명에 의한 오차 전류가 보상된 전류 미러는 인가되는 기준 전류에 따라 전원으로 부터 전류를 공급하는 전류 소오스(Current Source), 상기 전류 소오스에 의해 공급되는 전류에 따라 오차 전류를 발생하는 오차 전류 발생부, 및 상기 전류 소오스에 의해 발생된 전류로 부터 상기 오차 전류 발생부에서 발생된 오차 전류를 빼내어 보상하는 전류 미러부로 구성됨을 특징으로 한다.

(작용)

본 발명은 초기 전압으로 인해 발생하는 오차 전류를 생성하여 보상하여 준다.

(실시예)

제3도를 참조하여, 본 발명의 신규한 오차 전류가 보상된 전류 미러는 전류 소오스(1)에 의해 공급되는 전류에 따라 오차 전류(ΔI)를 발생하여 전류 미러부(2)에서 발생된 오차 전류를 빼내어 보상하도록 하는 오차 전류 발생부(3)를 포함하여 구성된다.

이하 첨부한 도면을 참조하여 본 발명의 실시시예를 상세히 설명한다.

제3도는 본 발명에 의한 오차 전류가 보상된 전류 미러의 구성도이다.

본 발명에 의한 오차 전류가 보상된 전류 미러는 제3도에 도시한 바와 같이 전류 소오스(1), 전류 미러부(2), 및 오차 전류 발생부(3)로 구성된다.

전류 소오스(1)는 인가되는 기준 전류(I_{ref})에 따라 전원(V_{cc})으로 부터 전류를 공급하는 것으로, 전원(V_{cc})에 에미터가 연결되고 기준 전류(I_{ref})를 베이스와 콜렉터 입력으로 하는 pnp트랜지스터(Q1)로 구성된다.

오차 전류 발생부(3)는 전류 소오스(1)에 의해 공급되는 전류에 따라 오차 전류(ΔI)를 발생하는 것으로, 전원(V_{cc})에 에미터가 연결되고 기준 전류(I_{ref})를 베이스 입력으로 하고 전류 미러(2)에 콜렉터가 연결된 pnp트랜지스터(Q3), 전원(V_{cc})에 에미터가 연결되고 pnp트랜지스터(Q3)의 콜렉터 전류를 베이스와 콜렉터 입력으로 하는 pnp트랜지스터(Q4), 및 전원(V_{cc})에 에미터가 연결되고 pnp트랜지스터(Q3)의 콜렉터 전류를 베이스 입력으로 하고 전류 출력단(I_{out})에 콜렉터가 연결된 pnp트랜지스터(Q5)로 구성된다.

전류 미러부(2)는 전류 소오스(1)에 의해 발생된 전류로 부터 오차 전류 발생부(3)에서 발생된 오차 전류를 빼내어 보상하는 것으로, 전원(V_{cc})에 에미터가 연결되고 기준 전류(I_{ref})를 베이스 입력으로 하는 pnp트랜지스터(Q2), pnp트랜지스터(Q2)의 콜렉터에 저항(R_1)을 통해 베이스가 연결되고 전원(V_{cc})에 콜렉터가 연결된 npn트랜지스터(Q7), pnp트랜지스터(Q2)의 콜렉터에 저항(R_1)을 통해 콜렉터가 연결되고 접지에 에미터가 연결되고 npn트랜지스터(Q7)의 에미터에 베이스가 연결된 npn트랜지스터(Q6), 오차 전류 발생부(3)의 pnp트랜지스터(Q3)의 콜렉터에 콜렉터가 연결되고 npn트랜지스터(Q7)의 에미터에 베이스가 연결되고 접지에 소오스가 연결된 npn트랜지스터(Q8), 및 전류 출력단(I_{out})에 콜렉터가 연결되고 npn트랜지스터(Q7)의 에미터에 베이스가 연결되고 접지에 에미터가 연결된 npn트랜지스터(Q9)로 구성된다.

이와 같이 구성되는 본 발명에 의한 오차 전류가 보상된 전류 미러의 동작을 설명한다.

pnp트랜지스터(Q1)의 콜렉터-에미터 전압(V_{ceQ1})은 pnp트랜지스터(Q1)의 베이스-에미터 전압(V_{beQ1})으로 잡혀 있다.

또한, pnp트랜지스터(Q2)의 콜렉터-에미터 전압(V_{ceQ2})은 콜렉터에 연결된 저항(R_1)에 의한 전압($I_{cQ2} \times R_1$)과 npn트랜지스터(Q4, Q5)의 베이스-에미터 전압($V_{beQ4} + V_{beQ5}$)의 합이 감산된 전압($V_{cc} - I_{cQ2} \times R_1 - V_{beQ4} - V_{beQ5}$)으로 잡혀 있지만 초기 전압에 의해 오차 전류(ΔI)가 발생된다.

또한, pnp트랜지스터(Q3)의 콜렉터-에미터 전압(V_{ceQ3})은 npn트랜지스터(Q6)의 베이스-에미터 전압(V_{beQ6})에 잡혀 있어, pnp트랜지스터(Q1)과 npn트랜지스터(Q6)가 매칭(Matching)된 트랜지스터라면 인가되는 기준 전류(I_{ref})와 pnp트랜지스터(Q3)의 콜렉터 전류(I_{cQ3})는 같게 된다.

즉, pnp트랜지스터(Q1)의 콜렉터로 기준 전류(I_{ref})가 인가되면, pnp트랜지스터(Q2)의 콜렉터 전류(I_{cQ2})는 초기 전압에 의해 발생한 오차 전류(ΔI)가 원하는 전류에 가산되게 되는데, pnp트랜지스터(Q3)의 콜렉터 전류(I_{cQ3})는 pnp트랜지스터(Q4)에 의해 오차 전류(ΔI)가 가산되지 않은 전류(I_{ref})가 된다.

왜냐하면, pnp트랜지스터(Q4)의 베이스-에미터 전압(V_{be})이 pnp트랜지스터(Q3)의 콜렉터-에미터 전압(V_{ceQ3})을 잡고 있으며 pnp트랜지스터(Q4)의 베이스-에미터 전압(V_{beQ4})에 의해 오차 전류(ΔI)가 발생되기 때문이다.

이때, pnp트랜지스터(Q3)의 콜렉터에 pnp트랜지스터(Q5)의 베이스가 연결되어 있으므로, pnp트랜지스터(Q5)의 콜렉터 전류(I_{cQ5})는 오차 전류(ΔI)가 된다.

그런데, npn트랜지스터(Q6, Q8, Q9)의 콜렉터 전류(I_{cQ6} , I_{cQ8} , I_{cQ9})는 pnp트랜지스터(Q2)의 콜렉터 전류(I_{cQ2})와 동일하므로, pnp트랜지스터(Q9)의 콜렉터 전류(I_{cQ9})인 출력 전류(I_{out})는 원하는 기준 전류(I_{ref})가 된다.

즉, pnp트랜지스터(Q2)의 콜렉터 전류(I_{cQ2})와 npn트랜지스터(Q8)의 콜렉터 전류(I_{cQ8})와 npn트랜지스터(Q9)의 콜렉터 전류(I_{cQ9})는 인가되는 기준 전류(I_{ref})에 오차 전류(ΔI)가 가산된 전류($I_{ref} + \Delta I$)가 된다. 그러므로, npn트랜지스터(Q8)의 콜렉터 전류(I_{cQ8})로 부터 pnp트랜지스터(Q3)의 콜렉터 전류(I_{cQ3})를 감산한 전류는 오차 전류(ΔI)가 되고, 오차 전류(ΔI)는 npn트랜지스터(Q7)의 콜렉터 전류(I_{cQ7})가 된다. 따라서, 최종적으로 출력 전류(I_{out})는 npn트랜지스터(Q9)의 콜렉터 전류(I_{cQ9})로부터 npn트랜지스터(Q7)의 콜렉터 전류(I_{cQ7})를 감산한 전류가 되어 인가되는 기준 전류(I_{ref})가 된다.

이를 수식으로 표현하면 다음과 같다.

$$I_{ref} = I_{cQ3}$$

$$I_{cQ2} = I_{cQ8} = I_{cQ9} = I_{ref} + \Delta I$$

가 되므로,

$$I_{cQ8} - I_{cQ3} = \Delta I = I_{cQ7}$$

이 된다. 따라서 최종적으로

$$I_{out} = I_{cQ9} - I_{cQ7} = I_{ref} + \Delta I - \Delta I = I_{ref}$$

가 된다.

(효과)

이상에서 설명한 바와 같이 본 발명에 의한 오차 전류가 보상된 전류 미러는 초기 전압으로 인해 콜렉터-에미터 전압이 서로 다르게 잡히게 되어 발생하는 오차 전류를 보상하여 주므로써 설계자가 원하는 정확한 회로를 구성할 수 있게 되어 증폭기에 적용시 원하는 이득을 얻을 수 있다.

(57) 청구의 범위

청구항 1

인가되는 기준 전류(I_{ref})에 따라 전원(V_{cc})으로 부터 전류를 공급하는 전류 소오스(Current Source)(1)와 ;

상기 전류 소오스(1)에 의해 공급되는 전류에 따라 오차 전류(ΔI)를 발생하는 오차 전류 발생부(3) 및 ;

상기 전류 소오스(1)에 의해 발생한 전류로 부터 상기 오차 전류 발생부(3)에서 발생한 오차 전류를 빼내어 보상하는 전류 미러부(2)를 포함하되,

상기 오차 전류 발생부(3)는 전원(V_{cc})에 에미터가 연결되고 상기 기준 전류(I_{ref})를 베이스 입력으로 하고 상기 전류 미러부(2)에 콜렉터가 연결된 제1pnp트랜지스터(Q3)와 ; 상기 전원(V_{cc})에 에미터가 연결되고 상기 제1pnp트랜지스터(Q3)의 콜렉터 전류를 베이스와 콜렉터 입력으로 하는 제2pnp트랜지스터(Q4) 및 ; 상기 전원(V_{cc})에 에미터가 연결되고 상기 제1pnp트랜지스터(Q3)의 콜렉터 전류를 베이스 입력으로 하고 전류 출력단(I_{out})에 콜렉터가 연결된 제3pnp트랜지스터(Q5)로 구성되는 오차 전류가 보상된 전류 미러.

청구항 2

제1항에 있어서,

상기 전류 소오스(1)는

상기 전원(V_{cc})에 에미터가 연결되고 상기 기준 전류(I_{ref})를 베이스와 콜렉터 입력으로 하는 pnp트랜지스터(Q1)로 구성되는 오차 전류가 보상된 전류 미러.

청구항 3

제1항에 있어서,

상기 전류 미러부(2)는

상기 전원(V_{cc})에 에미터가 연결되고 상기 기준 전류(I_{ref})를 베이스 입력으로 하는 제1pnp트랜지스터(Q2)와 ;

상기 제1pnp트랜지스터(Q2)의 콜렉터에 베이스가 연결되고 상기 전원(V_{cc})에 콜렉터가 연결된 제1npn트랜지스터(Q7)와 ;

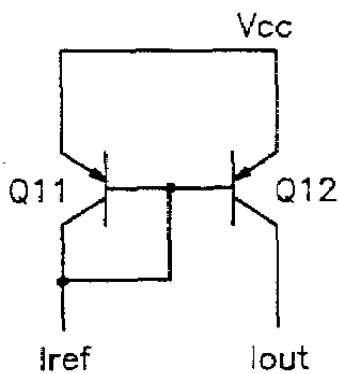
상기 제1pnp트랜지스터(Q2)의 콜렉터에 콜렉터가 연결되고 접지에 에미터가 연결되고 제1npn트랜지스터(Q7)의 에미터에 베이스가 연결된 제2npn트랜지스터(Q6)와 ;

상기 오차 전류 발생부(3)에 콜렉터가 연결되고 상기 제1npn트랜지스터(Q7)의 에미터에 베이스가 연결되고 상기 접지에 소오스가 연결된 제3npn트랜지스터(Q8) 및 ;

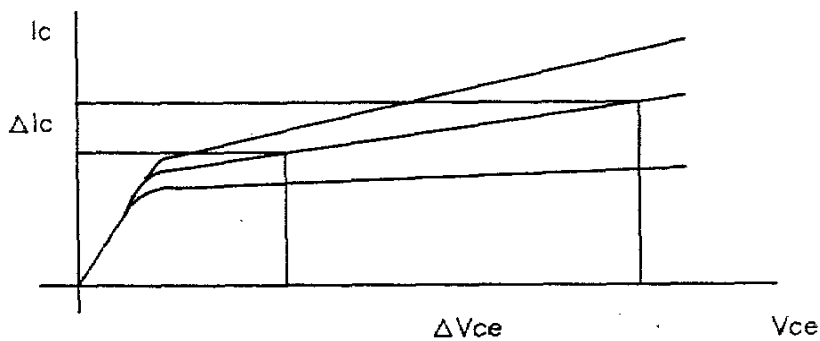
상기 전류 출력단(I_{out})에 콜렉터가 연결되고 상기 제1npn트랜지스터(Q7)의 에미터에 베이스가 연결되고 상기 접지에 에미터가 연결된 제4npn트랜지스터(Q9)로 구성되는 오차 전류가 보상된 전류 미러.

도면

도면1



도면2



도면3

