



(12) 发明专利申请

(10) 申请公布号 CN 102637708 A

(43) 申请公布日 2012. 08. 15

(21) 申请号 201210027929. 4

(51) Int. Cl.

(22) 申请日 2012. 02. 09

H01L 27/146 (2006. 01)

(30) 优先权数据

2011-026347 2011. 02. 09 JP

2011-223291 2011. 10. 07 JP

(71) 申请人 佳能株式会社

地址 日本东京

(72) 发明人 冈部刚士 铃木健太郎 碓井崇

加藤太朗 下津佐峰生 滝本俊介

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 杨小明

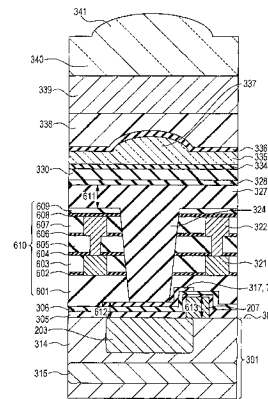
权利要求书 1 页 说明书 18 页 附图 25 页

(54) 发明名称

固态图像拾取装置、其制造方法和图像拾取系统

(57) 摘要

本发明涉及一种固态图像拾取装置、其制造方法和图像拾取系统。提供一种用于制造固态图像拾取装置的方法。所述图像拾取装置包括光电转换部分、在光电转换部分之上的第一绝缘膜、在第一绝缘膜上的第二绝缘膜、以及波导，所述光电转换部分设置在半导体衬底上，所述第一绝缘膜用作抗反射膜，所述第二绝缘膜与所述光电转换部分对应地设置，所述波导具有包层和芯，所述芯的底部设置在第二绝缘膜上。所述方法包括通过各向异性蚀刻设置在光电转换部分之上的部件的一部分来形成开口，从而形成包层，并在所述开口中形成芯。在所述方法中，在第二绝缘膜的蚀刻速率低于所述部件的蚀刻速率的条件下执行所述蚀刻。



1. 一种用于制造固态图像拾取装置的方法,所述固态图像拾取装置包括光电转换部分、第一绝缘膜、在所述第一绝缘膜上的第二绝缘膜、以及波导,所述光电转换部分设置在半导体衬底中,所述第一绝缘膜用作所述光电转换部分之上的抗反射膜,所述第二绝缘膜与所述光电转换部分对应地设置,所述波导具有包层和芯,所述芯的底部设置在所述第二绝缘膜上,所述方法包括:

通过在设置在所述光电转换部分之上的部件被蚀刻得比所述第二绝缘膜快的条件下部分蚀刻所述部件来形成开口,从而形成所述包层,以及

在所述开口中形成所述芯。

2. 根据权利要求1所述的方法,其中,所述第一绝缘膜是多层抗反射膜。

3. 根据权利要求1所述的方法,其中,所述第一绝缘膜包括由氮化硅制成的绝缘层以及在所述由氮化硅制成的绝缘层上的由氧化硅制成的绝缘层。

4. 根据权利要求1所述的方法,其中,所述半导体衬底具有栅电极,所述栅电极传输所述光电转换部分的信号电荷,并且所述第一绝缘膜在从所述光电转换部分到所述栅电极的区域上延伸。

5. 根据权利要求1所述的方法,其中,所述芯和所述第二绝缘膜由相同的材料制成。

6. 一种固态图像拾取装置,包括:

多个光电转换部分,所述多个光电转换部分设置在半导体衬底中;

所述光电转换部分之上的第一绝缘膜,所述第一绝缘膜用作抗反射膜;

所述第一绝缘膜上的多个第二绝缘膜,所述多个第二绝缘膜与所述光电转换部分对应地设置;和

多个波导,所述多个波导各自包括包层和芯,所述芯的底部与对应的第二绝缘膜接触,所述芯由与所述第二绝缘膜相同的材料制成。

7. 根据权利要求6所述的固态图像拾取装置,其中,所述第二绝缘膜一一对应于各个所述光电转换部分。

8. 根据权利要求6所述的固态图像拾取装置,还包括传输所述光电转换部分的信号电荷的多个栅电极,并且所述第一绝缘膜延伸以覆盖所述栅电极。

9. 根据权利要求6所述的固态图像拾取装置,其中,所述第一绝缘膜包括由氮化硅制成的绝缘层以及在所述由氮化硅制成的绝缘层上的由氧化硅制成的绝缘层,并且所述第二绝缘膜由氮化硅制成。

10. 根据权利要求8所述的固态图像拾取装置,其中,所述第二绝缘膜的上表面位置比所述栅电极的上表面更接近所述半导体衬底。

11. 一种图像拾取系统,包括:

根据权利要求6所述的固态图像拾取装置;和

信号处理设备,所述信号处理设备处理来自所述固态图像拾取装置的电信号。

固态图像拾取装置、其制造方法和图像拾取系统

技术领域

[0001] 本发明涉及一种固态图像拾取装置、包括该固态图像拾取装置的图像拾取系统和用于制造该固态图像拾取装置的方法。

背景技术

[0002] 为了增加进入固态图像拾取装置的光电转换部分的光的量,最近提出了在固态图像拾取装置中使用波导。日本专利公开 No. 2006-191000 公开了在包括波导的固态图像拾取装置中,用于形成波导的蚀刻停止膜兼当光接收部分之上的抗反射膜。

[0003] 日本专利公开 No. 2008-041726 公开了像素部分设有用于形成接触孔的蚀刻的蚀刻停止膜。

发明内容

[0004] 本发明提供一种用于制造固态图像拾取装置的方法,所述固态图像拾取装置包括光电转换部分、第一绝缘膜、在第一绝缘膜上的第二绝缘膜、以及波导,所述光电转换部分设置在半导体衬底中,所述第一绝缘膜用作光电转换部分之上的抗反射膜,所述第二绝缘膜与光电转换部分对应地设置,所述波导具有包层 (clad) 和芯,所述芯的底部设置在第二绝缘膜上。所述方法包括通过在设置在光电转换部分之上的部件被蚀刻得比第二绝缘膜快的条件下部分蚀刻所述部件来形成开口,从而形成所述包层,并在所述开口中形成所述芯。

[0005] 根据本发明的一方面的固态图像拾取装置包括设置在半导体衬底中的多个光电转换部分。第一绝缘膜设置在光电转换部分之上,并且用作抗反射膜。多个第二绝缘膜与光电转换部分对应地设置在第一绝缘膜上。每个第二绝缘膜用作蚀刻停止膜。所述固态图像拾取装置还包括多个波导,每个波导包括包层和芯,所述芯的底部与对应的第二绝缘膜接触。所述芯由与第二绝缘膜相同的材料制成。

[0006] 从以下参照附图对示例性实施例的描述,本发明的进一步的特征将变得清晰。

附图说明

[0007] 图 1 是第一实施例的固态图像拾取装置的像素单元的电路图。

[0008] 图 2 是显示第一实施例的固态图像拾取装置的像素单元的平面图中的布局的表示。

[0009] 图 3A 至图 3C 是用于制造第一实施例的固态图像拾取装置的方法的表示。

[0010] 图 4A 至图 4C 是用于制造第一实施例的固态图像拾取装置的方法的表示。

[0011] 图 5A 和图 5B 是用于制造第一实施例的固态图像拾取装置的方法的表示。

[0012] 图 6 是第一实施例的固态图像拾取装置的示意性局部截面图。

[0013] 图 7 是第一实施例的平面图中的布局的示意图。

[0014] 图 8A 和图 8B 是显示第一实施例的修改的平面图中的布局的示意图。

[0015] 图 9 是根据第二实施例的固态图像拾取装置的示意性截面图。

- [0016] 图 10 是固态图像拾取装置和图像拾取系统的框图。
- [0017] 图 11A 至图 11D 是用于制造根据第四实施例的固态图像拾取装置的方法的表示。
- [0018] 图 12 是根据第五实施例的固态图像拾取装置的示意性局部截面图。
- [0019] 图 13A 至图 13C 是用于制造第五实施例的固态图像拾取装置的方法的表示。
- [0020] 图 14 是根据第六实施例的固态图像拾取装置的示意性局部截面图。
- [0021] 图 15A 和图 15B 均是根据第七实施例的固态图像拾取装置的示意性局部截面图。
- [0022] 图 16A 至图 16C 是用于制造根据第八实施例的固态图像拾取装置的方法的示意图。
- [0023] 图 17A 至图 17C 是用于制造根据第八实施例的固态图像拾取装置的方法的示意性截面图。
- [0024] 图 18A 和图 18B 是用于制造根据第八实施例的固态图像拾取装置的方法的示意性截面图。
- [0025] 图 19A 和图 19B 是用于制造根据第八实施例的固态图像拾取装置的方法的示意性截面图。
- [0026] 图 20A 和图 20B 是第八实施例的固态图像拾取装置的示意性局部截面图。
- [0027] 图 21 是根据第九实施例的固态图像拾取装置的示意性截面图。

具体实施方式

[0028] 在日本专利公开 No. 2006-191000 中用于形成波导的蚀刻停止膜可被部分蚀刻，因此，可使蚀刻停止膜的厚度减小，或者膜可被蚀刻损伤。因此，可使充当抗反射膜的蚀刻停止膜的光学性能降低。

[0029] 在日本专利公开 No. 2008-041726 中，蚀刻停止膜不用于在除了像素部分之外的区域中进行用于形成接触孔的蚀刻。如果一些损伤在蚀刻期间发生，则噪声可发生，因此，降低图像质量。本发明解决这些问题中的至少一个。

[0030] 本发明涉及一种用于制造固态图像拾取装置的方法，所述固态图像拾取装置包括例如设置在半导体衬底上的光电转换部分、第一绝缘膜、第二绝缘膜和波导。第一绝缘膜充当光电转换部分之上的抗反射膜。第二绝缘膜设置在第一绝缘膜上，与光电转换部分对应。波导具有包层和芯，芯的底部设置在第二绝缘膜上。在用于制造固态图像拾取装置的方法中，通过下述方式形成包层，即，通过部分蚀刻设置在光电转换部分之上的部件来形成开口，并在所述开口中形成芯。为了形成所述开口，在第二绝缘膜的蚀刻速率低于所述部件的蚀刻速率的条件下执行蚀刻。该方法可防止抗反射膜的光学性能的降低。

[0031] 固态图像拾取装置包括在半导体衬底上的多个光电转换部分、第一绝缘膜和多个第二绝缘膜，第一绝缘膜用作光电转换部分之上的抗反射膜，所述多个第二绝缘膜设置在第一绝缘膜上，以与相应的光电转换部分对应。固态图像拾取装置还包括多个波导，每个波导包括包层和芯，芯由与第二绝缘膜相同的材料制成。所述芯的底部与第二绝缘膜接触。具有这样的结构的固态图像拾取装置可表现出增强的灵敏度。

[0032] 现在将参照附图对本发明的示例性实施例进行描述。在以下描述中，将不对半导体的常见结构和制造方法中的部分和步骤进行详细说明。在以下实施例中，氮化硅的折射率高于氧化硅的折射率，氮氧化硅的折射率位于这些折射率之间。例如，氮化硅具有大约

1.75 至 2.34 的折射率,氧化硅具有大约 1.35 至 1.54 的折射率。可见光具有大约 360nm 至 830nm 的范围内的波长 (Iwanami Rikagaku Jiten, 第五版, 由 Iwanami Shoten 出版)。

[0033] 本文提及的开口可穿过层间绝缘膜, 或者可以是不穿过层间绝缘膜的凹陷的形式, 并可被称为孔。在以下描述中, 将在形成了开口的结构中描述具有波导的实施例。然而, 开口不限于此用途。本发明的实施例可广泛地用于半导体器件。本文提及的蚀刻选择比是指第一部件的蚀刻速率与第二部件的蚀刻速率的比率。随着蚀刻选择比增大, 第一部件将被更多地蚀刻。相反, 随着蚀刻选择比减小, 第二部件将比第一部件蚀刻得更多。本文提及的相同材料是指含有相同的主成分的材料。例如, 氮化硅可具有不同的氮含量, 它们在以下实施例中被认为是相同材料。

[0034] 第一实施例

[0035] 现在将参照图 1 至图 7 和图 10 对第一实施例的固态图像拾取装置进行描述。描述首先将参照图 1、图 2、图 7 和图 10。

[0036] 图 1 是第一实施例的固态图像拾取装置的像素单元的电路图。像素单元 100 包括四个光电二极管 (以下称为 PD) 101 至 104、四个传输晶体管 105 至 108、单个重置晶体管 110 和单个放大晶体管 112。此外, 提供了浮置扩散节点 (以下称为 FD 节点) 109。在第一实施例的描述中, 信号电荷是指电子, 晶体管为 n 型。

[0037] 其阳极均与地连接的四个 PD 101 至 104 将入射光转换为根据入射光的量的电荷, 并储存所述电荷。四个传输晶体管 105 至 108 各自用作将在 PD 101 至 104 中的对应一个处产生的信号电荷传送到 FD 节点 109 的传送器。更具体地讲, 第一 PD 101 与第一传输晶体管 105 的源极连接, 第二 PD 102 与第二传输晶体管 106 的源极连接。此外, 第三 PD 103 与第三传输晶体管 107 的源极连接, 第 PD 104 与第四传输晶体管 108 的源极连接。第一传输晶体管 105 至第四传输晶体管 108 的漏极连接在一起, 以限定 FD 节点 109。放大晶体管 112 的栅电极与 FD 节点 109 连接。放大晶体管 112 的漏极和源极分别与电源线 111 和输出信号线 113 连接。因此, 根据 FD 节点 109 的电势的信号输出到输出信号线 113。重置晶体管 110 与 FD 节点 109 连接, 并将 FD 节点 109 的电势重置为期望的电势。同时, 可分别通过将电流施加于传输晶体管 105 至 108 来重置 PD 101 至 104。电源线 111 具有至少两个电势, 可通过将 FD 节点 109 设置于两个电势来将信号输出到输出信号线 113。输出信号线与多个像素连接。输出信号线 113 的端子与读出电路 (稍后描述) 连接。

[0038] 当包括至少一个光电转换部分的重复单元限定像素时, 图 1 中所示的像素单元 100 具有四个像素。然而, 像素单元 100 中的像素的数量不限于四个。此外, 像素单元 100 可包括选择晶体管或电容器。虽然 PD 在本实施例中充当光电转换部分, 但是光电门 (photogate) 可用作光电转换部分。

[0039] 图 10 显示固态图像拾取装置和图像拾取系统的图解构造。在图 10 中, 固态图像拾取装置 1001 包括像素部分 1011、垂直扫描电路 1012、两个读出电路 1013、两个水平扫描电路 1014 和两个输出放大器 1015。除了像素部分之外的区域被称为外围电路部分 1016。

[0040] 在图 10 中, 图 1 中所示的多个像素单元以二维方式布置在像素部分 1011 中。换句话说讲, 多个像素布置在像素部分 1011 中。每个像素单元包括多个像素。每个读出电路 1013 包括例如列放大器、CDS 电路和加法器, 并执行从由垂直扫描电路 1012 通过垂直信号线选择的行中的像素读取的信号的放大和相加。对于每个像素列或者对于每两个或更多个

像素列,提供列放大器、CDS 电路和加法器。每个水平扫描电路 1014 产生用于依次从对应的读出电路 1013 读出信号的信号。每个输出放大器 1015 放大由水平扫描电路 1014 选择的列中的信号,并输出放大的信号。该构造仅仅是固态图像拾取装置的示例性实施例之一,在其它实施例中可提供其它构造。例如,读出电路 1013、水平扫描电路 1014 和输出放大器 1015 形成两个输出路径,每一输出路径设置在像素部分 1011 的垂直方向的各一侧。然而,在另一个实施例中,可提供三个或更多个输出路径。

[0041] 现在将参照图 2 对与图 1 对应的平面图中的布局进行描述。图 2 是平面图中的布局的示意性平面图,并且显示将组件的轮廓投影在主表面上的半导体衬底的主表面上的结构。在图 2 中所示的结构中,设置了第一 PD 201 至第 PD 204。为了简单起见,图 2 显示作为 PD 的一部分的电荷储存区 (n 型半导体区)。第一传输晶体管至第四传输晶体管的栅电极 205 至 208 分别与第一 PD 201 至第 PD 204 对应地布置。第一传输晶体管和第二传输晶体管的漏极是共同的,该共同区域充当第一浮置扩散区 209 (以下称为第一 FD 区)。第三传输晶体管和第四传输晶体管的漏极是共同的,该共同区域充当第二浮置扩散区 210 (以下称为第二 FD 区)。第一 FD 区 209、第二 FD 区 210 和放大晶体管的栅电极 212 通过连接布线 213 连接。放大晶体管的栅电极 212 和连接布线 213 形成一体。第一 FD 区 209 和连接布线 213 与共享接触部件 (contact) 214 连接,第 FD 区 210 和连接布线 213 与共享接触部件 215 连接。共享接触部件是指不使用布线层而将半导体区与另一个半导体区、将半导体区与栅电极、或者将栅电极与另一个栅电极连接的接触部件。在图 2 中,第二 FD 区 210 是与重置晶体管的源极或漏极的共同区域。标号 211 指定重置晶体管的栅电极。

[0042] 在图 2 中,在其中形成了 PD 和意图作为晶体管的源极、漏极和沟道的区域的区域是有源极区 (active region),其它区域是元件隔离区 217。PD 之间或者有源极区中的传输晶体管的栅电极之间的区域均设有用于信号电荷的势垒 216。势垒 216 包括半导体区。势垒 216 用作控制 PD 之间的信号电荷的运输 (traffic) 的元件隔离区。

[0043] 现在将参照图 7 对蚀刻停止膜进行描述。图 7 是与图 2 中的平面图对应的平面图中的布局的示意性平面图。图 7 显示像素单元 100a 和相邻像素单元 100b 的一部分。在图 7 中所示的布局中,设置了用作蚀刻停止膜的绝缘膜 701 至 704。绝缘膜 701 至 704 与电荷储存区一一对应地布置。绝缘膜 701 至 704 可由氮化硅制成。绝缘膜 701 至 704 均具有比光电转换部分的光接收表面的面积大的面积,并且如果可能的话,以这样的方式布置,即,每个绝缘膜 701 至 704 的外缘不与作为光电转换部分的对应的电荷储存区 201 至 204 重叠。这是因为这样的布置可防止电荷储存区 201 至 204 被用于形成绝缘膜 701 至 704 的图案化损伤。因此,图 7 中所示的绝缘膜 701 至 704 被布置为覆盖传输晶体管的栅电极 205 至 208 的一部分和相邻像素单元 100b 的连接布线 213 的一部分。该布置可防止栅电极和布线被用于形成开口的蚀刻损伤,稍后将对上述开口进行描述。

[0044] 此外,绝缘膜 701 至 704 被设置为不与栅电极 205-208 上的接触部件 705 至 708 以及在其中设置其它晶体管的接触部件的区域重叠。这便于接触部件 705 至 708 和其它晶体管的接触部件的形成。

[0045] 现在将参照图 3A 至图 5B 对用于制造固态图像拾取装置的方法进行描述。图 3A 至图 5B 是沿着图 2 中的线 III、IV、V-III、IV、V 截取的截面图,并且示出制造方法。图 3A 至图 5B 显示沿着图 2 中的线 III、IV、V-III、IV、V 截取的第三 PD 和第四 PD、像素单元的晶

晶体管 303 以及外围电路部分中的晶体管 304 的截面。这些部分用与以上相同的标号指定，因此省略其描述。此外，将不对通过常见技术形成的部分进行详细描述。

[0046] 首先，将参照图 3A 对用于制备其上已设置元件的半导体衬底的操作进行描述。将制备的半导体衬底 301 由硅制成，并具有主表面 302。半导体衬底 301 具有两个 PD 的电荷储存区 202 和 203、在像素部分中的晶体管 303 和在外围电路部分中的晶体管 304。在图 3A 中，像素单元的晶体管 303 具有 N 型源极 / 漏极区 309 和栅电极 308。N 型半导体区 314 位于电荷储存区 202 和 203 下面。N 型半导体区 314 具有比电荷储存区 202 和 203 低的杂质浓度，并构成光电转换部分的一部分。N 型半导体区 314 位于 P 型半导体区 315 上面，P 型半导体区 315 用作光电转换部分的一部分。此外，P 型半导体区 316 位于晶体管 303 的源极 / 漏极区 309 和第二 FD 区 210 下面。外围电路部分中的晶体管 304 是构成 CMOS 电路的晶体管之一。外围电路部分的晶体管 304 包括形成在 P 型半导体区 313 中的 N 型源极 / 漏极区 311 和在半导体衬底的主表面 302 上在源极 / 漏极区 311 之间的栅电极 310。制备具有这些元件的半导体衬底 301。由于半导体衬底 301 的元件可通过已知方法形成，因此省略描述。在每个图中，未示出栅绝缘膜。

[0047] 图 3A 显示在元件之上形成绝缘膜的步骤。在像素部分 1011 中从主表面 302 起按由氧化硅制成的绝缘膜（未示出）、由氮化硅制成的绝缘膜 305 和由氧化硅制成的绝缘膜 306 的次序形成这些绝缘膜。这些绝缘膜可由等离子体化学气相沉积（等离子体 CVD）形成。

[0048] 晶体管 304 在栅电极 310 的侧壁上具有侧间隔件 312，源极 / 漏极区 311 具有轻掺杂漏极（LDD）结构（未示出）。侧间隔件 312 由多层膜制成，所述多层膜包括氧化硅层、氮化硅层和氧化硅层。这些层可通过等离子体 CVD 形成。形成侧间隔件 312 的膜可由与形成在像素部分 1011 中的绝缘膜（未示出）及绝缘膜 305 和 306 相同的膜构成。

[0049] 然后，如图 3A 所示，通过低压等离子体 CVD（LP-CVD）在像素部分 1011 和外围电路部分 1016 之上形成由氮化硅制成的绝缘膜 307。在形成绝缘膜 307 之前，可通过等离子体 CVD 在像素部分 1011 和外围电路部分 1016 之上形成氧化硅膜（未示出）。这是防止半导体衬底的主表面 302 在外围电路部分 1016 中的晶体管 304 的源极 / 漏极区 311 处露出。

[0050] 翻到图 3B，通过已知的光刻技术和蚀刻技术将像素部分 1011 和外围电路部分 1016 之上的绝缘膜 307 图案化为期望的形状，从而形成绝缘膜 317 和 318。绝缘膜 317 设置在电荷储存区 202 和 203 之上，在从各光电转换部分到对应的传输晶体管的栅电极的一部分的区域上延伸。绝缘膜 317 和 318 的上表面具有遵循对应的栅电极的形状的形状。图 3A 和图 3B 中所示的步骤形成图 7 中所示的绝缘膜 701 至 704。图 3B 中所示的绝缘膜 317a 对应于图 7 中所示的绝缘膜 702，图 3B 中所示的绝缘膜 317b 对应于图 7 中所示的绝缘膜 703。在像素部分 1011 中，通过蚀刻去除图 3A 中所示的绝缘膜 307 的其它部分。在外围电路部分 1016 中，图 3A 中的绝缘膜 307 作为没有被蚀刻的绝缘膜 318 保留。

[0051] 翻到图 3C，在图 3B 中所示的结构上形成层间绝缘膜 319、接触部件 320、具有通路导体（via conductor）的第一布线层 321 和第二布线层 322。设置了多个接触部件和布线层的多根布线。层间绝缘膜 319 包括以一个在另一个的顶部的方式交替设置的由氧化硅制成的绝缘层和由氮化硅制成的绝缘层。由氧化硅制成的绝缘层各自通过等离子体 CVD 形成成为大约 120nm 至 1000nm 的厚度。此外，由氮化硅制成的绝缘层各自通过等离子体 CVD 形成

为大约 10nm 至 200nm 的厚度。因此,氧化硅占据层间绝缘膜 319 的大部分。氮化硅绝缘层用作用于形成布线层和通路导体的蚀刻停止膜,或者用作用于防止布线层中的金属的扩散的防扩散膜。层间绝缘膜 319 的意图是形成波导的包层。

[0052] 接触部件 320 主要由钨制成,并含有势垒金属。为了形成接触部件 320,通过等离子体蚀刻来部分地去除由氧化硅制成的绝缘膜(未示出)及绝缘膜 305 和 306。然而,如果由氮化硅制成的绝缘膜 317 取决于绝缘膜 307 的形状,则按由氮化硅制成的绝缘膜 307、由氧化硅制成的绝缘膜 306、由氮化硅制成的绝缘膜 305 和由氧化硅制成的绝缘膜(未示出)的次序执行蚀刻。在这种情况下,难以改变蚀刻条件和建立用于使蚀刻停止的条件。另一方面,当设置绝缘膜 317 时,可容易地在蚀刻操作中形成接触孔,在所述蚀刻操作中,仅在绝缘膜 305 用作蚀刻停止膜的状态下改变蚀刻条件一次。

[0053] 与通路导体形成一体的第一布线层 321 和第二布线层 322 主要含有铜。第一布线层 321 具有通过单镶嵌工艺形成的结构,第二布线层 322 具有通过双镶嵌工艺形成的、在其中通路导体与布线层形成一体的结构。接触部件和通路导体均具有势垒金属。通过已知方法形成所述接触部件和通路导体,因此省略其描述。可通过图案化(代替镶嵌工艺)形成第一布线层 321 和第二布线层 322。

[0054] 在图 3C 中,与第一布线层或第二布线层的上表面接触的氮化硅绝缘层用作防止布线层的金属或铜扩散的防扩散膜。另一方面,设置在第一布线层和第二布线层的下表面侧的绝缘层用作用于通过镶嵌工艺形成第一布线层和第二布线层的蚀刻停止膜。用作蚀刻停止膜的绝缘层具有比用作防扩散膜的绝缘层小的厚度。在镶嵌工艺中,在绝缘层中形成用于布线、或者布线与通路导体的凹槽。为了通过蚀刻形成凹槽,蚀刻停止膜对于控制凹槽的形状是有用的。因此,在第一布线层 321 和第二布线层 322 的下表面侧提供用作蚀刻停止膜的绝缘层。由于将通过形成凹槽来去除蚀刻停止膜,所以蚀刻停止膜均以这样的方式形成,即,其下表面将与第一布线层或第二布线层的下表面齐平,或者将位于第一布线层或第二布线层的下表面的水平上面。可制备事先设有图 3 中所示的结构晶片,并在所述晶片上执行用于形成开口的以下操作。

[0055] 随后,将通过在图 3C 中所示的层间绝缘膜 319 中形成开口 323 来形成图 4A 中所示的结构。在层间绝缘膜 319 之上形成在与光电转换部分对应的区域中具有开口的光致抗蚀剂图案(未示出),并通过使用所述光致抗蚀剂图案作为掩模来执行蚀刻。对于所述蚀刻,执行各向异性蚀刻,例如,等离子体蚀刻。通过蚀刻来去除层间绝缘膜 319,直到露出绝缘膜 317 为止。绝缘膜 317 的意图是减轻蚀刻对光电转换部分的损伤,而且还用作蚀刻停止膜。此外,半导体衬底的主表面 302 与绝缘膜 317 之间的绝缘膜,即,由氧化硅制成的绝缘膜(未示出)及绝缘膜 305 和 306,用作对于进入半导体衬底中的光的抗反射膜。绝缘膜 306 的厚度涉及多层结构中的抗反射膜的性能。这是因为绝缘膜 306 引起多次反射,因此用于减少绝缘膜 305 与绝缘膜 317 之间的反射。绝缘膜 317 的作为蚀刻停止膜的功能使绝缘膜 306 保持期望的厚度,因此,绝缘膜 306 可如意图的那样充当抗反射膜。即使用于去除层间绝缘膜的一部分的蚀刻改变绝缘膜 317 的厚度,这也不是大问题,因为绝缘膜 317 将与高折射率部件 324 形成一体。

[0056] 随后,将用具有比层间绝缘膜 319 高的折射率的透明材料填充图 4A 中所示的开口 323,以形成波导的芯。在本实施例中,用氮化硅填充开口 323,氮化硅具有比主要形成层

间绝缘膜 3191 的氧化硅高的折射率。更具体地讲,通过利用高密度等离子体 CVD 在所述结构的整个表面之上沉积氮化硅来填充开口 323。通过化学机械抛光 (CMP) 或等离子体蚀刻来去除沉积在层间绝缘膜 3191 的表面上、而不是开口 323 中的不需要的氮化硅。通过该去除操作使氮化硅的表面平面化,从而,在开口 323 中形成高折射率部件 324。因此,波导由层间绝缘膜 3191 和高折射率部件 324 构成。层间绝缘膜 3191 是波导的包层,高折射率部件 324 是波导的芯。

[0057] 在本实施例中,通过 CMP 执行用于平面化的去除操作。在该操作中,沉积在层间绝缘膜 3191 上的氮化硅没有被完全去除,剩余的氮化硅形成绝缘膜 325。绝缘膜 325 是在高折射率部件 324 和层间绝缘膜 3191 的表面上延伸的层,具有大约 100nm 至 500nm 的厚度。绝缘膜 325 减轻布线层的损伤。随后,在绝缘膜 325 的表面之上形成氮氧化硅绝缘膜 326。通过等离子体 CVD 将该绝缘膜 326 形成为大约 50nm 至 150nm 的厚度。

[0058] 在形成图 4B 中所示的结构之后,如图 4C 所示,将至少部分地去除绝缘膜 325 和 326 的期望的部分。在本实施例中,通过蚀刻去除外围电路部分 1016 中的将形成通路导体的区域和其它区域的一部分。如果在半导体衬底的整个表面之上形成具有高应力的高折射率膜,则所述高应力使半导体衬底翘曲,或者使高折射率膜分离。这是为什么部分地去除绝缘膜的原因。另外,通过去除将形成通路导体的区域而形成的开口 329 便于将在后面的步骤中执行的蚀刻。此外,通过用剩余的其它区域的部分形成图案 401,可确保后面的步骤中的平坦度。绝缘膜 325 和 326 被形成到像素部分 1011 中的绝缘膜 327 和 328 中。然后,形成意图作为绝缘膜 330 的绝缘膜,以填充开口 329 并覆盖绝缘膜 327 和 328。意图作为绝缘膜 330 的绝缘膜可通过等离子体 CVD 用例如氧化硅形成。然后,形成通路导体 331,以穿过意图作为绝缘膜 330 的绝缘膜的厚度和层间绝缘膜 319 的位于第二布线层 322 上面的部分的厚度。从而,形成通路导体 331,并且从而,形成绝缘膜 330 和层间绝缘膜 332。通路导体 331 由例如钨制成,并含有钛或氮化钛的势垒金属。在通路导体 331 上形成第三布线层 333,从而,获得图 4C 中所示的结构。第三布线层 333 通过图案化用主要含有例如铝的导电材料形成。在本实施例中,第三布线层 333 用作遮光膜。

[0059] 然后,将在图 4C 中所示的结构上按意图作为绝缘膜 334 的绝缘膜和意图作为绝缘膜 335 的绝缘膜的次序形成这些绝缘膜。通过等离子体 CVD 用氮氧化硅形成意图作为绝缘膜 334 的绝缘膜,并通过等离子体 CVD 用氮化硅形成意图作为绝缘膜 335 的绝缘膜。然后,在意图作为绝缘膜 335 的绝缘膜上形成透镜形状的光致抗蚀剂层,并通过使用光致抗蚀剂层作为掩模的蚀刻将透镜形状转印到意图作为绝缘膜 335 的绝缘膜。透镜形状的绝缘膜被意图作为绝缘膜 336 的绝缘膜覆盖。通过等离子体 CVD 用氮氧化硅形成意图作为绝缘膜 336 的绝缘膜。通过去除与外部电极焊盘对应的三个绝缘膜的一部分来将上面的三个绝缘膜形成为绝缘膜 334 至 336,从而,形成图 5A 中所示的结构。绝缘膜 335 是具有层内透镜 337 的透镜层,绝缘膜 334 和 336 可用作抗反射膜。

[0060] 在形成图 5A 中所示的结构之后,按树脂平面化层 338、滤色器层 339 和微透镜层 340 的次序形成它们,从而形成图 5B 中所示的结构,滤色器层 339 包括与多种颜色对应的滤色器,微透镜层 340 包括微透镜 341。从而,可通过参照图 3A 至图 5B 描述的操作来制作固态图像拾取装置。图 3A 至图 5B 显示半导体衬底 301 的主表面侧的部分,如果固态图像拾取装置是三板型或单色型,则可不提供滤色器。

[0061] 现在将参照图 6 对绝缘膜 317 进行详细描述。图 6 是图 5B 中所示的固态图像拾取装置的局部放大图。与图 5B 中相同的部分用相同的标号指定,因此省略其描述。图 5B 中所示的层间绝缘膜 332 对应于图 6 中的层间绝缘膜 610,层间绝缘膜 610 包括多个绝缘膜 601 至 609。绝缘膜 601、603、605 和 609 由氧化硅制成,绝缘膜 602、604、606 和 608 由氮化硅制成。绝缘膜 604 和 608 可用作防止布线层 321 和 322 中的金属扩散的防扩散膜。绝缘膜 602 和 606 可用作用于形成布线层的蚀刻停止膜。绝缘膜 604 和 608 具有比绝缘膜 602 和 606 大的厚度。

[0062] 图 6 中对应于图 7 中的绝缘膜 703 的绝缘膜 317 (703) 如上所述由氮化硅制成。因此,绝缘膜 317 和由氮化硅制成的高折射率部件 324 由相同的材料制成。因此,反射不易于在绝缘膜 317 与高折射率部件 324 之间的界面处发生。在绝缘膜 317 与半导体衬底的主表面 302 之间,从主表面 302 侧起按由氧化硅制成的绝缘膜(未示出)以及绝缘膜 305 和由氧化硅制成的绝缘膜 306 的次序形成这些绝缘膜。在本实施例中,所述(未示出的)绝缘膜具有大约 5nm 至 20nm 的厚度,绝缘膜 305 具有 30nm 至 100nm 的厚度,绝缘膜 306 具有大约 50nm 至 150nm 的厚度,绝缘膜 317 具有大约 30nm 至 100nm 的厚度。如果可能的话,可取的是绝缘膜 317 的厚度为 $\lambda / 2n$ (λ :入射光的波长, n :折射率)。

[0063] 即使绝缘膜 703 被设置在半导体衬底的(除了将要形成接触部件的插头部分的部分之外的)整个主表面 302 之上,绝缘膜 703 也可用于减小抗反射膜的损伤的蚀刻停止膜。然而,与绝缘膜形成在半导体衬底的整个主表面 302 之上的情况相比,通过形成本实施例的形状的绝缘膜,提高了灵敏度。例如,在 450nm 至 630nm 的高灵敏度波长范围内,与使用设置在半导体衬底的整个主表面 302 之上的绝缘膜 703 的情况相比,使用本实施例的形状的绝缘膜 703 的情况提高灵敏度 1% 到 5%。这可能是由于设置在表面之上的绝缘膜使通过波导汇集的光发散。如果具有比充当包层的绝缘膜高的折射率的绝缘膜 703 被设置在表面之上,则包层的折射率实际上在绝缘膜 703 的附近增大,因此,光发散。此外,如果连续的绝缘膜以从一个光电转换部分到另一个光电转换部分的方式位于光电转换部分的上面,则光可混入相邻的光电转换部分中。因此,如果可能的话,与相应的光电转换部分对应地提供彼此分离的各绝缘膜 703。

[0064] 在图 6 中所示的结构中,绝缘膜 327 的厚度 611 可大于 0 且低于 λ / n 或更小(其中, λ 表示入射光的波长, n 表示绝缘膜 327 的折射率)。绝缘膜 327 设置在充当波导的包层的层间绝缘膜 610 上,并在从一个高折射率部件 324 到相邻的高折射率部件 324 的波导上延伸。在这种情况下,对角地进入波导的光可通过绝缘膜 327 进入相邻的波导。从减小这样的光混合的观点来讲,厚度 611 可大于 0 且为 λ / n 或更小。减小特别是具有难以吸收的波长(例如,与红色对应的波长)的光的传播会是有利的。例如,可基于红色滤色器的光谱透射率的峰值波长确定厚度 611。另外,厚度 611 的下限可被设置在留出用于平面化的工艺裕量的范围内。可替换地,厚度 611 的下限可被设置在绝缘膜 327 能够被用作保护膜的范围之内。

[0065] 此外,在图 6 中,位于光电转换部分上面的绝缘膜 305、306 和 317 的总厚度小于栅电极 613 的厚度会是有利的。换句话说,半导体衬底的主表面 302 与栅电极的上表面之间的距离 613 大于主表面 302 与位于光电转换部分上面的绝缘膜 317 的上表面之间的距离 612。该结构使得可将波导设置在光电转换部分附近,因此当光从下面进入波导时可抑制所述光

的发散。从而,可提高固态图像拾取装置的灵敏度。

[0066] 在图 6 中,绝缘膜 305、与绝缘膜 305 接触的绝缘膜 306 和与绝缘膜 306 接触的绝缘膜 317 按该次序形成在光电转换部分之上。在本实施例中,在这些膜的形成期间不使这些绝缘膜平面化。因此,可容易地控制它们的厚度。

[0067] 因此,通过形成绝缘膜 701 至 704,可实现具有在其中反射减小的波导的结构。另外,可提高固态图像拾取装置的灵敏度。

[0068] 现在翻到图 8A 和图 8B,将对图 7 中所示的绝缘膜 701 至 704 的修改进行描述。图 8A 和图 8B 显示与图 7 中所示的布局对应的平面图中的布局。在图 8A 和图 8B 中,与图 7 中相同的部分用相同的标号指定,因此省略其描述。

[0069] 在图 8A 中所示的修改中,图 7 的绝缘膜 701 至 704 被一体式绝缘膜 801 取代。因此,用作蚀刻停止膜的绝缘膜可以不是以每个光电转换部分一个膜的方式提供的离散的膜。这种形式的绝缘膜可抑制抗反射膜的功能的降低。另外,可减小 PD 的蚀刻损伤,并可便于用于形成接触部件的操作。然而,如上所述,图 7 中所示的、在其中以每个光电转换部分一个绝缘膜的方式设置离散的绝缘膜的结构更多地抑制光到相邻像素的不需要的传播,并提高固态图像拾取装置的灵敏度。

[0070] 在图 8B 中所示的修改中,图 7 的绝缘膜 701 至 704 被具有不同面积的一体式绝缘膜 802 取代。当从上面看时,绝缘膜 802 的外缘部分地与 PD 的电荷储存区 201 至 204 重叠。此外,绝缘膜 802 不与传输晶体管的栅电极 205 至 208 或连接布线 231 重叠。这种形式的绝缘膜可抑制抗反射膜的功能的降低。另外,可便于用于形成接触部件的操作。如图 7 所示,可与每个 PD 对应地分割绝缘膜 802。如上所述,如图 7 所示的、在其中以每个光电转换部分一个绝缘膜的方式设置离散的绝缘膜的结构更多地提高固态图像拾取装置的灵敏度。

[0071] 绝缘膜 701 至 704 的面积可大于开口 323 的底部面积,并小于光电转换部分的光接收表面的面积。这种形式的绝缘膜可减小当形成开口 323 时的蚀刻损伤,并可抑制光的发散,以提高灵敏度。

[0072] 第二实施例

[0073] 现在将参照图 9 对第二实施例进行描述。图 9 是固态图像拾取装置的示意性截面图,对应于图 5B。在图 9 中,与图 5B 中相同的部分用相同的标号指定,因此省略其描述。第二实施例与第一实施例的不同之处在于没有提供第一实施例的绝缘膜 306,并且第一实施例的绝缘膜 317 用具有不同形状的绝缘膜 901 取代。

[0074] 在图 9 中,由氧化硅制成的绝缘膜(未示出)、绝缘膜 305 和 901 从主表面 302 侧起按该次序设置在电荷储存区 202 和 203 之上。绝缘膜 901 对应于图 5B 中的绝缘膜 317。绝缘膜 901 不延伸到与栅电极重叠。此外,绝缘膜 901 设置在由相同材料氮化硅制成的绝缘膜 305 上,并与绝缘膜 305 接触。因此,与第一实施例的结构相比,高折射率部件 902 可被设置为更接近半导体衬底的主表面 302。

[0075] 外围电路部分 1016 中的晶体管的侧壁 903 包括氧化硅层(未示出)和氮化硅层。侧壁 903 的这样的多层膜与像素部分 1011 中的由绝缘膜 305 与氧化硅制成的绝缘膜(未示出)的多层结构相同。

[0076] 在该结构中,通过提供绝缘膜 901,可抑制抗反射膜的功能的降低。另外,通过将绝缘膜 901 布置在相应的光电转换部分之上,可提高固态图像拾取装置的灵敏度。此外,由于

绝缘膜 901 仅设置在光电转换部分之上,因此可容易地形成接触部件。

[0077] 第三实施例

[0078] 在第三实施例中,将参照图 10 对图像拾取系统的结构进行描述。图 10 是固态图像拾取装置和图像拾取系统的框图。图像拾取系统 1000 包括固态图像拾取装置 1001 和信号处理设备 1002,信号处理设备 1002 从固态图像拾取装置 1001 接收电信号,并处理所述信号。更具体地讲,电信号从固态图像拾取装置 1001 的 OUT 1 和 OUT 2 输出,并通过 IN 输入到信号处理设备 1002。信号处理设备 1002 根据信号处理的结果输出信号,诸如图像信号、驱动信号和控制信号。所述电信号可以是电流或电压,或者可以是模拟或数字形式。固态图像拾取设备 1001 可以是图像传感器、焦点检测传感器或测光传感器,并可用于任何应用。该图像拾取系统可生成可用于控制的良好图像信号或控制信号。

[0079] 第四实施例

[0080] 本实施例与第一实施例的不同之处在于层间绝缘膜中的开口的形成。将参照图 11A 至图 11D 对形成所述开口的操作进行描述。图 11A 至图 11D 是详细示出在图 3C 与图 4A 之间执行的步骤的示意性局部放大截面图,这些图显示了与第二 PD 对应的部分。在图 11A 至图 11D 中,与其它图中相同的部分用相同的标号指定,因此省略其描述。

[0081] 如图 11A 所示,在形成布线层和层间绝缘膜 319 之后,形成掩模 1110。层间绝缘膜 319 包括以一个在另一个顶部的方式交替形成的至少两种不同材料的绝缘膜。更具体地讲,层间绝缘膜 319 至少包括:意图作为第一绝缘膜的部件,由与第一绝缘膜的材料不同的材料制成的、意图作为第二绝缘膜的部件,意图作为第三绝缘膜的部件,以及由与第三绝缘膜的材料不同的材料制成的、意图作为第四绝缘膜的部件。这些绝缘膜按上述次序形成。在图 11A 中,层间绝缘膜 319 包括以一个在另一个顶部的方式交替设置的氧化硅绝缘膜 1101、1103、1105、1107 和 1109 以及氮化硅绝缘膜 1102、1104、1106 和 1108。绝缘膜 1101 至 1109 对应于图 6 中所示的绝缘膜 610 至 609。绝缘膜 1101 是意图作为第一绝缘膜的部件;绝缘膜 1102 是意图作为第二绝缘膜的部件;绝缘膜 1103 是意图作为第三绝缘膜的部件;绝缘膜 1104 是意图作为第四绝缘膜的部件。

[0082] 在形成层间绝缘膜 319 之后,在层间绝缘膜 319 的最上绝缘膜 1109 上形成在与光电转换部分对应的区域中具有开口 1111 的掩模 1110。可通过光刻由抗蚀剂形成掩模 1110。

[0083] 随后,去除与层间绝缘膜 319 的开口 1111 对应的部分。首先,通过蚀刻从绝缘膜 1109 执行所述去除。例如,执行各向异性蚀刻。在第三绝缘膜和第四绝缘膜以基本上相同的速率被蚀刻的条件下执行用于去除的蚀刻,以使得两个绝缘膜都可被蚀刻。在该蚀刻操作中,至少去除与第三绝缘膜和第四绝缘膜的开口 1111 对应的部分(第一去除)。执行第一去除,直到通过去除第三绝缘膜和第四绝缘膜的与掩模 1110 中的开口 1111 对应的部分而使第二绝缘膜露出或部分被去除为止。换句话说,连续地对绝缘膜 1103 至 1109 进行蚀刻。在作为意图作为第三绝缘膜的部件的绝缘膜 1103 已被部分地去除时,暂停(suspend)蚀刻,或者改变蚀刻条件。此时,意图作为第三绝缘膜的部件的一部分已经被去除,意图作为第二绝缘膜的部件可能已经被蚀刻。可通过在监视等离子体发射强度的同时检测用于去除第三绝缘膜的光的强度或者通过测量时间来控制暂停蚀刻的时刻。为了一次蚀刻由氧化硅制成的绝缘膜和由氮化硅制成的绝缘膜这二者,可使用 CHF_3 或任何其它含氢的氟碳气体与 C_4F_8 或任何其它氟碳气体、氧气和惰性气体(诸如氩气)的混合气体来执行等离子体蚀

刻。绝缘膜 1103 至 1109 被形成绝缘膜 11031 至 11091, 绝缘膜 11031 至 11091 均具有开口 (图 11B)。图 11B 中所示的开口 1112 由形成在这些绝缘膜中的彼此连通的开口限定。开口 1112 的底部在平面 1113 的水平处。

[0084] 如果根据各个绝缘膜改变蚀刻条件, 则锥度角根据蚀刻条件而改变, 并且所得到的开口可能具有不均匀的侧壁。另一方面, 由于在本实施例的方法中, 在恒定条件下连续执行蚀刻, 所以所得到的开口可具有平滑的侧壁。另外, 相对于在根据各个绝缘膜的不同条件下执行蚀刻的情况, 本实施例的通过在恒定条件下蚀刻绝缘膜而执行的第一去除可缩短蚀刻时间。

[0085] 随后, 如图 11C 所示那样执行第二去除, 以在意图作为第二绝缘膜的部件比位于下面的意图作为第一绝缘膜的部件先被蚀刻的条件下, 即, 在意图作为第二绝缘膜的部件具有比意图作为第一绝缘膜的部件高的蚀刻选择比的条件下, 去除意图作为第二绝缘膜的部件。换句话讲, 在意图作为第二绝缘膜的部件被蚀刻得比意图作为第一绝缘膜的部件快的条件下执行用于第二去除的蚀刻。可通过例如使用 CH_2F_2 或任何其它含氢的氟碳气体、氧气和惰性气体 (诸如氩气) 的等离子体蚀刻来满足用于第二去除的蚀刻条件。如图 11C 所示, 绝缘膜 1102 的对应于掩模 1110 中的开口 1111 的部分被去除, 从而, 形成具有开口的绝缘膜 11021。在以上操作中, 绝缘膜 1101 可用作用于去除绝缘膜 1102 的蚀刻停止膜。开口 1114 的底部在平面 1115 的水平处, 平面 1115 是绝缘膜 1101 的上表面。

[0086] 在第二去除中, 意图作为第一绝缘膜的部件的存在使蚀刻速率降低, 以使得通过用于第一去除的蚀刻而形成的晶片中的整体平面内不均匀性可被消除。

[0087] 最后, 如图 11D 所示, 通过在意图作为第一绝缘膜的露出的部件比绝缘膜 317 先去除的条件下蚀刻所述部件来执行第三去除。因此, 在意图作为第一绝缘膜的部件被蚀刻得比绝缘膜 317 快的条件下, 即, 在意图作为第一绝缘膜的部件具有比绝缘膜 317 高的蚀刻选择比的条件下, 执行蚀刻。例如, 可通过使用 C_4F_6 或任何其它氟碳气体、氧气和惰性气体 (诸如氩气) 来执行各向异性等离子体蚀刻。如图 11D 所示, 绝缘膜 1101 的与掩模 1110 中的开口 1111 对应的部分被去除, 从而形成具有开口的绝缘膜 11011。在以上操作中, 如在其它实施例中那样, 绝缘膜 317 可用作用于去除绝缘膜 1101 的蚀刻停止膜。然后, 去除掩模 1110。从而, 开口 1116, 即, 图 4A 中所示的具有开口 323 的多层绝缘膜 3191 完成。随后, 如图 4B 所示那样填充开口。开口 1116 的底部在平面 1117 的水平处。

[0088] 通过本实施例的用于形成开口的技术, 开口可被形成成为受控的形状, 并可减小由蚀刻形成的晶片中的平面内不均匀性。另外, 还可减小蚀刻损伤。

[0089] 第五实施例

[0090] 本实施例与第一实施例的不同之处在于高折射率膜 324 和绝缘膜 327 的形成。现在将参照图 12 及图 13A 至图 13C 对此进行描述。图 12 是与图 6 对应的示意性局部放大截面图, 图 6 中的高折射率部件 324 和绝缘膜 327 分别对应于高折射率部件 324a 和绝缘膜 327a。图 13A 至图 13C 是示出用于形成图 12 中所示的结构的操作的示意性截面图, 这些截面图显示图 4B 中所示的工艺步骤的修改。在图 12 和图 13A 至图 13C 中, 与图 6 和图 4B 及其它图中相同的部分用相同标号指定, 因此省略其描述。

[0091] 在图 12 中, 高折射率部件 324a 和绝缘膜 327a 均包括三个部件: 第一部件 1203、第二部件 1202 和第三部件 1201。每个部件由氮化硅制成, 但是在不同定时通过不同方法形

成。将参照图 13A 至图 13C 对细节进行描述。

[0092] 在图 13A 中,在图 4A 中所示的结构上形成了意图作为第一部件的绝缘膜 1301,随后形成了意图作为第二部件的绝缘膜 1302。在溅射效果与沉积效果的比率高于在形成第一部件的第一步中的该比率的条件下执行形成第二部件的第二步。绝缘膜 1301 和 1302 沉积在从像素部分 1011 到外围电路部分 1016 的区域之上。在高频功率仅被供给上电极以增强沉积效果的条件下通过具有沉积效果和溅射效果的高密度等离子体 CVD 形成绝缘膜 1301。在高频功率被施加于上电极和下电极这二者以增强溅射效果的条件下通过高密度等离子体 CVD 形成绝缘膜 1302。因此,绝缘膜 1301 具有与开口的侧壁的高粘合性,绝缘膜 1302 可容易地填充开口。因此,可减小空隙的发生。另外,绝缘膜 1302 具有比绝缘膜 1301 低的应力。因此,可减小晶片的变形的发生。下电极的高频功率被设置为 0W 至 5000W,上电极的高频功率被设置为 1000W 至 7000W。为了形成绝缘膜 1301,在本实施例中,下电极被设置为 0W 的高频功率,下电极与上电极的高频功率比率可低于形成绝缘膜 1302 的情况下的该比率。为了形成绝缘膜 1301 和 1302,使用含有含硅气体、氮气、含氮气体和惰性气体的混合气体。含硅气体可以是硅烷、TEOS、三甲基硅烷、四甲基硅烷等。含氮气体可以是氨气,惰性气体可以是氩气、氦气等。在本实施例中,绝缘膜 1301 和 1302 都是通过使用含有硅烷、氮气、氨气和氩气的混合气体所形成的。用于形成绝缘膜 1301 的混合气体中的惰性气体的比例可低于用于形成绝缘膜 1302 的混合气体中的该比例。高频等离子体 CVD 中的沉积效果和溅射效果可通过例如改变高频功率或者混合气体中的组成气体的比例来适当地调整。所得到的高折射率部件中的第一部件和第二部件可形成一体。另外,可以以下述下电极与上电极的高频功率比率执行第三步,所述比率处于第一步的该比率与第二步的该比率之间。换句话讲,当第一步变到第二步时,可通过例如执行第一步与第二步之间的第三步来在连续条件下改变这些步骤。

[0093] 在图 13B 中,外围电路部分 1016 中的绝缘膜 1302 的厚度减小,以形成绝缘膜 1303 和绝缘膜 1304。这可通过利用覆盖像素部分 1011 的掩模的各向异性等离子体蚀刻来执行。然后,形成意图作为第三部件的绝缘膜 1305。绝缘膜 1305 设置在从像素部分 1011 到外围电路部分 1016 的区域之上。在与绝缘膜 1302 相同的条件下形成绝缘膜 1305。

[0094] 然后,如图 13C 所示,绝缘膜 1305 的上表面通过例如 CMP 来平面化,以去除绝缘膜的不需要的部分,从而形成绝缘膜 1306 和绝缘膜 1307。从而,形成包括第一部件至第三部件的高折射率部件 324a、以及绝缘膜 325a。在图 13C 中,绝缘膜 1301 对应于图 12 中的第一部件 1203;绝缘膜 1303 和 1304 对应于图 12 中的第二部件 1202;以及绝缘膜 1306 和 1307 对应于图 12 中的第三部件 1201。

[0095] 该方法可形成具有与开口的侧壁的高粘合性的高折射率部件,从而减少高折射率部件中的空隙。

[0096] 在本实施例中,在意图作为第一部件至第三部件的膜的沉积速度满足特定关系的条件下通过高密度等离子体 CVD 执行第一部件至第三部件的形成。更具体地讲,所述条件使得从图 4A 中的开口 323 的底部到主表面 302 的垂直方向上的沉积速度是从图 4A 中的开口 323 的侧面起的、与主表面 302 平行的方向上的沉积速度的 1.5 到 10 倍。在这样的条件下,可在不形成空隙的情况下形成波导。

[0097] 第六实施例

[0098] 在第六实施例中,将参照图 14 对波导的高折射率部件的形状进行描述。图 14 是与图 12 对应的局部截面图。图 14 中与图 12 和其它图中相同的部分用相同的标号指定,因此省略其描述。

[0099] 在图 14 中,波导的高折射率部件 324a 的形状由图 4A 中所示的开口 323 限定,开口 323 具有底面、顶部和侧面。平面 1401 是包括开口 323 的底面的平面,平面 1402 是包括开口 323 的顶部的平面,面 1403 是包括开口的侧面的面。平面 1401 和 1402 与主表面 302 平行,主表面 302 包括半导体衬底的光电转换部分的光接收表面。开口的底部的最大宽度为 L_1 ;开口的顶部的最大宽度为 L_2 ;平面 1401 与 1402 之间或者顶部与底部之间的线段为高度 H ;面 1403 和平面 1401 形成角度 α 。高度 H 垂直于半导体衬底的主表面 302。高折射率部件 324a 的形状满足关系 $L_1 < L_2$ 、 $H/L_2 \leq 2$ 和 $72.8^\circ < \alpha < 90^\circ$ 。在该形状中,可在不形成空隙的情况下形成高折射率部件 324a。

[0100] 另外,包括微透镜 341 和层内透镜 334 的透镜系统的焦点 1404 位于高度 H 内、比位置 $H/2$ 高的位置处。该结构确实将光汇集到高折射率部件,或者从波动光学的意义上来讲将光汇集到高折射率部件,从而提高固态图像拾取装置的灵敏度。

[0101] 第七实施例

[0102] 在第七实施例中,将参照图 15A 和图 15B 对波导的高折射率部件的形状进行描述。图 15A 和图 15B 是与图 6 对应的局部截面图。与图 6 和其它图中相同的部分用相同的标号指定,因此省略其描述。

[0103] 图 15A 中所示的高折射率部件 324b 具有第一部分 1501 和第二部分 1502。图 15B 中所示的高折射率部件 324c 具有第一部分 1503 和第二部分 1504。在每个结构中,第一部分 1501 和 1503 覆盖开口 323 的侧壁。第二部分 1502 和 1504 被第一部分 1501 和 1503 包围。第二部分 1502 和 1504 具有这样的形状,该形状的下表面具有比上表面大的面积(在与半导体衬底的主表面 302 平行的方向上)。换句话说,第一部分的厚度在波导的上侧增大。此外,第一部分 1501 和 1503 的折射率分别比第二部分 1502 和 1504 的折射率高。由于光汇集到具有高折射率的区域,所以进入波导的光和来自倾斜方向的光汇集到第一部分,因此,提高灵敏度。另外,由于第二部分被第一部分包围,所以穿过开口的侧壁的光可被高效率地传播到高折射率部件的中心,从而,可提高灵敏度。

[0104] 第八实施例

[0105] 第八实施例描述具有与第一实施例中相同的波导的固态图像拾取装置。然而,在第八实施例中,外围电路部分中的晶体管以与第一实施例的晶体管不同的电压工作。更具体地讲,在外围电路部分中使用可在例如 3.3V 或 2.5V 的高压工作的晶体管和可在例如 1.8V 或 1.0V 的低压工作的晶体管。将参照图 16A 至图 19B 对用于制造本实施例的固态图像拾取装置的方法进行描述,并将参照图 20A 和图 20B 对本实施例的固态图像拾取装置的结构进行描述。在图 16A 至图 19B 中,与其它实施例中相同的部分用相同的标号指定,因此省略其描述。图 16A 至图 19B 中所使用的标号在这些图中是共有的。

[0106] 图 16A 显示像素部分 1011 和外围电路部分 1016。外围电路部分 1016 包括低压 N 型晶体管形成区 1601、低压 P 型晶体管形成区 1602、高压 N 型晶体管形成区 1603 和高压 P 型晶体管形成区 1604。

[0107] 在像素部分 1011 和外围电路部分 1016 中形成具有浅槽隔离 (STI) 结构的元件隔

离区。当形成元件隔离区时,仅在像素部分 1011 中形成用于减少来自元件隔离区的界面处的缺陷的噪声的半导体区 1609。半导体区可以是信号电荷充当少数载流子的类型,在本实施例中,形成 P 型半导体区。然后,在外围电路部分 1016 中形成 P 型阱 1605 和 1606 以及 N 型阱 1607 和 1608。在后面的步骤中,将在 P 型阱 1605 中形成低压 N 型晶体管,并将在 P 型阱 1606 中形成高压 N 型晶体管。此外,将在 N 型阱 1607 中形成低压 P 型晶体管,并将在 N 型阱 1608 中形成高压 P 型晶体管。然后,在像素部分 1011 中形成 P 型半导体区 315 和 316。

[0108] 随后,形成将充当光电转换部分 1611 的电荷储存区的 N 型半导体区。然后,在半导体衬底 301 的主表面 302 之上形成栅绝缘膜 1610(图 16B)。栅绝缘膜 1610 可以通过热氧化形成的氧化硅膜、通过氧化硅膜的等离子体氮化形成的氮氧化硅、或者通过沉积氮化硅形成的膜。在本实施例中,栅绝缘膜 1610 由氮氧化硅形成。氮氧化硅栅绝缘膜 1610 抑制来自栅电极等的杂质对半导体衬底的污染。栅绝缘膜 1610 可具有某厚度。更具体地讲,栅绝缘膜 1610 在像素部分 1011、高压 N 型晶体管形成区 1603 和高压 P 型晶体管形成区 1604 中具有第一厚度。此外,栅绝缘膜 1610 在低压 N 型晶体管形成区 1601 和低压 P 型晶体管形成区 1602 中具有第二厚度。第一厚度大于第二厚度。这是因为栅绝缘膜 1610 的具有第一厚度的区域将设有下述电路,所述电路以比将被设置在栅绝缘膜 1610 的具有第二厚度的区域中的电路高的电压工作。此外,栅绝缘膜 1610 的位于 PD 上面的部分具有第一厚度。从而,可减小对 PD 的损伤。

[0109] 随后,在栅绝缘膜 1610 之上形成意图作为栅电极的材料层。虽然在本实施例中,材料层可由多晶硅形成,但是在另一个实施例中可使用其它材料。在本实施例中,将杂质离子注入到材料层中,以形成 P 型多晶硅膜 1612 和 N 型多晶硅膜 1613。位于将形成 P 型晶体管的区域中的多晶硅膜是 P 型多晶硅膜 1612,位于将形成 N 型晶体管的区域中的多晶硅膜是 N 型多晶硅膜 1613。从提高外围电路部分 1016 中的晶体管的性能的观点来讲,如果形成表面沟道型晶体管,则可将材料层分为 N 型多晶硅膜和 P 型多晶硅膜。然后,形成覆盖所述两种类型多晶硅的绝缘膜 1614(图 16C)。绝缘膜 1614 由氧化硅形成。可替换地,绝缘膜 1614 可由氮化硅等形成。

[0110] 然后,在绝缘膜 1614 上形成光致抗蚀剂图案(未示出),并对绝缘膜 1614 进行蚀刻,以形成绝缘部件。绝缘部件包括设置在像素部分 1011 中的第一绝缘部件 1708 和设置在外围电路部分 1016 中的第二绝缘部件 1709。在去除光致抗蚀剂图案(未示出)之后,通过使用第一绝缘部件 1708 和第二绝缘部件 1709 作为掩模来对 P 型多晶硅膜 1612 和 N 型多晶硅膜 1613 进行蚀刻。随后,形成栅电极 1701 至 1707(图 17A)。在图 17A 中,像素部分 1011 具有传输晶体管的栅电极 1701、放大晶体管的栅电极 1702 和像素单元的晶体管的栅电极 1703。确切地讲,图 17A 中所示的放大晶体管的栅电极 1702 是栅电极的作为布线延伸的部分。在图 17A 中,外围电路部分 1016 具有低压 N 型晶体管的栅电极 1704、低压 P 型晶体管的栅电极 1705、高压 N 型晶体管的栅电极 1706 和高压 P 型晶体管的栅电极 1707。第一绝缘部件 1708 和栅电极一一对应,每个第一绝缘部件 1708 的侧面可与对应的栅电极的侧面齐平。第二绝缘部件 1709 和栅电极也一一对应,每个第二绝缘部件 1709 的侧面与对应的栅电极的侧面齐平。像素部分 1011 中的栅极被第一绝缘部件 1708 覆盖。当在后面的步骤中执行离子注入时,该结构可抑制离子注入到栅电极。因此,可减小栅电极之间的性

能差异。在图 17A 中所示的结构中,栅绝缘膜被省略,但是存在于半导体衬底的主表面 302 上。类似地,在图 17A 至图 19B 中省略了栅绝缘膜。

[0111] 随后,如图 17B 所示,形成用于形成晶体管的源极/漏极区的半导体区。关于传输晶体管,形成充当漏极区的 FD 区 1711。此时,在 FD 区 1711 与 PD 的电荷储存区 1611 之间形成 P 型半导体区 1712。P 型半导体区 1712 用作用于使得传输晶体管能够工作的势垒。此外,P 型半导体区 1712 具有所谓的穿通停止的功能。然后,形成 P 型半导体区 1710,以覆盖电荷储存区 1611。P 型半导体区 1710 用作保护电荷储存区 1611 不受在半导体衬底 301 的表面处出现的暗电流的影响的表面保护区。关于其它晶体管,在图 17B 中形成其部分将充当源极/漏极区的半导体区。在这些半导体区中,所得晶体管的至少源极区或漏极区具有低杂质浓度。另外,关于低压晶体管,形成具有与源极区和漏极区相反的导电类型的半导体区,以抑制将形成源极区和漏极区的区域下面的穿通。关于 N 型晶体管,将充当晶体管的源极区和漏极区的一部分的半导体区的导电类型是 N 型。关于 P 型晶体管,这样的半导体区的导电类型是 P 型。这些半导体区可通过例如离子注入来形成,并且省略详细描述。为了增强可靠性,可改变将充当源极区和漏极区部分的半导体区中的离子浓度。

[0112] 随后,如图 17C 所示,形成绝缘膜 1713 和间隔件 1714。仅在像素部分 1011 中形成绝缘膜 1713。绝缘膜 1713 的材料和厚度被选择为使得它可用作抗反射膜。间隔件 1714 形成在外围电路部分 1016 中的晶体管的栅电极的侧壁上。绝缘膜 1713 具有在其中氮化硅层形成在氧化硅层上的多层结构,并且间隔件 1714 具有在其中氮化硅层形成在氧化硅层上的多层结构。可以说,间隔件 1714 提供在其中氧化硅部件设置在氮化硅部件与栅电极之间的结构。为了形成绝缘膜 1713 和间隔件 1714,在通过 CVD 形成氧化硅层之后通过 CVD 形成氮化硅层,以在图 17B 中所示的状态下覆盖主表面 302 上的栅绝缘膜、第一绝缘部件 1708 和第二绝缘部件 1709。然后,形成覆盖像素部分 1011 的光致抗蚀剂图案。通过使用光致抗蚀剂图案作为掩模来从像素部分 1011 到外围电路部分 1016 执行各向异性蚀刻,从而在外围电路部分 1016 中去除包括氧化硅层和氮化硅层的部分。由包括氧化硅层和氮化硅层的膜制成的间隔件 1714 被形成为与外围电路部分 1016 中的栅电极的侧面接触,从而形成如图 17C 中所示的结构。在本实施例的方法中,由于使用相同的膜形成绝缘膜 1713 和间隔件 1714,所以可减少工艺步骤的数量。如果仅提供间隔件 1714,则 PD 可由于蚀刻位于 PD 上面的绝缘膜以形成间隔件 1714 而受到损伤。然而,由于用相同的膜形成绝缘膜 1713 和间隔件 1714,所以可减小 PD 的损伤。

[0113] 在图 18A 中,将在外围电路部分 1016 中形成每个晶体管的源极区和漏极区的一部分。光致抗蚀剂图案被形成为使将形成高压 N 型晶体管的栅电极及源极区和漏极区的区域露出。同时,光致抗蚀剂图案被形成为使将形成低压 N 型晶体管的栅电极及源极区和漏极区的区域露出。然后,注入作为 N 型杂质的离子,以形成源极/漏极区 1803 和 1801。随后,光致抗蚀剂图案被形成为使将形成高压 P 型晶体管的栅电极及源极区和漏极区的区域露出。同时,光致抗蚀剂图案被形成为使将形成低压 P 型晶体管的栅电极及源极区和漏极区的区域露出。然后,注入作为 P 型杂质的离子,以形成源极/漏极区 1802 和 1804。在该步骤中,半导体区具有比在图 17B 中所示的步骤中形成源极区和漏极区的半导体区高的杂质浓度。这些半导体区形成具有轻掺杂漏极(LDD)结构的晶体管。该步骤不为像素部分 1011 中的晶体管形成具有高杂质浓度的任何半导体区。从而,可增大例如放大晶体管的动态范

围。

[0114] 随后,将形成覆盖像素部分 1011 的绝缘膜 1806。绝缘膜 1806 由例如氧化硅形成。通过 CVD 将氧化硅膜形成覆盖像素部分 1011 和外围电路部分 1016,并形成主要覆盖像素部分 1011 的光致抗蚀剂图案。通过使用光致抗蚀剂图案作为掩模的氧化硅膜的各向异性蚀刻来部分地去除氧化硅膜的未被光致抗蚀剂图案覆盖的部分。在这种情况下,提供光致抗蚀剂图案,以覆盖将不形成硅化物的区域,也就是说,以氧化硅膜保留在将不形成硅化物的区域中的方式提供光致抗蚀剂图案。此时,在未被光致抗蚀剂图案覆盖的区域中,例如,在外围电路部分 1016 中,使源极区和漏极区及栅电极露出。

[0115] 在形成绝缘膜 1806 之后,将形成硅化物区 1807。硅化物区 1807 由例如硅化钴形成。硅化物区可由硅化钨、硅化钛或任何其它硅化物形成。为了形成硅化物区 1807,金属膜由钴形成,以覆盖像素部分 1011 中的绝缘膜 1806 以及外围电路部分 1016 中的源极区和漏极区及栅电极。金属膜可通过例如溅射形成。在形成金属膜之后,执行热处理,以使得金属可与硅(包括多晶硅)反应,以生成硅化物。此时,金属膜与外围电路部分 1016 中的源极区和漏极区及栅电极接触,这是因为这些源极区和漏极区及栅电极的表面已通过用于形成绝缘膜 1806 的操作露出。在热处理之后,通过蚀刻去除未反应的金属,从而,形成图 18B 中所示的结构。像素部分 1011 不设有硅化物区。该结构抑制诸如钴的金属的扩散,因此,可减小 PD 中的漏电流和 PD 的信号噪声(所谓的白色缺陷)。结构中的像素部分 1011 可设有硅化物区,或者结构中的外围电路部分 1016 可不设有硅化物区。

[0116] 随后,如图 19A 所示,将形成绝缘膜 1901 和 1902。绝缘膜 1901 和 1902 具有多层结构,所述多层结构包括氧化硅层和形成在该氧化硅层上的氮化硅层。如第一实施例中那样,与 PD 对应地提供绝缘膜 1901。绝缘膜 1902 被形成覆盖晶体管和覆盖硅化物区。当形成接触孔时,绝缘膜 1902 可用作蚀刻停止膜。绝缘膜 1901 被形成覆盖栅电极。该结构可防止栅电极被在后面的步骤中执行的蚀刻去除。另外,由于绝缘膜 1901 和 1902 由相同的膜形成,所以相对于它们由不同的膜形成的情况,可减少步骤数量,并可减少损伤。

[0117] 然后,形成如图 19B 所示的意图作为绝缘膜 1905 的膜,并通过下述方式形成接触孔,即,对意图作为绝缘膜 1905 的膜进行蚀刻,以去除意图作为绝缘膜 1905 的膜的一部分。在接触孔中形成金属插头,从而,形成图 19B 中所示的结构。绝缘膜 1905 可由通过 CVD 用氧化硅形成的膜制成。像素部分 1011 中的插头 1903 和外围电路部分 1016 中的插头 1904 可含有充当势垒金属的钛、氮化钛和钨。当执行蚀刻以形成接触孔时,像素部分 1011 中的绝缘膜 1713 和外围电路部分 1016 中的绝缘膜 1807 用作蚀刻停止膜。在绝缘膜 1905 的氧化硅的蚀刻速率变得高于绝缘膜 1713 和 1807 的氮化硅的蚀刻速率的条件下执行该蚀刻。当绝缘膜 1713 和 1807 的表面露出时,改变蚀刻条件,并去除绝缘膜 1713 和 1807。可通过如以上那样形成接触孔来减少半导体衬底 301 的损伤。

[0118] 在本实施例中,形成在像素部分 1011 中的蚀刻停止膜和形成在外围电路部分 1016 中的蚀刻停止膜不同。通过使用不同的膜,可独立地为像素部分 1011 和外围电路部分 1016 设置蚀刻停止膜的厚度。因此,可实现高光学性能和高电学特性这二者。

[0119] 绝缘膜 1902 被形成不与像素部分 1011 中的插头 1903 接触。如果,在将形成插头 1903 的像素部分 1011 中,绝缘膜 1902 在将充当像素部分 1011 中的蚀刻停止膜的绝缘膜 1713 上延伸,则提供两个蚀刻停止膜。这增加改变蚀刻条件的次数,并使得难以控制接

触孔的形状。此外,这样的双层结构的存在增大了覆盖该双层结构的绝缘膜 1905 的厚度。因此,绝缘膜 1902 被形成为不与像素部分 1011 中的插头 1903 接触,从而可增强所得到的固态图像拾取装置的特性。

[0120] 然后,以常规的半导体工艺形成布线、如第一实施例或任何其它实施例中所示的波导、以及滤色器,从而完成固态图像拾取装置。

[0121] 将参照图 20A 和图 20B 对如此制作的固态图像拾取装置的晶体管的结构进行描述。将作为像素部分中的晶体管的代表描述传输晶体管,并将作为外围电路部分中的晶体管的代表描述高压 N 型晶体管。图 20A 是传输晶体管的栅电极及其附近的示意性放大图,图 20B 是高压 N 型晶体管的栅电极及其附近的示意性放大图。图 20A 和图 20B 分别显示图 19A 中所示的传输晶体管和高压 N 型晶体管的栅电极的状态。

[0122] 图 20A 中所示的 N 型半导体区 2000、电荷储存区 2001 和 FD 区 2002 包含在图 18A 中所示的半导体衬底 301 中。栅绝缘膜 2004 和栅绝缘膜延伸部分 2003 被提供为覆盖半导体衬底。

[0123] 栅绝缘膜延伸部分 2003 在栅电极 2005 下面、电荷储存区 2001 和 FD 区 2002 之上延伸。栅绝缘膜 2004 具有比栅绝缘膜延伸部分 2003 大的厚度,但是如果必要的话,这可被改变。由氧化硅制成的绝缘膜 2006 覆盖栅电极 2005、电荷储存区 2001 和 FD 区 2002。第一绝缘膜 2011 和绝缘膜 2006 这二者均由氧化硅制成。由氮化硅制成的绝缘膜 2007 设置在绝缘膜 2006 之上,覆盖栅电极 2005、电荷储存区 2001 和 FD 区 2002。通过在电荷储存区 2001 或 PD 与绝缘膜 2007 之间提供绝缘膜 2006,可减小暗电流。另外,由氧化硅制成的绝缘膜 2008 设置在绝缘膜 2007 之上,覆盖栅电极 2005、电荷储存区 2001 和 FD 区 2002。此外,由氧化硅制成的绝缘膜 2009 和由氮化硅制成的绝缘膜 2010 仅在与电荷储存区 2001 对应的区域中设置在绝缘膜 2008 上。绝缘膜 2010 设置在绝缘膜 2009 上。如下,图 20A 中所示的结构中的组件或部件对应于图 16A 至图 19B 中所示的这些组件或部件。绝缘膜 2006 对应于绝缘膜 1713;绝缘膜 2006 和 2007 对应于绝缘膜 1713;第一绝缘膜 2011 对应于第一绝缘膜 1708;绝缘膜 2008 对应于绝缘膜 1806;绝缘膜 2009 和 2010 对应于绝缘膜 1901。绝缘膜 2006 和绝缘膜 2011 都由氧化硅制成,并可被认为是一体式的单个膜。更具体地讲,在从 PD 到栅电极的区域上延伸的氧化硅具有其厚度在栅电极上增大的形状。

[0124] 图 20B 显示 P 型半导体区 2020、充当源极 / 漏极区的 N 型半导体区 2021、以及充当源极 / 漏极区的具有比 N 型半导体区 2021 低的杂质浓度的一部分的 N 型半导体区 2022。这些包含在图 19A 中所示的半导体衬底 301 中。栅绝缘膜 2023 和栅绝缘膜延伸部分 2024 被提供为覆盖半导体衬底。栅绝缘膜延伸部分 2024 是栅电极 2030 下面的、延伸以覆盖 N 型半导体区 2022 的部分。栅绝缘膜 2023 具有比栅绝缘膜延伸部分 2024 大的厚度,但是如果必要的话,这可被改变。硅化物区 2029 设置在栅电极 2030 和 N 型半导体区 2021 上。由氧化硅制成的绝缘膜 2025 和由氮化硅制成的绝缘膜 2026 形成侧间隔件。侧间隔件被设置为与 N 型半导体区 2022 之上的栅电极 2030 的侧面接触。绝缘膜 2025 设置在绝缘膜 2026 与栅电极 2030 之间。通过在氮化硅膜与栅电极或半导体区之间提供氧化硅绝缘膜,可保持晶体管的可靠性。由氧化硅制成的绝缘膜 2027 和由氮化硅制成的绝缘膜 2028 被提供为覆盖 N 型半导体区 2021、侧间隔件和栅电极 2030。绝缘膜 2028 设置在绝缘膜 2027 上。通过在 N 型半导体区 2021 与氮化硅膜之间提供氧化硅膜,使氮化硅膜与半导体衬底的主表面

302 分离。因此,可降低暗电流的发生。如下,图 20B 中所示的结构中的组件或部件对应于图 16A 至图 19B 中所示的这些组件或部件。绝缘膜 2025 和 2026 对应于侧间隔件 1714;绝缘膜 2027 和 2028 对应于绝缘膜 1902。

[0125] 在图 20A 和图 20B 中所示的实施例中,与参照图 16A 至图 19B 描述的情况一样,绝缘膜 2006 和 2025 由相同的膜制成,绝缘膜 2007 和 2026 由相同的膜制成。此外,在图 20A 和图 20B 中所示的实施例中,绝缘膜 2009 和 2027 由相同的膜制成,绝缘膜 2010 和 2028 由相同的膜制成。因此,可减少用于形成膜的步骤数量,并可抑制由形成膜期间的热量引起的杂质的扩散。

[0126] 当形成接触孔时,绝缘膜 2007 和 2028 可用作蚀刻停止膜。如图 19B 所示,绝缘膜 2007 与插头 1903 接触,并覆盖除了插头 1903 之外的像素部分。此外,绝缘膜 2028 与插头 1904 接触,并覆盖除了插头 1904 之外的外围电路部分 1016。绝缘膜 2028 可延伸到像素部分 1011,但是可取地,除了像素部分中的插头 1908 之外。这是因为绝缘膜 2028 由氮化硅制成,并且氮化硅膜的存在使得用于形成用于插头 1903 的接触孔的蚀刻复杂。在本实施例的绝缘膜的多层结构中,在像素部分 1011 和外围电路部分 1016 这二者中,氧化硅膜、氮化硅膜和氧化硅膜按该次序从半导体衬底侧起设置在半导体衬底上。该结构使得可同时进行用于在像素部分 1011 和外围电路部分 1016 中形成接触孔的蚀刻。然而,有利的是,在不同的步骤中形成用于像素部分 1011 中的插头 1903 的接触孔和用于外围电路部分 1016 中的插头 1904 的接触孔。更确切地讲,有利的是,当形成用于外围电路部分 1016 中的插头 1904 的接触孔时,仍未形成用于像素部分 1011 中的插头 1903 的接触孔,或者该接触孔被用插头或光致抗蚀剂掩模填充了。换句话讲,可取的是,当形成用于外围电路部分 1016 中的插头 1904 的接触孔时,非硅化物区没有露出。例如,形成用于插头 1903 的接触孔,在接触孔中形成插头 1903,然后形成用于插头 1904 的接触孔,并形成插头 1904。如果一次形成接触孔,则通过使硅化物区露出的用于在外围电路部分 1016 中形成接触孔的操作,使半导体衬底的主表面 302 的非硅化物区露出。在这种情况下,硅化物区中的金属可能由于用于形成接触孔的蚀刻而分散,结果污染非硅化物区。

[0127] 虽然在本实施例中,硅化物区设置在外围电路部分中的晶体管的栅电极和源极/漏极区之上,但是在另一个实施例中,硅化物区可设置在这些部分中的任何一个之上。硅化物区可设置在像素部分中的任何一个晶体管之上。

[0128] 虽然本实施例的固态图像拾取装置具有如第一实施例中的波导那样的波导,但是本发明可应用于如图 21 中所示的不具有波导或绝缘膜 1901 的结构。

[0129] 如上所述,本发明实施例的结构使得可在不降低抗反射膜的功能的情况下形成波导。另外,由于根据光电转换部分设置绝缘膜,所以可抑制来自波导的底部的光的发散,从而可提高光汇集效率。此外,可减少由在外围电路部分中形成接触孔而引起的损伤,因此,可实现高质量的固态图像拾取装置。可根据需要修改所公开的实施例。例如,能够以每个光电转换部分一个抗反射膜的方式设置抗反射膜。每个实施例可与另一个实施例组合。

[0130] 尽管已参照示例性实施例对本发明进行了描述,但是应该理解本发明不限于所公开的示例性实施例。应该给予权利要求的范围以最宽泛的解释,以涵盖所有这样的修改以及等同的结构和功能。

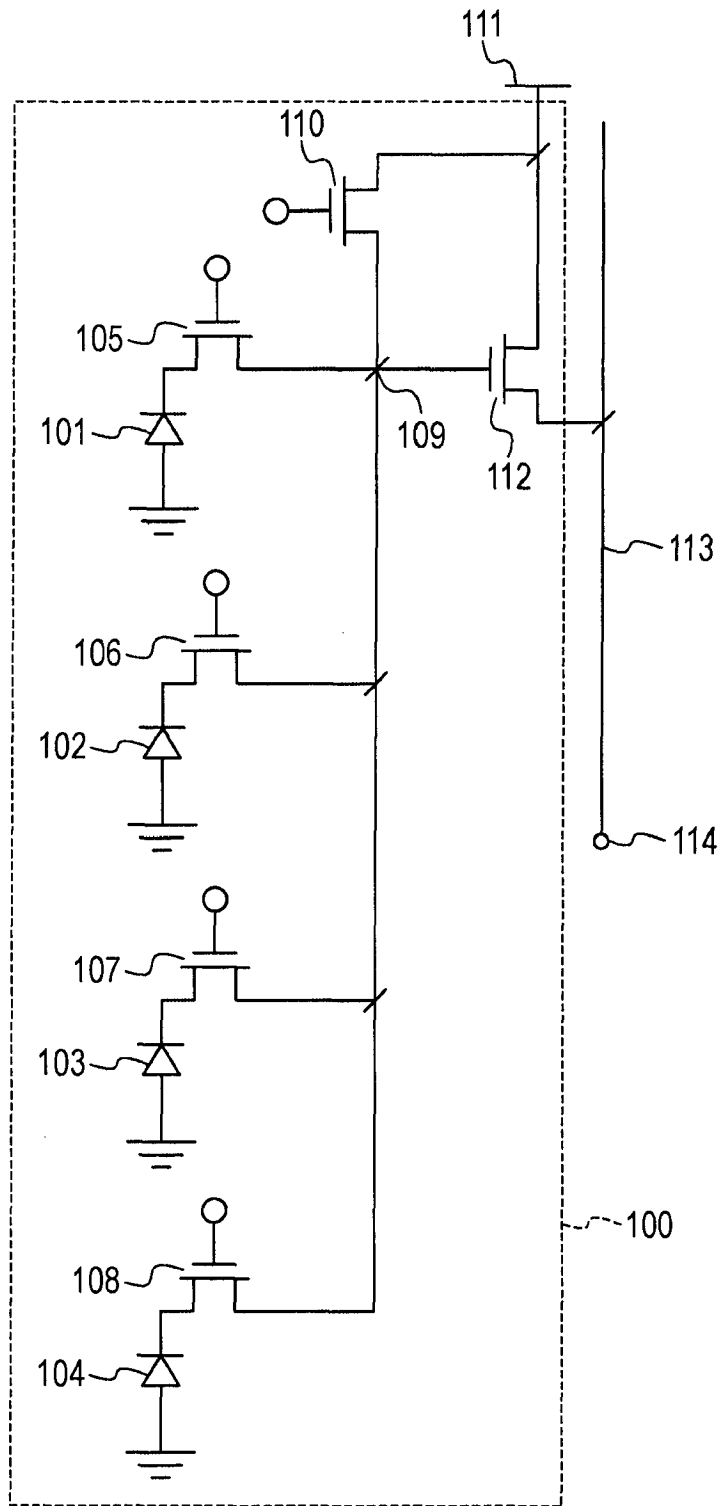


图 1

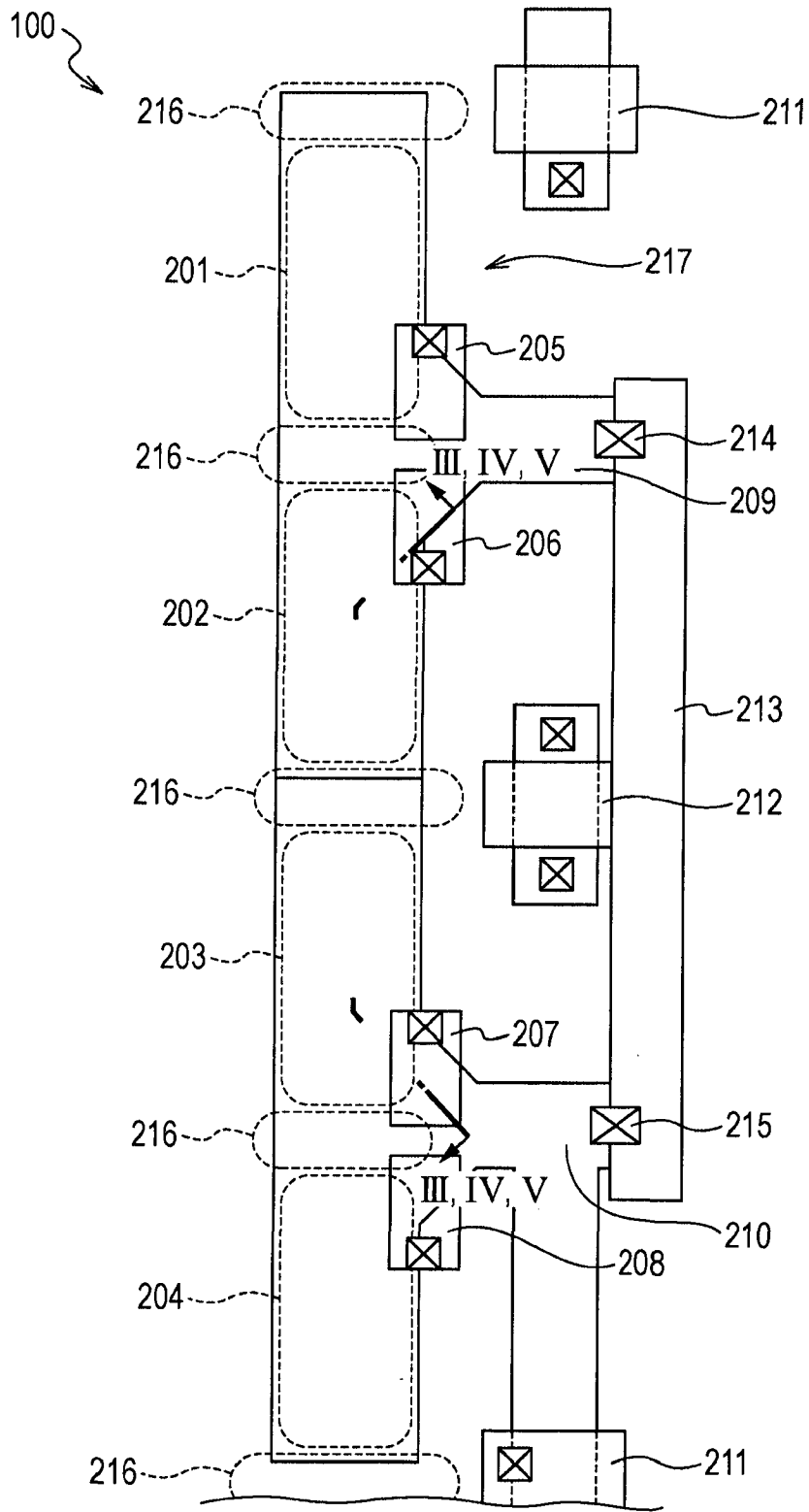


图 2

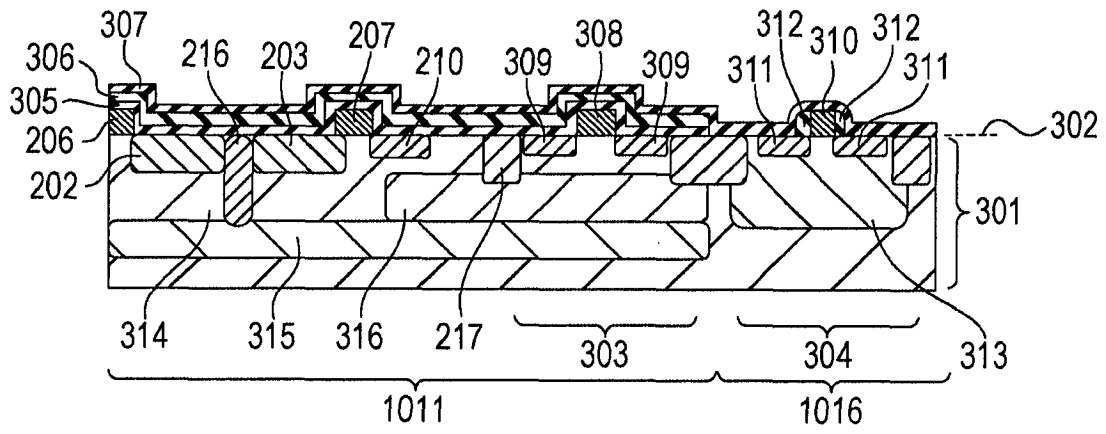


图 3A

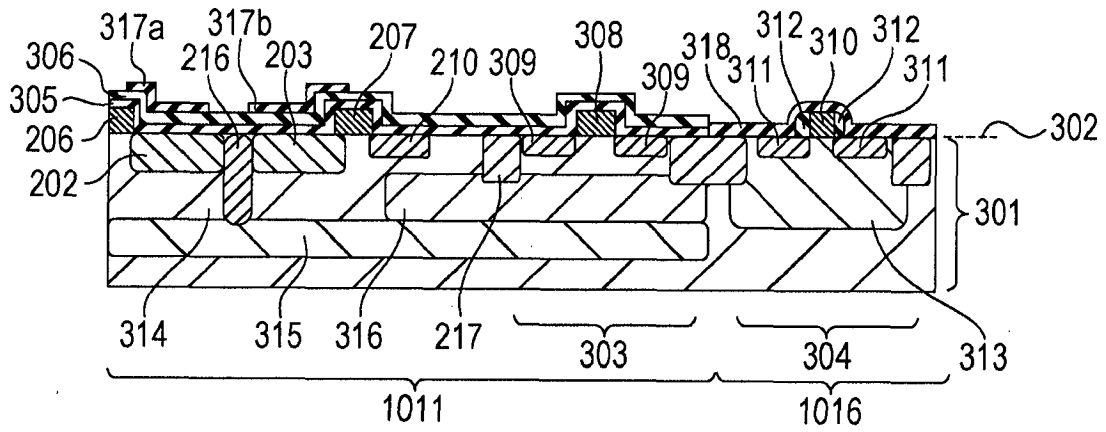


图 3B

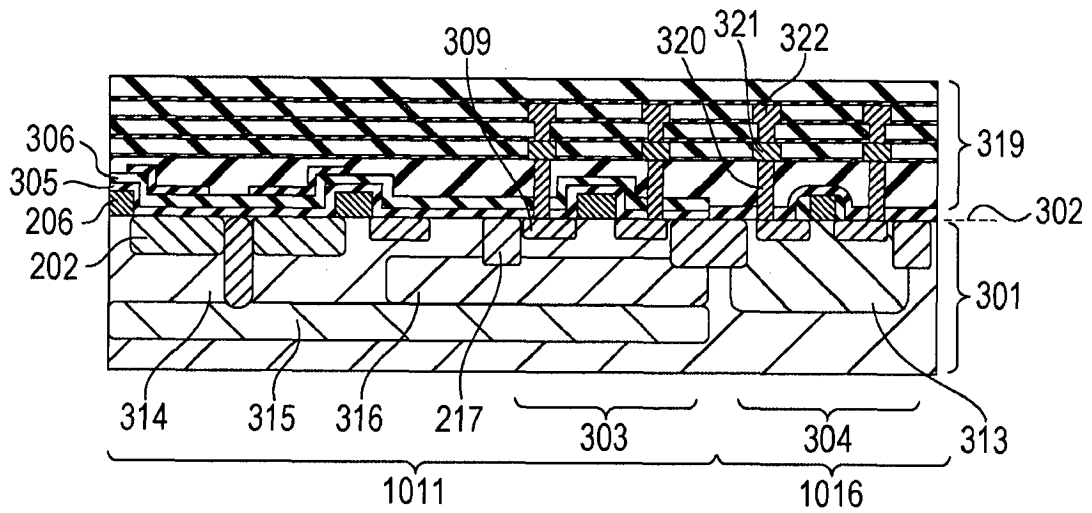


图 3C

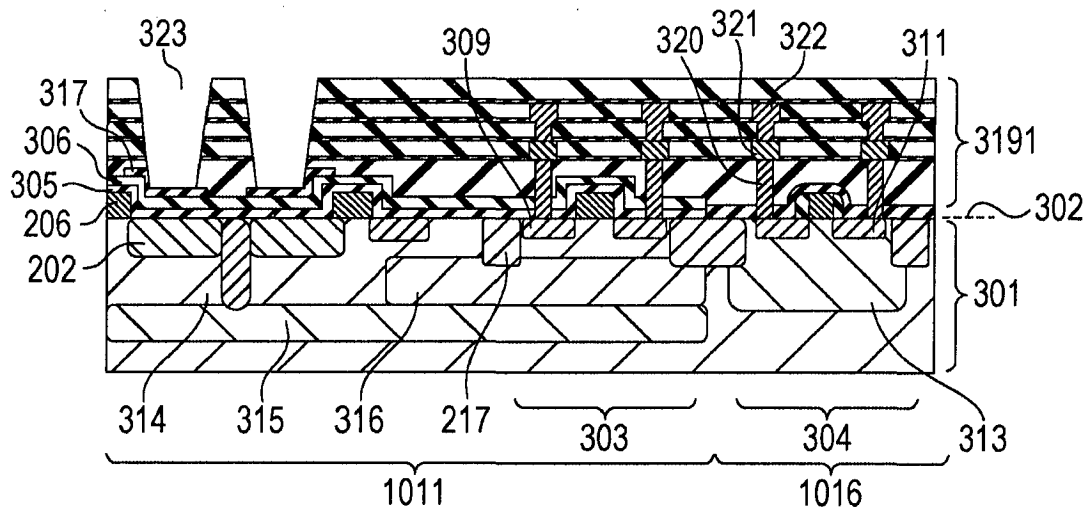


图 4A

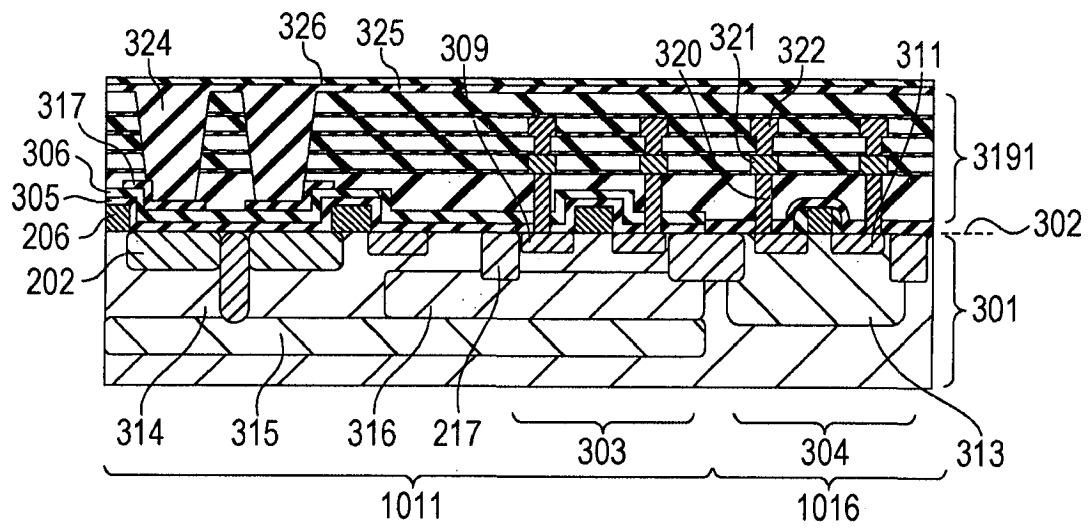


图 4B

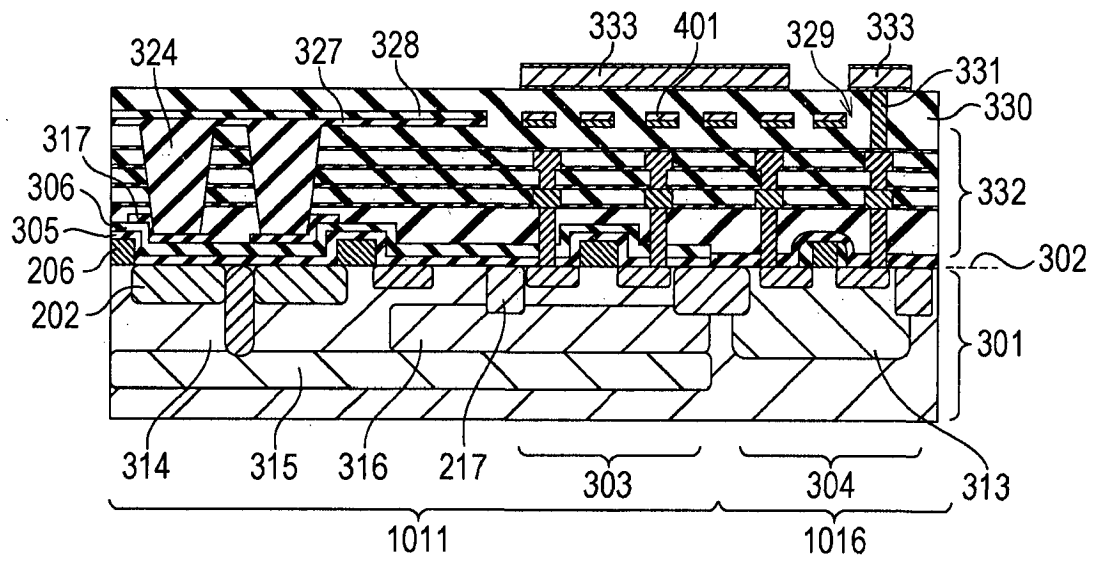


图 4C

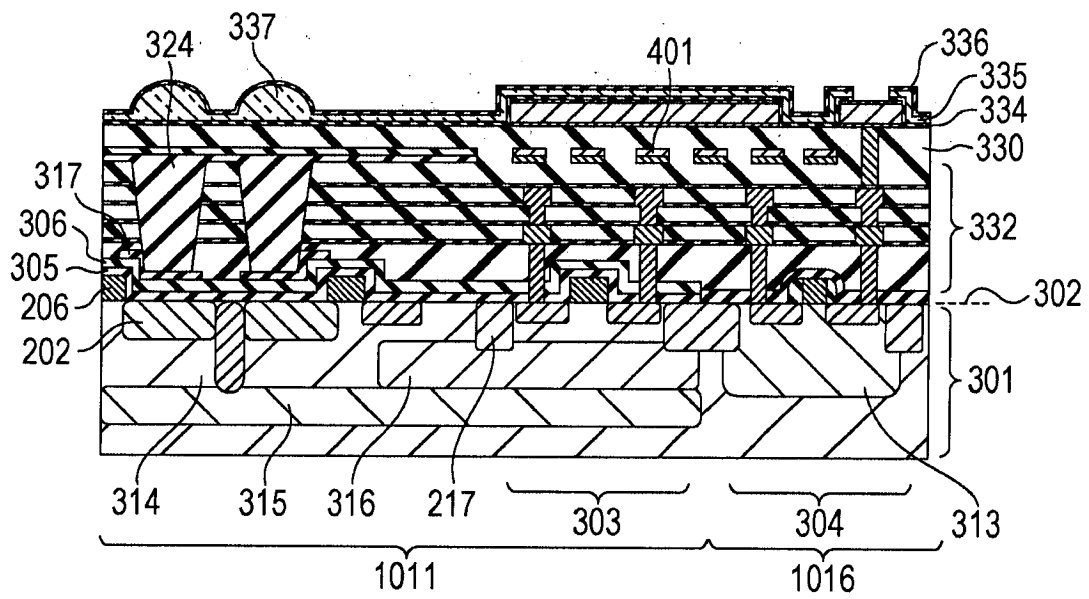


图 5A

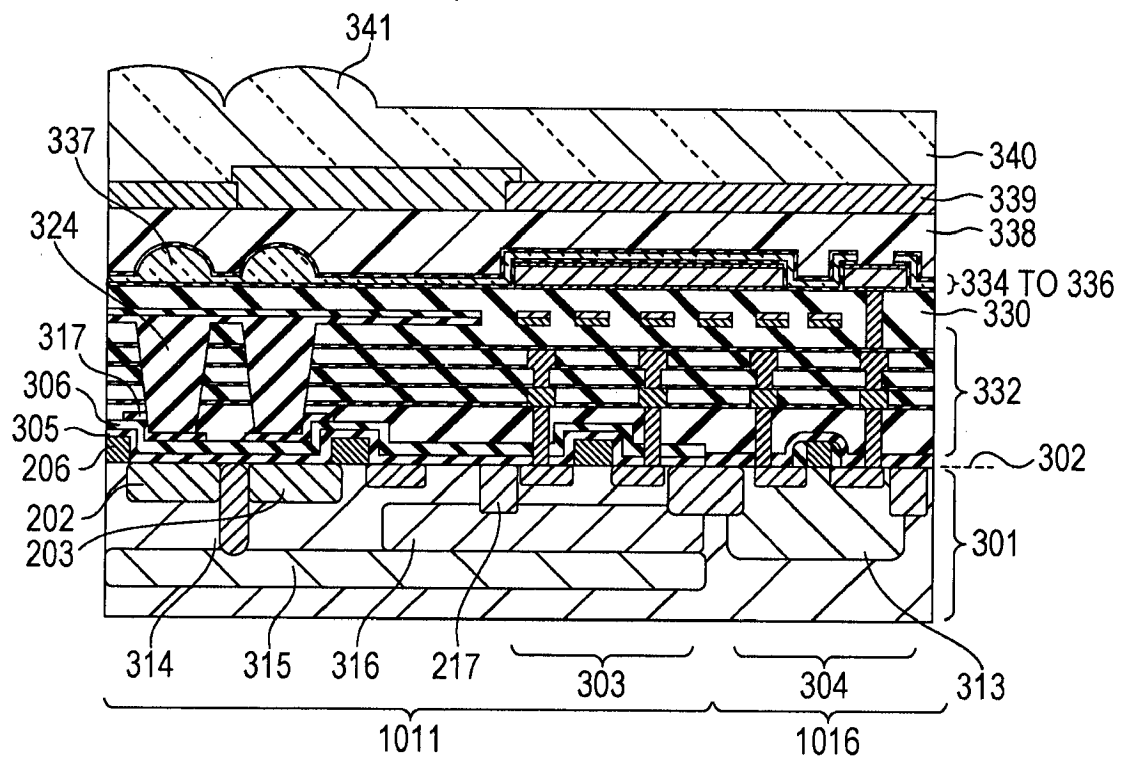


图 5B

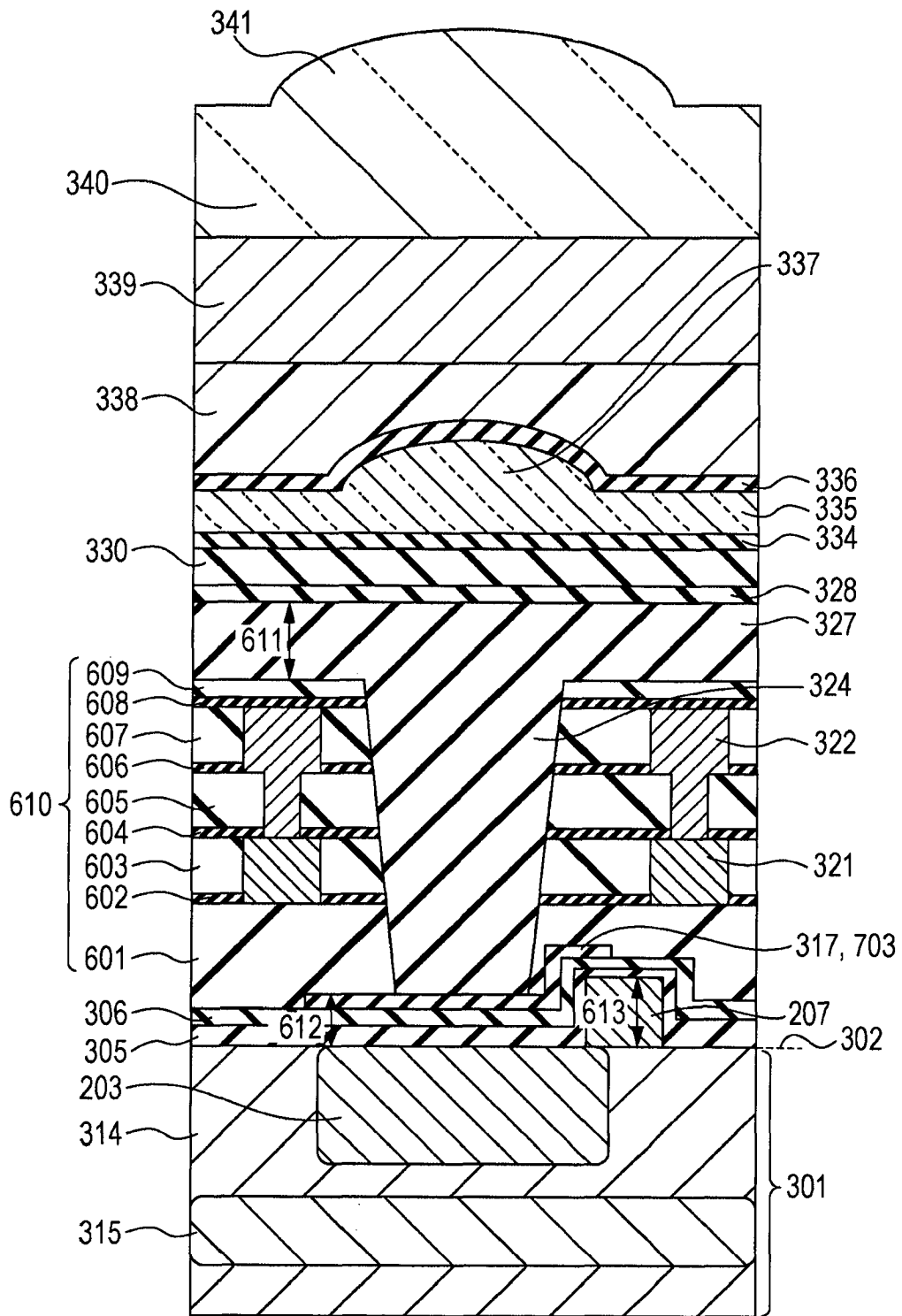


图 6

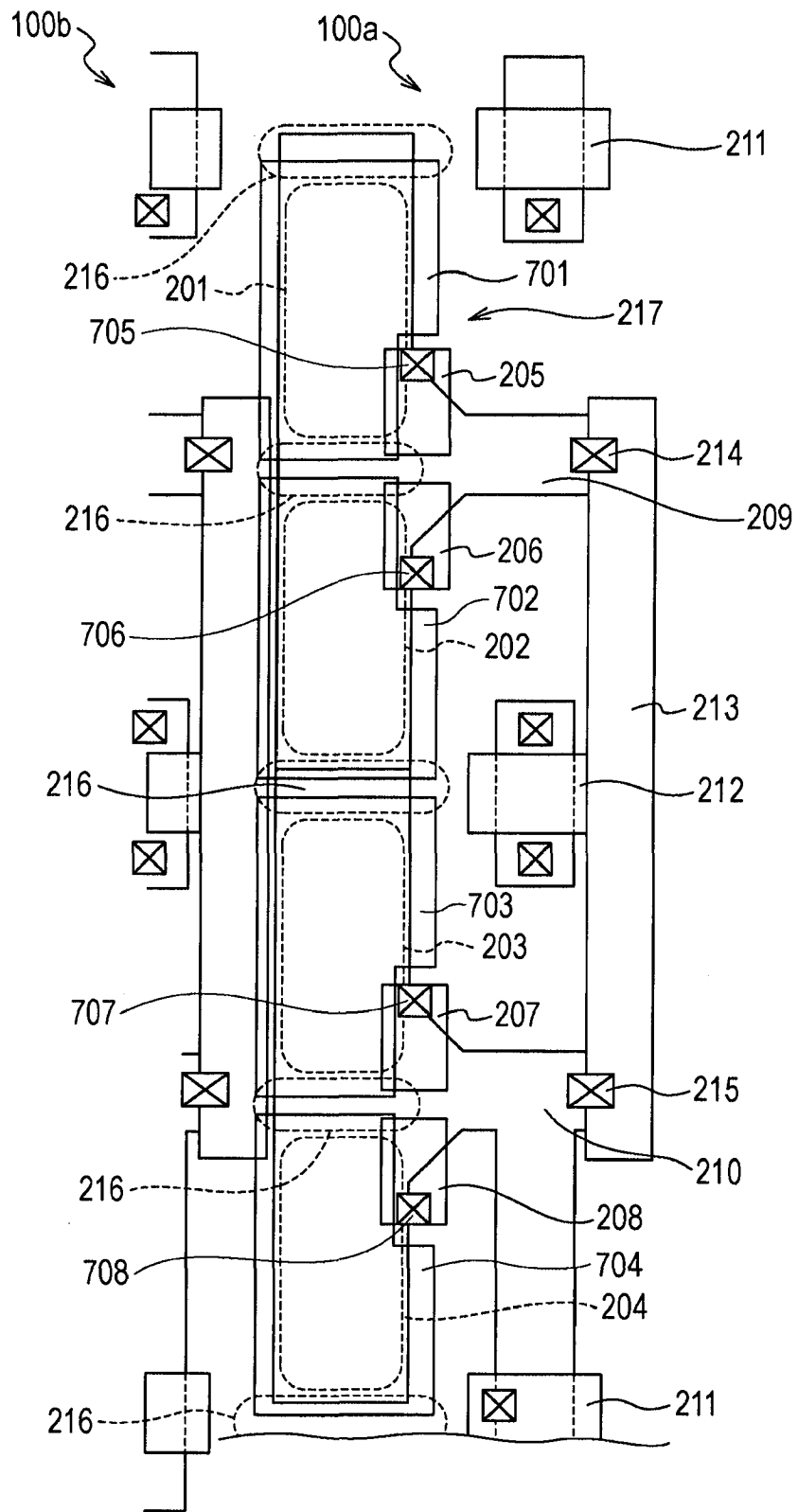


图 7

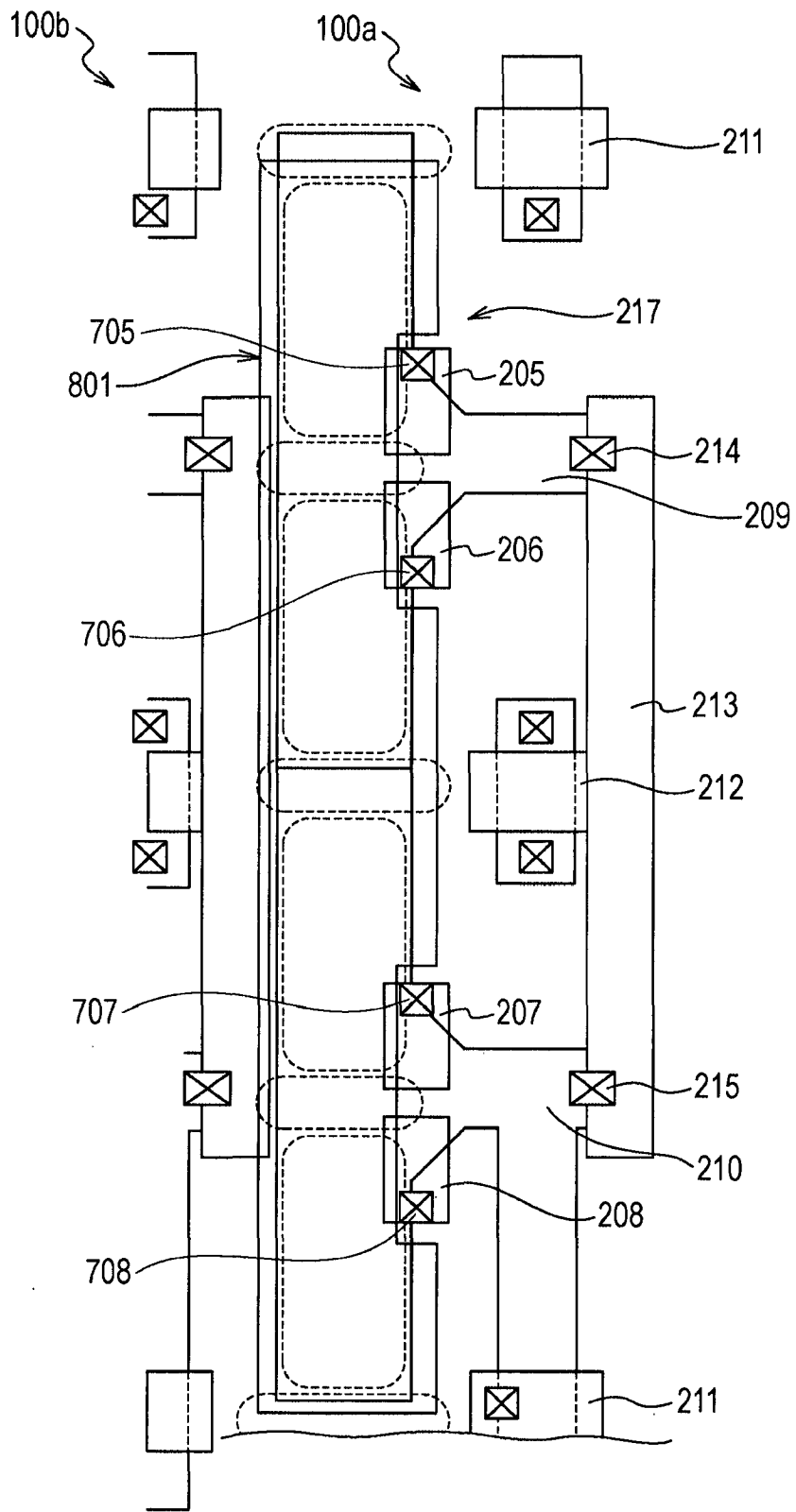


图 8A

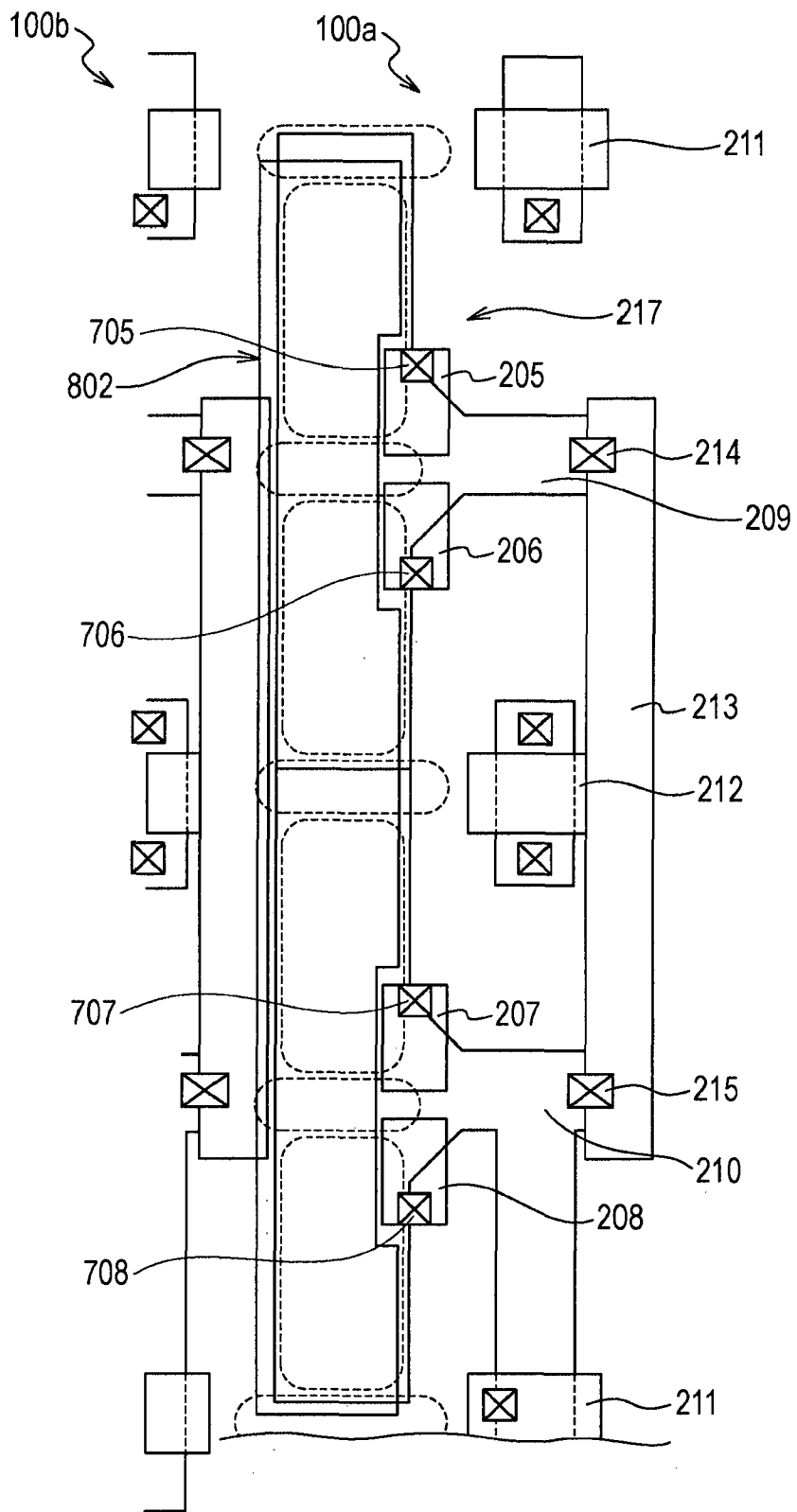


图 8B

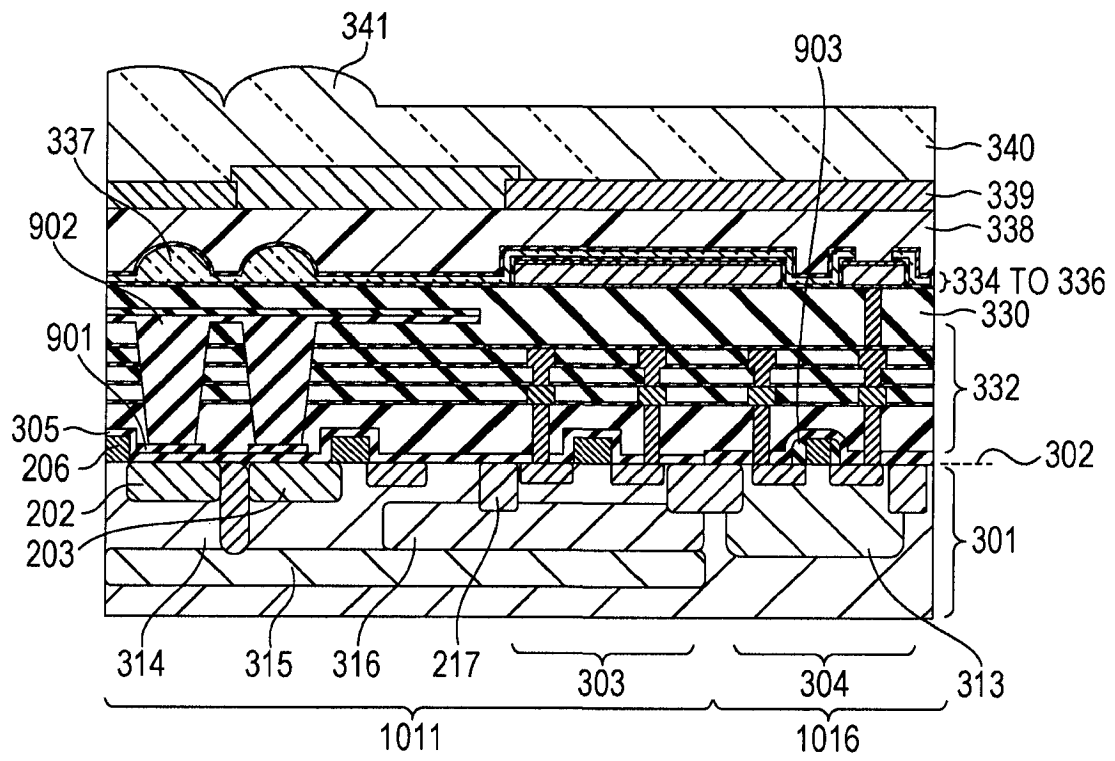


图 9

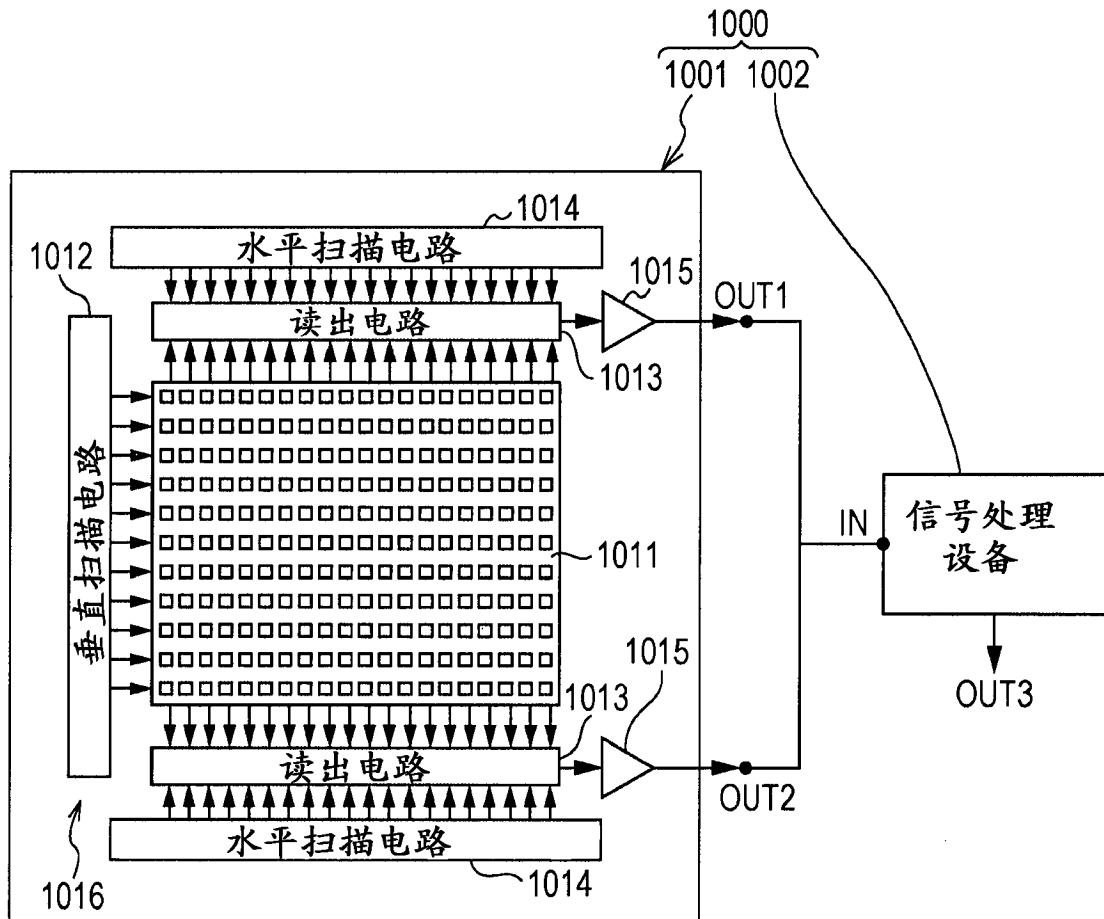


图 10

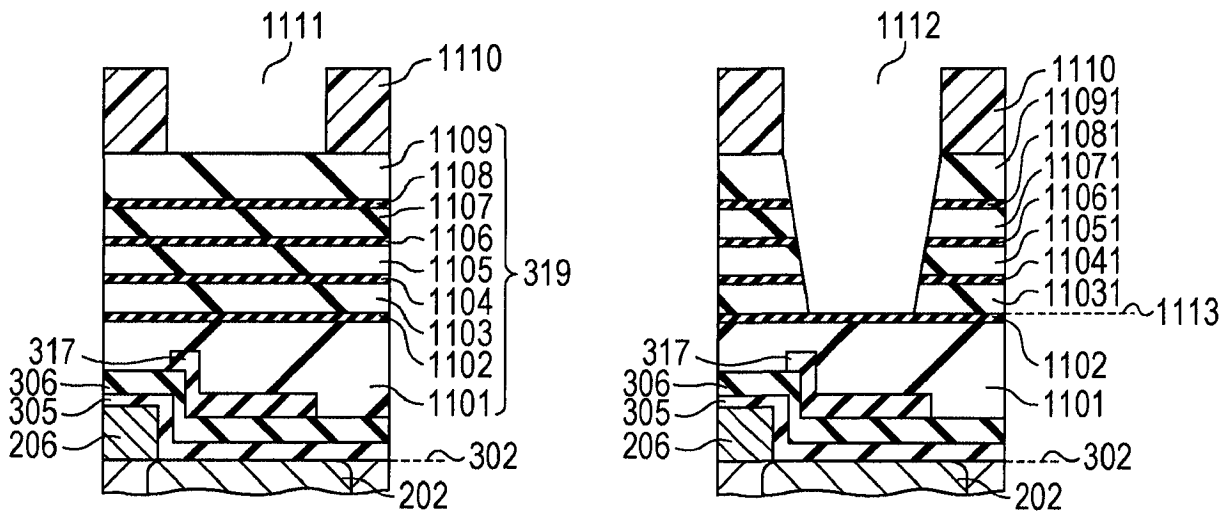


图 11A

图 11B

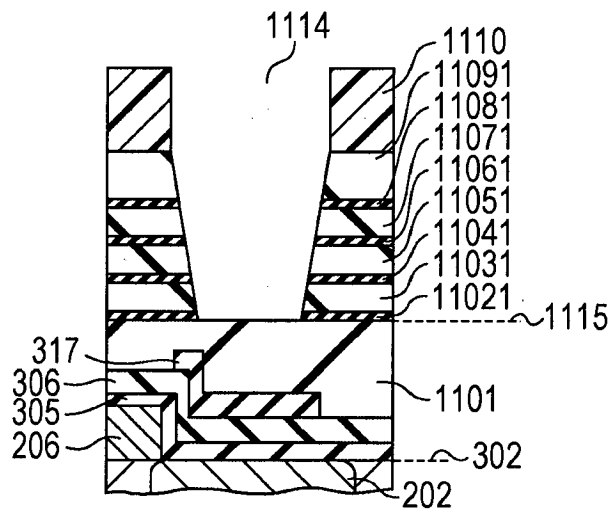


图 11C

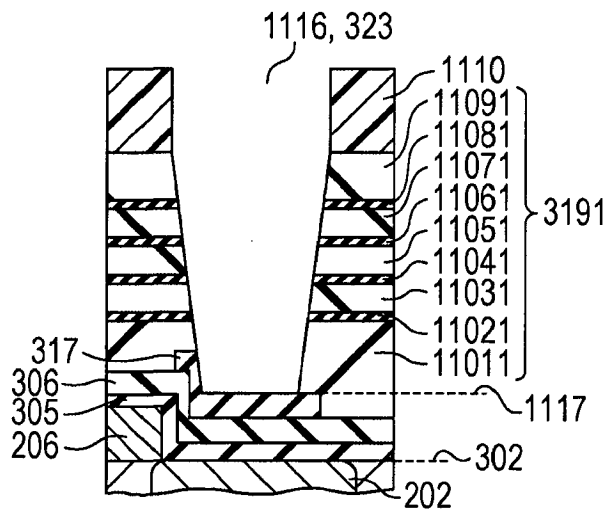


图 11D

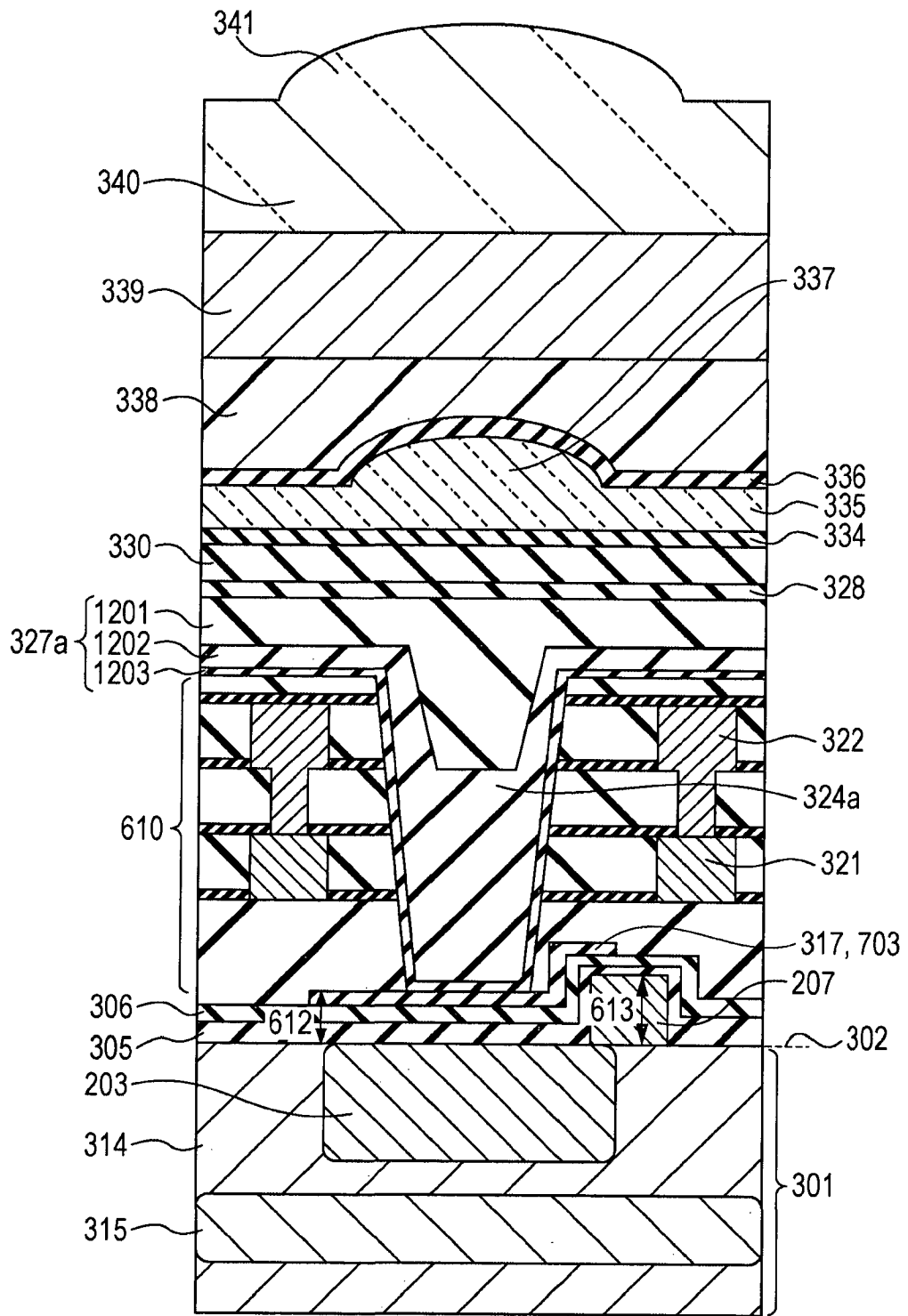


图 12

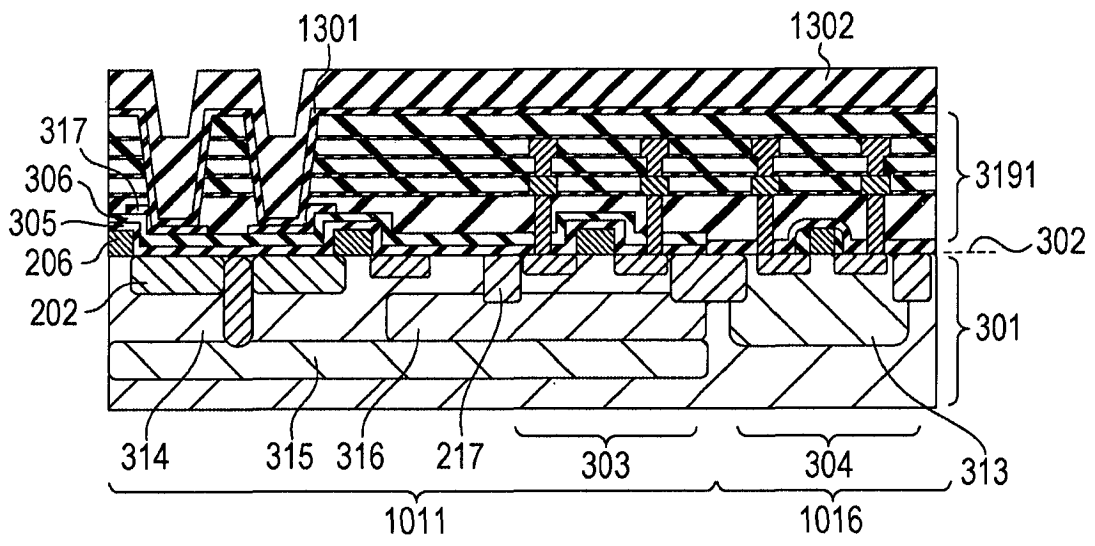


图 13A

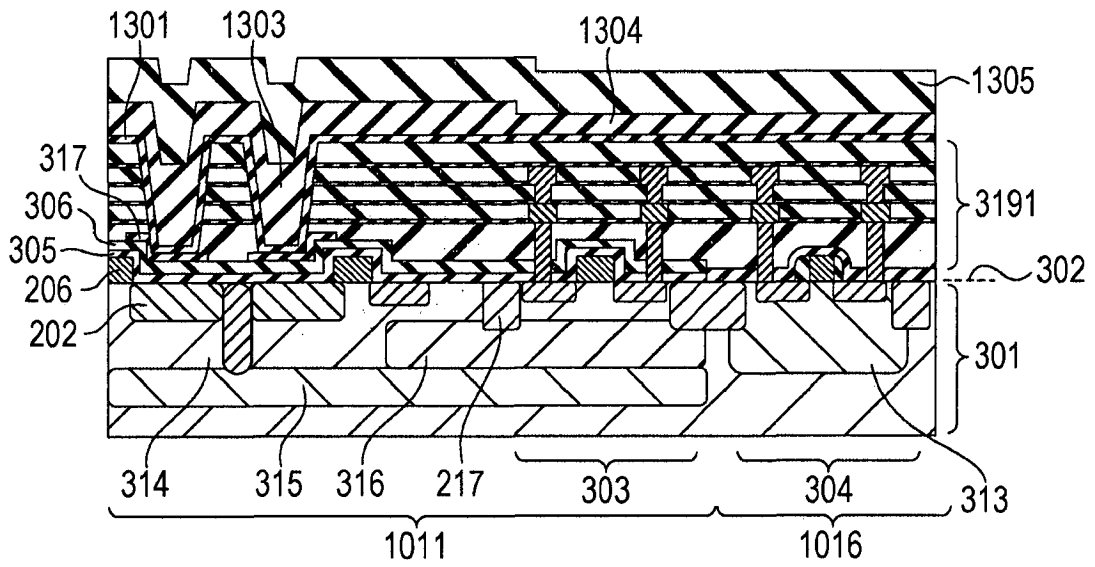


图 13B

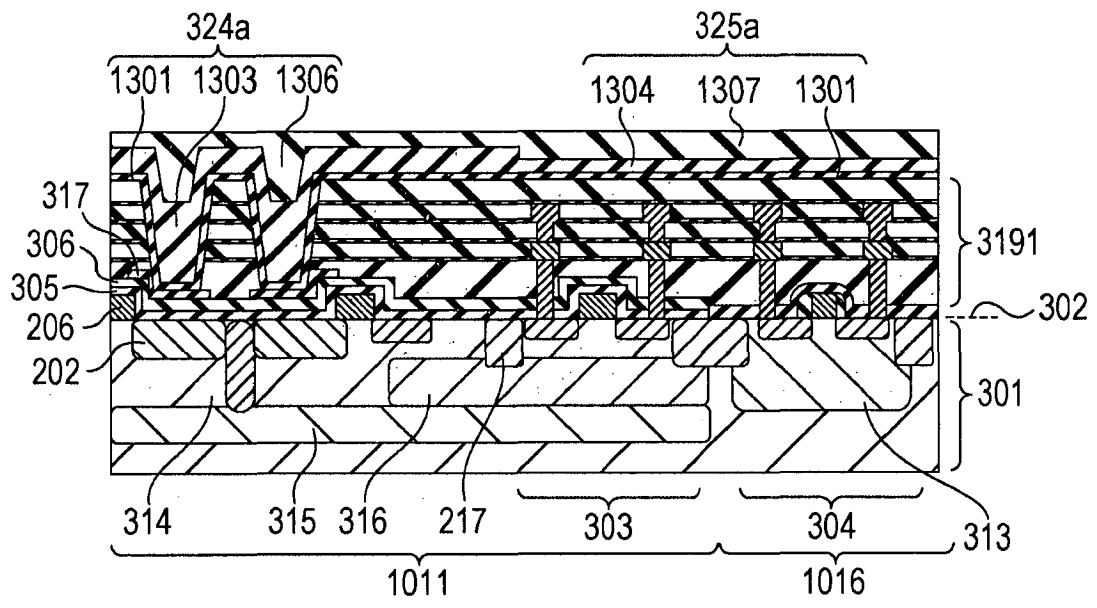


图 13C

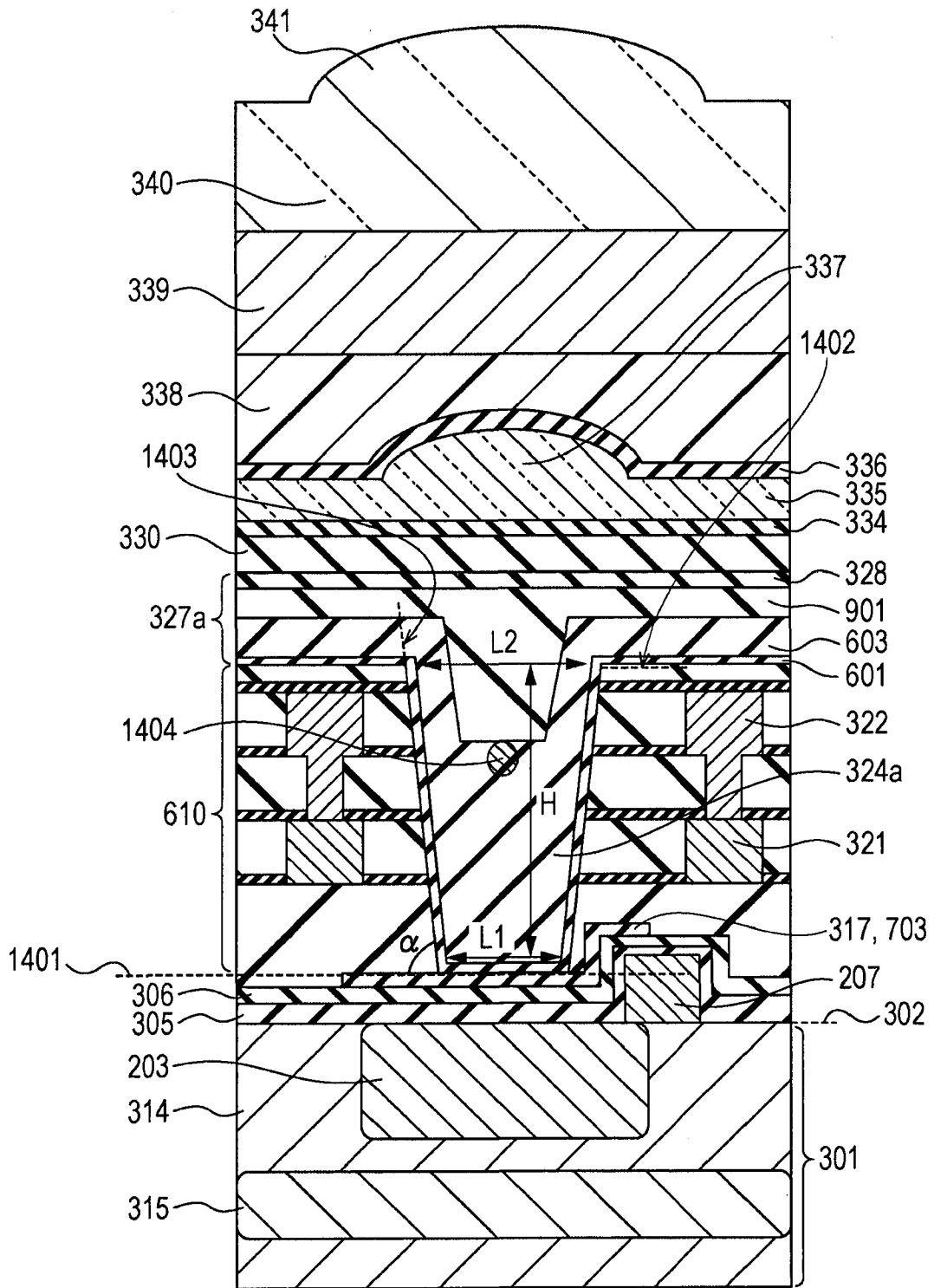


图 14

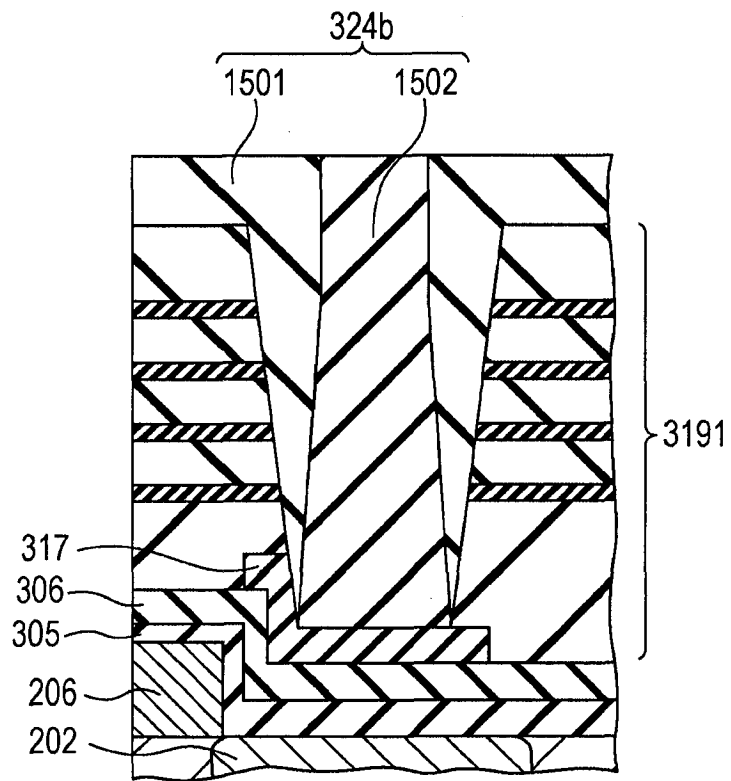


图 15A

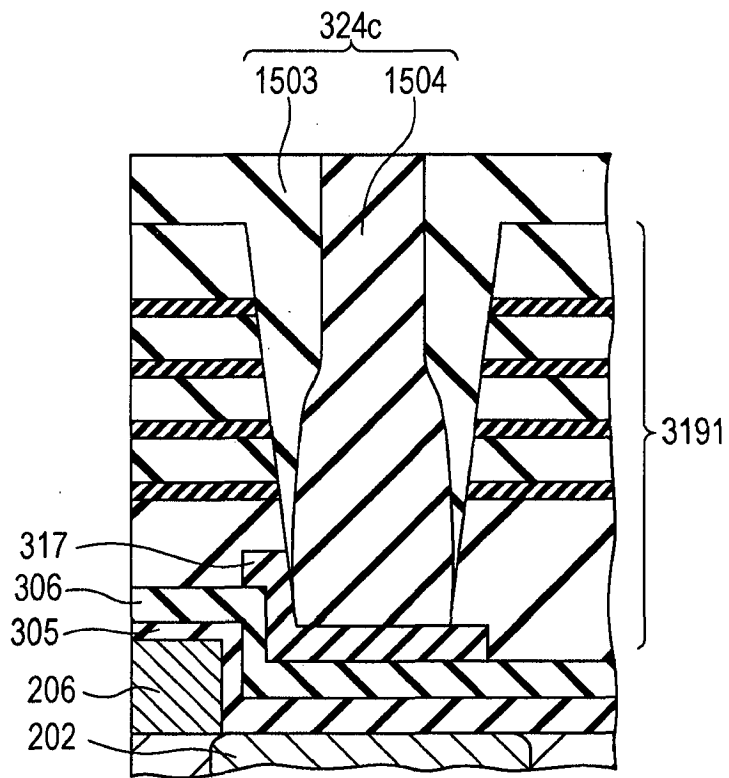


图 15B

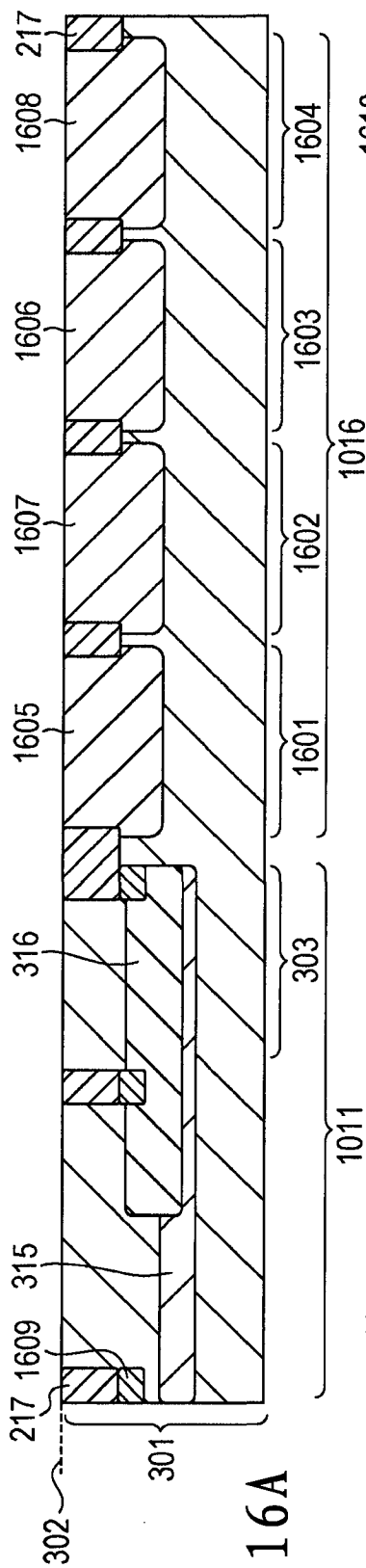


图 16A

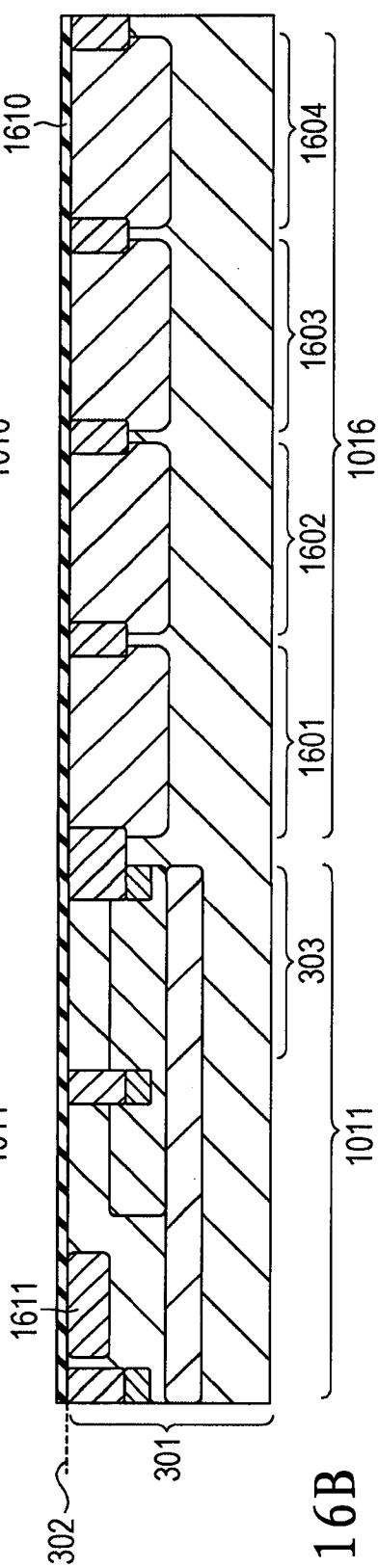


图 16B

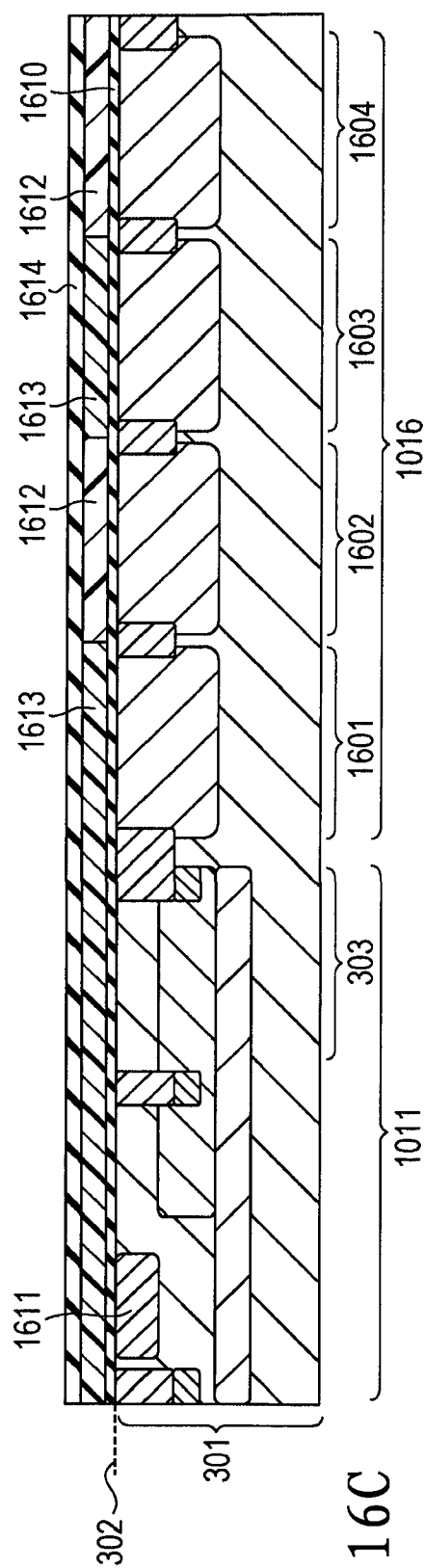
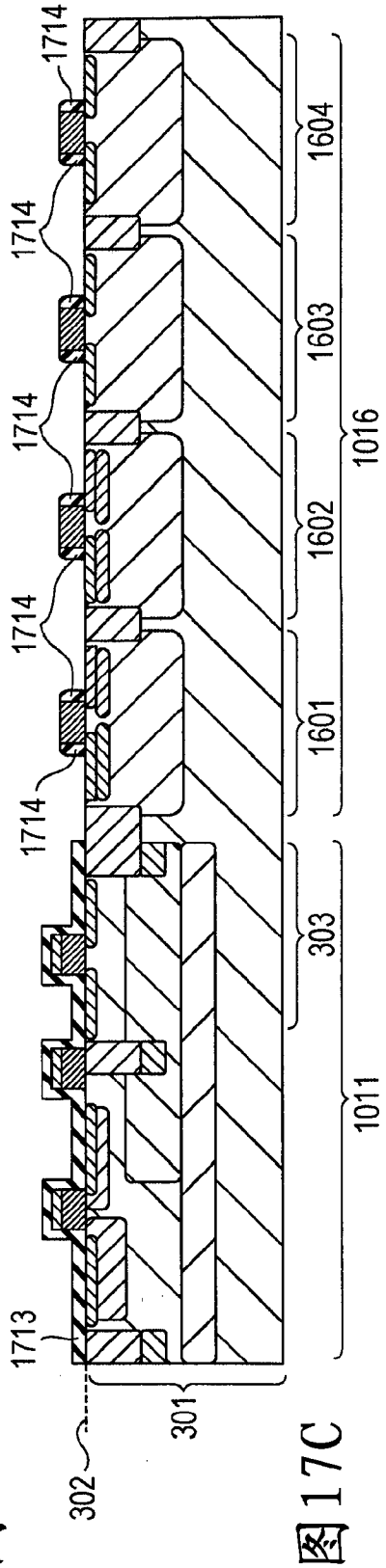
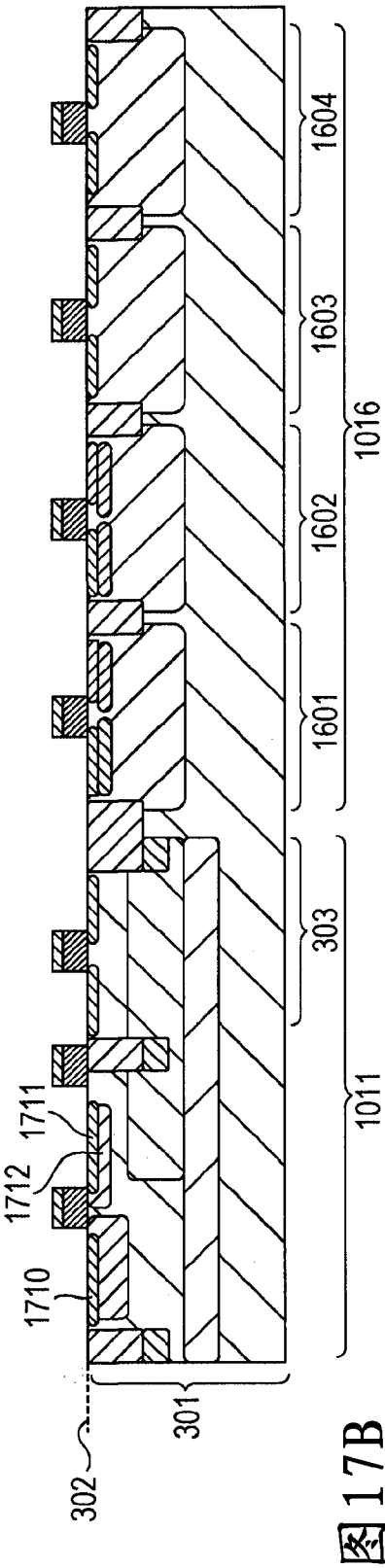
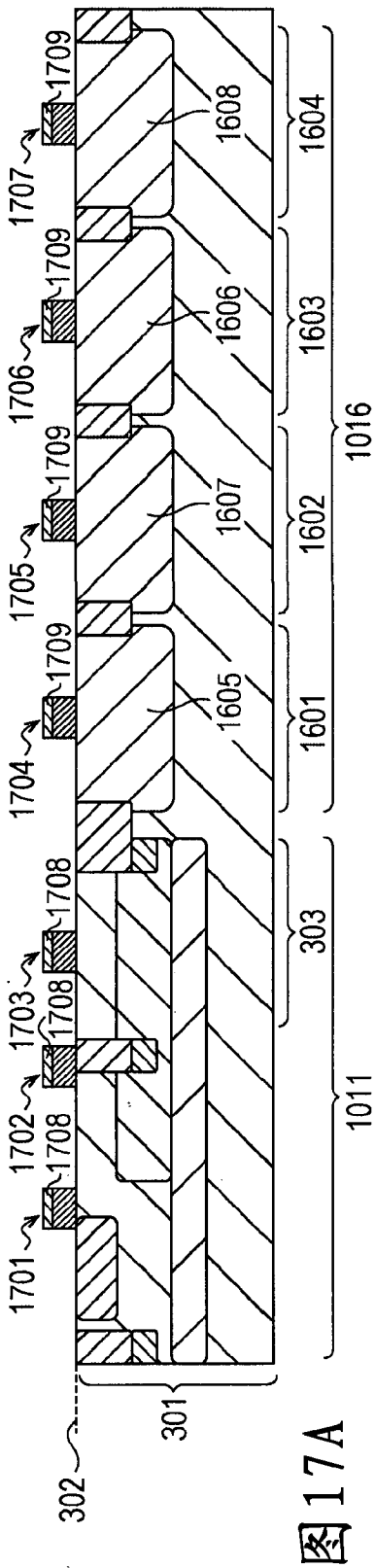


图 16C



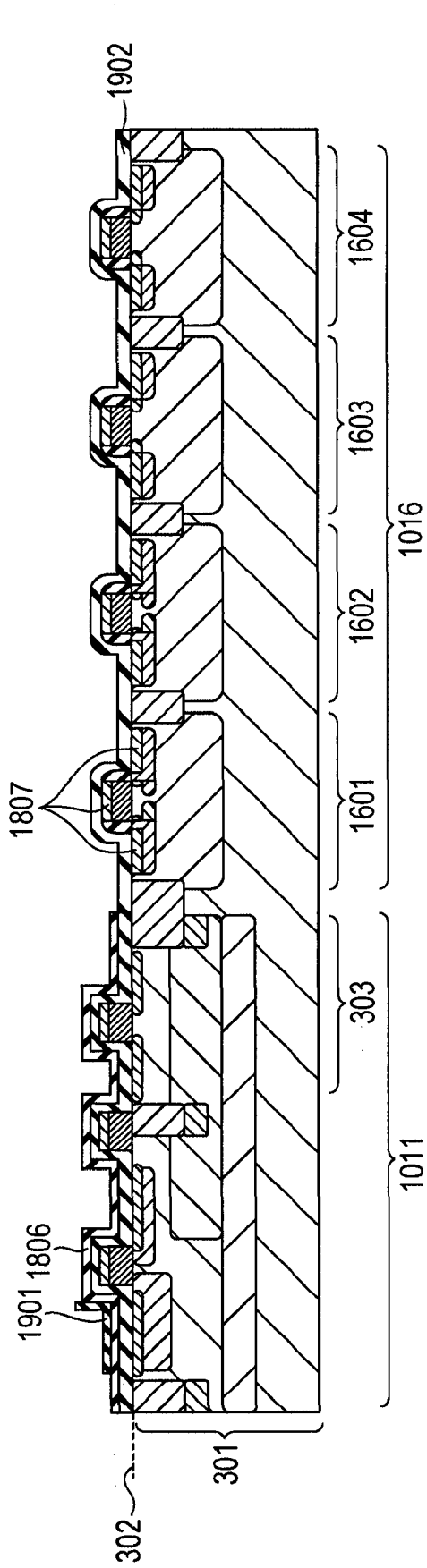


图 19A

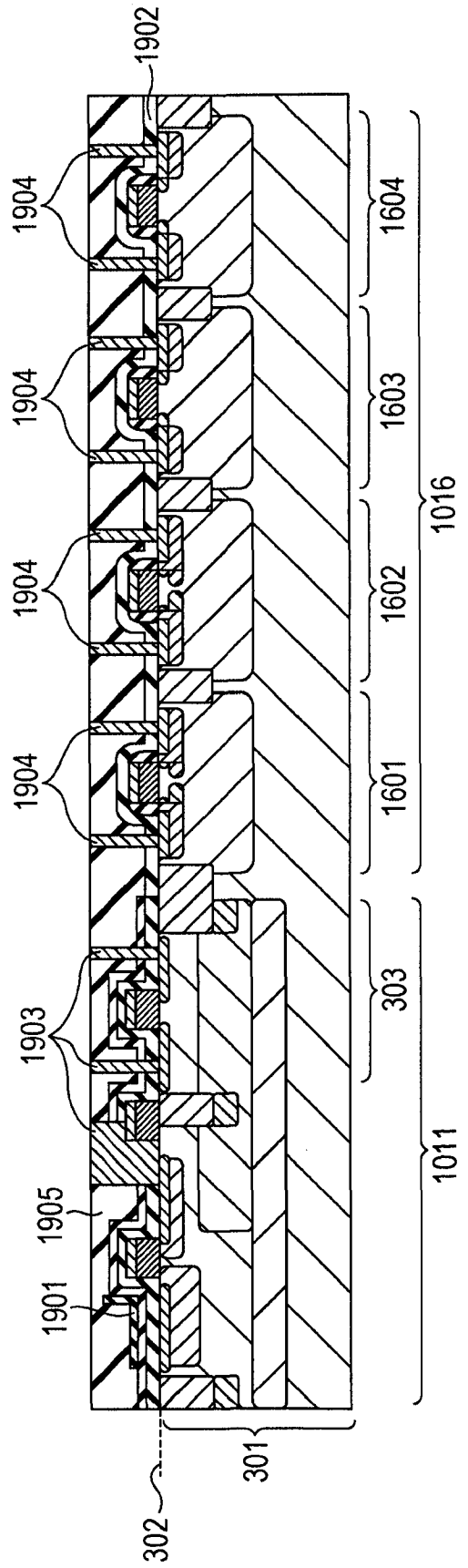


图 19B

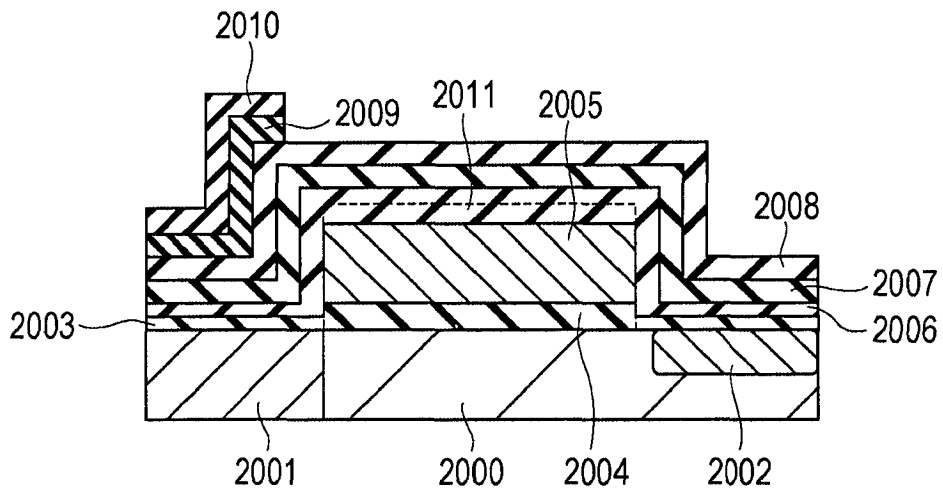


图 20A

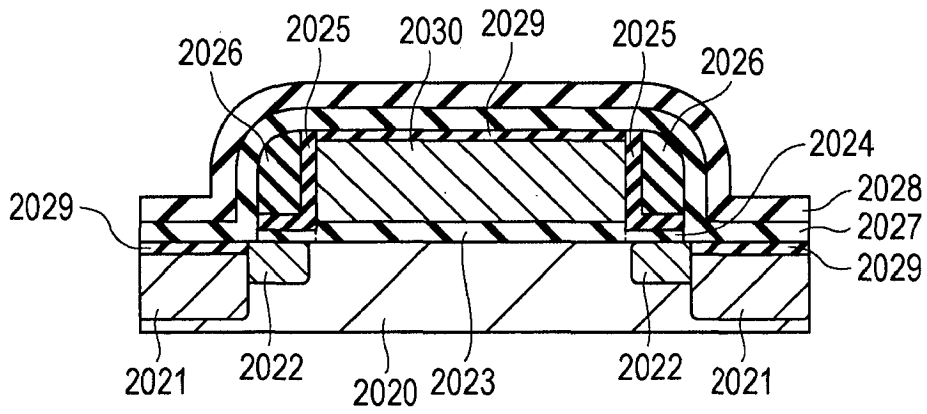


图 20B

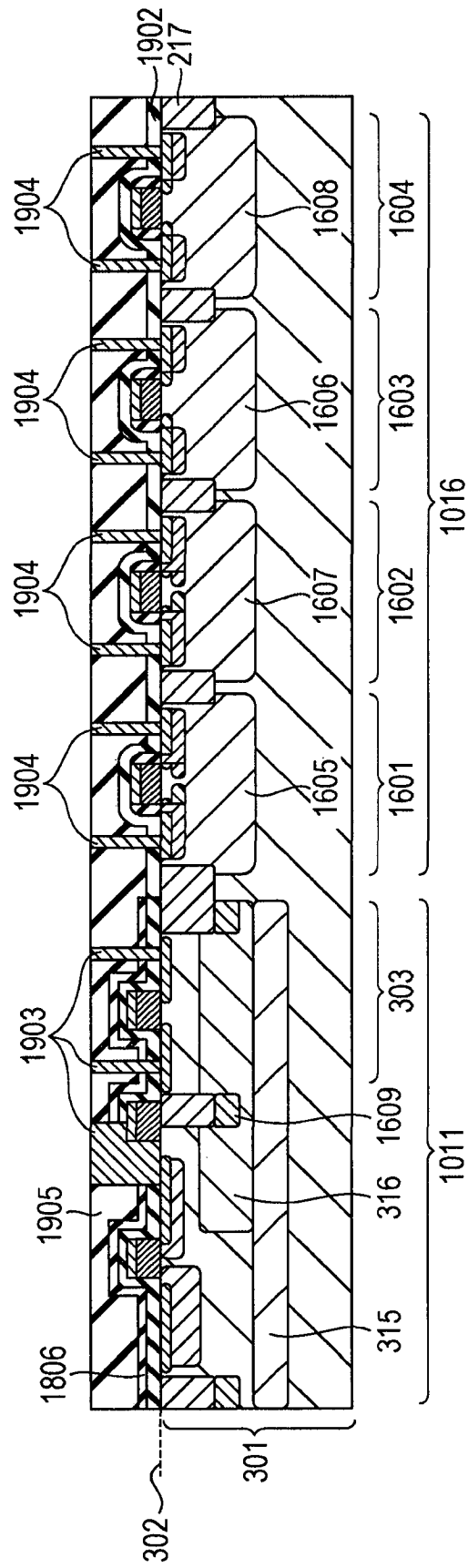


图 21