(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-200550
(P2004-200550A)
(43)公開日　平成16年7月15日(2004.7.15)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/28	H01L 21/28	B	4K028
C23C 8/36	H01L 21/28	301D	4M104
H01L 21/316	H01L 21/28	301R	5F058
H01L 21/8242	C23C 8/36		5F083
H01L 27/108	H01L 21/316	S	5F140

審査請求 未請求　請求項の数 24　ＯＬ　（全 32 頁）　最終頁に続く

(21)出願番号　特願2002-369422(P2002-369422)
(22)出願日　平成14年12月20日(2002.12.20)

(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　山本　直樹
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所中央研究所内

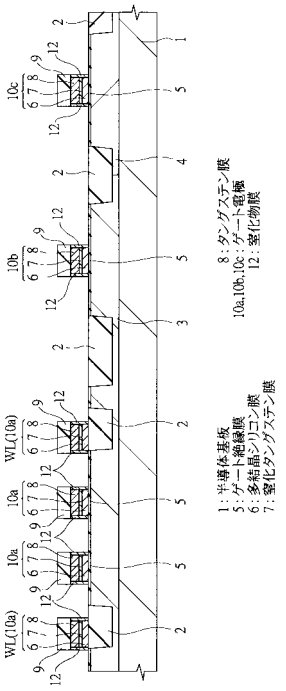
Ｆターム(参考)　4K028 AA01 BA02 BA03 BA11

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【要約】
【課題】信頼性の高い半導体装置の製造方法を提供する。
【解決手段】半導体基板１上のゲート絶縁膜５上に、多結晶シリコン膜６、窒化タングステン膜７およびタングステン膜８を積層してパターニングすることにより、ゲート電極１０ａ，１０ｂ，１０ｃを形成する。それから、半導体基板１の温度を５００℃以下とした状態でアンモニアガスを用いたプラズマ処理を行い、ゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化して、窒化物膜１２を形成する。その後、半導体基板１の温度を５００℃以下とした状態で酸素ガスを用いたプラズマ処理を行い、ゲート電極１０ａ，１０ｂ，１０ｃの周辺の半導体基板表面部分に存在する酸化シリコン膜の損傷や欠陥を修復する。
【選択図】　図５

図５



【特許請求の範囲】
【請求項１】
以下の工程を有することを特徴とする半導体装置の製造方法；
（ａ）半導体基板を準備する工程、
（ｂ）前記半導体基板の主面にゲート絶縁膜を形成する工程、
（ｃ）前記ゲート絶縁膜上に、少なくとも金属膜または金属化合物膜を含む導電膜を形成する工程、
（ｄ）前記導電膜をパターニングしてゲート電極を形成する工程、
（ｅ）前記ゲート電極の側壁を６００℃以下の温度で窒化または炭化させる工程、
（ｆ）前記半導体基板の主面を酸化させる工程。
【請求項２】
請求項１に記載の半導体装置の製造方法において、
前記（ｅ）工程では、前記ゲート電極の側壁を５００℃以下の温度で窒化または炭化させることを特徴とする半導体装置の製造方法。
【請求項３】
請求項１に記載の半導体装置の製造方法において、
前記（ｅ）工程では、窒素を含むガスを用いたプラズマ処理を行い、前記ゲート電極の側壁を窒化させることを特徴とする半導体装置の製造方法。
【請求項４】
請求項１に記載の半導体装置の製造方法において、
前記（ｅ）工程では、窒素ガスまたはアンモニアガスを用いたプラズマ処理を行い、前記ゲート電極の側壁を窒化させることを特徴とする半導体装置の製造方法。
【請求項５】
請求項１に記載の半導体装置の製造方法において、
前記（ｅ）工程では、炭素を含むガスを用いたプラズマ処理を行い、前記ゲート電極の側壁を炭化させることを特徴とする半導体装置の製造方法。
【請求項６】
請求項１に記載の半導体装置の製造方法において、
前記（ｅ）工程では、炭素を含む雰囲気中で熱処理することにより、前記ゲート電極の側壁を炭化させることを特徴とする半導体装置の製造方法。
【請求項７】
請求項１に記載の半導体装置の製造方法において、
前記（ｆ）工程では、酸素を含むガスを用いたプラズマ処理により、前記半導体基板の主面を酸化させることを特徴とする半導体装置の製造方法。
【請求項８】
請求項７に記載の半導体装置の製造方法において、
前記（ｆ）工程では、酸素ガスまたはオゾンガスが用いられることを特徴とする半導体装置の製造方法。
【請求項９】
請求項１に記載の半導体装置の製造方法において、
前記（ｆ）工程では、６００℃以下の温度で前記半導体基板の主面を酸化させることを特徴とする半導体装置の製造方法。
【請求項１０】
請求項１に記載の半導体装置の製造方法において、
前記（ｆ）工程では、５００℃以下の温度で前記半導体基板の主面を酸化させることを特徴とする半導体装置の製造方法。
【請求項１１】
請求項１に記載の半導体装置の製造方法において、
前記（ｆ）工程では、前記（ｄ）工程で生じた前記ゲート電極端部近傍の前記ゲート絶縁膜の損傷が修復されることを特徴とする半導体装置の製造方法。

【請求項１２】
請求項１に記載の半導体装置の製造方法において、
前記（ｄ）工程の後で前記（ｅ）工程の前に、
（ｄ１）シリコンを含むガスを用いたプラズマ処理により、前記ゲート電極の側壁にシリコンまたはシリコン化合物を付着させる工程、
を有することを特徴とする半導体装置の製造方法。
【請求項１３】
請求項１２に記載の半導体装置の製造方法において、
前記（ｄ１）工程では、
シリコンハロゲン化物ガスまたはシリコン水化物ガスを用いたプラズマ処理により、前記ゲート電極の側壁にシリコンまたはシリコン化合物を付着させることを特徴とする半導体装置の製造方法。
【請求項１４】
請求項１に記載の半導体装置の製造方法において、
前記ゲート電極は、多結晶シリコン膜、前記多結晶シリコン膜上の窒化金属膜および前記窒化金属膜上の金属膜からなる積層構造を有することを特徴とする半導体装置の製造方法。
【請求項１５】
請求項１４に記載の半導体装置の製造方法において、
前記窒化金属膜はタングステン、モリブデン、タンタルまたはチタンの窒化物からなり、
前記金属膜はタングステン、モリブデン、タンタルまたはチタンからなることを特徴とする半導体装置の製造方法。
【請求項１６】
請求項１４に記載の半導体装置の製造方法において、
前記ゲート電極は、前記多結晶シリコン膜と前記窒化金属膜との間に珪化金属膜を更に有することを特徴とする半導体装置の製造方法。
【請求項１７】
請求項１６に記載の半導体装置の製造方法において、
前記珪化金属膜はタングステン、モリブデン、タンタル、チタン、ジルコニウムまたはハフニウムの珪化物からなることを特徴とする半導体装置の製造方法。
【請求項１８】
請求項１に記載の半導体装置の製造方法において、
前記ゲート電極は、多結晶シリコン膜、前記多結晶シリコン膜上の炭化金属膜および前記窒化金属膜上の金属膜からなる積層構造を有することを特徴とする半導体装置の製造方法。
【請求項１９】
請求項１に記載の半導体装置の製造方法において、
前記ゲート電極は、金属膜の単層構造を有することを特徴とする半導体装置の製造方法。
【請求項２０】
請求項１に記載の半導体装置の製造方法において、
前記ゲート電極は、多結晶シリコン膜と、前記多結晶シリコン膜上の珪化金属膜とからなる積層構造を有することを特徴とする半導体装置の製造方法。
【請求項２１】
請求項１に記載の半導体装置の製造方法において、
前記（ｃ）工程の後で前記（ｄ）工程の前に、
（ｃ１）前記導電膜上に第１絶縁膜を形成する工程、
を有し、
前記（ｄ）工程では、前記第１絶縁膜および前記導電膜がパターニングされ、
前記（ｅ）工程では、前記ゲート電極上に前記第１絶縁膜が残存し、前記ゲート電極は側壁部だけが露出していることを特徴とする半導体装置の製造方法。

【請求項２２】
請求項１に記載の半導体装置の製造方法において、
窒素酸化物ガスまたは炭素酸化物ガスを用いたプラズマ処理を行うことによって、前記（ｅ）工程と前記（ｆ）工程とを同時に進行させることを特徴とする半導体装置の製造方法。
【請求項２３】
請求項２２に記載の半導体装置の製造方法において、
前記窒素酸化物ガスまたは前記炭素酸化物ガスは、還元性を有することを特徴とする半導体装置の製造方法。
【請求項２４】
請求項１に記載の半導体装置の製造方法において、
前記（ｄ）工程では、前記導電膜のパターニングによって除去される部分の下に位置する前記ゲート絶縁膜の少なくとも一部を残存させることを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体装置の製造技術に関し、特に、低抵抗で高温熱処理に耐え得るゲート電極を有する半導体装置の製造技術に適用して有効な技術に関する。
【０００２】
【従来の技術】
半導体素子の高集積化が進むとともに、それを構成する電極および配線も微細化されている。これにともない配線幅も微細化されるため、電極、配線の抵抗が増大して信号遅延が顕著になり、高速で高性能な集積回路を設計するのが難しくなってきている。特に、従来のＭＯＳ（Ｍｅｔａｌ－Ｏｘｉｄｅ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ：メタル－オキサイド－セミコンダクタ）型半導体装置のゲート電極、配線として広く用いられてきた多結晶シリコンは、約１ミリオームセンチメートル（１ｍΩ・ｃｍ）と抵抗が比較的高いため、該電極、配線の低抵抗化技術が高速高集積回路を実現するための鍵となっている。これらのシリコン層の低抵抗化には、チタンやコバルトを蒸着し、これらの金属を半導体素子の中でシリコンが露出した電極配線部でのみ反応させて低抵抗の金属珪化物（シリサイド）を形成する技術、すなわち自己整合シリサイド化技術が広く検討され、実用化されている。しかしこれらのシリサイド、特にチタンシリサイドを用いた配線（電極）では、配線幅（電極幅）が０．５μｍ程度以下に微細化されると、シリサイド層の抵抗自体が配線幅（電極幅）が広い場合に得られていたほどに低くならないという問題がある。
【０００３】
このため、従来用いられてきた多結晶シリコンゲート電極、配線と同等の安定したＭＯＳ（トランジスタ）電気特性を確保し、かつシリサイドよりさらに抵抗が低く、配線（電極）幅が０．５μｍ以下に微細化されても抵抗率の上昇を伴わないゲート電極、配線の検討が進められている。
【０００４】
近年、該目的に適したゲート電極、配線として、多結晶シリコン膜とタングステン膜を重ねあわせ、かつこれらの金属膜とシリコン膜間にタングステンやチタンなどの窒化物からなるバリア層を設けた構造が各所で検討されている。この構造では、タングステンなどの金属層と下地のシリコン層がほとんど反応しないため、熱処理後も金属単層と同程度の低いシート抵抗を有するゲート電極・配線を実現できる。この低抵抗配線（電極）の効果により、高集積回路半導体装置の高速動作が期待できる。
【０００５】
上記のように高融点金属層／バリア層／シリコン層の積層構造ではシリサイド反応が生じないため、上層の高融点金属層の低い抵抗率をそのまま利用した電極・配線を形成できる長所がある。この積層膜はドライエッチング法などでゲート電極・配線のパターンに加工

される。この加工工程において電極・配線周辺のシリコン基板表面に存在したゲート酸化膜は損傷をうけ、その状態のまま半導体装置を作製するとゲート絶縁膜の絶縁耐圧やＭＯＳトランジスタの長期信頼性が損なわれるなどの問題が生じる。この状況は従来の多結晶シリコン単層からなるゲート電極・配線においても同様である。このため、一般的には電極・配線形状に加工後、それらの周辺のシリコン酸化膜をいったん除去して再度清浄なシリコン酸化膜を形成するか、あるいは除去せずに酸化雰囲気で熱処理することにより欠陥部を修復する方法が用いられてきた。これらの処理は８００℃程度以上の高温で行われる。しかしながら上に述べた積層構造のゲート電極では酸化雰囲気に曝すと簡単に酸化あるいは昇華するタングステンなどの金属層を有しているため上に述べたシリコンの再酸化を行うことが難しい。そこで熱力学的な考察により、水素ガスに制御された微量の水分を添加した雰囲気で熱処理することによりこれらの金属を酸化（むしろ金属酸化物が存在しても還元される）することなく、シリコンのみを選択的に酸化することができる熱処理技術（選択酸化技術）が提供され、半導体装置の高信頼度化のために適用されてきた（特許文献１参照）。

【０００６】

また、ウエハ表面に付着した有機物（フォトレジスト）を除去するために行なう薬液洗浄工程の前にゲート電極の側壁を窒化させて窒化タングステン側壁保護膜を形成することにより、タングステン膜を腐食させる溶液（硫酸過酸化水素水混合液）によるタングステン膜の腐食を防止する技術が特許文献２に記載されている（特許文献２参照）。

【０００７】

また、ゲートラインのパターニング工程の後、NH_3ガス雰囲気中で８００～１１５０℃でアニーリングすることにより、パターニングされたゲートラインの側面の露出部分を窒化してタングステン窒化物層を形成し、タングステン膜の異常酸化を防止する技術が特許文献３に記載されている（特許文献３参照）。

【０００８】

また、ゲート電極のパターニング後、ゲート電極のタングステン膜の表面を窒化して、ゲート電極の側壁にシリコン窒化膜でサイドウォールを形成する際のホイスカ（ウィスカ）の発生を防止する技術が特許文献４に記載されている（特許文献４参照）。

【０００９】

【特許文献１】

米国特許第６１９７７０２号明細書

【００１０】

【特許文献２】

特開２０００－２２３４３９号公報

【００１１】

【特許文献３】

特開２０００－２４３７５３号公報

【００１２】

【特許文献４】

特開２００２－９３７４３号公報

【００１３】

【発明が解決しようとする課題】

上に述べたシリコンの選択酸化技術（水素ガスに制御された微量の水分を添加した雰囲気での熱処理）により、ＭＯＳトランジスタなどのゲート絶縁膜関連の信頼性は飛躍的に改善された。しかしながら、本発明者の検討によれば、この熱処理に関連した新たな問題が顕在化した。すなわち、この熱処理（選択酸化）は７００℃あるいはそれ以上の温度で行われるが、積層構造の界面においてタングステンなどの金属が酸化されてしまう。特に、ゲート電極・配線が０．２ミクロンメーター（０．２μｍ）程度以下に微細化されると、ゲート電極側壁部から多結晶シリコンとバリア層界面あるいはバリア層およびその上の金属層界面を酸化種（酸素や水分）が拡散し、多結晶シリコン層とその上層のバリア層ある

いは金属層間の接触抵抗が桁のレベルで上昇し、この高接触抵抗に起因して半導体装置を高速で動作させることが困難になるという問題がある。またゲート電極・配線の加工工程およびその後の洗浄工程でこれらの側壁部に露出した金属層表面にそれらの酸化物が形成される。この状態で上記の選択酸化を行うと、その熱処理過程で側壁の酸化物が昇華し、露出させた電極・配線周辺のシリコン基板あるいは損傷のあるシリコン酸化物に付着して基板内に金属汚染が侵入し、メモリなどの半導体装置の電荷保持特性の劣化やソース、ドレインなどの接合層でのリーク電流の増大、さらにゲート絶縁膜の絶縁耐圧劣化などの問題を生じる。

【００１４】

また、上記ゲート電極の窒化の技術は、薬液による腐食防止、タングステン膜の異常酸化防止あるいはサイドウォール形成時のホイスカ発生防止のために行なわれており、シリコンの選択酸化技術の上記問題を解決するものではない。

【００１５】

従って、ドライエッチングなどの工程で生じたゲート電極・配線周辺のシリコン酸化膜の損傷や欠陥を修復するとともに、積層構造ゲート電極における層間接触抵抗の増大を回避し、かつ電極・配線の金属層側壁に起因したシリコン基板への汚染を低減することにより、高速動作が可能でかつ信頼性の高い半導体装置を実現することが望まれる。

【００１６】

本発明の目的は、信頼性の高い半導体装置の製造方法を提供することにある。

【００１７】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１８】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１９】

金属膜または金属化合物膜を含むゲート電極のパターニング後に、ゲート電極側壁を低温で窒化または炭化させて金属膜側壁に保護膜を形成した後に、低温でライト酸化を行うものである。

【００２０】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【００２１】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【００２２】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【００２３】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【００２４】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明す

るための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態で用いる図面においては、平面図などであっても図面を見易くするためにハッチングを付す場合もある。また、断面図であっても、ハッチングを省略する場合もある。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【００２５】

（実施の形態１）

本実施の形態の半導体装置の製造工程を図面を参照して説明する。図１～図１３は、本発明の一実施の形態である半導体装置、例えばＤＲＡＭ（Dynamic Random Access Memory）またはメモリ・ロジック混載型半導体装置の製造工程中の要部断面図である。なお、図４は、図３の部分拡大断面図に対応し、図６は図５の部分拡大断面図に対応する。

【００２６】

図１に示すように、例えば１～１０Ωｃｍ程度の比抵抗を有するｐ型の単結晶シリコンなどからなる半導体基板（半導体ウエハ）１の主面に素子分離領域２が形成される。素子分離領域２は酸化シリコンなどからなり、例えばＳＴＩ（Shallow Trench Isolation）法またはＬＯＣＯＳ（Local Oxidization of Silicon ）法などにより形成される。

【００２７】

次に、半導体基板１のメモリセルを形成する領域（メモリ部、メモリアレイ）と周辺回路の一部（ｎチャネル型ＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor））を形成する領域にｐ型ウエル３を形成し、周辺回路の他の一部（ｐチャネル型ＭＩＳＦＥＴ）を形成する領域にｎ型ウエル４を形成する。ｐ型ウエル３は、例えばホウ素（Ｂ：ボロン）などの不純物をイオン注入することなどによって形成され、ｎ型ウエル４は、例えばリン（Ｐ）などの不純物をイオン注入することなどによって形成される。

【００２８】

次に、ｐ型ウエル３およびｎ型ウエル４の表面（半導体基板１の主面）にゲート絶縁膜５が形成される。ゲート絶縁膜５は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成することができる。ゲート絶縁膜５の膜厚は、例えば４ｎｍ程度である。

【００２９】

次に、図２に示されるように、半導体基板１の全面上に（すなわちゲート絶縁膜５上）、例えばＣＶＤ（化学的気相成長：Chemical Vapor Deposition）法などを用いて、例えば５０ｎｍ程度の厚みの多結晶シリコン膜６を形成する。それから、イオン注入（イオン打ち込み）法などを用いて、多結晶シリコン膜６のうち、ｐ型ウエル３上の多結晶シリコン膜６にリン（リンイオン）などを導入（ドープ）し、ｎ型ウエル４上の多結晶シリコン膜６にホウ素（ボロンイオン）などを導入（ドープ）する。リンおよびホウ素のイオン注入は、それぞれ例えば2×10^{15}／cm^2（2×10^{15}イオン／cm^2）程度のドーズ量で行なわれる。その後、窒素雰囲気中などで例えば８５０℃、１０秒程度の熱処理を行う。多結晶シリコン膜６の代わりとして、非晶質シリコン膜または単結晶シリコン膜を用いることもできる。また、非晶質シリコン膜を堆積した後に、熱処理などにより非晶質シリコン膜を多結晶シリコン膜６に変化させることもできる。

【００３０】

次に、フッ酸とフッ化アンモニウムの混合液で、多結晶シリコン膜６の表面上の自然酸化膜を除去（洗浄して除去）する。それから、多結晶シリコン膜６の表面に再形成される自然酸化膜をできるだけ少なく（抑制）するため、洗浄後例えば３分以内に、金属膜形成用のマルチチャンバスパッタ装置の真空チャンバ内に半導体基板１を装填する。

【００３１】

次に、半導体基板１をタングステンスパッタ用のチャンバに移動させて例えば５００℃程度に加熱した後、タングステンターゲットをアルゴンと窒素の混合ガス中でスパッタすることにより、窒化タングステン膜（タングステン窒化物膜）７を半導体基板１（多結晶シリコン膜６）上に堆積（被着）させる。形成される窒化タングステン膜７の厚みは例えば

８ｎｍ程度である。窒化タングステン膜７は、スパッタパワーを例えば１ｋＷとし、スパッタ用チャンバへのアルゴンガス流量（流入量）を例えば４０ｃｃ／分とし、窒素ガス流量を例えば６０ｃｃ／分とした条件などで成膜することができる。

【００３２】

次に、スパッタ放電を継続しながらアルゴンガス流量（流入量）を１００ｃｃ／分に変更すると同時に窒素ガスの供給を遮断（中止）して、半導体基板１上に金属タングステンが被着（堆積）するようにする。この状態での放電時間を制御することにより、例えば５０ｎｍ程度の厚みを有するタングステン膜（金属層）８が窒化タングステン膜（バリア層）７上に形成される。

【００３３】

次に、例えばプラズマＣＶＤ装置などを用いて、半導体基板１を例えば４２０℃に保った状態で窒化シリコン膜９を半導体基板１（タングステン膜８）上に堆積させる。形成される窒化シリコン膜９の厚みは、例えば１６０ｎｍ程度である。窒化シリコン膜９の他の材料として、酸化シリコン膜または炭化シリコン膜などを用いることもできる。

【００３４】

次に、図３に示されるように、フォトリソグラフィ技術およびドライエッチング技術を用いて、窒化シリコン膜９を選択的に除去して所定の形状にパターニング（加工、パターン化）する。それから、フォトレジストパターンまたはこのパターンニングされた窒化シリコン膜９を加工マスク（エッチングマスク）として用い、タングステン膜８、窒化タングステン膜７および多結晶シリコン膜６の積層構造を反応性ガスプラズマ（プラズマエッチング）などを用いて選択的に除去してパターニング（加工、パターン化、ドライエッチング）し、ゲート電極（ゲート配線）１０ａ，１０ｂ，１０ｃを形成する。ゲート電極１０ａは、ＤＲＡＭのメモリアレイのワード線ＷＬとして機能することができる。

【００３５】

図３および図４に示されるように、形成されたゲート電極（ゲート配線）１０ａ，１０ｂ，１０ｃは、下から多結晶シリコン膜６、窒化タングステン膜７およびタングステン膜８の積層構造を有している。タングステン膜８はゲート電極を低抵抗化するように機能する。また、例えばゲート電極１０ａのシート抵抗が低減できるので、ワード線遅延などを低減することができる。タングステン膜８のかわりの材料としては高融点金属を用いることができ、例えばチタン（Ｔｉ）、タンタル（Ｔａ）またはモリブデン（Ｍｏ）などを用いることもできる。窒化タングステン膜７はバリア層として機能し、例えば、タングステン膜（金属層）８と多結晶シリコン膜６との反応防止、接着性の向上、または不純物の拡散防止などの機能を有する。窒化タングステン膜７の材料としては高融点金属窒化物を用いることができ、ここで例示した窒化タングステン（ＷＮｘ）だけでなく、例えば窒化モリブデン（ＭｏＮｘ）、窒化タンタル（ＴａＮｘ）あるいは窒化チタン（ＴｉＮｘ）（すなわちタングステン、モリブデン、タンタルまたはチタンの窒化物）などを用いることができる。窒化タングステン膜７の更に他の材料としては高融点金属炭化物を用いることもでき、例えば炭化タングステン（ＷＣｘ）、炭化モリブデン（ＭｏＣｘ）、炭化タンタル（ＴａＣｘ）あるいは炭化チタン（ＴｉＣｘ）（すなわちタングステン、モリブデン、タンタルまたはチタンの炭化物）などを用いることもできる。

【００３６】

通常、ドライエッチング工程後の洗浄としてアンモニアと過酸化水素の水溶液で洗浄した後にフッ酸希釈水溶液でエッチング洗浄する。しかしながら、過酸化水素を用いるとタングステン膜８がエッチングされる恐れがある。また、フッ酸水溶液を用いるとゲート電極１０ａ，１０ｂ，１０ｃの周辺の半導体基板１上の酸化シリコン膜が（膜厚が薄いので）エッチング除去されてしまう恐れがある。このため、いずれのエッチング作用をともなう洗浄も施すのが難しいため、本実施の形態では、水洗を例えば２０分程度行なう。これにより、タングステン膜８や酸化シリコン膜のエッチングを防止できる。

【００３７】

ゲート電極１０ａ，１０ｂ，１０ｃの加工（ドライエッチング）により、ゲート電極１０

ａ，１０ｂ，１０ｃの周辺の半導体基板表面部分に存在する酸化シリコン膜１１（ゲート電極下部以外のゲート絶縁膜５の残存部分）には、損傷や欠陥が生じている。また、ゲート電極１０ａ，１０ｂ，１０ｃの側壁下部において、ゲート絶縁膜５がエッチングされてアンダーカットが生じてしまう恐れもある。これは、ゲート絶縁膜５の耐圧が低下するなどの不具合を生じさせる。このため、削れたゲート絶縁膜５を再生するため、再酸化（ライト酸化）処理を行う必要がある。これにより、ゲート電極１０ａ，１０ｂ，１０ｃの加工（ドライエッチング）により生じたゲート電極１０ａ，１０ｂ，１０ｃの周辺の半導体基板表面部分に存在する酸化シリコン膜１１の損傷や欠陥を修復し、あるいは清浄な酸化シリコン膜を再形成することができ、ゲート絶縁膜の耐圧を向上することができる。

【００３８】

本実施の形態では、そのようなライト酸化処理を行なう前に、ゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化する処理（窒化処理）を行う。すなわち、窒素を含むガスを用いたプラズマ処理（例えばアンモニアプラズマ処理または窒素プラズマ処理）を行なって、ゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化させる。例えば、プラズマ化学蒸着装置（プラズマＣＶＤ装置）に半導体基板１を装填し、アンモニアガスを導入してアンモニアプラズマを発生させてゲート電極１０ａ，１０ｂ，１０ｃの側壁部を窒化させることができる。窒素を含むガスを用いたプラズマ（例えばアンモニアプラズマまたは窒素プラズマ）に半導体基板１をさらすことで、ゲート電極１０ａ，１０ｂ，１０ｃの側壁が窒化されて、図５および図６に示されるように、窒化物膜（窒化膜）１２が形成される。ゲート電極１０ａ，１０ｂ，１０ｃの側壁の窒化処理は、６００℃以下の温度（半導体基板温度）で行なうことが好ましく、５００℃以下の温度（半導体基板温度）で行なえばより好ましい。また、ゲート電極１０ａ，１０ｂ，１０ｃ上には窒化シリコン膜９が存在するので、ゲート電極１０ａ，１０ｂ，１０ｃの上面すなわちタングステン膜８の上面が窒化されることはない。これにより、ゲート電極の抵抗増大を抑制することができる。

【００３９】

また、後述するように、ゲート電極１０ａ，１０ｂ，１０ｃの側壁の窒化処理の代わりに、ゲート電極１０ａ，１０ｂ，１０ｃの側壁の炭化処理を行なうこともできる。このとき、ゲート電極１０ａ，１０ｂ，１０ｃの側壁には窒化物膜１２の代わりに炭化物膜が形成される。

【００４０】

ゲート電極１０ａ，１０ｂ，１０ｃの側壁に形成された窒化物膜１２は、多結晶シリコン膜６の側面では窒化シリコンからなり、タングステン膜８の側面では窒化タングステンからなる。窒化タングステン膜７はそれ自体が窒化物からなるので、アンモニアプラズマなどに曝されてもほとんど変化しない。従って、窒化物膜１２は、実質的には多結晶シリコン膜６およびタングステン膜８の側面（露出部）で形成されることになる。また、窒化物膜１２の膜厚は、実際には多結晶シリコン膜６の側面とタングステン膜８の側面とで異なり得る。しかしながら、理解を簡単にするために、図５およびそれ以降の図では、窒化物膜（窒化膜）１２がゲート電極の側壁全面（多結晶シリコン膜６、窒化タングステン膜７およびタングステン膜８の側面）に同じ厚みで形成されたものとして図示している。

【００４１】

本発明者の実験によれば、窒化処理（窒化物膜１２の形成）の際の半導体基板１の温度が高すぎると、ゲート電極１０ａ，１０ｂ，１０ｃのタングステン膜８の側面からホイスカ（Whisker、ウィスカ、ひげ結晶）が成長する。走査型電子顕微鏡などによる観察によれば、半導体基板１の温度を例えば７００℃（またはそれ以上）にして窒化処理を行った場合、成長したホイスカの断面形状は例えば正方形であり、長さは例えば０．１～０．３μｍ程度であり、そのようなホイスカが多数成長していた。窒化処理時の半導体基板１の温度が高いほど、ホイスカがより成長しやすくなる傾向にある。より詳細に観察すると、半導体基板１の温度を例えば６００℃程度にしたときに、すでに極微小の粒成長が観察された。ホイスカが成長すると、製造される半導体装置の信頼性が低下する。例えば、ホイスカにより隣接するゲート電極がショートするなどのショート不良が発生する恐れがある。

また、ホイスカが半導体装置の製造工程中の汚染物の原因となる恐れがある。このため、ホイスカの発生（成長）を防止する必要がある。

【００４２】

このため、本実施の形態では、アンモニアプラズマなどによりゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化させて窒化物膜１２を形成する際には、上記のように半導体基板１の温度を６００℃以下にすることが好ましい。これにより、ホイスカの成長を抑制または防止することができ、半導体装置の信頼性を向上できる。また、アンモニアプラズマなどによりゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化させて窒化物膜１２を形成する際に、半導体基板１の温度を５００℃以下にすれば、より好ましい。これにより、ホイスカの成長をより確実に抑制でき、製造工程のプロセスマージンも確保できる。また、５００℃以下で窒化処理を行えば、ゲート電極１０ａ，１０ｂ，１０ｃの側壁の表面だけを窒化でき、薄い窒化物膜１２を制御性よく形成することができる。例えば、５００℃以下で窒化処理を行った試料について、透過電子顕微鏡観察を行った結果、タングステン膜８の側壁（側面）の窒化膜（窒化物膜１２）の膜厚は、例えば１ｎｍ～３ｎｍ程度であった。

【００４３】

また、本実施の形態のように窒素を含むガスを用いたプラズマによってゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化すれば、窒素雰囲気中でのアニールによりゲート電極１０の側壁を窒化する場合に比較して、より低温で窒化物膜１２を形成することが可能となる。このため、半導体装置の信頼性を向上できる。また、アンモニアプラズマまたは窒素プラズマによってゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化すれば、ゲート電極１０の側壁を的確に窒化できるのでより好ましい。

【００４４】

また、窒化物膜１２の膜厚は、２～１５ｎｍであればより好ましい。これにより、ライト酸化の際に生じる前記界面（例えば多結晶シリコン膜６と窒化タングステン膜７との界面または窒化タングステン膜７とタングステン膜８との界面）での酸化を防止するとともに、過酸化水素を含む洗浄液を用いた場合に生じるタングステンのエッチングを抑止できる。さらに酸化性洗浄液を用いた場合に生じる電極（ゲート電極）側壁でのタングステン酸化物の生成の抑止、そして大気放置中に成長する側壁（ゲート電極側壁）での自然金属酸化物の成長を抑制できる。そしてこれらの酸化物生成の抑制は選択酸化（ライト酸化）工程におけるタングステン酸化物の昇華に対する抑制効果を得ることができる。この効果によりメモリやメモリ混載デバイスにおける電荷保持特性の向上を図ることができる。

【００４５】

ゲート絶縁膜１０ａ，１０ｂ，１０ｃの側壁の窒化処理を行った後、上記のように、ゲート電極１０ａ，１０ｂ，１０ｃの加工（ドライエッチング）により生じたゲート電極１０ａ，１０ｂ，１０ｃの周辺の半導体基板表面部分に存在する酸化シリコン膜１１の損傷や欠陥を修復し、あるいは清浄な酸化シリコン膜を再形成するために、酸化または再酸化（ライト酸化）処理（半導体基板１の主面の酸化処理）を行なう。本実施の形態では、半導体基板１に対して酸素を含むガス（例えば酸素ガスまたはオゾンガス）を用いたプラズマによりライト酸化処理（半導体基板１の主面の酸化処理）を行なう。このライト酸化処理（酸化処理）は、６００℃以下の温度（半導体基板温度）で行なうことが好ましく、５００℃以下の温度（半導体基板温度）で行なえばより好ましい。また、プラズマ処理後のゲート電極１０ａ，１０ｂ，１０ｃの周辺の半導体基板領域上の酸化シリコン膜の厚みは、例えば３．５ｎｍ程度であり、プラズマ処理におけるプラズマ放電パワー、導入ガス流量および放電時間などを調節して制御することができる。

【００４６】

本発明者の実験によれば、ライト酸化処理（半導体基板１の主面の酸化処理）の際の半導体基板１の温度が高すぎると、ゲート電極１０ａ，１０ｂ，１０ｃの側壁表面の窒化物膜１２が破壊され、花状の異物（ポーラスな異物）が成長することが分かった。これは、ゲート電極１０ａ，１０ｂ，１０ｃの側壁表面（窒化物膜１２）が激しく酸化するためと考えられる。このような現象は、ライト酸化処理の際の半導体基板１の温度が例えば６００

℃程度よりも高くなると発生しやすくなることが分かった。このような現象が生じると、ショート不良などが生じる恐れがある。また、汚染物の原因となる恐れもある。このため、そのような現象は防止する必要がある。

【００４７】

従って、本実施の形態では、窒化物膜１２形成後に酸素プラズマなどによるライト酸化処理（酸化処理）を行なう際には、上記のように半導体基板１の温度を６００℃以下にすることが好ましく、半導体基板１の温度を５００℃以下にすることがより好ましい。これにより、窒化物膜１２の破壊（酸化）による不具合（花状の異物の発生）を抑制または防止することができる。また、ゲート電極１０ａ，１０ｂ，１０ｃの側面からの酸化をより確実に防止することができる。

【００４８】

また、窒化物膜１２を形成することなく酸素プラズマなどによるライト酸化処理（酸化処理）を行なった場合は、この酸化（ライト酸化）プロセスでゲート電極１０ａ，１０ｂ，１０ｃの側壁から昇華したタングステンによる汚染のため、半導体装置の性能や信頼性が低下する。本発明者の実験によれば、例えば、本実施の形態に従ってＤＲＡＭを製造し、そのメモリ電荷保持特性を評価したところ、例えば約２５０ミリ秒程度であった（汚染は問題とならないレベルである）が、窒化物膜１２を形成しなかった比較例の場合は、酸化（ライト酸化）プロセスでゲート電極１０ａ，１０ｂ，１０ｃの側壁から昇華したタングステンによる半導体基板領域の汚染のため、電荷保持特性が６０ミリ秒から１５０ミリ秒程度と短かった。従って、本実施の形態のように、ゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化して窒化物膜１２を形成することで、その後の酸化（ライト酸化）プロセスでのゲート電極１０ａ，１０ｂ，１０ｃの側壁からのタングステンなどの昇華を抑制または防止でき、半導体装置の性能や信頼性を向上することができる。

【００４９】

また、ゲート電極の側壁を窒化（または炭化）させた後に行なうライト酸化処理においては、オゾンガスを導入した処理室で放電（プラズマ放電）させて発生させたイオン生成物（プラズマ）を半導体基板１表面（およびゲート電極１０ａ，１０ｂ，１０ｃ）に照射して酸化（ライト酸化）させることもできる。オゾンガスを用いる（オゾンガスを用いたプラズマ処理を行う）ことにより、酸化速度が速くなるので、低温でライト酸化処理を行うことがより容易となる。

【００５０】

また、本発明者の実験によれば、ゲート電極の加工（ドライエッチング）後のゲート電極周辺部の修復のための上記のようなライト酸化処理（酸化処理）を行なわなかった場合は、ＭＩＳＦＥＴのゲート絶縁耐圧が７ＭＶ／ｃｍ以下となる半導体装置が発生する頻度が高かったが、本実施の形態のようにライト酸化処理（酸化処理）処理を行ってゲート電極１０ａ，１０ｂ，１０ｃの周辺の半導体基板領域を酸化した場合は、ＭＩＳＦＥＴのゲート絶縁耐圧が向上し、不良の半導体装置はほとんど発生しなかった。このため、本実施の形態のようなライト酸化処理（酸化処理）を行なうことで、半導体装置の信頼性を向上できる。

【００５１】

また、タングステンなどの金属の酸化は５００℃程度以上の高温における熱処理で急速に進行する。また金属層の表面に存在したタングステンなどの金属の酸化物（酸化タングステンなど）の昇華も同程度の温度域から顕在化する。従って、これらの温度以下において、水素ガスに制御された微量の水分を添加した雰囲気中でシリコンの選択酸化を行うことも考えられる。しかしながら、そのような選択酸化を５００℃程度以下の低温度で行うのは難しい。これは、これらの温度でのシリコンの選択酸化を可能にする添加水分量が数１００ｐｐｍ以下と微量になるため、添加量の制御が困難になるうえにシリコンの酸化速度が半導体装置を製造するうえでの実用レベルに達しないくらい極端に遅くなるためである。

【００５２】

このため、本実施の形態では、数１００℃の低温でシリコンの酸化を可能にする酸素プラズマなどの活性化した雰囲気で、ゲート電極加工後の酸化（ライト酸化）処理を行う。これにより、比較的低温でライト酸化処理（酸化処理）を行なうことが可能となる。ゲート電極加工後のライト酸化処理（酸化処理）で形成される酸化シリコン膜厚は例えば２ｎｍ（ナノメーター）ないし４ｎｍ（ナノメーター）程度でよい。この酸化（ライト酸化）過程で金属層表面に存在する金属酸化物の昇華を極力抑制するには、半導体基板１の温度を好ましくは６００℃以下、より好ましくは５００℃程度以下の温度に制限する。この酸化（ライト酸化）過程で、ゲート電極の側壁に露出した金属層あるいはバリア層が存在すると、ゲート電極の周辺の半導体基板領域のシリコンと同様に酸化され得る。これらの層（金属層あるいはバリア層）はシリコンより酸化されやすい場合があるが、本実施の形態ではゲート電極の金属層および（または）バリア層の側壁表面を窒化（または炭化）することにより、ゲート電極の金属層やバリア層の酸化を抑制または防止することができる。ゲート電極の金属層および（または）バリア層の側壁の窒化（または炭化）は、半導体基板（シリコン基板）領域よりも早く進むため、ゲート電極１０ａ，１０ｂ，１０ｃ側壁上の窒化物膜１２（または炭化物膜）は半導体基板１上に形成されるシリコン窒化物膜（またはシリコン炭化物膜）よりも厚くなる。この化合物の厚さの差を利用して半導体基板（シリコン基板）１上のゲート電極１０ａ，１０ｂ，１０ｃ端部近傍のシリコンを酸化させている間に進行するゲート電極１０ａ，１０ｂ，１０ｃの金属層またはバリア層の酸化を抑止し、この酸化工程またはその後の熱工程（加熱工程、熱処理工程）などでの金属酸化物の昇華を抑制して半導体装置の信頼性の劣化を抑制または防止することができる。上記のように、この酸化工程を６００℃以下、より好ましくは５００℃以下の低温で行うことにより、金属酸化物の昇華をより的確に抑制できる。

【００５３】

また、ドライエッチングにより所望のゲート電極１０ａ，１０ｂ，１０ｃのパターン形状を形成（パターニング）するに際し、ゲート電極形成用の積層構造（多結晶シリコン膜６、窒化タングステン膜７およびタングステン膜８）のエッチングにより除去された部分の下に存在したゲート絶縁膜５の全部あるいはその一部の厚さが残存するようにドライエッチングを制御することがより好ましい。これにより、ゲート電極１０ａ，１０ｂ，１０ｃ形成のためのドライエッチング工程の終了後に、ゲート電極１０ａ，１０ｂ，１０ｃ周辺の半導体基板領域上に酸化シリコン膜１１が残存する。例えば、ゲート電極形成用の積層構造（多結晶シリコン膜６、窒化タングステン膜７およびタングステン膜８）のエッチング終端をモニタし、ゲート電極１０ａ，１０ｂ，１０ｃの加工（エッチング）終端で遅滞なくエッチングのための放電を停止して、ゲート電極１０ａ，１０ｂ，１０ｃの下部以外の領域のゲート絶縁膜５が完全には除去されないようにする。この残存した酸化シリコン膜１１は、ゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化する際に、半導体基板１のシリコン領域が窒化されるのを抑制する効果がある。

【００５４】

また、ゲート電極の側壁を窒素を含むガスを用いたプラズマ処理により窒化させる代わりに、ゲート電極の側壁に窒化シリコン膜を堆積させることも考えられるが、この場合、ライト酸化工程でのゲート電極の側壁からのタングステンなどの昇華を防止するためには、比較的厚く窒化シリコン膜を堆積させる必要がある。これは、微細化に不利に働いてしまう。本実施の形態では、窒素を含むガスを用いたプラズマ処理によりゲート電極の側壁を窒化させ、ゲート電極の側壁部自身が窒化物となるので、微細化に有利である。また、ゲート電極の側壁部自身が窒化物となるので、ライト酸化工程において、多層構造のゲート電極を構成する各層の界面からの酸化の進行を抑制でき、タングステンなどの昇華を防止することができる。

【００５５】

また、本実施の形態では、ゲート電極の加工後、ライト酸化処理を行う前に、窒素を含むガスを用いたプラズマ処理（例えば窒素プラズマ処理またはアンモニアプラズマ処理）を行なってゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化させたが、他の形態として、ゲ

ート電極の加工後、ライト酸化処理を行う前に、炭素を含むガスを用いたプラズマ処理（例えばメタンガスを用いたプラズマ処理）を行なってゲート電極１０ａ，１０ｂ，１０ｃの側壁を炭化させることもできる。ゲート電極１０ａ，１０ｂ，１０ｃの側壁の炭化処理は、例えばメタンガスや一酸化炭素（ＣＯ）ガスなどの炭素を含んだガスを用いたプラズマ処理により行なうことができる。この炭化のためのプラズマ処理の際にも、窒化のためのプラズマ処理と同様に、半導体基板の温度を好ましくは６００℃以下、より好ましくは５００℃以下の状態で行なう。これはタングステンなどの高融点金属は炭化されやすく、これらの温度より高温で炭化処理を行うと、金属層（例えばタングステン膜８）全体が金属炭化物に変質してしまう問題を避ける効果がある。また、プラズマ処理以外にも、例えば炭素を含む雰囲気中での熱処理や、あるいは、同じ炉内（真空炉内）に炭素片と半導体基板１を配置して熱処理し、炭素片から炭素を昇華させて半導体基板１上のゲート電極１０ａ，１０ｂ，１０ｃの側壁を炭化させることもできる。このような炭化処理を行うことで、ゲート電極１０ａ，１０ｂ，１０ｃの側壁には窒化物膜１２の代わりに炭化物膜が形成される。この炭化物膜は、多結晶シリコン膜６の側面では炭化シリコンからなり、タングステン膜８の側面では炭化タングステンからなり、窒化タングステン膜７の側面では形成されないかあるいは炭窒化タングステン（または炭化タングステン）からなる。ライト酸化処理の前にゲート電極側壁の炭化処理を行うことで、ライト酸化処理の前にゲート電極側壁の窒化処理を行なったのとほぼ同様の効果を得ることができ、ライト酸化工程でのゲート電極の側壁からのタングステンなどの昇華を抑制または防止でき、半導体装置の性能や信頼性を向上することができる。

【００５６】

また、ライト酸化処理の前にゲート電極側壁の炭化処理を行なった場合は、比較的低温でゲート電極側壁に炭化物を形成することができ、炭化処理が容易である。このため、製造工程の制御が容易となる。また形成された炭化タングステンは安定で薬品などに対する耐性が高い。

【００５７】

また、ライト酸化処理の前にゲート電極側壁の窒化処理を行なった場合は、窒化処理に用いた窒素がコンタミネーションまたは不純物として半導体基板内に入りにくく、デバイス特性への影響がほとんどないため、製造される半導体装置の歩留まりをより向上することができる。

【００５８】

また、ゲート電極側壁の窒化処理の後に炭化処理を行ってからライト酸化処理を行うこともでき、また、ゲート電極側壁の炭化処理の後に窒化処理を行ってからライト酸化処理を行うこともできる。また、ライト酸化処理の前に、上記窒化処理のための雰囲気（例えば窒素プラズマまたはアンモニアプラズマ）と炭化処理のための雰囲気（例えば一酸化炭素プラズマまたはメタンプラズマ）とを両方含んだ雰囲気中でゲート電極側壁において窒化と炭化とを同時に進行させることもできる。

【００５９】

以下、ライト酸化処理（酸化処理）工程の後の工程について説明する。まず、図７に示されるように、ｎ型ウエル４に例えばホウ素（Ｂ）などの不純物をイオン注入することにより、ｎ型ウエル４のゲート電極１０ｃの両側の領域にｐ⁻型半導体領域１４が形成される。また、ｐ型ウエル３に例えばリン（Ｐ）などの不純物をイオン注入することにより、ｐ型ウエル３のゲート電極１０ｂの両側の領域にｎ⁻型半導体領域１５が形成され、ｐ型ウエル３のゲート電極１０ａの両側の領域にｎ型半導体領域１６が形成される。

【００６０】

次に、ＣＶＤ法などを用いて、半導体基板１上に窒化シリコン膜１７を形成する。それから、メモリ部を図示しないフォトレジスト膜で覆い、周辺回路部の窒化シリコン膜１７を異方性エッチングすることにより、ゲート電極１０ｂ，１０ｃの側壁に残存する窒化シリコン膜１７からなる側壁スペーサ（side wall spacer）またはサイドウォール（側壁絶縁膜）１８が形成される。

【００６１】
次に、周辺回路部のｐ型ウエル３にリン（Ｐ）またはヒ素（Ａｓ）などの不純物をイオン注入することにより、ｐ型ウエル３のゲート電極１０ｂおよびサイドウォール１８の両側の領域に、高不純物濃度のｎ$^+$型半導体領域１９（ソース、ドレイン）が形成される。また、周辺回路部のｎ型ウエル４にホウ素（Ｂ）などの不純物をイオン注入することにより、ｎ型ウエル４のゲート電極１０ｃおよびサイドウォール１８の両側の領域に、高不純物濃度のｐ$^+$型半導体領域２０（ソース、ドレイン）が形成される。これにより、図８の構造が得られる。
【００６２】
このようにして、メモリ部ではメモリセル選択用ＭＩＳＦＥＴ２１が形成され、周辺回路部のｐ型ウエル３ではｎチャネル型のＭＩＳＦＥＴ２２が形成され、周辺回路部のｎ型ウエル４ではｐチャネル型のＭＩＳＦＥＴ２３が形成される。
【００６３】
次に、図９に示されるように、半導体基板１上にＣＶＤ法などを用いて酸化シリコン膜２４を形成し、ＣＭＰ（Chemical Mechanical Polishing）法などを用いてその上面を平坦化する。それから、フォトレジスト法およびドライエッチング法を用いて、メモリセル選択用ＭＩＳＦＥＴ２１のｎ型半導体領域１６（ソース、ドレイン）を露出するコンタクトホール２５ａ，２５ｂを酸化シリコン膜２４に形成する。例えば、セルフアラインコンタクト（Self-Aligned Contact：ＳＡＣ）プロセスを用い、まず酸化シリコン膜がエッチングされやすい条件でドライエッチングを行って酸化シリコン膜２４を除去し、それから窒化シリコンがエッチングされやすい条件でドライエッチングを行って窒化シリコン膜１７（およびその下の酸化シリコン膜）を除去することでコンタクトホール２５ａ，２５ｂを形成することができる。このとき、ゲート電極１０ａの側壁に窒化シリコン膜１７が残るようにする。
【００６４】
次に、リンなどをドープした多結晶シリコン（ドープトポリシリコン）膜をＣＶＤ法などによって半導体基板１上にコンタクトホール２５ａ，２５ｂを埋めるように形成し、ＣＭＰ法などによってドープトポリシリコン膜を研磨することにより、コンタクトホール２５ａ，２５ｂを埋めるプラグ２６ａ，２６ｂを形成する。その後の高温プロセスで、プラグ２６ａ，２６ｂ中の不純物（ここではリン）がｎ型半導体領域１６（ソース、ドレイン）中に拡散し、ｎ型半導体領域１６の不純物濃度を高めて低抵抗化させることができる。
【００６５】
次に、図１０に示されるように、プラグ２６ａ，２６ｂが埋め込まれた酸化シリコン膜２４上にＣＶＤ法などを用いて酸化シリコン膜２７を形成する。それから、フォトレジスト法およびドライエッチング法を用いて、プラグ２６ａ上の酸化シリコン膜２７を選択的に除去する。
【００６６】
次に、図１１に示されるように、半導体基板１上（酸化シリコン膜２７上）にフォトレジストパターン２８を形成し、フォトレジストパターン２８をエッチングマスクとして用いたドライエッチングにより、周辺回路部において酸化シリコン膜２８および酸化シリコン膜２５（およびその下の薄い酸化シリコン膜）を選択的に除去して、コンタクトホール２９を形成する。コンタクトホール２９の底部では、ＭＩＳＦＥＴ２２，２３のソース、ドレインであるｎ$^+$型半導体領域１９、ｐ$^+$型半導体領域２０やゲート電極１０ｂ，１０ｃが露出される。
【００６７】
次に、図１２に示されるように、半導体基板１上に例えば窒化チタン膜３０ａとタングステン膜３０ｂをスパッタリング法で形成し、更にその上部にＣＶＤ法などにより酸化シリコン膜３１を形成し、フォトレジスト法およびドライエッチング法を用いてパターニングすることにより、メモリ部のビット線３２と周辺回路部の第１層配線３３とを形成する。
【００６８】

次に、図１３に示されるように、半導体基板１上に、ビット線３２および第１層配線３３を覆うように、酸化シリコン膜３４をＣＶＤ法などにより形成する。それから、フォトレジスト法およびドライエッチング法を用いて酸化シリコン膜３４および酸化シリコン膜２７を選択的に除去して、プラグ２６ｂを露出するビアまたはスルーホール３５を形成する。そして、スパッタリング法などを用いて、酸化シリコン膜３４上にスルーホール３５を埋めるようにタングステン膜を形成し、ＣＭＰ法などによって研磨してスルーホール３５を埋め込むプラグ３６を形成する。

【００６９】

次に、プラグ３６の上部に、下部電極３７と容量絶縁膜３８と上部電極３９との積層構造で構成された情報蓄積用容量素子４０を形成することにより、メモリセル選択用ＭＩＳＦＥＴ２１とこれと直列に接続された情報蓄積用容量素子４０とで構成されるＤＲＡＭのメモリセルが略完成する。情報蓄積用容量素子４０の下部電極３７は、例えば、酸化シリコン膜３４上にタングステン膜をスパッタリング法またはＣＶＤ法などによって形成し、フォトレジスト法およびドライエッチング法を用いてタングステン膜をパターニングすることにより形成することができる。容量絶縁膜３８および上部電極３９は、例えば、酸化シリコン膜３４上に下部電極３７を覆うように酸化タンタル膜（容量絶縁膜３８用絶縁膜）および窒化チタン膜（上部電極３９用導体膜）を形成し、フォトレジスト法およびドライエッチング法を用いて窒化チタン膜および酸化タンタル膜をパターニングすることにより形成することができる。その後、情報蓄積用容量素子４０の上部には必要に応じてアルミニウム配線などが形成されるが、ここではそれらの図示および説明は省略する。

【００７０】

上記のように、実際のメモリ・ロジック混載型半導体装置（ＤＲＡＭ）を作製してその形状および回路の電気特性などより本発明の効果が確認された。しかしながらゲート電極（ゲート配線）の金属層（タングステン膜８）側壁部から酸化（ライト酸化）プロセスで昇華する量は微量のため、（その昇華量を）一般的な分析法で評価するのは容易ではない。このため、次のような実験を行なった。すなわち、半導体ウエハ（半導体基板）全体にタングステン膜を形成し、その状態で本実施の形態の概念を適用した場合の昇華タングステン量を評価した。

【００７１】

この実験では、汚染源試料５１として、半導体ウエハの全面上にタングステン膜を形成し、昇華しやすくするためにこのタングステン膜表面を酸化させたもの（酸化タングステンが汚染源となる）と、タングステン膜を酸化させていないもの（タングステンが汚染源となる）の２種類を作製した。図１４は、汚染量を調べるために行なった実験の説明図である。清浄ウエハ（清浄な半導体ウエハ、シリコンウエハ）５２を図１４に示すように、汚染源試料５１に対向させて配置した。このとき、汚染源試料５１の汚染源面（タングステン酸化膜面またはタングステン膜面）５１ａと清浄ウエハ５２の清浄面（汚染評価面）５２ａとが向かい合うように配置する。清浄ウエハ５２の清浄面（汚染評価面）５２ａは裏面５２ｂと逆側の主面であり、そこに半導体装置を形成し得る面である。これらの試料（清浄ウエハ５２と汚染源試料５１）間の距離W_1を５ｍｍ一定とし、窒素雰囲気中（プラズマ放電なし）において２００℃から８００℃までの温度範囲で１００℃刻みの温度ごとに熱処理を行った。各温度における熱処理時間は１０分間一定とした。各温度で処理した清浄ウエハ（清浄な半導体ウエハ）の表面を全反射蛍光Ｘ線分析を行い、汚染源試料から熱処理により昇華して清浄ウエハ表面に付着したタングステン量を求めた。図１５に測定結果を示す。図１５は、汚染源試料から熱処理により昇華して清浄ウエハ表面に付着したタングステン量を示すグラフであり、グラフの横軸は窒素雰囲気中の熱処理温度に対応し、縦軸は清浄ウエハに付着したタングステン量に対応する。図１５のグラフに示されるように、汚染源（汚染源試料）が酸化されたタングステンの場合は、酸化されていない場合（汚染源がタングステンの場合）より一桁以上多いタングステンが、清浄ウエハに付着することがわかった。

【００７２】

次に、清浄ウエハのかわりに多結晶シリコンゲートＤＲＡＭを配置して同様の熱処理を行い、タングステン汚染によるＤＲＡＭのメモリ電荷保持特性を評価した。用いたメモリの技術ノードや回路方式、あるいは作製プロセス条件により一義的に言うことは難しいが、酸化させないタングステンを対向して配置した場合は昇華したタングステンによるメモリ保持時間の劣化は顕著でなかった。一方、酸化したタングステンを対向させた場合は、おおよそ６００℃以上の熱処理で劣化が顕著になった。従って、図１５のグラフの結果と対比しながら推定すると、図１４に示したような実験配置条件においてはおおよそ10^{10}／cm^2レベル以下の汚染量であればメモリ使用上問題はないと考えられる。

【００７３】

以上の予備実験を行った後に、上述した本実施の形態の製造工程のゲート電極１０ａ，１０ｂ，１０ｃの側壁の窒化条件と同様の条件で半導体ウエハの全面上に形成したタングステン膜表面を窒化しておいた試料（汚染源試料）と、窒化や酸化をしていないタングステン膜が半導体ウエハ上に形成された試料（汚染源試料）とを清浄なウエハに対して図１４に示したように配置し、今度はプラズマ酸素雰囲気（酸素プラズマ雰囲気）で熱処理を行った。

【００７４】

なお上記のタングステンの窒化条件と同じ条件で何も形成していないシリコンウエハを処理した。これは実際に半導体装置を作製する場合には、ゲート電極（ゲート配線）周辺のシリコン基板も窒化される可能性があり、それがプラズマ酸化プロセスでシリコン基板が酸化されるのを抑制する可能性があるためである。このような処理を施したウエハを用いてシリコンの酸化条件の予備検討を行った。この熱処理は２００℃から８００℃まで１００℃ごとに行った。各温度におけるプラズマパワーや処理時間は、予備検討で求めたシリコン基板表面に４ｎｍの酸化シリコン膜が形成される条件とした。

【００７５】

図１６は、汚染源（汚染源試料）としてタングステン膜表面を窒化しておいた試料を用いた場合と、窒化や酸化をしていないタングステン膜を用いた場合の、汚染源試料から熱処理（酸素プラズマ中の熱処理）により昇華して清浄ウエハ表面に付着したタングステン量を示すグラフであり、グラフの横軸は酸素プラズマ雰囲気中の熱処理温度に対応し、縦軸は清浄ウエハに付着したタングステン量に対応する。窒化していないタングステンを汚染源として用いた場合は、４００℃程度の低温から汚染量（清浄ウエハの汚染量）が急増した。一方、タングステン膜表面を窒化した試料を汚染源として用いた場合では、５００℃程度までは上に述べたメモリの保持時間劣化を許容できる10^{10}／cm^2レベルの汚染量（清浄ウエハの汚染量）に抑制できていることが確認され、本実施の形態の効果が再確認された。なお、このタングステン膜の窒化は先に述べたようにタングステン窒化物ホイスカの発生を抑止するため、例えば４２０℃のアンモニアプラズマで行い、その膜厚（窒化膜厚）は１．５ｎｍとしてこの実験を行なった。

【００７６】

次に、上記実験ではタングステン膜表面を窒化した場合について検討したが、これと同様の実験をタングステン膜表面を炭化した場合について行い、タングステン膜表面の炭化処理の効果を検討した。タングステンの炭化は種々の可能性について検討した。すなわち、まず真空炉にタングステン膜を形成したウエハ（半導体ウエハ、シリコンウエハ）を装填し、同じ炉内に炭素片を設置して４００℃で１０分熱処理した。なお、この処理では同じ真空炉内で炭素片部分は比較的高温の６５０℃に設定して炭素の昇華を容易ならしめるとともに、試料（ウエハ）部は前記のとおり６００℃以下に設定し、この処理によりウエハ上のタングステン膜表面を炭化させた。別の方法（炭化方法）として、メタンガスをプラズマ放電させることによりウエハ上のタングステン膜を炭化させた。この場合は２００℃で行った。なお、真空炉内で（炭素片から）炭素を昇華させて（ウエハ上の）タングステンを炭化させた試料では、５０ｎｍの厚さのタングステン膜が、その表面から１５ｎｍ程度以上炭化されてしまった。一方、プラズマ放電で炭化する場合は、そのパワーや放電時のガス圧を制御することにより、炭化層の厚さを１ｎｍないし２ｎｍに制御することがで

きた。低温で炭化し、かつ深さ制御する（炭化層の深さを制御する）場合は、イオン打ち込み法を用いるのが一般的であり、そのような試料も作製した。しかしながら、実際のゲート電極（ゲート配線）側壁に炭素をイオン打ち込みするのが難しいと思われたため、多くの実験は炭素系ガスプラズマを用いて行った。その後、オゾンを導入してプラズマ放電させた中で酸化処理を行った。すなわち、ウエハ上のタングステン膜表面を上記のように炭化処理したものを汚染源として清浄ウエハ（半導体ウエハ、シリコンウエハ）に対向して配置し、オゾンを導入してプラズマ放電させた中で酸化処理を行った。この酸化熱処理は２００℃から８００℃まで１００℃ごとに行った。各温度における酸化処理条件はシリコン基板表面に４ｎｍのシリコン酸化膜が形成される条件とした。なお上記窒化処理の実験の場合と同様に、上に述べた炭素プラズマ条件で炭化したシリコンを用いてプラズマ酸化プロセス条件を予備的に求めておいた。

【００７７】

この実験の結果、図示はしないが、タングステン膜表面を炭化した場合（汚染源として表面を炭化したタングステンを用いた場合）は、図１６に示されるタングステン膜表面を窒化した場合（汚染源として表面を窒化したタングステンを用いた場合）の汚染量よりも、約半桁汚染量（清浄ウエハの汚染量）が少なかった。このため、タングステン膜の表面の炭化処理は、汚染に対して有効であることが確認された。これは、タングステン窒化物が比較的耐熱性が低いのに対して、タングステン炭化物はいったん化合物が形成されると熱力学的に非常に安定になるためと思われる。

【００７８】

（実施の形態２）

上記実施の形態１では、ゲート電極（ゲート配線）１０ａ，１０ｂ，１０ｃの金属層（タングステン膜８）の側壁部をあらかじめ窒化あるいは炭化して保護層を設けておき、その後に周辺の基板シリコンの酸化（ライト酸化）を行った。本実施の形態では、ゲート電極の側壁の窒化あるいは炭化と同時に基板シリコンを酸化する。

【００７９】

上記実施の形態１と同様にして、図３に示されるようにタングステン膜８、窒化タングステン膜７および多結晶シリコン膜６をパターニングしてゲート電極（ゲート配線）１０ａ，１０ｂ，１０ｃを形成した後、還元性のある窒素酸化物ガス（例えばN_2O（一酸化二窒素）ガス）あるいは炭素酸化物ガス（例えばＣＯ（一酸化炭素）ガス）を（半導体基板１を配置した）処理室に導入してプラズマ放電させる。これらのガス（N_2OガスまたはＣＯガス）は熱力学的にはタングステンやモリブデンなどの金属酸化物を還元しながらシリコンを酸化することができる。更に、これらの金属は同じ温度条件ではシリコンより窒化や炭化されやすいため、金属の昇華抑止層（窒化物層または炭化物層）を（金属層の側壁表面に）生成しながらシリコン（半導体基板のシリコン表面部分）を酸化せることができる。これにより、ゲート電極側壁の窒化あるいは炭化と同時に基板シリコンを酸化（ライト酸化）することができる。このため、ゲート電極１０ａ，１０ｂ，１０ｃの側壁を窒化あるいは炭化してタングステンの昇華などを抑制するとともに、ゲート電極の周辺の半導体基板表面部分に存在する酸化シリコン膜１１の損傷や欠陥を修復し、あるいは清浄な酸化シリコン膜を再形成することができる。従って、半導体装置の信頼性を向上し、半導体装置の製造工程数を低減できる。以降の工程は、上記実施の形態１のライト酸化処理の後の工程と同様であるので、ここではその説明は省略する。

【００８０】

タングステン昇華による汚染量は、上記実施の形態１で行なわれた実験で述べた汚染量以下を目標とした場合、基板シリコンの酸化のためのプラズマ酸素処理温度を６００℃から７００℃程度の温度まで高くしても問題ないことが分かった。さらに本実施の形態の方法で製造した半導体装置（デュアル積層(W/WNx/polySi)ゲートメモリ・ロジック混載半導体装置）の特性は、次の利点も得ることができる。すなわち、上記実施の形態１で作製した半導体装置と比較して、ボロン漏れによるpチャネルＭＩＳトランジスタの閾値電圧変動を例えば約半分以下に抑制することができる。これは、本実施の形態では、水素化合物ガ

スを用いていないため、活性化された水素が存在しないのでゲート絶縁膜が損傷を受けることがなく、ボロン漏れをより的確に抑制または防止することができるためと考えられる。

【００８１】

上記実施の形態１では、ゲート電極（ゲート配線）の側壁を窒化あるいは炭化した後に基板シリコンの酸化（ライト酸化）を行った。この二つのプロセスを一つのプロセスで行なうため、本実施の形態では、一酸化二窒素（N_2O）や一酸化炭素（ＣＯ）などの還元性の窒素酸化物ガスあるいは炭素酸化物ガスを主成分とする雰囲気でプラズマ放電させることにより生成した活性化されたイオン種をゲート電極（ゲート配線）の側壁部および周辺シリコン基板表面に照射する。これらのガスはタングステンなどのＶＩａ族金属あるいはタンタルなどのＶａ族金属に対しては還元性を有するがシリコンやチタンなどのＩＶａ族金属に対しては酸化性を有する。したがって該金属層（タングステン膜８）やバリア層（窒化タングステン膜７）材料の酸化を極力抑制しながらゲート電極周辺の基板シリコンを酸化させることができる。

【００８２】

（実施の形態３）

上記実施の形態１では、ゲート電極の加工後、ライト酸化処理の前に、アンモニアプラズマ（または窒素プラズマ）などを用いてゲート電極の側壁を窒化させた。本実施の形態では、アンモニアプラズマ（または窒素プラズマ）処理の前にシリコンの水化物（水素化物）またはハロゲン化物ガスを導入する。

【００８３】

まず、上記実施の形態１と同様にして、図３に示されるようにタングステン膜８、窒化タングステン膜７および多結晶シリコン膜６をパターニングしてゲート電極（ゲート配線）１０ａ，１０ｂ，１０ｃを形成した後、例えばプラズマＣＶＤ装置に半導体基板１を装填し、シリコンを含むガス（シリコンを含むハロゲン化物ガスまたはシリコンを含む水化物（水素化物）ガス）、例えばモノシラン（SiH_4）ガス、ジクロロシラン（SiH_2Cl_2）ガスまたは四フッ化ケイ素（SiF_4）ガスなど、を導入して半導体基板１を配置した処理室内でプラズマを発生させる。すなわち、シリコンを含むガス（シリコンを含むハロゲン化物ガスまたはシリコンを含む水化物（水素化物）ガス）を用いたプラズマ処理を行う。これにより、ゲート電極１０ａ，１０ｂ，１０ｃの側壁にシリコン化合物膜またはシリコン（ポーラスシリコン、ポーラスＳｉ）膜６１が堆積または付着する。

【００８４】

図１７は、上記実施の形態１の図４において、ゲート電極１０ａ，１０ｂ，１０ｃの側壁にこのシリコン（またはシリコン化合物）膜６１が付着した状態を概念的に示す部分拡大断面図である。なお、ゲート電極１０ａ，１０ｂ，１０ｃの側壁以外の領域にもシリコン膜６１が付着する。この領域（例えば半導体基板１の表面上）に付着したシリコンはライト酸化を抑制するため、できるだけ少なく、あるいは付着しても不連続であることが望ましい。この目的には、モノシランよりジクロルシランのほうが適しており、処理室の真空度およびガス流入量さらにプラズマ条件を選択することにより、側壁付着シリコン量よりおおよそ半分程度にすることが可能である（例えば半導体基板１表面上に付着したシリコン膜厚をゲート電極側壁に付着したシリコン膜厚の半分程度にすることが可能である）。理解を簡単にするために、図１７では、ゲート電極１０ａ，１０ｂ，１０ｃの側壁に付着したシリコン膜６１だけを図示している。

【００８５】

半導体基板１を加熱した状態でシリコンハロゲン化物ガスまたはシリコン水化物（水素化物）ガスを処理室内に導入して、ゲート電極１０ａ，１０ｂ，１０ｃの側壁にシリコンまたはシリコン化合物を付着させることもできるが、プラズマを発生させることで、ゲート電極１０ａ，１０ｂ，１０ｃの側壁へのシリコンまたはシリコン化合物の付着をより的確に行なうことができる。

【００８６】

ゲート電極側壁に付着したシリコン（またはシリコン化合物）膜６１の膜厚は、１～２０ｎｍの範囲内であることが好ましい。これにより、ライト酸化の際に付着シリコンが優先的に酸化されることにより表面にシリコン酸化物被覆層が形成され、その下に存在するタングステンや界面が酸化されるのを抑止する効果を得ることができる。なお、付着シリコンはライト酸化プロセスにおいて、下地の金属層と反応して珪化物（シリサイド）を形成する可能性がある。しかしライト酸化温度が６００℃以下、より好ましくは５００℃以下で行う場合はシリサイド形成反応が生じ難く、付着シリコンが酸化されるほうが優先される。たとえシリサイドが形成された場合においても、金属層（例えばタングステン膜８）がタングステンやタンタルなどのＶａ族あるいはＶＩａ族で形成される場合は、酸化物の生成エネルギーがシリコン酸化物の大きさの違いより、より安定なシリコン酸化物が表面に優先的に形成され、ライト酸化プロセスでの金属（例えばタングステン膜８）の酸化を防止できる。

【００８７】

それから、プラズマＣＶＤ装置の処理室に導入するガスを上記シリコンを含むハロゲン化物ガスまたは水化物（水素化物）ガスから窒素を含むガス（例えば窒素ガスまたはアンモニアガス）に切換え、半導体基板１を配置した処理室内でプラズマ（例えば窒素プラズマまたはアンモニアプラズマ）を発生させる。すなわち、窒素を含むガスを用いたプラズマ処理を行なう。これにより、図１８に示されるように、ゲート電極１０ａ，１０ｂ，１０ｃの側壁が窒化されて、窒化物膜６２が形成される。この際、ゲート電極１０ａ，１０ｂ，１０ｃの側壁のシリコン（またはシリコン化合物）膜６１が窒化されて窒化物膜（例えば窒化シリコン膜）６２になるので、タングステン膜８自身が窒化され難くなるため、タングステン膜８の窒化によるゲート電極の抵抗増大を抑止することができる。従って、本実施の形態では、ゲート電極１０ａ，１０ｂ，１０ｃの側壁に形成された窒化物膜６２は、ほぼ窒化シリコンからなり、ゲート電極１０ａ，１０ｂ，１０ｃの側壁のほぼ全面に形成され得る。なおシリコン基板（半導体基板１表面）上に付着したシリコンも窒化されるが、先に述べたように側壁（ゲート電極側壁）部より付着シリコン量を少なくし、不連続なポーラスシリコンとしているため、ライト酸化プロセスでシリコン基板（半導体基板１表面）を酸化する際の大きな障害になることはない。またゲート電極加工（パターニング）時にゲート電極周辺のゲート絶縁膜のシリコン酸化膜（酸化シリコン膜１１）を残存させておいた場合は、上記のプラズマ窒化時にシリコン基板（半導体基板１表面）が窒化されるのを防止できるため、よりライト酸化による半導体装置の特性向上が図れる。

【００８８】

また、シリコンを含むガス（例えばモノシランガス）を用いたプラズマ処理と窒素を含むガス（例えばアンモニアガス）を用いたプラズマ処理とを同じ装置（例えばプラズマＣＶＤ装置）を用い導入ガスを切換えるだけで行なうことができるので、製造工程が簡略化でき、製造工程数の増大を抑制できる。

【００８９】

また、シリコンを含むガス（例えばモノシランガス）を用いたプラズマ処理と窒素を含むガス（例えばアンモニアガス）を用いたプラズマ処理とは、半導体基板の温度を好ましくは６００℃以下、より好ましくは５００℃以下で行なう。これにより、上記実施の形態１と同様にホイスカの成長などが抑制されて半導体装置の信頼性を向上できる。また、シリコンを含むガスを用いたプラズマ処理と窒素を含むガスを用いたプラズマ処理とにおける半導体基板の温度がほぼ同じであれば、両者のプラズマ処理を連続的に行うことが可能となり、半導体装置の製造時間を短縮できる。

【００９０】

窒素を含むガス（例えばアンモニアガス）を用いたプラズマ処理により、ゲート電極の側壁を窒化した後、上記実施の形態１と同様のライト酸化を行う。このライト酸化工程およびそれ以降の工程は上記実施の形態１と同様であるので、ここではその説明は省略する。

【００９１】

本実施の形態によれば、上記実施の形態１と同様の効果を得ることができる。また、窒化

処理におけるゲート電極のタングステン膜の窒化量を抑制できるので、ゲート電極の抵抗をより低減することができる。

【００９２】

（実施の形態４）

上記実施の形態１～３では、ゲート電極構造としてタングステン膜、窒化タングステン膜および多結晶シリコン膜の積層構造（W/WNx/polySi）を用いた。この構造において、ゲート電極の周辺の酸化シリコン膜の修復（ライト酸化）を先に述べた水素ガス中に微量（数％から１０％程度）の水分を添加した雰囲気で行う場合、７００℃程度以上の高温で熱処理する必要があった。しかしながら、上記実施の形態１のようにライト酸化処理をプラズマ酸化を用いて５００℃以下で行うことにより、タングステン窒化物（WNx）バリア層と多結晶シリコン層間の接触抵抗を従来の１００ｋΩ・μｍ^{2}程度の高い値から、例えば１ｋΩ・μｍ^{2}ないし２０ｋΩ・μｍ^{2}程度と著しく低減でき、混載半導体装置ロジック回路の高速化に寄与することができる。しかしながら、半導体装置の技術ノードが０．１μｍあるいはそれ以下になると１ｋΩ・μｍ^{2}以下の値が要求される。このような低接触抵抗をタングステン膜、窒化タングステン膜および多結晶シリコン膜（W/WNx/polySi）の積層構造で達成するのは容易ではない。

【００９３】

そこで、窒化タングステン（WNx）膜と多結晶シリコン膜の間に珪化タングステン膜（タングステン珪化物膜、タングステンシリサイド膜）を挿入する方法を検討した。この結果、珪化物層（珪化タングステン膜）を挟まない従来の構造では難しかった５００Ω・μｍ^{2}程度の低い接触抵抗を実現することができた。しかしながらこの構造では、タングステン窒化物のバリア性が破壊されやすく局部的に上層のタングステン層と下地の多結晶シリコン層が反応して珪化物を形成し、それがゲート絶縁膜まで達することにより絶縁耐圧不良を発生させる恐れがある。また、ゲート電極が２μｍないし３μｍ程度まで微細化されると、先に述べた水素に水分を添加した雰囲気で行うシリコン基板の酸化（ライト酸化）プロセスでは挿入したタングステン珪化物が界面拡散した酸化種（例えば酸素や水分）により急速に酸化されてしまう問題が生じる。

【００９４】

そこで本実施の形態では、次のようにしてゲート電極の形成およびライト酸化処理を行う。図１９～図２３は、本実施の形態の半導体装置の製造工程中の要部断面図である。なお、図２１は図２０の部分拡大断面図に対応し、図２３は図２２の部分拡大断面図に対応する。また、図１までの製造工程は上記実施の形態１と同様であるので、ここではその説明は省略し、図１に続く製造工程について説明する。

【００９５】

上記実施の形態１と同様にして図１の構造が得られた後、図１９に示されるように、上記実施の形態１と同様にして、半導体基板１の全面上に多結晶シリコン膜６を形成する。それから、本実施の形態では、多結晶シリコン膜６上に例えばＣＶＤ法などを用いて例えば１２ｎｍ程度の厚みの珪化タングステン膜（タングステン珪化物膜、タングステンシリサイド膜）７０を形成する。そして、珪化タングステン膜７０上に、上記実施の形態１と同様にして、例えば７ｎｍ程度の厚みの窒化タングステン膜７と例えば５０ｎｍ程度の厚みを有するタングステン膜（金属層）８とを形成する。窒化タングステン膜７の他の材料として炭化タングステン（炭化物）膜などを用いることもできる。炭化タングステン膜を形成する場合は、例えばスパッタリング法を用い、例えばＡｒガスにCF_4ガスを添加したスパッタ雰囲気でタングステンターゲットをスパッタすることなどにより成膜し、その後、別のスパッタ装置を用いてタングステン膜８を炭化タングステン膜上に形成することができる。また、CF_4ガスの代わりにメタンガスなどの炭素化合物ガスを用いることもできる。

【００９６】

それから、タングステン膜８上に上記実施の形態１と同様にして窒化シリコン膜９を形成する。その後、図２０に示されるように、フォトリソグラフィ技術およびドライエッチン

グ技術を用いて、窒化シリコン膜９、タングステン膜８、窒化タングステン膜７、珪化タングステン膜５０および多結晶シリコン膜６を選択的に除去（パターニング）して、上記実施の形態１のゲート電極１０ａ，１０ｂ，１０ｃに対応するゲート電極（ゲート配線）７１ａ，７１ｂ，７１ｃを形成する。

【００９７】

図２０および図２１に示されるように、形成されたゲート電極７１ａ，７１ｂ，７１ｃは、下から多結晶シリコン膜６、珪化タングステン膜７０、窒化タングステン膜７およびタングステン膜８の積層構造を有している。珪化タングステン膜７０は、窒化タングステン膜７の窒素が多結晶シリコン膜６に拡散して多結晶シリコン膜６が窒化されるのを防止するように機能することができる。また、窒化タングステン膜７は、多結晶シリコン膜６や珪化タングステン膜７０のシリコンがタングステン膜８に拡散するのを防止するように機能することができる。従って、珪化タングステン膜７０および窒化タングステン膜７がバリア層として機能する。珪化タングステン膜７０の材料としては高融点金属珪化物を用いることができ、ここで例示した珪化タングステン（ＷＳｉｘ）だけでなく、例えば珪化モリブデン（ＭｏＳｉｘ）、珪化タンタル（ＴａＳｉｘ）、珪化チタン（ＴｉＳｉｘ）、珪化ジルコニウム（ＺｒＳｉｘ）または珪化ハフニウム（ＨｆＳｉｘ）（すなわちタングステン、モリブデン、タンタル、チタン、ジルコニウムまたはハフニウムの珪化物）などを用いることもできる。

【００９８】

その後の工程は、上記実施の形態１におけるゲート電極１０ａ，１０ｂ，１０ｃ形成後の工程と同様である。すなわち、図２２および図２３に示されるように、上記実施の形態１と同様にして（例えば窒素プラズマやアンモニアプラズマ処理によりゲート電極７１ａ，７１ｂ，７１ｃの側壁を窒化する。これにより、ゲート電極７１ａ，７１ｂ，７１ｃの側壁には窒化物膜７２が形成される。

【００９９】

ゲート電極５１ａ，５１ｂ，５１ｃの側壁に形成された窒化物膜７２は、多結晶シリコン膜６の側面では窒化シリコンからなり、珪化タングステン（タングステンシリサイド）膜７０の側面では窒化シリコン（または窒化タングステン）からなり、タングステン膜８の側面では窒化タングステンからなる。窒化タングステン膜７はそれ自体が窒化物からなるので、アンモニアプラズマなどに曝されてもほとんど変化しない。従って、窒化物膜７２は、実質的には多結晶シリコン膜６、珪化タングステン膜７０およびタングステン膜８の側面（露出部）で形成されることになる。また、窒化物膜７２の膜厚は、実際には多結晶シリコン膜６の側面、珪化タングステン膜７０の側面およびタングステン膜８の側面で異なり得る。しかしながら、理解を簡単にするために、図２２および図２３では、窒化物膜（窒化膜）７２がゲート電極の側壁全面（多結晶シリコン膜６、珪化タングステン膜７０、窒化タングステン膜７およびタングステン膜８の側面）に同じ厚みで形成されたものとして図示している。

【０１００】

その後、上記実施の形態１と同様にして（例えば酸素プラズマ処理により）ライト酸化処理を行う。これにより、ゲート電極７１ａ，７１ｂ，７１ｃ周辺部の酸化シリコン膜が再酸化されて欠陥や損傷などが修復され、ＭＩＳＦＥＴのゲート絶縁耐圧を向上できる。また、ゲート電極５１ａ，５１ｂ，５１ｃの側壁が窒化されて窒化物膜７２が形成されているので、ライト酸化処理中のタングステンなどの昇華を抑制または防止することができる。

【０１０１】

以降の工程は、上記実施の形態１と同様であるので、ここではその説明は省略する。なお、本実施の形態においても、上記実施の形態１にあるように、ゲート電極７１ａ，７１ｂ，７１ｃ側壁の窒化処理の代わりにゲート電極７１ａ，７１ｂ，７１ｃ側壁の炭化処理を行ってもよく、また、上記実施の形態２にあるように、ゲート電極７１ａ，７１ｂ，７１ｃ側壁の窒化処理または炭化処理と同時にライト酸化処理を行うこともできる。また、上

記実施の形態３にあるように、ゲート電極７１ａ，７１ｂ，７１ｃ側壁の窒化処理の前に、シリコンを含むガス（シリコンを含むハロゲン化物ガスまたはシリコンを含む水化物ガス）を用いたプラズマ処理を行うこともできる。

【０１０２】

以上のようにして製造された半導体装置（メモリ・ロジック混載半導体装置）の特性評価を行った。その結果、耐熱性の高い窒化タングステン（タングステン窒素化合物）または炭化タングステン（タングステン炭素化合物）をバリア層として用いたことにより、半導体装置製造工程における熱処理工程を経ても局所的なバリア破壊はみられず、絶縁耐圧歩留まりは例えばほぼ１００％と極めて良好な結果が得られた。また、上記実施の形態１と同様に、ゲート電極の側壁保護層（窒化物膜５２）の効果により、メモリの電荷保持特性は２５０ミリ秒以上の良好な特性が得られた。更に、ゲート電極周辺のシリコン基板への清浄なシリコン酸化膜再形成（ライト酸化処理）温度を好ましくは６００℃以下、より好ましくは５００℃以下に低温化したことにより接触抵抗を例えば５００Ω・μｍ^{2}程度まで低減できた効果により、ロジック回路の動作速度を本発明を用いない場合に比較して１０ないし１５％速くすることができた。この高速化は、接触抵抗低減とともに微細ゲート電極におけるタングステン珪化物（珪化タングステン膜５０）の側壁部からの急速な酸化が抑止または防止できた効果も含まれるものと考えられる。

【０１０３】

なお、タングステン珪化物と多結晶シリコンを積層したいわゆるポリサイドゲートにおいて、ゲート電極（ゲート配線）幅（ゲート長）が０．３μｍ以下に微細化されるとシート抵抗が上昇する問題があった。この現象はゲート電極の周辺基板シリコンの再酸化（ライト酸化）工程で、ゲート電極のタングステン珪化物が側壁部から酸化され、微細化とともに側壁酸化層の配線抵抗に占め割合が増大するためである。従って、本発明をこのゲート電極・配線においても適用することにより側壁酸化（ゲート電極の側壁酸化）が抑止でき、微細化にともなう配線抵抗の上昇を少なくできることを確認した。

【０１０４】

上記実施の形態１～３では、ゲート電極（ゲート配線）が多結晶シリコン層の上にバリア層とタングステンなどの金属層が積層された構造について主に述べた。上記実施の形態１～３の概念は、本実施の形態のように、ゲート電極が多結晶シリコン層の上にタングステン、モリブデン、タンタルなどのＶＩａ族金属あるいはＶａ族金属の珪化物、コバルト、ニッケル、鉄などのＶＩＩＩ族金属の珪化物が積層されているゲート電極にも適用できる。これらの珪化物では化合物を構成するシリコンが優先的に酸化されるため珪化物表面にシリコン酸化物が形成されやすく、この膜がゲート電極周辺の基板シリコンを酸化（ライト酸化）する際に生じやすい金属汚染を抑止することができる。ただし、これらの珪化物は基板シリコンより酸化されやすいため、ゲート電極側壁の珪化物表面に形成されるシリコン酸化膜の厚さは比較的厚くなる。このような系においても、ゲート電極側壁の極表面をあらかじめ窒化物あるいは炭化物を形成しておくことにより、後の酸化（ライト酸化）工程での珪化物を構成するシリコンの消費を抑制でき、珪化物層の剥離などの問題発生を抑止できる。またチタンなどのＩＶａ族金属の珪化物を積層した場合は、結合力の強い窒化物あるいは炭化物を容易に形成するため、後の酸化（ライト酸化）プロセスステップでの該構成金属の酸化を抑制できる。

【０１０５】

上記実施の形態１～３のゲート電極（ゲート配線）は、多結晶シリコン層の上に金属あるいは金属化合物層を積層した構造であるが、多結晶シリコンを有さないでタングステンなどのＶＩａ族金属あるいはタンタルなどのＶａ族金属層をゲート絶縁膜上に直接設けた、いわゆるメタルゲートに対しても本発明の主工程を適用できかつ同様な効果が得られる。すなわち、金属層側壁を６００℃以下、より好ましくは５００℃以下の温度で窒化あるいは炭化しておき、ゲート電極（ゲート配線）周辺の基板シリコン表面に存在する酸化シリコン膜（ゲートシリコン酸化膜）に内在する損傷や欠陥の修復、あるいは酸化シリコン膜（シリコン酸化膜）の清浄化が行える。

【０１０６】
換言すれば、上記実施の形態１～３においては、積層構造のゲート電極（ゲート配線）を用いたが、タングステン、モリブデンあるいはタンタルなどの金属（高融点金属）の単層からなるいわゆるメタルゲートにおいても本発明を適用でき、同様の効果が得られることは明らかである。メタルゲートにおいてもゲート電極の加工にはドライエッチング技術が用いられる。従って、このとき（ゲート電極のパターニングのためのドライエッチング工程で）生じたゲート電極周辺の酸化シリコン膜（ゲートシリコン酸化膜）の損傷・欠陥を修復するために酸化（ライト酸化）プロセスが必要になる。このとき（ライト酸化工程で）上記実施の形態１～３で述べた積層構造のゲート電極と同様にメタルゲートにおいてもタングステンなどの酸化物が昇華して半導体装置を汚染させる。これに対しては上記実施の形態１～３で示したのと同じ方法でゲート電極（メタルゲート）の側壁を窒化あるいは炭化させ、かつ酸化（ライト酸化）工程を上記実施の形態１～３のように好ましくは６００℃以下、より好ましくは５００℃以下の低温プラズマ酸素雰囲気などで行うことにより、汚染を低減できる。

【０１０７】
また、同様に、多結晶シリコン膜上に珪化タングステン膜を形成した２層構造を有するゲート電極においても本発明を適用でき、同様の効果が得られることは明らかである。この場合、珪化タングステン膜の他の材料として、高融点金属珪化物（珪化金属膜）、例えば珪化モリブデン（ＭｏＳｉｘ）または珪化タンタル（ＴａＳｉｘ）（すなわちタングステン、モリブデンまたはタンタルの珪化物）を用いることもできる。このようなゲート電極構造は、半導体基板１上に多結晶シリコン膜および珪化タングステン膜を形成してパターニングすることにより形成できるが、多結晶シリコン膜上にタングステン膜を形成し、タングステン膜を多結晶シリコン膜と反応させてシリサイド化することにより形成することもできる。このような構造のゲート電極においても、ゲート電極のパターニング後、上記実施の形態１～４と同様にしてゲート電極の側壁を窒化（または炭化）し、その後上記実施の形態１～４と同様にしてライト酸化処理を行うことで、半導体装置の信頼性を向上し、またゲート電極の抵抗を低減できる。

【０１０８】
以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【０１０９】
前記実施の形態では、ＤＲＡＭのメモリセルと周辺回路を構成するＭＩＳＦＥＴについて説明したが、本発明は、これに限定されるものではなく、金属層または金属化合物層を含むゲート電極（ゲート配線）を有する種々の半導体装置に適用することができる。

【０１１０】
【発明の効果】
本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【０１１１】
金属膜または金属化合物膜を含むゲート電極のパターニング後に、ゲート電極側壁を低温で窒化または炭化させて金属膜側壁に保護膜を形成した後に、低温でライト酸化を行うことにより、半導体装置の信頼性を向上させることができる。

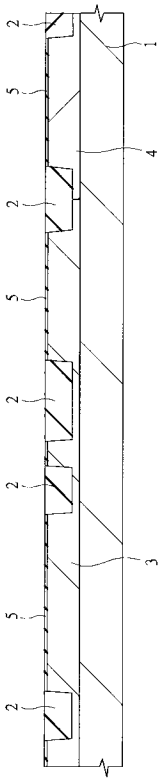
【図面の簡単な説明】
【図１】本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。
【図２】図１に続く半導体装置の製造工程中における要部断面図である。
【図３】図２に続く半導体装置の製造工程中における要部断面図である。
【図４】図３の部分拡大断面図である。
【図５】図３に続く半導体装置の製造工程中における要部断面図である。
【図６】図５の部分拡大断面図である。

【図７】図５に続く半導体装置の製造工程中における要部断面図である。
【図８】図７に続く半導体装置の製造工程中における要部断面図である。
【図９】図８に続く半導体装置の製造工程中における要部断面図である。
【図１０】図９に続く半導体装置の製造工程中における要部断面図である。
【図１１】図１０に続く半導体装置の製造工程中における要部断面図である。
【図１２】図１１に続く半導体装置の製造工程中における要部断面図である。
【図１３】図１２に続く半導体装置の製造工程中における要部断面図である。
【図１４】汚染量を調べるために行なった実験の説明図である。
【図１５】汚染源試料から昇華して清浄ウエハ表面に付着したタングステン量を示すグラフである。
【図１６】汚染源試料から昇華して清浄ウエハ表面に付着したタングステン量を示すグラフである。
【図１７】本発明の他の実施の形態である半導体装置の製造工程中の部分拡大断面図である。
【図１８】図１７に続く半導体装置の製造工程中における部分拡大断面図である。
【図１９】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。
【図２０】図１９に続く半導体装置の製造工程中における要部断面図である。
【図２１】図２０の部分拡大断面図である。
【図２２】図２０に続く半導体装置の製造工程中における要部断面図である。
【図２３】図２２の部分拡大断面図である。
【符号の説明】
１　半導体基板
２　素子分離領域
３　ｐ型ウエル
４　ｎ型ウエル
５　ゲート絶縁膜
６　多結晶シリコン膜
７　窒化タングステン膜
８　タングステン膜
９　窒化シリコン膜
１０ａ　ゲート電極
１０ｂ　ゲート電極
１０ｃ　ゲート電極
１１　酸化シリコン膜
１２　窒化物膜
１４　p^-型半導体領域
１５　n^-型半導体領域
１６　ｎ型半導体領域
１７　窒化シリコン膜
１８　サイドウォール
１９　n^+型半導体領域
２０　p^+型半導体領域
２１　メモリセル選択用ＭＩＳＦＥＴ
２２　ｎチャネル型のＭＩＳＦＥＴ
２３　ｐチャネル型のＭＩＳＦＥＴ
２４　酸化シリコン膜
２５ａ　コンタクトホール
２５ｂ　コンタクトホール
２６ａ　プラグ
２６ｂ　プラグ

２７　酸化シリコン膜
２８　フォトレジストパターン
２９　コンタクトホール
３０ａ　窒化チタン膜
３０ｂ　タングステン膜
３１　酸化シリコン膜
３２　ビット線
３３　第１層配線
３４　酸化シリコン膜
３５　スルーホール
３６　プラグ
３７　下部電極
３８　容量絶縁膜
３９　上部電極
４０　情報蓄積用容量素子
５１　汚染源試料
５１ａ　汚染源面
５２　清浄ウエハ
５２ａ　清浄面
５２ｂ　裏面
６１　シリコン膜
６２　窒化物膜
７０　珪化タングステン膜
７１ａ　ゲート電極
７１ｂ　ゲート電極
７１ｃ　ゲート電極
７２　窒化物膜

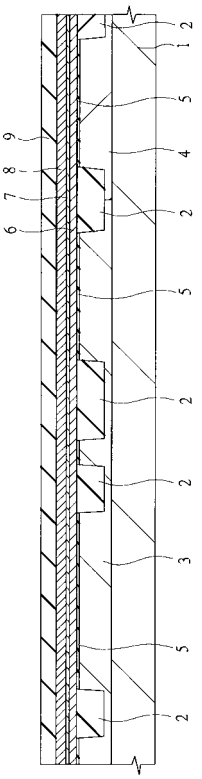
【図１】

図 1



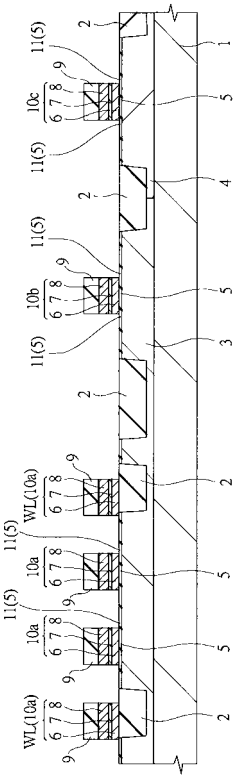
【図２】

図 2



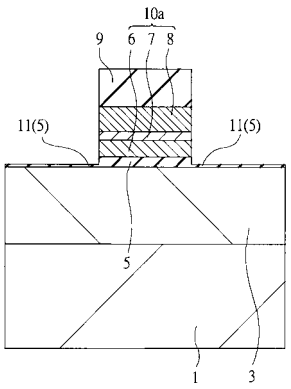
【図３】

図 3



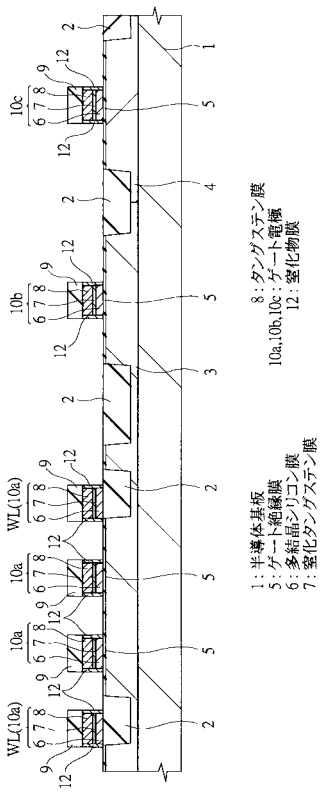
【図４】

図 4



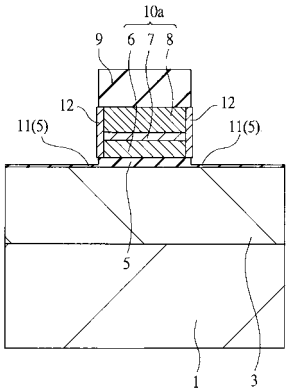
【図５】

図５



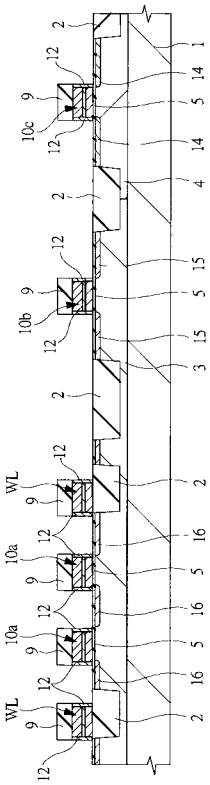
【図６】

図６



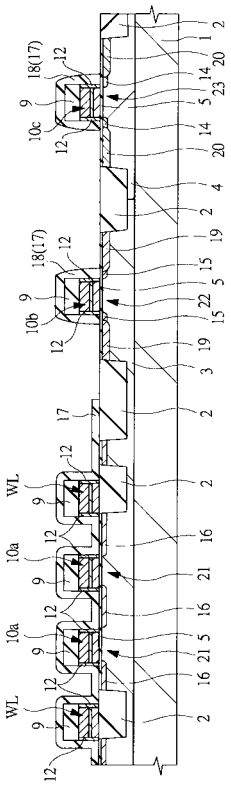
【図７】

図７



【図８】

図８



【図９】

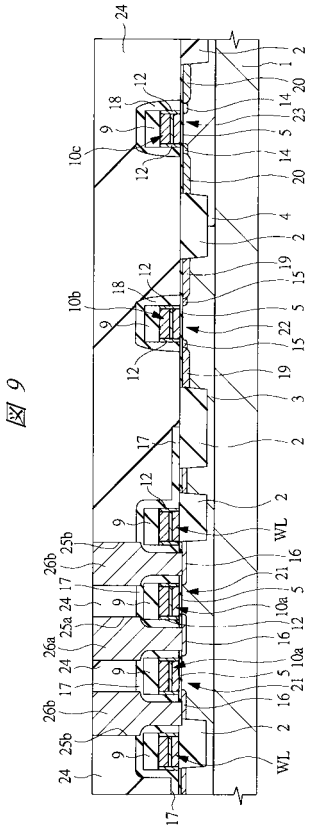


図 9

【図１０】

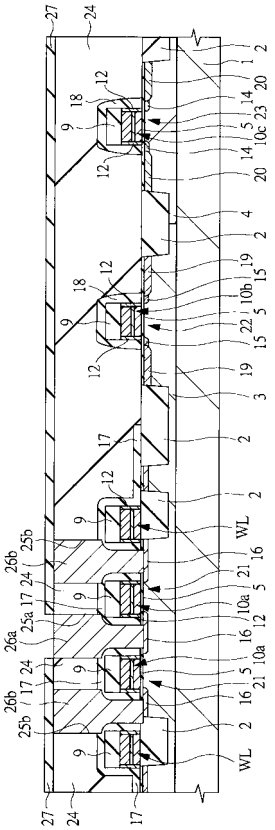


図 10

【図１１】

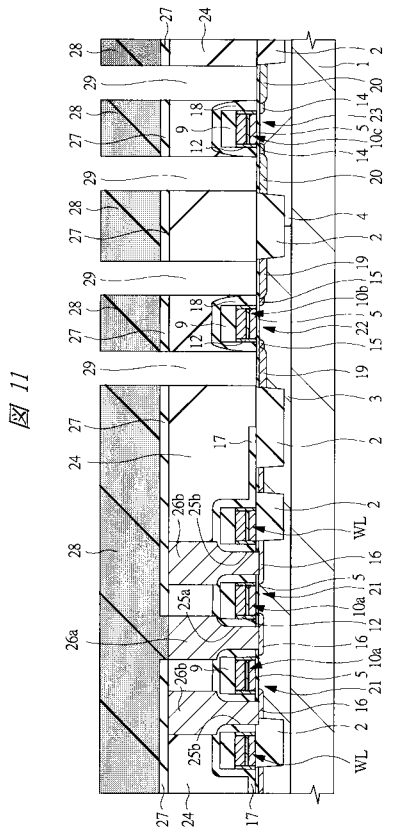


図 11

【図１２】

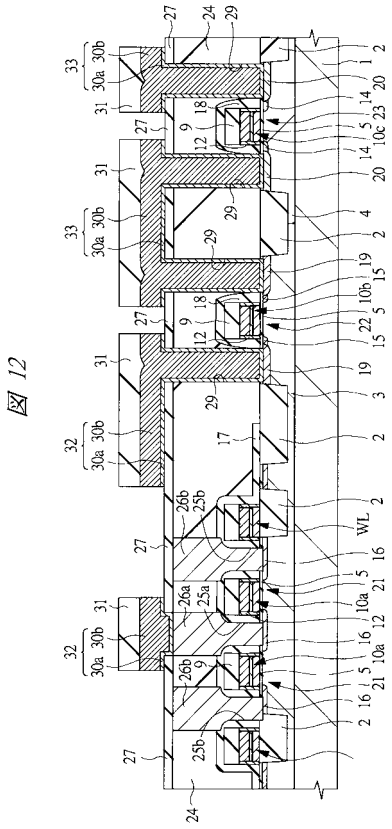
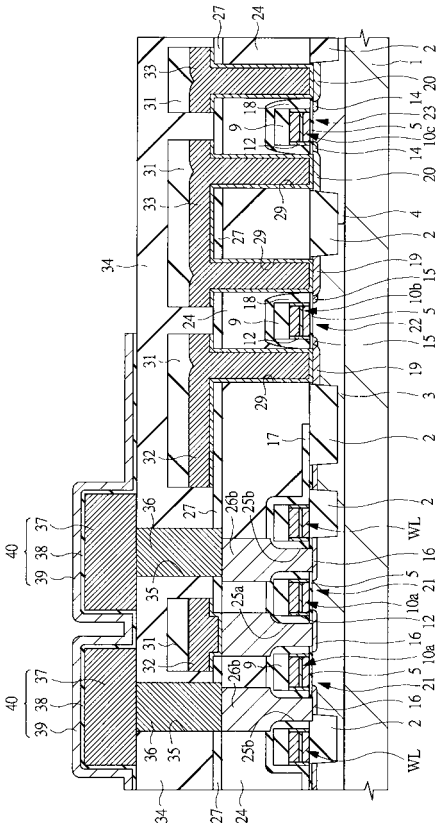


図 12

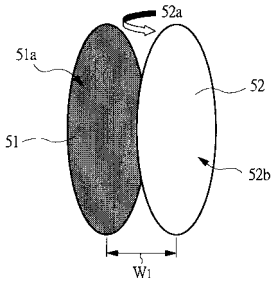
【図１３】

図 13



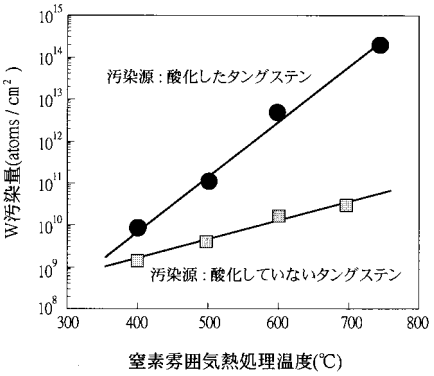
【図１４】

図 14



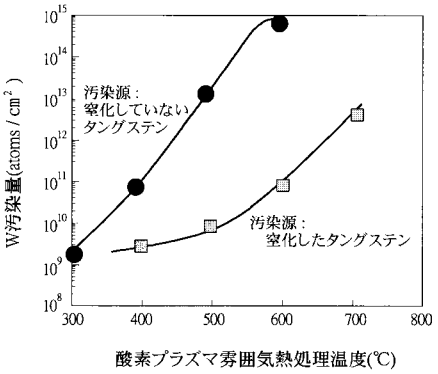
【図１５】

図 15



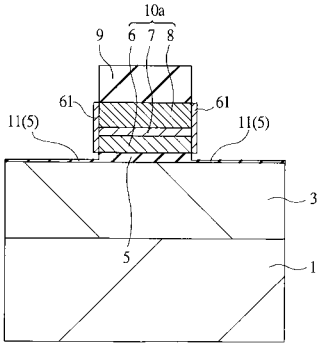
【図１６】

図 16



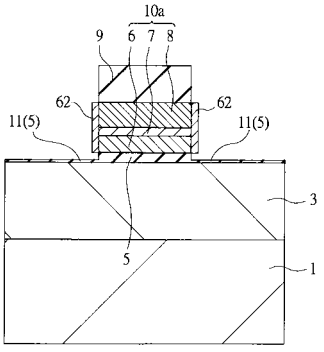
【図１７】

図 17



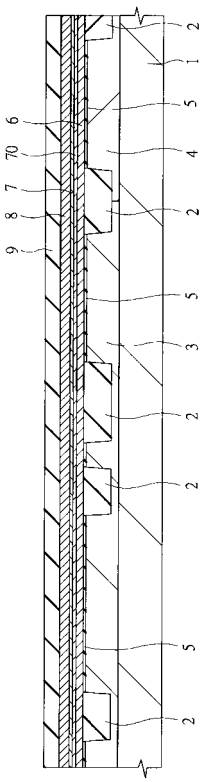
【図１８】

図 18



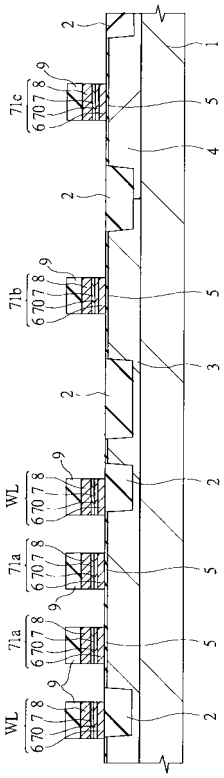
【図１９】

図 19



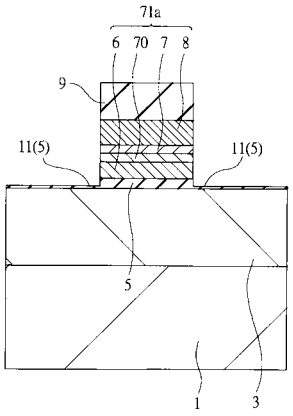
【図２０】

図 20



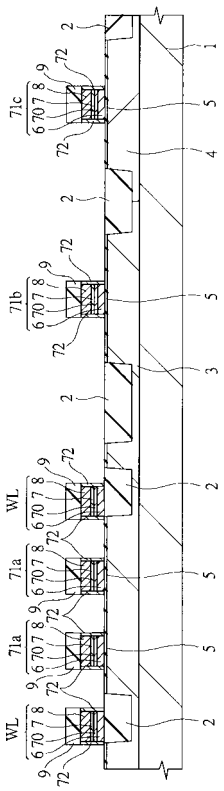
【図２１】

図 21



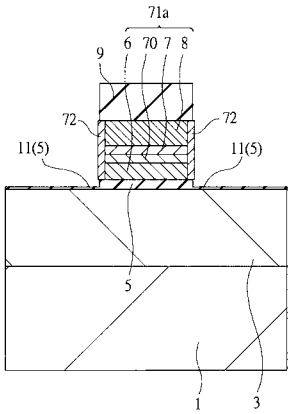
【図２２】

図 22



【図２３】

図 23



フロントページの続き

(51)Int.Cl.[7]	FI		テーマコード（参考）
Ｈ０１Ｌ 29/423	Ｈ０１Ｌ 29/58	G	
Ｈ０１Ｌ 29/49	Ｈ０１Ｌ 27/10	６２１Ｚ	
Ｈ０１Ｌ 29/78	Ｈ０１Ｌ 27/10	６７１Ｚ	
	Ｈ０１Ｌ 27/10	６８１Ｆ	
	Ｈ０１Ｌ 29/78	３０１Ｇ	

Ｆターム(参考) 4M104 AA01 BB01 BB02 BB13 BB16 BB17 BB18 BB24 BB30 BB34
BB40 CC05 DD02 DD04 DD08 DD16 DD17 DD23 DD26 DD37
DD43 DD55 DD65 DD71 DD75 DD78 DD84 DD86 DD88 EE05
EE09 EE14 EE17 FF14 FF17 FF18 FF22 GG16 GG19 HH05
HH08 HH11 HH14 HH16 HH20
5F058 BC02 BF73 BJ01
5F083 AD01 AD21 GA30 JA33 JA35 JA39 JA40 JA53 JA56 MA02
MA05 MA06 MA17 MA19 NA01 PR15 PR29 PR40 PR43 PR44
PR45 PR46 PR53 PR54 PR55 PR56 ZA06 ZA12
5F140 AA01 AA19 AA24 AB03 AC32 BE07 BF01 BF04 BF07 BF11
BF18 BF20 BF21 BF22 BF27 BF28 BF33 BF34 BG09 BG11
BG14 BG28 BG30 BG32 BG33 BG38 BG39 BG44 BG48 BG49
BG52 BG53 BH15 BJ01 BJ04 BJ27 BK02 BK13 BK27 CA02
CA03 CB01 CB04 CB08 CC03 CC12 CE07 CE16