(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020 년 3 월 5 일 (05.03.2020)

WIPO | PCT

(10) 국제공개번호
WO 2020/045889 A1

(51) 국제특허분류:
H02H 7/20 (2006.01) *H03K 17/687* (2006.01)

(21) 국제출원번호: PCT/KR2019/010622

(22) 국제출원일: 2019 년 8 월 21 일 (21.08.2019)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2018-0100543 2018 년 8 월 27 일 (27.08.2018) KR
10-2019-0042659 2019 년 4 월 11 일 (11.04.2019) KR

(71) 출원인: 엘에스산전 주식회사 (**LSIS CO., LTD.**) [KR/KR]; 14119 경기도 안양시 동안구 엘에스로 127, Gyeonggi-do (KR). 서울대학교 산학협력단 (**SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION**) [KR/KR]; 08826 서울시 관악구 관악로, 1, Seoul (KR).

(72) 발명자: 심정욱 (**SIM, Jungwook**); 14119 경기도 안양시 동안구 엘에스로 127, Gyeonggi-do (KR). 장수형 (**JANG, Suhyeong**); 14119 경기도 안양시 동안구 엘에스로 127, Gyeonggi-do (KR). 강성희 (**KANG, Sunghee**); 14119 경기도 안양시 동안구 엘에스로 127, Gyeonggi-do (KR). 송웅협 (**SONG, Woonghyeob**); 14119 경기도 안양시 동안구 엘에스로 127, Gyeonggi-do (KR). 설승기 (**SUL, Seungki**); 06714 서울시 서초구 남부순환로 2311-12, 107동 802호, Seoul (KR). 박동훈 (**PARK, Donghoon**); 16560 경기도 수원시 권선구 권중로 110, 610동 302호, Gyeonggi-do (KR). 신동호 (**SHIN, Dong-ho**); 08856 서울시 관악구 난곡로24바길 42, 403호, Seoul (KR).

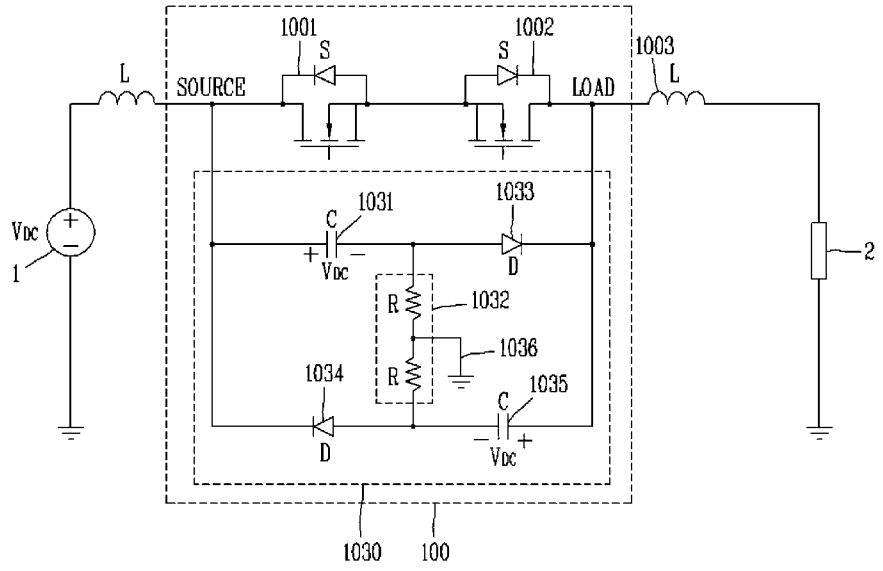
(74) 대리인: 박장원 (**PARK, Jang-Won**); 06044 서울시 강남구 강남대로 566, 2층-3층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

WO 2020/045889 A1

(54) **Title:** BIDIRECTIONAL SEMICONDUCTOR CIRCUIT BREAKER

(54) **발명의 명칭:** 양방향 반도체 차단기



(57) **Abstract:** The present invention relates to a bidirectional semiconductor circuit breaker. The bidirectional semiconductor circuit breaker according to an embodiment of the present invention comprises: a primary circuit unit which is connected between a power source and a load and in which a first semiconductor switch and a second semiconductor switch are arranged in series; and a snubber circuit unit of which one end is connected to the front end of the first semiconductor switch and the other end is connected to the rear end of the second semiconductor switch, in parallel. In this case, the snubber circuit unit may comprise: a first circuit line in which a first capacitor and a first diode are arranged in series; a second circuit line which is connected in parallel to the first circuit line and in which a second capacitor and a second diode are arranged in series; and a third circuit line of which one end and the other end are connected to the first circuit line and the second circuit line, respectively, and in which a first resistor and a second resistor are arranged in series, and may thus provide a snubber circuit which is applicable to a bidirectional fault current and satisfies semiconductor protection and current restraining performance.

[다음 쪽 계속]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) **지정국** (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명은 양방향 반도체 차단기에 관한 것으로, 본 발명의 실시 예에 따른 양방향 반도체 차단기는, 전원과 부하 사이에 연결되고, 제1 및 제2 반도체 스위치가 직렬로 배치되는 주 회로부; 및 일단은 상기 제1 반도체 스위치의 전단에 타단은 상기 제2 반도체 스위치의 후단에 병렬 연결된 스너버 회로부를 포함한다. 이때, 상기 스너버 회로부는, 제1 커패시터 및 제1 다이오드가 직렬로 배치된 제1 회로라인; 상기 제1 회로라인과 병렬 연결되며, 제2 커패시터 및 제2 다이오드가 직렬로 배치된 제2 회로라인; 및 일단은 상기 제1 회로라인에 타단은 상기 제2 회로라인에 연결되며, 제1 저항 및 제2 저항이 직렬로 배치된 제3 회로라인을 포함하여, 양방향 사고전류에 대한 적용이 가능하면서 동시에 반도체 보호 및 전류 억제 성능을 만족시키는 스너버 회로를 제공할 수 있다.

명세서

발명의 명칭: 양방향 반도체 차단기

기술분야

[1] 본 발명은 차단기에 관한 것으로, 보다 구체적으로는 양방향 반도체 차단기에 관한 것이다.

배경기술

[2] 반도체 차단기의 경우, 반도체 스위칭 시 발생되는 전압에 의한 손상으로부터 반도체를 보호하기 위해 일반적으로 스너버 회로를 사용한다. 또한, 전력용 반도체 차단기도 마찬가지로 스위칭 시 발생되는 전압을 낮추기 위해 스너버 회로가 필요하다.

[3] 스너버회로의 예로, 커패시터(C) 스너버, 저항-커패시터(RC) 스너버 및 충방전형(Charge-discharge type) 저항-커패시터-다이오드(RCD) 스너버 및 방전억제형(Discharge-suppressing type) 스너버 회로가 있을 수 있다.

[4] 이 중, 충방전형(Charge-discharge type) RCD 스너버의 동작에 관하여 구체적으로 설명하면 다음과 같다.

[5] 전력용 반도체와 병렬로 결선된 형태의 커패시터(C)로만으로 구성된 스너버의 경우, 사고 전류가 제거된 후 차단기의 전력용 반도체가 다시 켜질 때에 돌입전류 문제가 발생된다. 구체적으로, 고장 발생 후 스너버의 커패시터(C)는 DC 링크전압(V_{DC})로 충전된다. 따라서, 차단기가 다시 켜지면 전력용 반도체를 통해 커패시터 전압이 직접 방전됨으로써, 돌입전류가 발생하게 된다. 이와 같은 전력용 반도체와 커패시터의 돌입 전류를 줄이기 위해서는 커패시터의 방전속도를 줄여야 하는데, 이는 커패시터에 저항을 직렬 연결하여 달성될 수 있다. 따라서 스너버는 자연스럽게 RC 스너버로 구성된다. 이러한 RC 스너버는 스위칭 시 돌입전류를 해결할 수 있고 사고전류를 신속하게 감소시킬 수 있다. 그러나 사고전류가 제거되었을 때, 저항 양단의 전압강하는 이와 병렬로 연결된 반도체 소자 양단의 전압강하와 같아지게 되므로 전압상승에 따른 과전압으로 인해 회로가 파괴될 수 있다.

[6] 이에, 일반적으로 도 1에 도시된 회로 구조를 갖는 충방전형 RCD스너버(8)가 반도체 차단기(10)에 적용된다. 도 1을 참조하면, 전원(1)과 부하(2) 사이에 배치된 반도체 차단기(10)가 사고전류를 차단하는 과정에서, 충방전형 RCD스너버(8)는 사고전류가 0이 될 때까지 C스너버가 작동되며, 사고전류가 제거된 후 반도체 차단기(10)가 다시 켜지면 RC스너버로 작동된다. 하지만 이러한 충방전형 RCD스너버(8)의 경우에도 고장발생시 커패시터의 전압이 형성되어 있지 않기 때문에, 차단 동작 시 즉시 사고전류를 줄일 수는 없다. 즉, 커패시터가 Vdc이상으로 충전되어야 하기 때문에 즉시 사고전류를 차단할 수 없는 것이다.

[7] 한편, 방전억제형(Discharge-suppressing type) 스너버의 경우, 도 2에 도시된 바와 같이, 방전억제형 스너버(8')를 갖는 반도체 차단기(10')는 출력전압이 Vdc에서 시작하기 때문에 차단기 턴-오프 프로세스 직후에도 사고전류를 차단할 수 있다. 즉, 정상상태에서 스너버(8')의 커패시터(C)가 Vdc로 충전되기 때문에 사고전류의 차단이 가능하다. 특히, 선로인덕턴스가 고장지점에 따라 달라지는 계통에서 이러한 스너버(8')를 갖는 반도체 차단기(10')는 사전충전된 커패시터로 인하여 고장발생 직후에도 사고전류의 증가를 억제할 수 있다.

[8] 또한, 도 2에 도시된 바와 같이, 스너버 회로 내에 프리휠링 경로가 있어 별도의 프리휠링 다이오드를 사용하지 않더라도 반도체 차단기(10)의 과전압보호가 가능하다. 따라서, 방전억제형 RCD 스너버는 충방전형 RCD 스너버에 비해 향상된 과전압 보호 및 사고전류 억제 성능을 발휘한다. 하지만, 이와 같이 역방향 사고전류를 차단할 경우, 방전억제형 스너버의 다이오드는 전류경로를 차단하기 때문에, 반도체 차단기(10) 양단에 과전압을 발생시킨다. 따라서, 방전억제형 RCD 스너버는 양방향 반도체 차단기의 양방향 스너버 회로에는 사용할 수가 없다.

[9] 이와 같이, 기존의 반도체 차단기에 적용된 스너버 회로의 경우, 빠른 사고 전류 억제, 과전압 보호 성능이 모두 뛰어나면서 양방향 동작이 가능한 경우를 모두 만족시키지는 않는다는 문제가 있다. 즉, 반도체 보호와 전류 억제 성능을 강조한 스너버 회로의 경우 단방향 사고 전류 차단에만 적용이 가능하며, 양방향 사고 전류에 대해 적용이 가능한 스너버 회로의 경우 반도체 보호 및 전류 억제 성능을 충분히 만족하지 않는다는 문제가 있다.

발명의 상세한 설명

기술적 과제

[10] 따라서 본 발명은 이와 같은 종래기술의 문제점을 해결하기 위한 것으로, 본 발명의 일 목적은 양방향 사고전류에 대한 적용이 가능하면서 동시에 반도체 보호 및 전류 억제 성능을 만족시키는 스너버 회로를 포함하는 양방향 반도체 차단기를 제공하는 데 있다.

과제 해결 수단

[11] 상기 본 발명의 목적을 달성하기 위한 본 발명의 실시 예에 따른 양방향 반도체 차단기는, 전원과 부하 사이에 연결되고, 제1 및 제2 반도체 스위치가 직렬로 배치되는 주 회로부; 및 일단은 상기 제1 반도체 스위치의 전단에 타단은 상기 제2 반도체 스위치의 후단에 병렬 연결된 스너버 회로부를 포함한다. 이때, 상기 스너버 회로부는, 제1커패시터 및 제1다이오드가 직렬로 배치된 제1회로라인; 상기 제1회로라인과 병렬 연결되며, 제2커패시터 및 제2다이오드가 직렬로 배치된 제2회로라인; 및 일단은 상기 제1회로라인에 연결되고, 타단은 상기 제2회로라인에 연결되며, 제1저항 및 제2저항이 직렬로 배치된 제3회로라인을 포함하여, 양방향 사고전류에 대한 적용이 가능하면서 동시에 반도체 보호 및

전류 억제 성능을 만족시키는 스너버 회로를 제공할 수 있다.

[12] 일 실시 예에서, 상기 차단기의 입력부에 제3다이오드와 제3저항으로 구성되고, 상기 차단기의 차단동작 시 발생하는 과전압을 억제하는 제1 프리휠링 회로를 더 포함할 수 있다. 이때, 상기 제1 프리휠링 회로는, 상기 제1 반도체 스위치의 전원 측 노드에서, 상기 전원과 병렬로 연결된 상기 제3다이오드; 및 상기 제3다이오드와 접지 간에 병렬 연결된 상기 제3저항을 포함할 수 있다.

[13] 일 실시 예에서, 상기 차단기의 출력부에 제4다이오드와 제4저항으로 구성된 제2 프리휠링 회로를 더 포함할 수 있다. 이때, 상기 제2 프리휠링 회로는, 상기 제2 반도체 스위치의 부하 측 노드에서, 상기 부하와 병렬로 연결된 상기 제4다이오드; 및 상기 제4다이오드와 접지 간에 병렬 연결된 상기 제4저항을 포함할 수 있다.

[14] 일 실시 예에서, 상기 전원은 전원 측 인덕터 성분을 포함하고, 상기 부하는 부하 측 인덕터 성분을 포함할 수 있다.

[15] 일 실시 예에서, 상기 차단기는 단락에 의한 사고 시점인 t_1 이전부터 상기 스너버 회로부의 상기 제1커패시터의 전압을 상기 전원의 전압과 동일하게 유지할 수 있다. 이에 따라, 상기 제1 및 제2 반도체 스위치가 턴 오프되는 t_2 시점에서 상기 전원 측 노드 또는 상기 부하 측 노드에 흐르는 사고 전류는 더 이상 증가하지 않게 된다.

[16] 일 실시 예에서, 상기 사고 시점인 t_1 이후 상기 제1 및 제2 반도체 스위치에 흐르는 전류가 보호 수준(protection level)에 이르면, 상기 t_2 시점에서 턴 오프 신호를 전류 센서로부터 전달받아, 상기 제1 및 제2 반도체 스위치가 턴 오프 될 수 있다.

[17] 일 실시 예에서, 상기 t_2 시점에서 상기 제2 프리휠링 회로를 통해 사고전류(fault current) I_{fw}가 흐르기 시작할 수 있다. 한편, 상기 t_2 시점 이후 t_3 시점에서 상기 제1 인덕터에서 상기 스너버 회로부의 상기 제1회로라인을 통해 흐르는 전류는 0이 될 수 있다. 또한, 상기 사고전류 I_{fw}는 상기 t_3 시점까지 증가하고, 상기 t_3 시점부터 감소할 수 있다.

[18] 일 실시 예에서, 상기 제1 반도체 스위치는 제1 MOSFET과 제1 병렬 다이오드가 병렬로 연결될 수 있다. 또한, 상기 제2 반도체 스위치는 제2 MOSFET과 제2 병렬 다이오드가 병렬로 연결될 수 있다. 한편, 상기 제1 MOSFET과 상기 제2 MOSFET은 N-channel MOSFET일 수 있다. 이때, 상기 제1 병렬 다이오드의 일단과 타단은 각각 상기 제1 MOSFET의 소스(source)와 드레인에 연결될 수 있다. 또한, 상기 제2 병렬 다이오드의 일단과 타단은 각각 상기 제2 MOSFET의 드레인과 소스에 연결될 수 있다.

[19] 일 실시 예에서, 상기 제1회로라인은 상기 제1커패시터와 상기 제1다이오드의 순서로 직렬 연결되고 상기 제2회로라인은 상기 제2다이오드와 상기 제2커패시터의 순서로 직렬 연결될 수 있다.

[20] 일 실시 예에서, 상기 제3회로라인의 일단은 상기 제1커패시터의 타단과 상기 제1다이오드의 일단과 연결되고 상기 제3회로라인의 타단은 상기 제2다이오드의 일단과 상기 제2커패시터의 타단과 연결될 수 있다.

[21] 일 실시 예에서, 상기 제1저항과 제2저항은 상기 제1저항과 제2저항 사이의 접지점에 연결되고, 상기 스너버 회로부는 상기 접지점을 기준으로 점 대칭일 수 있다.

[22] 일 실시 예에서, 상기 제1저항과 제2저항은 사고전류(fault current)가 상기 스너버 회로부의 내부로 흘러 들어 발생하는 전압 강하(voltage drop)를 증가시킬 수 있다. 또한, 상기 제1저항과 제2저항은 상기 사고전류가 흐르는 접지 경로(ground path)인 상기 접지점을 상기 제1 저항과 제2 저항의 연결 지점에서 제공할 수 있다.

[23] 일 실시 예에서, 상기 제1저항의 일단은 상기 제1커패시터와 상기 제1다이오드의 연결지점에 연결되고, 상기 제1저항의 타단은 상기 제2커패시터와 상기 제2다이오드의 연결지점에 연결될 수 있다. 또한, 상기 제2저항의 일단은 상기 제2커패시터와 상기 제2다이오드의 연결지점에서 상기 제1 저항과 직렬로 연결되고, 상기 제2저항의 타단은 접지점에 연결될 수 있다.

[24] 일 실시 예에서, 상기 제1저항 및 제2저항은 비선형 저항 소자(non-linear resistor element)형태로 구성되고, 상호 직렬 연결될 수 있다.

[25] 일 실시 예에서, 상기 차단기는 차단이 완료된 후 물리적 절연 및 과전압 보호를 확보하도록, 상기 차단기와 직렬로 좌우 양단 접점 또는 한쪽 접점과 직렬로 기계식 스위치를 연결하는 회로구조로 구성될 수 있다. 이에 따라, 상기 제1 및 제2 반도체 스위치 차단 동작 후, 별도의 신호 또는 시지연을 통해 상기 기계식 스위치를 개방하여 상기 차단기의 물리적 절연을 유지할 수 있다.

[26] 일 실시 예에서, 상기 제1 및 제2 반도체 스위치와 병렬로 배치되어, 과전압을 억제할 수 있도록 구성된 MOV (Metal Oxide Varistor)를 더 포함할 수 있다. 한편, 상기 MOV는 상기 제1 및 제2 반도체 스위치에 인가되는 전압이 일정 전압 이상이면 상기 제1 및 제2 반도체 스위치에 흐르는 전류를 다른 경로로 덤프(dump)하도록 구성될 수 있다.

발명의 효과

[27] 이상과 같은 본 발명에 따른 양방향 반도체 차단기는, 양방향 사고전류에 대한 적용이 가능하면서 동시에 반도체 보호 및 전류 억제 성능을 만족시키는 스너버 회로를 포함하는 양방향 반도체 차단기를 제공하는 데 있다. 그에 따라, 반도체 차단기 또는 개폐기의 반도체 모듈의 설치가 용이해지며, 높은 성능과 신뢰성을 갖는 반도체 차단기의 설계가 가능한 효과를 갖는다.

[28] 구체적으로, 과전압에 의한 반도체 보호 성능은 본 발명에 따른 스너버 회로의 구조 및 스너버 회로 내의 저항(R), 커패시터(C), 다이오드(D)의 설계를 통해 달성될 수 있다. 또한, 빠른 사고 전류 억제 성능은 발명에 따른 스너버 회로 내의

저항(R)의 설계를 통해 달성될 수 있다. 또한, 양방향 사고전류에 대비한 양방향 동작성은 본 발명에 따른 스너버 회로 내부의 소자 배치 시 대칭성을 고려함으로써 달성될 수 있을 것이다.

[29] 또한, 차단기의 전원 측에서 사고가 날 경우 차단기의 부하 측에 병렬로 연결된 프리휠링 회로에서 사고전류의 차단 및 충전에너지를 소진할 수 있는 효과가 있다. 또한, 반도체 스위치 차단 동작 후 별도의 신호 또는 시지연을 통해 기계식 스위치를 개방하여 차단기의 물리적 절연을 유지할 수 있다.

[30] 나아가, 본 발명에 따른 양방향 반도체 차단기는 비대칭적인 형태의 스너버 회로의 구현으로도 가능하게 구현함으로써, 전원 인덕턴스가 거의 없는 환경에서 전원측에 사고가 발생한 경우에도 전원 측으로 흐르는 전류가 목표 차단 전류 크기 이상으로 증가하지 않게 된다.

도면의 간단한 설명

[31] 도 1은 일반적인 충방전형 RCD스너버가 적용된 반도체 차단기의 예시 회로도이고, 도 2는 일반적인 방전억제형 RCD 스너버가 적용된 반도체 차단기의 예시 회로도이다.

[32] 도 3은 양방향 동작이 가능하도록 두 개의 단방향 스너버 회로를 적용한 예시이고, 도 4는 양방향으로 동작가능한 고성능 스너버 회로를 적용한 예시이다.

[33] 도 5은 본 발명의 실시 예에 따라 설계된 양방향 동작이 가능한 스너버 회로를 포함하는 양방향 차단기 회로를 보인 도면이다.

[34] 도 6 내지 도 9는 본 발명의 실시 예에 따른 스너버 회로가 적용된 양방향 차단기에서 부하 측에 단락사고가 발생한 경우 차단 동작을 설명하기 위한 예시 도면들이다.

[35] 도 10은본 발명의 또 다른 실시 예에 따라 설계된 비대칭적 형태의 스너버 회로를 포함하는 양방향 차단기 회로를 보인 도면이다.

[36] 도 11 내지 도 14는 도 10에 따른 비대칭적 형태의 스너버 회로가 적용된 양방향 차단기에서 부하 측에 단락사고가 발생한 경우 차단 동작을 설명하기 위한 예시 도면들이다.

[37] 도 15 내지 도 18는 도 10에 따른 비대칭적 형태의 스너버 회로가 적용된 양방향 차단기에서 전원 측에 단락사고가 발생한 경우 차단 동작을 설명하기 위한 예시 도면들이다.

[38] 도 19는 본 발명의 다른 실시 예에 따른 프리휠링 회로가 추가된 양방향 차단기의 구조를 나타낸다.

[39] 도 20-21은 도 19에 따른 본 발명의 프리휠링 회로가 추가된 양방향 차단기에서 정상상태와 고장발생에 따른 구체적인 동작을 설명하기 위한 예시 도면들이다.

[40] 도 22는는 본 발명과 관련하여 반도체 스위치와 부하에 인가되는 전압 파형과 여러 지점에서의 전류 파형을 나타낸다

[41] 도 23은 본 발명에 따른 반도체 스위치와 부하에 인가되는 전압 파형과 여러 지점에서의 전류 파형을 나타낸다.

[42] 도 24-25는 도 19에 따른 본 발명의 프리휠링 회로가 추가된 양방향 차단기에서 정상상태와 고장발생에 따른 구체적인 동작을 설명하기 위한 예시 도면들이다.

[43] 도 26은 반도체 차단기와 직렬로 좌우 양단 접점 또는 한쪽 접점과 직렬로 기계식 스위치를 연결하는 회로구조이다.

발명의 실시를 위한 형태

[44] 상술한 본 발명의 목적과 이를 달성하는 본 발명의 구성 및 그의 작용효과는 첨부한 도면을 참조한 본 발명의 바람직한 실시 예에 대한 이하의 설명에 의해서 좀 더 명확히 이해될 수 있을 것이다.

[45] 또한, 본 명세서에서, 어느 구성요소에 대한 '전단' 및 '후단'의 지칭은 정상상태에서 전류의 흐름 방향을 기준으로 한다. 예를 들어, 전원의 양극과 음극 사이에 차단기가 설치된 경우, 정상상태에서 '전원의 양극 - 차단기 전단 - 차단기 - 차단기 후단 - 전원의 음극'의 순서로 흐르게 된다.

[46] 양방향 직류 계통에서는 양방향 차단이 가능한 차단기가 필요하다. 따라서, 반도체 차단기(SSCB, Solid-State Circuit Breaker)를 적용할 경우 사고전류(fault current)를 안정적으로 차단하기 위해 양방향으로 동작할 수 있는 스너버 회로(snubber circuit)가 필요하다. 이러한 유형의 스너버 회로는 두 가지 경우로 구분할 수 있다.

[47] 하나는, 도 3에 도시된 바와 같이 양방향 동작이 가능하도록 두 개의 단방향 스너버 회로(110, 120)를 적용하는 것이고, 다른 하나는 도 4에 도시된 바와 같이 양방향으로 동작가능한 고성능 스너버 회로(130)를 적용하는 것이다. 이때에, 각 스너버 회로에서 전원(1)의 후단에 제1리액터(101)는 전원(1)에 의한 인덕턴스를 나타내고, 부하(2)의 전단에 제2리액터(104)는 부하(2)에 의한 인덕턴스를 나타낸다.

[48] 먼저, 도 3을 참조하면, 하나의 게이트 신호로 반도체 차단기(SSCB)의 두 반도체 스위치(102, 103)를 꺼서 사고전류를 동시에 차단할 수 있다. 따라서, 도 3에 도시된 것처럼 전류가 0A가 될 때까지 제2반도체 스위치(103)의 병렬 다이오드에는 사고전류가 흐른다. 이때에, MOSFET의 상한 영역에서 역전류를 통전할 수 있다. 그러므로 별도의 외부 역병렬 다이오드가 없는 SiC MOSFET의 경우에는, 높은 통전전압 특성을 갖는 MOSFET의 바디 다이오드가 통전손실의 증가로 인해 열적 스트레스를 받게 된다. 따라서, 역병렬 다이오드가 없는 SiC MOSFET을 기반으로 한 반도체 차단기(SSCB)의 전체 신뢰성과 내구성을 높이기 위해서는 다른 구조의 스너버 회로가 바람직할 것이다.

[49] 한편, 도 4의 회로에 도시된 바와 같이 사고전류가 하나의 게이트 신호로 차단되면 사고전류(50)는 스너버 회로(130) 측으로 흐르게 된다. 따라서, 두 개의 각 SiC MOSFET의 병렬 다이오드(S1, S2)에 사고전류가 흐르지 않게 된다.

따라서 이러한 유형의 양방향 스너버 회로를 통해 SiC MOSFET의 열 응력을 크게 줄일 수 있다. 이에, 도 5는 본 발명의 실시 예에 따라 설계된 양방향 동작이 가능한 스너버 회로(1030)를 포함하는 양방향 차단기 회로를 보인 도면이다.

[50] 도 5를 참조하면, 양방향 차단기 전체 회로(100)는, 전원(1)과 부하(2) 사이에 연결된 주 회로부를 포함한다. 여기서, 주 회로부는 직렬 연결된 제1 반도체 스위치(MOSFET)(1001), 제2 반도체 스위치(MOSFET)(1002)를 포함한다. 한편, 부하(2)에 의해 발생하는 인덕턴스 성분을 나타내는 리액터(1003)를 고려할 수 있다. 정상상태에서, 전류는 전원(1)의 양극으로부터 흘러나와 부하(2)를 거쳐 전원(1)의 음극으로 들어오는 흐름을 형성한다.

[51] 또한, 본 발명의 일 실시 예에 따른 양방향 차단기 회로는, 일단은 상기 제1 MOSFET 스위치(1001)의 전단에 타단은 상기 제2 MOSFET 스위치(1002)의 후단에 병렬 연결된 스너버 회로부(1030)를 포함한다. 한편, 상기 제1 및 제2 MOSFET 스위치(1001, 1002)은 방향성을 고려하여 일단(one end)과 타단(the other end)을 전단(front end)과 후단(rear end)으로 표현할 수 있다. 즉, 스너버 회로부(1030)의 일단과 타단은 상기 제1 및 제2 MOSFET 스위치(1001, 1002)의 서로 다른 단부(end portion)인 전단과 후단에 각각 연결된다.

[52] 여기서, 상기 제1 및 제2 MOSFET 스위치(1001, 1002)는 MOSFET 소자와 다이오드가 병렬로 연결되어 구성된다. 이때, 다이오드는 인가되는 전압에 기반하여 온(on)/오프(off)되는 스위치일 수 있고, 따라서, 상기 제1 및 제2 MOSFET 스위치(1001, 1002)는 MOSFET 소자와 스위칭 소자가 병렬로 연결되어 구성된다.

[53] 한편, 상기 스너버 회로부(1030)는, 복수의 회로라인을 포함하도록 구성될 수 있다. 구체적으로, 상기 스너버 회로부(1030)는 제1커패시터(1031) 및 제1다이오드(1033)가 직렬로 배치된 제1회로라인을 포함한다. 또한, 상기 스너버 회로부(1030)는 상기 제1회로라인과 병렬 연결되며, 제2커패시터(1035) 및 제2다이오드(1034)가 직렬로 배치된 제2회로라인을 더 포함할 수 있다. 또한, 상기 스너버 회로부(1030)는 상기 제1회로라인에 타단은 상기 제2회로라인에 직렬로 연결되며, 제1저항 및 제2저항(1032)이 직렬로 배치된 제3회로라인을 더 포함할 수 있다.

[54] 한편, 제1다이오드(1033)는 전원(1) 측에서 부하(2)로 흐르는 방향으로 배치되며, 제2다이오드(1034)는 부하(2) 측에서 전원(1)의 양극으로 흐르는 방향으로 배치된다. 이하, 설명의 편의를 위해 제1 MOSFET 스위치(1001)의 전단은 소스노드(SOURCE)라 칭하고, 상기 제2 MOSFET 스위치(1002)의 후단은 부하노드(LOAD)라 명명될 수 있다.

[55] 소스노드(SOURCE)와 부하노드(LOAD) 사이에는 양방향으로 동작가능한 스너버 회로부(1030)가 마련된다. 스너버 회로부(1030)에는 직렬연결된 제1커패시터(1031) 및 제1다이오드(1033)가(즉, 제1회로라인이), 직렬연결된 제2다이오드(1034) 및 제1커패시터(1035)와(즉, 제2회로라인이) 병렬로

배치된다. 그에 따라, 제1회로라인과 제2회로라인의 커패시터 및 다이오드가 대칭을 이룬다.

[56] 제1회라인과 제2회로라인 사이에는 직렬 연결된 복수의 저항(1032) 이 배치되는 제3회로라인이 형성된다. 여기서, 제3회로라인의 일단은 상기 제1커패시터(1031)의 후단과 상기 제1다이오드(1033)의 전단 사이에 연결된다. 한편, 상기 제3회로라인의 타단은 상기 제2다이오드(1034)의 후단과 상기 제2커패시터(1035)의 전단 사이에 연결되는 것으로 배치될 수 있다.

[57] 제2회로라인의 제2커패시터(1035)는 정상상태에서 충전되었다가, 부하(2) 측에 사고전류 발생시 방전되면서 역방향의 전류를 발생시킨다. 이와 유사하게, 제1회로라인의 제1커패시터(1031)는 마찬가지로 정상상태에서는 충전되고, 전원(1)측에 사고전류 발생시 방전되면서 역방향의 전류를 발생시킨다.

[58] 정상상태에서, 스너버 회로부(1030)의 캐패시터(1031, 1035)는 Vdc로 충전된 상태로 유지되기 때문에, 반도체 차단기가 차단되는 즉시 사고 전류를 빠르게 감소시킬 수 있다. 또한, 스너버 회로부(1030)의 내부에 배치된 복수의 저항(1032)을 통해 사고 전류가 흐를 수 있는 접지 경로가 있기 때문에, 사고 전류 차단 과정에서 캐패시터(1031, 1035)의 부담을 덜어준다. 그리하여, 반도체 스위치의 과전압 보호 성능도 향상되었다고 말할 수 있다.

[59] 구체적으로, 스너버 회로부(1030)에서 캐패시터(1031, 1035)는 차단 과정에서 반도체 스위치의 과전압을 보호하는 역할을 수행한다. 또한, 저항(1032)에 의해 사고 전류가 스너버 회로부(1030) 내부로 흘러들어 발생하는 전압 강하를 증가시킨다. 이에 따라, 사고 전류를 빠르게 감소시키는 역할을 수행하며 동시에 사고 전류가 흐를 수 있는 접지 경로를 제공함으로써 반도체 스위치 과전압 보호 역할도 수행한다. 또한, 다이오드(1033, 1034)는 저항의 전압 강하로 인한 예기치 못한 과전압의 발생을 억제하는 역할을 수행한다.

[60] 이하, 도 6 내지 도 9는 본 발명의 실시 예에 따른 스너버 회로가 적용된 양방향 차단기에서 부하 측에 단락사고가 발생한 경우 차단 동작을 설명하기 위한 예시 도면들이다.

[61] 본 발명에 따른 스너버 회로는 반도체 차단기를 기준으로 전원(1) 측 인덕턴스 성분과 부하(2) 측 인덕턴스 성분의 크기가 대칭인 경우, 비대칭인 경우에 대해서 모두 적용이 가능하다. 따라서, 두 경우에 모두에서 뛰어난 전압 보호 및 사고 전류 억제 성능을 갖는다. 또한, 본 발명에 따른 반도체 차단기 회로는 양방향 동작이 가능하기 때문에 양방향 차단기에도 적용이 가능하다.

[62] 이와 관련하여, 도 6 내지 도 9를 참조하면, 반도체 차단기 회로가 저항 사이 접지 노드를 기준으로 완전한 점 대칭 구조이다. 따라서, 전원/부하 위치가 서로 변경되었을 때에도, 회로 동작이 정확히 대칭적으로 동작할 수 있다. 이에 따라, 본 발명에 따른 반도체 차단기 회로가 양방향 차단기에 적용이 가능하다.

[63] 이하, 도 6 내지 도 9를 참조하여, 부하 측에 단락 사고가 발생한 경우 양방향 차단기의 차단 동작을 구체적으로 설명하면 다음과 같다. 도 6은, 정상상태에서,

전원(1) 측에서 흘러나온 전류가 소스노드(SOURCE)를 지나 부하노드(LOAD)를 거쳐 부하(2) 측으로 흐르는 정상의 전류 흐름(601)을 보인다. 한편, 부하(2) 측 단락 사고가 발생하면, 도 7에 도시된 바와 같이 부하노드(LOAD) 후단의 리액터(710)에 전압 Vdc가 누적되는 이상 전류 흐름(701)이 발생된다. 또는, 전원(1) 측 단락 사고가 발생하면, 전원 측 리액터(L)에 전압 Vdc가 누적되는 이상 전류 흐름이 발생될 수 있다.

[64] 다음, 도 8에 도시된 바와 같이, 과전압 방지를 위해 제2회로라인의 제2커패시터가 방전되면서 제2전류흐름(802)이 발생된다. 그리고, 이제 전류의 흐름(801)은 소스노드(SOURCE)에서 제1 MOSFET 스위치가 아닌 제1회로라인의 제1커패시터와 제1다이오드를 거쳐 부하노드(LOAD)로 향하게 되어, MOSFET 스위치를 과전압으로부터 확실하게 보호한다. 이후, 도 9에 도시된 것처럼, 리액터(L)에서 부하노드(LOAD), 제2회로라인의 제2커패시터, 복수의 저항들, 제1회로라인의 제1커패시터를 거쳐, 소스노드(SOURCE)를 지나 전원 측으로 향하는 역방향 전류 흐름(902)이 생성된다.

[65] 본 발명의 또 다른 실시 예로, 도 10은 발명의 또 다른 실시 예에 따라 설계된 비대칭적 형태의 스너버 회로를 포함하는 양방향 차단기 회로의 예시를 보여준다. 즉, 전술한 본 발명의 스너버 회로로부터 비대칭적인 형태의 스너버 회로도 확장 가능하다.

[66] 도 10에 도시된 것과 같은 스너버 회로(1430)를 구성할 경우도 양방향으로 반도체 스위치 과전압 보호 및 사고 전류의 빠른 억제가 가능하다. 도 5에 도시된 대칭형 스너버 회로와의 차이점은, 제1회로라인과 제2회로라인 사이에 하나의 저항(R2)이 배치되고, 나머지 하나의 저항(R1)은 제1회로라인과 제2회로라인 사이에 배치되지 않는다는 것이다. 이때, 나머지 하나의 저항(R1)은 제2회로라인의 제2커패시터와 인접하게 배치된다. 다만, 이때에도 두개의 저항(R1, R2)이 직렬 연결되는 것은 동일하다.

[67] 구체적으로, 비대칭형 스너버 회로(1430)은 전원(1)와 부하(2) 사이에 직렬 배치된 제1 스위치(S1)(1401), 제2 스위치(S2)(1402)와 병렬로 배치된다. 이때, 리액터(1403)가 부하(2)에 의한 인덕턴스를 나타낸다.

[68] 여기서, 제1저항(1432a)의 일단은 제1커패시터(1431)와 제1다이오드(1433)의 연결지점에 연결될 수 있다. 또한, 제1저항(1432a)의 타단은 제2커패시터(1435)와 제2다이오드(1434)의 연결지점에 연결될 수 있다.

[69] 또한, 제2저항(1432b)의 일단은 제2커패시터(1435)와 제2다이오드(1434)의 연결지점에서 제1 저항(1432a)과 직렬로 연결될 수 있다. 또한, 제2저항(1432b)의 타단은 접지점에 연결될 수 있다.

[70] 이에 따라, 제1커패시터(1431)와 제1다이오드(1433)가 직렬 배치로 구성된 제1회로라인과 제2다이오드(1434)와 제2커패시터(1435)가 직렬 배치로 구성된 제2회로라인이 제1저항(1432a)을 사이에 두고 병렬로 배치된다.

[71] 한편, 제2저항(1432b)은 제1저항(1432a)과 직렬 연결되나 도 5와 달리

제1회로라인과 제2회로라인 사이에 배치되지 않고 제2커패시터(C2)와만 인접하게 배치된다. 이로써, 저항을 포함하는 제3회로라인을 기준으로 대칭을 이루는 도 5의 스너버 회로와 달리 비대칭형 스너버 회로를 형성한다.

[72] 이러한 비대칭적 형태의 스너버 회로의 경우, 예를 들어 ESS와 같이 전원 인덕턴스가 거의 없는 상황에서 전원 측에 사고가 발생했을 경우 접지 경로로부터 흐르는 전류의 전류 경로가 도 16에 표현된 전류 경로처럼 모두 반도체 스위치(S1, S2)로 흐르게 된다. 따라서, 전원 측으로 흐르는 전류가 목표 차단 전류 크기 이상으로 증가하지 않게 된다. 그러므로 인덕턴스가 비대칭인 상황에서 본 확장된 비대칭 스너버 회로를 R, C, D의 적절한 설계를 통해 반도체 차단기의 스너버 회로로서 사용할 수 있다.

[73] 한편, 도 15 내지 도 18는 도 14에 따른 비대칭적 형태의 스너버 회로가 적용된 양방향 차단기에서 부하 측에 단락사고가 발생한 경우의 차단 동작을 설명하기 위한 것이다. 한편, 도 19 내지 도 22는 도 14에 따른 비대칭적 형태의 스너버 회로가 적용된 양방향 차단기에서 전원 측에 단락사고가 발생한 경우 차단 동작을 설명하기 위한 예시 도면들이다.

[74] 도 11은 정상상태에서 소스노드(SOURCE), 제1 스위치(S1), 제2 스위치(S2), 부하노드(LOAD), 리액터(L)를 거쳐 부하 측으로 흐르는 전류 흐름(1501)을 보여준다. 도 12는 부하 측에 단락 사고 발생에 따라, 리액터(1610)에 Vdc 전압이 누적되는 이상 전류 흐름(1601)이다. 한편, 도 13은 접지 경로 형성을 위해 저항 R1으로 흐르는 전류 흐름(1702)이 저항(R1, R2)과 제1다이오드(D1) 와 제2커패시터(C2)를 돌아 부하노드(LOAD)에서 만나 리액터(L)로 흐르는 흐름을 보여준다. 또한, 도 13은 단락 사고로 인한 사고전류(1701)가 이제는 소스노드(SOURCE)에서 제1 스위치(S1)가 아니라 제1커패시터(C1)와 제1다이오드(D1)을 거쳐 부하노드(LOAD), 리액터(L)로 흐르는 흐름을 보여준다. 또한, 도 13은 제1커패시터(C1)에서 분기되어 저항 R2, 제2커패시터(C2)를 거쳐 부하노드, 리액터(L)로 흐르는 전류 흐름을 보여준다.

[75] 다음, 도 14에 도시된 바와 같이 리액터(L), 부하노드(LOAD), 제2커패시터(C2), 저항 R2로 흐르는 제1역전류 흐름(1802a)의 접지 경로가 형성된다. 또한, 저항 R2에서, 저항 R1, 제1커패시터(C1), 소스노드(SOURCE)를 지나 전원측으로 향하는 제2역전류 흐름(1802b)의 접지 경로가 형성된다.

[76] 또 다른 예로, 도 15는 정상상태에서, 부하 측에서 리액터(L), 부하노드(LOAD), 제2 스위치(S2), 제1 스위치(S1), 소스노드(SOURCE)를 거쳐 전원 측으로 흐르는 전류 흐름(1901)을 보인 것이다.

[77] 다음, 도 16에 도시된 바와 같이, 전원 측에 단락 사고 발생시, 도 19의 전류 흐름(1901)과 동일한 방향의 전류 흐름(2001)이 형성된다. 이와 함께, 저항 R1, 제2커패시터(C2), 부하노드(LOAD), 제2 스위치(S2), 제1 스위치(S1), 소스노드(SOURCE)를 거쳐 전원으로 향하는 저항 R1 전류 흐름(2002)이 발생된다. 이후, 저항 R1 전류 흐름(2102)는 저항 R1, 저항 R2, 제1커패시터(C1),

제2다이오드(D2)를 돌아 소스노드(LOAD)를 거쳐 전원 측으로 향하게 된다. 한편, 단락 사고로 인한 사고전류 흐름(2101)은 반도체 스위치들(S1, S2)을 거치지 않고, 리액터(L), 부하노드(LOAD), 제2커패시터(C2), 제1커패시터(C1), 제2다이오드(D2)를 돌아 소스노드(SOURCE)로 경로 변경된다. 이후에는, 소스노드(LOAD)에서 제1커패시터(C1), 저항 R2, 저항 R1의 접지로 향하는 제1역전류 흐름(2202b)이 형성된다. 또한, 저항 R1, 제2커패시터(C2), 부하노드(LOAD), 리액터(L), 부하 측으로 향하는 제2역전류 흐름(2202a)이 생성됨으로써, 반도체 스위치가 보호된다.

[78] 또 다른 예로, 도 19는 본 발명의 다른 실시 예에 따른 프리휠링 회로가 추가된 양방향 차단기의 구조를 나타낸다. 한편, 도 20-21 및 도 24-25는 도 19에 따른 본 발명의 프리휠링 회로가 추가된 양방향 차단기에서 정상상태와 고장발생에 따른 구체적인 동작을 설명하기 위한 예시 도면들이다.

[79] 도 19를 참조하면, 본 발명의 프리휠링 회로가 추가된 양방향 차단기는 주 회로부, 스너버 회로부(2330) 및 제1 및 제2 프리휠링 회로(2341, 2342)를 포함할 수 있다.

[80] 주 회로부는 전원과 부하(Z_{system}) 사이에 연결되고, 제1 및 제2 반도체 스위치(2301, 2302)가 직렬로 배치되도록 구성된다. 또한, 스너버 회로부(2330)는 일단은 제1 반도체 스위치(2301)의 전단에 타단은 제2 반도체 스위치(2302)의 후단에 병렬 연결되도록 구성된다.

[81] 이때, 제1 반도체 스위치(2301)는 제1 MOSFET과 제1 병렬 다이오드가 병렬로 연결되도록 구성될 수 있다. 또한, 제2 반도체 스위치(2301)는 제2 MOSFET과 제2 병렬 다이오드가 병렬로 연결되도록 구성될 수 있다.

[82] 한편, 제1 MOSFET과 제2 MOSFET은 N-channel MOSFET일 수 있다. 이때, 제1 병렬 다이오드의 일단과 타단은 각각 제1 MOSFET의 소스(source)와 드레인(drain)에 연결될 수 있다. 또한, 제2 병렬 다이오드의 일단과 타단은 각각 제2 MOSFET의 드레인과 소스에 연결될 수 있다. 이와 같이, 상보 대칭 형태로 구성된 제1 및 제2 반도체 스위치(2301, 2302)에 의해 본 발명에 따른 양방향 반도체 차단기를 제공할 수 있다.

[83] 한편, 스너버 회로부(2330)는 제1커패시터(2331, Cs) 및 제1다이오드(2333, Ds)가 직렬로 배치된 제1회로라인을 포함한다. 또한, 스너버 회로부(2330)는 상기 제1회로라인과 병렬 연결되며, 제2다이오드 다이오드(2334, Ds) 및 제2커패시터(2335, Cs)가 직렬로 배치된 제2회로라인을 더 포함한다. 이때, 제1회로라인은 제1커패시터(2331)와 제1다이오드(2333)의 순서로 직렬 연결되고 제2회로라인은 제2다이오드(2334)와 제2커패시터(2335)의 순서로 직렬 연결될 수 있다.

[84] 또한, 스너버 회로부(2330)는 일단은 상기 제1회로라인에 연결되고, 타단은 상기 제2회로라인에 연결되며, 제1저항(2332a, Rs) 및 제2저항(2332b, Rs)이 직렬로 배치된 제3회로라인을 더 포함할 수 있다. 이때, 제3회로라인의 일단은

제1커패시터(2331)의 타단과 제1다이오드(2333)의 일단과 연결될 수 있다. 또한, 제3회로라인의 타단은 제2다이오드(2334)의 일단과 제2커패시터(2335)의 타단과 연결될 수 있다.

[85] 한편, 제1저항(2332a)과 제2저항(2332b)은 제1저항(2332a)과 제2저항(2332b) 사이의 접지점에 연결될 수 있다. 또한, 스너버 회로부(2330)는 접지점을 기준으로 점 대칭 형태로 구성될 수 있다.

[86] 한편, 제1저항(2332a)과 제2저항(2332b)에 의해 사고전류 (fault current)가 스너버 회로부(2300)의 내부로 흘러 들어 발생하는 전압 강하(voltage drop)를 증가시킬 수 있다. 이에 따라, 제1저항(2332a)과 제2저항(2332b)은 사고전류가 흐르는 접지 경로(ground path)인 접지점을 제1저항(2332a)과 제2저항(2332b)의 연결 지점에서 제공할 수 있다. 한편, 제1저항(2332a) 및 제2저항(2332b)은 비선형 저항 소자(non-linear resistor element)형태로 구성되고, 상호 직렬 연결될 수 있다.

[87] 한편, 제1 프리휠링 회로(2341)는 차단기의 입력부에 제3다이오드(Df)와 제3저항(Rf)으로 구성되고, 차단기의 차단동작 시 발생하는 과전압을 억제하도록 구성된다. 구체적으로, 제1 프리휠링 회로(2341)는 제1 반도체 스위치(2301)의 전원 측 노드에서, 전원과 병렬로 연결된 제3다이오드(Df)를 포함한다. 또한, 제1 프리휠링 회로(2341)는 제3다이오드(Df)와 접지 간에 병렬 연결된 제3저항(Rf)을 더 포함한다.

[88] 한편, 제2 프리휠링 회로(2341)는 차단기의 출력부에 제4다이오드(Df)와 제4저항으로 구성된다. 구체적으로, 제2 프리휠링 회로(2341)는 제2 반도체 스위치(2302)의 부하 측 노드에서, 부하(Z_{system})와 병렬로 연결된 제4다이오드(Df)를 포함한다. 또한, 제2 프리휠링 회로(2341)는 제4다이오드(Df)와 접지 간에 병렬 연결된 제4저항(Rf)을 더 포함한다.

[89] 여기서, 전원은 전원 측 인덕터 성분을 포함하고, 부하(Z_{system})는 부하 측 인덕터 성분을 포함할 수 있다. 이와 관련하여, 전원 측 인덕터 성분은 전원에 연결된 제1 인덕터(L1)로 등가화 될 수 있다. 한편, 부하 측 인덕터 성분은 부하(Z_{system})에 연결된 제2 인덕터(L2)로 등가화 될 수 있다.

[90] 한편, 도 5 및 도 19를 참조하면, 스너버 회로부(1030, 2330)의 저항 Rs가 작을 경우, 고장발생시 계통의 리액턴스 조건에 따라서 스너버 커패시턴스 Cs(C1)에 충전된 전압이 차단기 동작 전까지 방전될 수 있다. 이 경우, 차단기 동작 시 스너버 커패시턴스 Cs(C1)의 충전시간 만큼 시지연이 발생되며 차단 시 발생되는 과전압 보호가 어렵게 된다.

[91] 이러한 과전압을 방지하기 위해 도 23에서 도시된 바와 같이 차단기 양단에 다이오드(Df)와 저항(Rf)으로 구성된 프리휠링 회로를 추가할 수 있다. 이와 같이 추가된 프리휠링 회로에 의해 고장 점 측의 인덕턴스로 인해 차단기의 차단동작 시 발생되는 과전압을 억제할 수 있다.

[92] 차단기 동작을 설명하면, 도 24와 같이 정상상태에서는 L1과 L2 그리고 반도체

차단기를 통해 부하 측으로 정상전류가 흐른다. 이 경우, 스너버회로의 Cs(C1, C2)는 전원전압 Vdc가 충전된 상태이다.

[93] 만약 도 25와 같이 부하 측에서 단락사고가 발생할 경우 사고전류는 빠르게 상승한다. 이때 스너버 회로의 저항 Rs가 충분이 클 경우 스너버 회로의 Cs(C1, C2)에 충전된 전압은 Rs로 인하여 방전되지 않아 전원전압에 의한 사고전류만 흐르게 된다. 또한, 이 경우, 고장 시에 인덕터에 흐르는 전류의 변화량 di/dt는 수학식 1에 의해 결정된다.

[94] [수식1]

$$\frac{di_{L1,L2}}{dt} = \frac{Vdc}{L_1+L_2}$$

[95] 한편, 도 22는 본 발명과 관련하여 반도체 스위치와 부하에 인가되는 전압 파형과 여러 지점에서의 전류 파형을 나타낸다. 여기서, V_{SSCB}와 V_{Load}는 각각 반도체 스위치와 부하에 인가되는 전압 파형을 시간에 따라 나타낸 것이다.

[96] 도 22와 관련하여, 환류 회로가 별도로 있는 것이 아니라 스너버 회로가 동작할 때 환류 회로의 기능도 동시에 수행된다. 도 26a(b)에서 L1에서의 사고전류 I_{L1}보다 L2에서의 사고 전류 I_{L2}가 더 큰 이유는 스너버 R값이 작기 때문에 상단에서의 저항과 다이오드를 통해 방전되는 전류까지 합산되었기 때문이다.

[97] 한편, 도 22(b), (c)와 관련하여, 스너버 회로를 환류회로와 같이 사용하기 때문에 L1에서의 사고 전류 I_{L1}이 제거되는 시점은 스너버 동작이 끝나는 t_3 지점이 된다.

[98] 한편, 도 23은 본 발명에 따른 반도체 스위치와 부하에 인가되는 전압 파형과 여러 지점에서의 전류 파형을 나타낸다. 여기서, V_{SSCB}와 V_{Load}는 각각 반도체 스위치와 부하에 인가되는 전압 파형을 시간에 따라 나타낸 것이다.

[99] 구체적으로, 도 23(a)는 본 발명에 따른 반도체 스위치와 부하에 인가되는 전압 파형을 나타낸다. 한편, 도 23(b)는 본 발명에 따른 전원측, 부하측 인덕턴스를 통해 흐르는 전류 파형을 나타낸다. 또한, 도 23(c)는 본 발명에 따른 사고전류 파형과 반도체 스위치 전류 파형을 나타낸다.

[100] 전술한 바와 같이 도 22를 참조하면, L1에서의 사고 전류의 경우 완전히 제거되기까지는 스너버 회로의 동작이 끝나는 시점까지 상당한 시간이 소요될 수 있다. 반면에, 도 23을 참조하면, L1에서의 사고 전류는 t_3지점에서 바로 제거되는 효과가 있다.

[101] 또한, 도 22와 관련하여, 스너버 회로를 환류회로와 같이 사용하고, 스너버 R 값이 작다. 따라서, 단락 사고시 스너버 회로를 통해 방전되는 전류가 무시할 수준이 아니다. 한편, L2 전류는 L1전류+스너버 방전 전류가 되기 때문에, L2 전류가 L1전류보다 크게 된다.

[102] 한편, 도 23(c)를 참조하면, 단락에 의한 사고 시점인 t_1에서 반도체 스위치에 흐르는 전류가 증가하게 된다. 예를 들어, 사고 시점인 t_1에서 반도체 스위치에서

흐르는 전류는 100A에서 t_2 시점에서 400A까지 증가할 수 있다.

[103] 도 24과 같이 반도체 차단기가 사고전류를 감지하여 차단기를 동작시키면 반도체 스위치가 꺼지게 되고 사고전류는 스너버 회로인 Cs(C1)과 Ds로 우회하게 된다. 이때, 스너버 회로의 커패시터 Cs(C1)은 전원전압이 충전된 상태이므로 전원 측에서 인가되는 사고전류가 즉시 차단된다.

[104] 이와 관련하여, 반도체 차단기의 내부 또는 외부에 전류 센서를 통해 반도체 스위치에 흐르는 전류 I_{sw}를 감지할 수 있다. 한편, 반도체 스위치에서 흐르는 전류가 보호 수준(protection level)에 이르면 반도체 차단기의 내부 또는 외부에서 반도체 스위치로 턴 오프 신호를 전달할 수 있다.

[105] 이에 따라, 사고 시점인 t_1 이후 제1 및 제2 반도체 스위치(2301, 2302)에 흐르는 전류가 보호 수준에 이르면, t_2 시점에서 제1 및 제2 반도체 스위치(2301, 2302)가 턴 오프 될 수 있다.

[106] 따라서, 도 23(c)를 참조하면, t_2 시점에서 반도체 스위치는 턴 오프 되어, 반도체 스위치에 흐르는 전류 I_{sw}는 0이 된다. 한편, 반도체 스위치의 턴 오프에 따른 전류 차단 시간 $t_2 - t_1$은 약 400 내지 500ns 정도로, 전류 차단이 신속하게 이루어질 수 있다.

[107] 한편, 사고 시점인 t_1 이전부터 스너버 커패시터 Cs의 전압을 Vdc로 전원 회로의 전압과 동일하게 유지할 수 있다. 즉, 단락에 의한 사고 시점인 t_1 이전부터 스너버 회로부(2330)의 제1커패시터(Cs)의 전압을 전원의 전압인 Vdc와 동일하게 유지할 수 있다. 이와 같이 미리 전압을 Vdc로 충전함으로써, 제1 및 제2 반도체 스위치(2301, 2302)가 턴 오프되는 t_2 시점에서 사고 전류 (즉, 전원 측 노드 또는 부하 측 노드에 흐르는 전류)의 추가적인 증가를 방지할 수 있다.

[108] 결론적으로, 전원 회로와 스너버 커패시터 Cs의 전압이 동일한 전압 값이기 때문에, 사고 전류 (즉, 전원 측 노드 또는 부하 측 노드에 흐르는 전류)의 추가적인 증가를 방지할 수 있다. 또한, 반도체 스위치에 인가되는 전압 V_{SSCB}는 최대 허용 전압 값을 초과하지 않게 된다.

[109] 이와 관련하여, 전원 회로와 스너버 커패시터 Cs의 전압이 동일한 전압 값이 아니면, 사고 전류 (즉, 전원 측 노드 또는 부하 측 노드에 흐르는 전류)가 매우 크게 증가할 수 있다는 문제점이 있다. 따라서, 본 발명은 이러한 문제점을 해결하기 위해, 전원 회로와 스너버 커패시터 Cs의 전압이 동일한 전압 값이 되도록 한다. 이에 따라, 사고 전류 (즉, 전원 측 노드 또는 부하 측 노드에 흐르는 전류)가 더 이상 증가하지 않게 된다.

[110] 구체적으로, 도 23(a)를 참고하면, t_2 시점에서 반도체 스위치에 인가되는 전압은 최대 허용 전압 값을 초과하지 않고 일정 시간 내에 일정 값으로 수렴하게 된다. 한편, 도 23(c)를 참고하면, t_2 시점에서 상기 전류는 400A에서 더 이상 증가하기 않고, t_2 시점에서 0이 된다.

[111] 또한, 전원 측 인덕턴스 L1에서 충전된 에너지가 Cs(C1)에 전원전압을

초과하여 충전될 수 있다. 이 경우, 스너버 커패시터 Cs는 차단을 담당하는 반도체 소자의 내압을 고려하여 전압과 용량을 선정해야 한다. 이를 위해 차단기 양단 전압은 수학식 2와 같이 표현할 수 있다.

[112] [수식2]

$$V_{SSCB}(t)=V_{dc}+I_{fault}\sqrt{\frac{L_1}{C_s}}\sin(\frac{t-t_2}{\sqrt{L_1 C_s}})$$

[113] 이 경우, 반도체 스위치의 전압이 스위치의 최대 차단전압을 초과하지 않아야 한다. 따라서, 스너버 커패시턴스 Cs는 수학식3과 같이 결정되어야 한다.

[114] [수식3]

$$Cs>\frac{L_1 I^2_{fault}}{(V_{SSCB,\max}-V_{dc})^2}$$

[115] 또한, 도 24에 도시된 바와 같이 상기 차단기의 반도체 스위치가 꺼질 때 동시에 부하 측 인덕턴스 L2에 충전된 에너지는 차단기의 부하 측의 프리휠링 회로의 다이오드 Df와 저항 Rf를 통해 흐르기 시작한다. 따라서, L1의 충전에너지가 소진한 후에도 도 28과 같이 프리휠링 회로를 통해 L2에 충전된 에너지가 소진되면 차단이 완료된다.

[116] 한편, 도 19 및 도 23(c)를 참조하면, 반도체 스위치 차단이 이루어지는 t_2 시점에서 제2 프리휠링 회로(2342)를 통해 사고전류 I_{fw}가 흐르기 시작한다. 또한, t_2시점 이후 t_3 시점에서 제1 인덕터(L1)에서 스너버 회로부(2300)의 제1회로라인을 통해 흐르는 전류는 0이 된다. 한편, 사고전류 I_{fw}는 t_3시점까지 계속 증가하고, t_3시점부터 감소하게 된다. 즉, t_3시점 이후, 제1 및 제2 프리휠링 회로(2341, 2342)를 통해 흐르는 I_{fw}는 점차 감소하게 된다.

[117] 이때, 프리휠링 회로를 통해 흐르는 사고전류 I_{fw}가 감소하는 정도는 프리휠링 회로 내부의 저항 Rf 값과 인덕턴스 L2 값에 의해 결정될 수 있다. 이와 관련하여, 사고전류 I_{fw}를 빠르게 감소하도록 저항 Rf 값을 선택하면, 프리휠링 회로의 크기가 증가할 수 있다. 한편, 프리휠링 회로를 통해 L2에 충전된 에너지를 매우 빠르게 소진해야 하는 것은 아니다. 따라서, 프리휠링 회로의 크기와 L2에 충전된 에너지를 소진하도록 요구되는 시간을 고려하여, 상기 저항 Rf 값을 선택할 수 있다.

[118] 한편, 차단기는 양방향 차단이 가능해야 하므로 프리휠링 회로를 차단기 회로의 좌, 우 양방향에 설치해야 한다. 만약 차단기의 전원 측에서 사고가 날 경우 차단기의 부하 측에 병렬로 연결된 전원 측 프리휠링 회로에서 사고전류의 차단 및 L1에 의한 충전에너지를 소진해야 한다. 또한, 부하측 인덕턴스 L2에 의한 에너지도 상기 도21의 예로 설명했던 바와 같이 동일한 방법으로 스너버회로의 Cs(C2)를 통해 차단 시 발생되는 과전압을 방지한다.

[119] 따라서, 반도체 스위치가 차단된 이후, 전원측 인덕턴스 L1과 부하측 인덕턴스

L2 회로를 통해 차단기 내부에 축적된 에너지를 소진할 수 있다. 한편, 전원측에 축적된 에너지를 소진한 이후, 부하측에 여전히 남아있는 에너지를 프리휠링 회로를 통해 소진해야 한다.

[120] 또한, 반도체 차단기는 차단이 완료된 후 확실한 물리적 절연 및 과전압 보호를 확보해야 한다. 이와 관련하여, 도 26은 반도체 차단기와 직렬로 좌우 양단 접점 또는 한쪽 접점과 직렬로 기계식 스위치를 연결하는 회로구조이다. 따라서, 본 발명에 따른 차단기는 차단이 완료된 후 물리적 절연 및 과전압 보호를 확보하도록, 차단기와 직렬로 좌우 양단 접점 또는 한쪽 접점과 직렬로 기계식 스위치(2351 내지 2354)를 연결하는 회로구조로 구성될 수 있다.

[121] 도 26을 참조하면, 반도체 스위치 차단 동작 후 별도의 신호 또는 시지연을 통해 기계식 스위치(2351 내지 2354)를 개방하여 차단기의 물리적 절연을 유지할 수 있다. 또한, 제1 및 제2 반도체 스위치(2301, 2302)와 병렬로 배치되어, 과전압을 억제할 수 있도록 MOV (Metal Oxide Varistor)가 구성될 수 있다. 여기서, MOV는 반도체 스위치에 인가되는 전압이 일정 전압 이상이면 저항 값이 거의 0이 되어, 전류 경로를 변경시킬 수 있다. 이에 따라, MOV는 제1 및 제2 반도체 스위치(2301, 2302)에 인가되는 전압이 일정 전압 이상이면 전류를 다른 경로로 덤프(dump)하도록 구성될 수 있다. 예를 들어, 제1 및 제2 반도체 스위치(2301, 2302)에 의한 경로 및 스너버 회로부(2330)에 의한 경로가 아닌 MOV에 의한 경로로 전류 경로가 변경될 수 있다.

[122] 이에 따라, 반도체 차단기의 차단동작 시 전원 측 인덕턴스 L1이 커서 스너버 회로Cs(C1)으로 충분히 감당할 수 없을 경우 MOV회로를 통해 과전압 억제가 가능하다. 이와 더불어, 외부에서 유입되는 서지(surge)로부터 차단기의 반도체 소자를 보호할 수 있다

[123] 상술한 바와 같이, 이상과 같은 본 발명에 따른 양방향 반도체 차단기는, 양방향 사고전류에 대한 적용이 가능하면서 동시에 반도체 보호 및 전류 억제 성능을 만족시키는 스너버 회로를 포함하는 양방향 반도체 차단기를 제공하는 데 있다. 그에 따라, 반도체 차단기 또는 개폐기의 반도체 모듈의 설치가 용이해지며, 높은 성능과 신뢰성을 갖는 반도체 차단기의 설계가 가능한 효과를 갖는다. 구체적으로, 과전압에 의한 반도체 보호 성능은 본 발명에 따른 스너버 회로의 구조 및 스너버 회로 내의 저항(R), 커패시터(C), 다이오드(D)의 설계를 통해 달성될 수 있다. 또한, 빠른 사고 전류 억제 성능은 발명에 따른 스너버 회로 내의 저항(R)의 설계를 통해 달성될 수 있다. 또한, 양방향 사고전류에 대비한 양방향 동작성은 본 발명에 따른 스너버 회로 내부의 소자 배치 시 대칭성을 고려함으로써 달성될 수 있을 것이다. 나아가, 본 발명에 따른 양방향 반도체 차단기는 비대칭적인 형태의 스너버 회로의 구현으로도 가능하게 구현함으로써, 전원 인덕턴스가 거의 없는 환경에서 전원측에 사고가 발생한 경우에도 전원 측으로 흐르는 전류가 목표 차단 전류 크기 이상으로 증가하지 않게 된다.

[124] 추가로, 본 양방향 반도체 차단기의 전원 측 또는 부하 측의 고장발생 시 상기 각 지점의 인덕턴스로 인하여 차단기의 차단 시 유입되는 충전전류를 억제하기 위해 차단기 회로의 전원 측과 부하 측의 양단에 저항과 직렬로 연결된 프리휠링 다이오드 회로가 추가될 수 있다.

[125] 추가로, 차단기 동작 시 상기 인덕턴스로 인하여 발생되는 반도체 차단기 양단 전압상승을 억제하기 위해 반도체 차단기 회로 양단과 병렬로 바리스터 또는 어레스터 등 전압 상승을 억제하는 회로를 추가할 수 있다. 이상에서 설명한 실시예들은 본 발명을 구현하는 실시 예들로서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이며, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 즉, 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

[청구항 1] 전원과 부하 사이에 연결되고, 제1 및 제2 반도체 스위치가 직렬로 배치되는 주 회로부; 및
일단은 상기 제1 반도체 스위치의 전단에 타단은 상기 제2 반도체 스위치의 후단에 병렬 연결된 스너버 회로부를 포함하고,
상기 스너버 회로부는,
제1커패시터 및 제1다이오드가 직렬로 배치된 제1회로라인;
상기 제1회로라인과 병렬 연결되며, 제2커패시터 및 제2다이오드가 직렬로 배치된 제2회로라인; 및
일단은 상기 제1회로라인에 연결되고, 타단은 상기 제2회로라인에 연결되며, 제1저항 및 제2저항이 직렬로 배치된 제3회로라인을 포함하는 양방향 반도체 차단기.

[청구항 2] 제1 항에 있어서,
상기 차단기의 입력부에 제3다이오드와 제3저항으로 구성되고, 상기 차단기의 차단동작 시 발생하는 과전압을 억제하는 제1 프리휠링 회로를 더 포함하고,
상기 제1 프리휠링 회로는,
상기 제1 반도체 스위치의 전원 측 노드에서, 상기 전원과 병렬로 연결된 상기 제3다이오드; 및
상기 제3다이오드와 접지 간에 병렬 연결된 상기 제3저항을 포함하는, 양방향 반도체 차단기.

[청구항 3] 제2 항에 있어서,
상기 차단기의 출력부에 제4다이오드와 제4저항으로 구성된 제2 프리휠링 회로를 더 포함하고,
상기 제2 프리휠링 회로는,
상기 제2 반도체 스위치의 부하 측 노드에서, 상기 부하와 병렬로 연결된 상기 제4다이오드; 및
상기 제4다이오드와 접지 간에 병렬 연결된 상기 제4저항을 포함하는, 양방향 반도체 차단기.

[청구항 4] 제1 항에 있어서,
상기 전원은 전원 측 인덕터 성분을 포함하고, 상기 부하는 부하 측 인덕터 성분을 포함하는 것을 특징으로 하는, 반도체 차단기.

[청구항 5] 제4 항에 있어서,
단락에 의한 사고 시점인 t_1 이전부터 상기 스너버 회로부의 상기 제1커패시터의 전압을 상기 전원의 전압과 동일하게 유지하여,
상기 제1 및 제2 반도체 스위치가 턴 오프되는 t_2 시점에서 상기 전원 측 노드 또는 상기 부하 측 노드에 흐르는 사고 전류는 더 이상 증가하지

않는 것을 특징으로 하는, 양방향 반도체 차단기.

[청구항 6] 제5 항에 있어서,
상기 사고 시점인 t_1 이후 상기 제1 및 제2 반도체 스위치에 흐르는 전류가 보호 수준(protection level)에 이르면, 상기 t_2 시점에서 턴 오프 신호를 전류 센서로부터 전달받아, 상기 제1 및 제2 반도체 스위치가 턴 오프 되는 것을 특징으로 하는, 양방향 반도체 차단기.

[청구항 7] 제6 항에 있어서,
상기 t_2 시점에서 상기 제2 프리휠링 회로를 통해 사고전류(fault current) I_{fw}가 흐르기 시작하고,
상기 t_2 시점 이후 t_3 시점에서 상기 제1 인덕터에서 상기 스너버 회로부의 상기 제1회로라인을 통해 흐르는 전류는 0이 되고,
상기 사고전류 I_{fw}는 상기 t_3 시점까지 증가하고, 상기 t_3 시점부터 감소하는 것을 특징으로 하는, 양방향 반도체 차단기.

[청구항 8] 제1항에 있어서,
상기 제1 반도체 스위치는 제1 MOSFET과 제1 병렬 다이오드가 병렬로 연결되고,
상기 제2 반도체 스위치는 제2 MOSFET과 제2 병렬 다이오드가 병렬로 연결되고,
상기 제1 MOSFET과 상기 제2 MOSFET은 N-channel MOSFET이고,
상기 제1 병렬 다이오드의 일단과 타단은 각각 상기 제1 MOSFET의 소스(source)와 드레인에 연결되고,
상기 제2 병렬 다이오드의 일단과 타단은 각각 상기 제2 MOSFET의 드레인과 소스에 연결되는, 양방향 반도체 차단기.

[청구항 9] 제1항에 있어서,
상기 제1회로라인은 상기 제1커패시터와 상기 제1다이오드의 순서로 직렬 연결되고 상기 제2회로라인은 상기 제2다이오드와 상기 제2커패시터의 순서로 직렬 연결되는 것을 특징으로 하는 양방향 반도체 차단기.

[청구항 10] 제1항에 있어서,
상기 제3회로라인의 일단은 상기 제1커패시터의 타단과 상기 제1다이오드의 일단과 연결되고 상기 제3회로라인의 타단은 상기 제2다이오드의 일단과 상기 제2커패시터의 타단과 연결되는 것을 특징으로 하는 양방향 반도체 차단기

[청구항 11] 제1항에 있어서,
상기 제1저항과 제2저항은 상기 제1저항과 제2저항 사이의 접지점에 연결되고, 상기 스너버 회로부는 상기 접지점을 기준으로 점 대칭인 것을 특징으로 하는 양방향 반도체 차단기.

[청구항 12] 제11항에 있어서,

상기 제1저항과 제2저항은 사고전류(fault current)가 상기 스너버 회로부의 내부로 흘러 들어 발생하는 전압 강하(voltage drop)를 증가시키고,
상기 사고전류가 흐르는 접지 경로(ground path)인 상기 접지점을 상기 제1 저항과 제2 저항의 연결 지점에서 제공하는 것을 특징으로 하는 양방향 반도체 차단기.

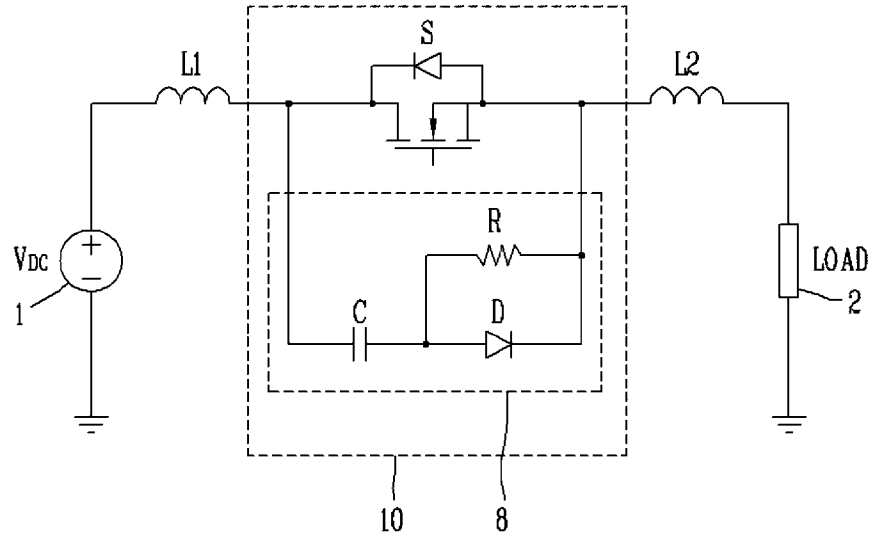
[청구항 13] 제1항에 있어서,
상기 제1저항의 일단은 상기 제1커패시터와 상기 제1다이오드의 연결지점에 연결되고, 상기 제1저항의 타단은 상기 제2커패시터와 상기 제2다이오드의 연결지점에 연결되고,
상기 제2저항의 일단은 상기 제2커패시터와 상기 제2다이오드의 연결지점에서 상기 제1 저항과 직렬로 연결되고, 상기 제2저항의 타단은 접지점에 연결되는 것을 특징으로 하는 양방향 반도체 차단기.

[청구항 14] 제1항에 있어서,
상기 제1저항 및 제2저항은 비선형 저항 소자(non-linear resistor element)형태로 구성되고, 상호 직렬 연결되는 것을 특징으로 하는, 양방향 반도체 차단기.

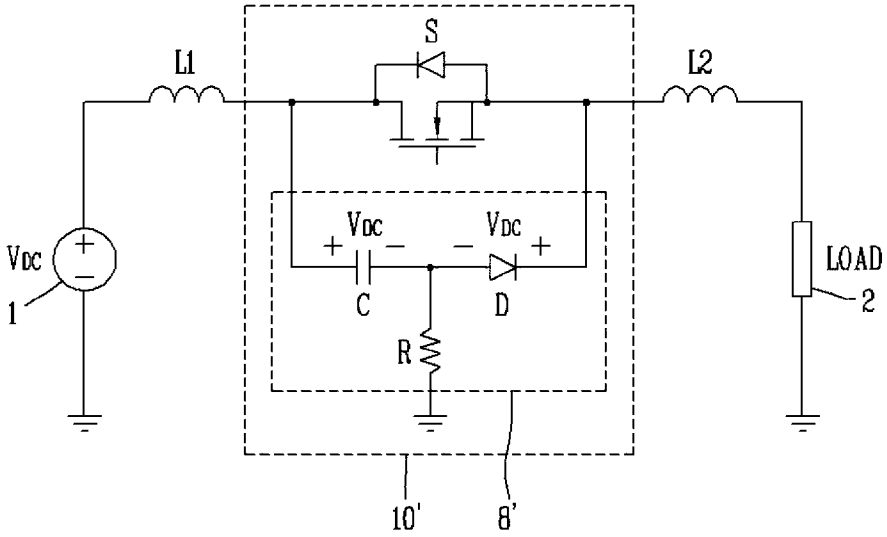
[청구항 15] 제1 항에 있어서,
상기 차단기는 차단이 완료된 후 물리적 절연 및 과전압 보호를 확보하도록, 상기 차단기와 직렬로 좌우 양단 접점 또는 한쪽 접점과 직렬로 기계식 스위치를 연결하는 회로구조로 구성되고,
상기 제1 및 제2 반도체 스위치 차단 동작 후, 별도의 신호 또는 시지연을 통해 상기 기계식 스위치를 개방하여 상기 차단기의 물리적 절연을 유지하는 것을 특징으로 하는, 양방향 반도체 차단기.

[청구항 16] 제1 항에 있어서,
상기 제1 및 제2 반도체 스위치와 병렬로 배치되어, 과전압을 억제할 수 있도록 구성된 MOV (Metal Oxide Varistor)를 더 포함하고,
상기 MOV는 상기 제1 및 제2 반도체 스위치에 인가되는 전압이 일정 전압 이상이면 상기 제1 및 제2 반도체 스위치에 흐르는 전류를 다른 경로로 덤프(dump)하도록 구성되는, 양방향 반도체 차단기.

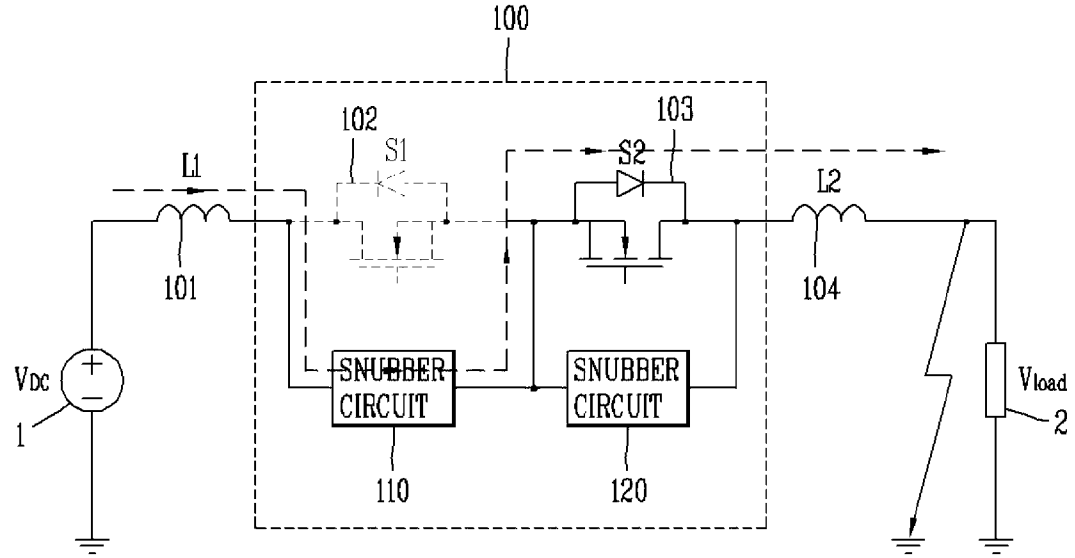
[도1]


S
L1
L2
R
VDC
1
C
D
LOAD
2
10
8

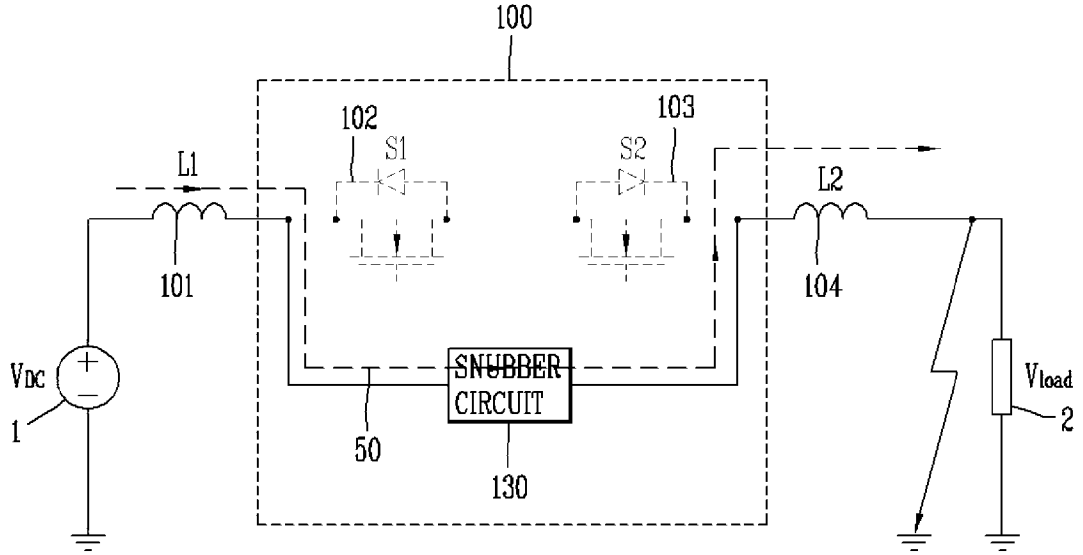
[도2]


S
L1
L2
VDC
VDC
VDC
1
C
D
R
LOAD
2
10'
8'

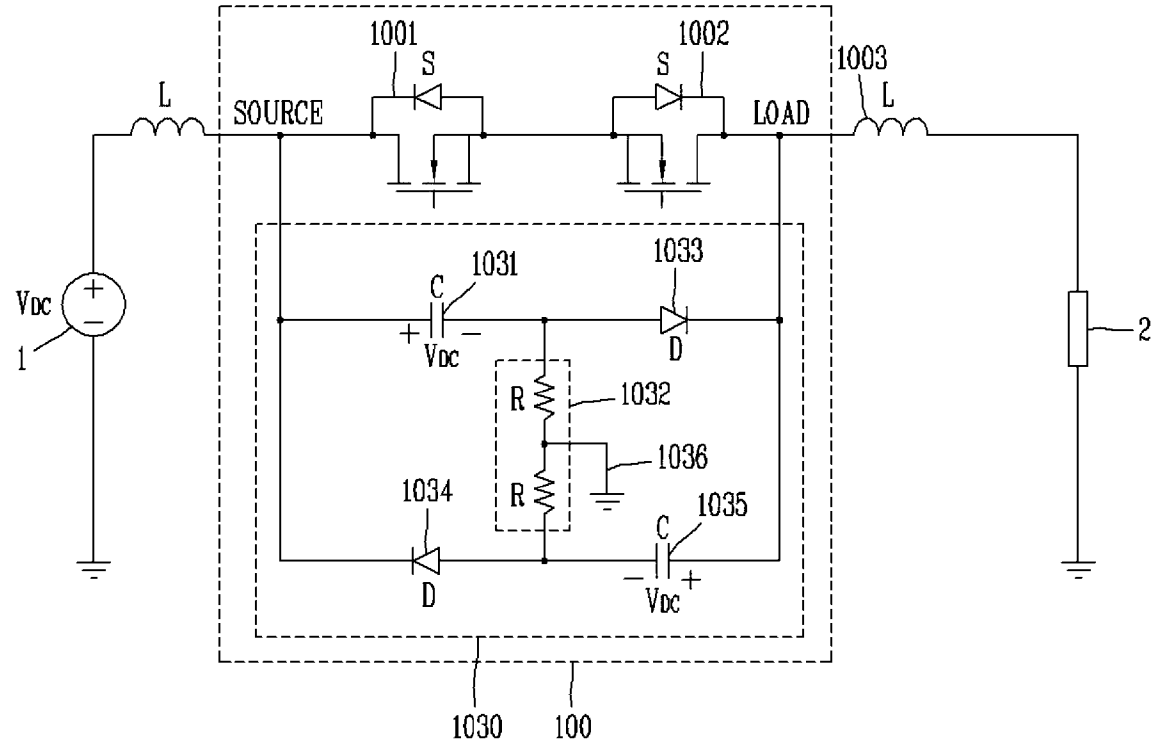
[도3]


100
102
S1
103
S2
L1
L2
101
104
VDC
1
SNUBBER CIRCUIT
SNUBBER CIRCUIT
Vload
2
110
120

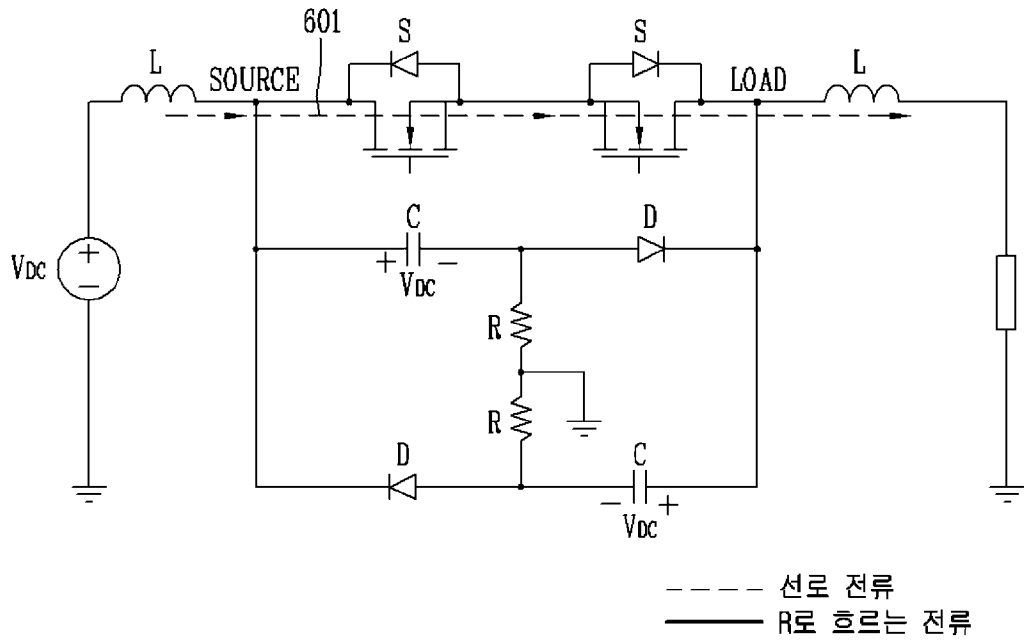
[도4]


100
102
S1
103
S2
L1
L2
101
104
VDC
1
SNUBBER
CIRCUIT
50
130
Vload
2

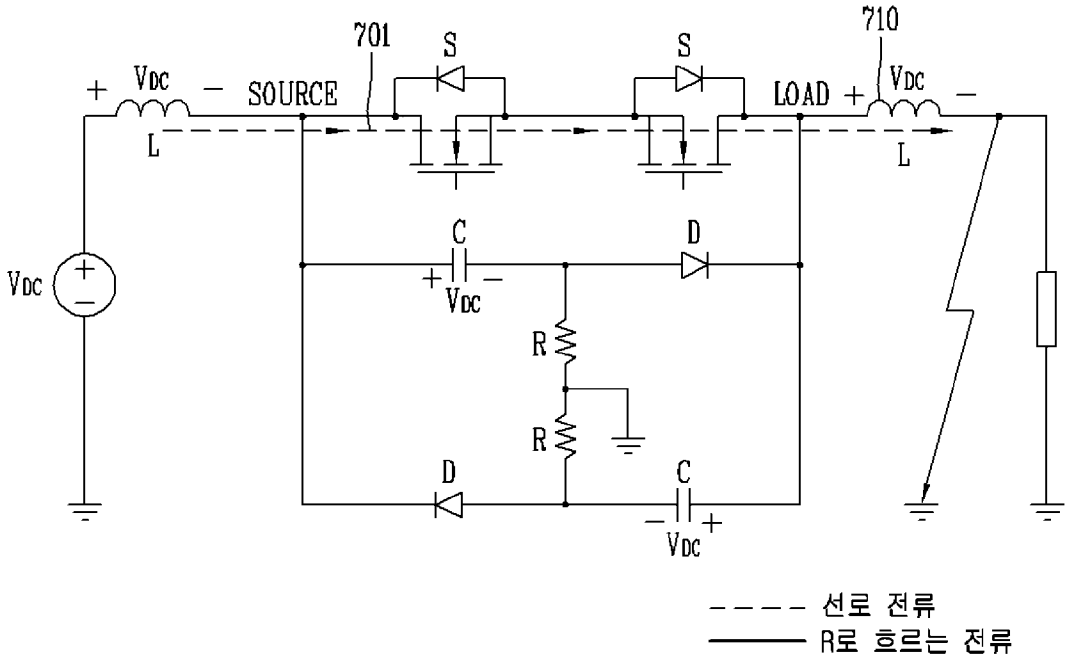
[도5]


1001
S
1002
S
1003
L
L
SOURCE
LOAD
1031
C
1033
VDC
D
R
1032
1036
R
1034
1035
C
D
VDC
1
2
1030
100

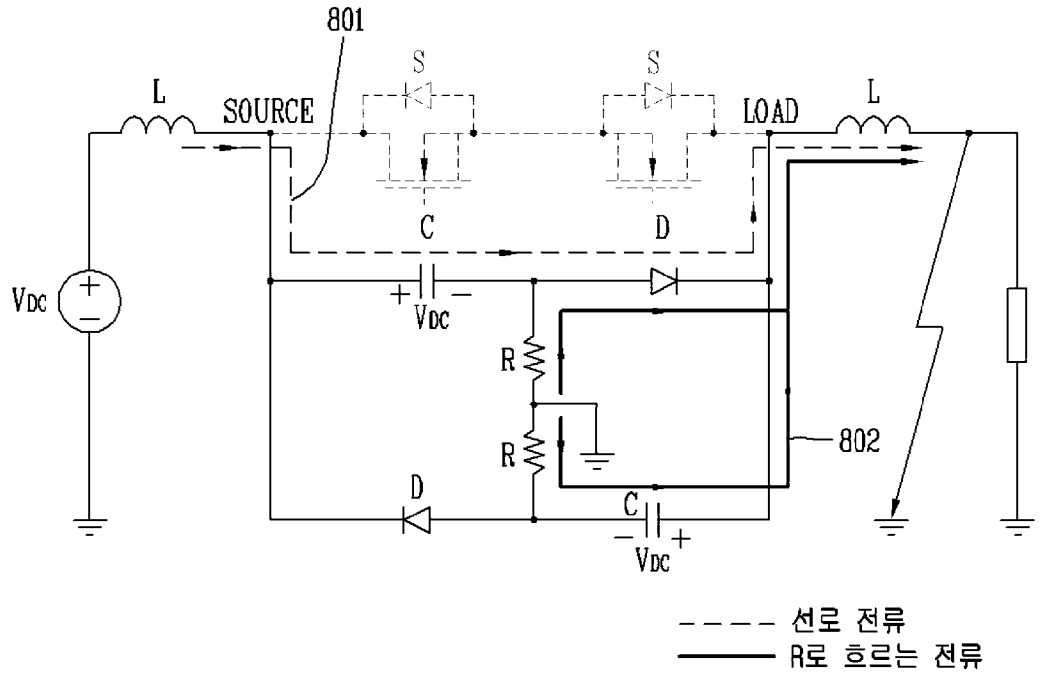
[도6]


601
S
S
L
SOURCE
LOAD
L
C
D
VDC
VDC
R
R
D
C
VDC
선로 전류
R로 흐르는 전류

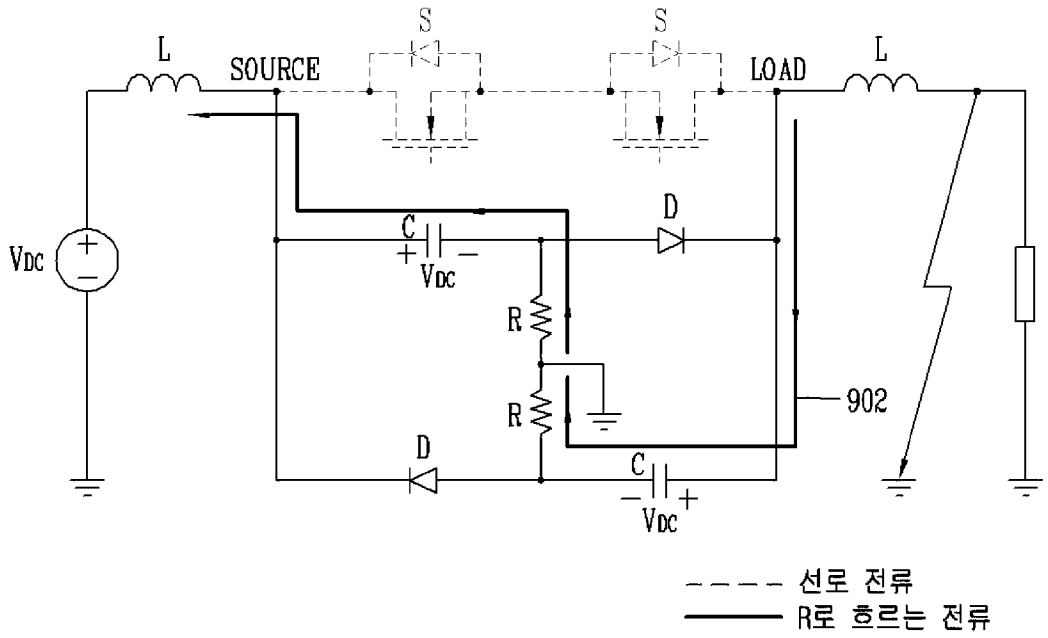
[도7]


701
S
S
710
VDC
SOURCE
LOAD
VDC
L
L
C
D
VDC
R
R
D
C
VDC
선로 전류
R로 흐르는 전류

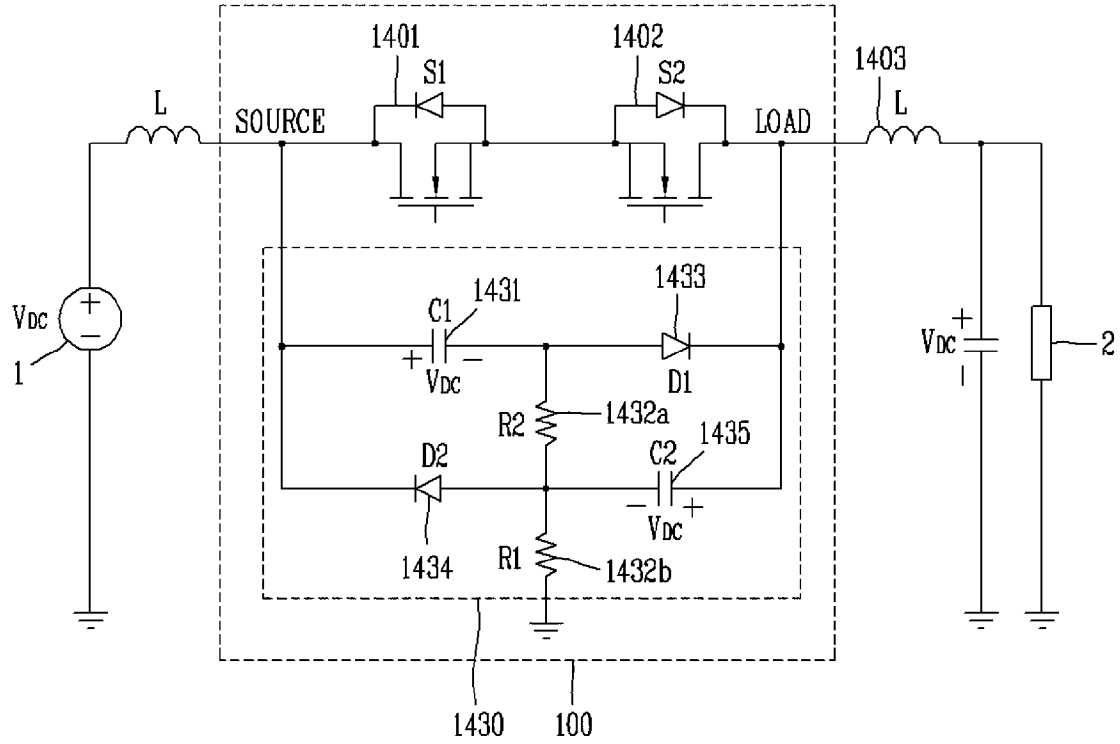
[도8]


801
S
S
L
SOURCE
LOAD
L
C
D
VDC
VDC
R
R
802
D
C
VDC
선로 전류
R로 흐르는 전류

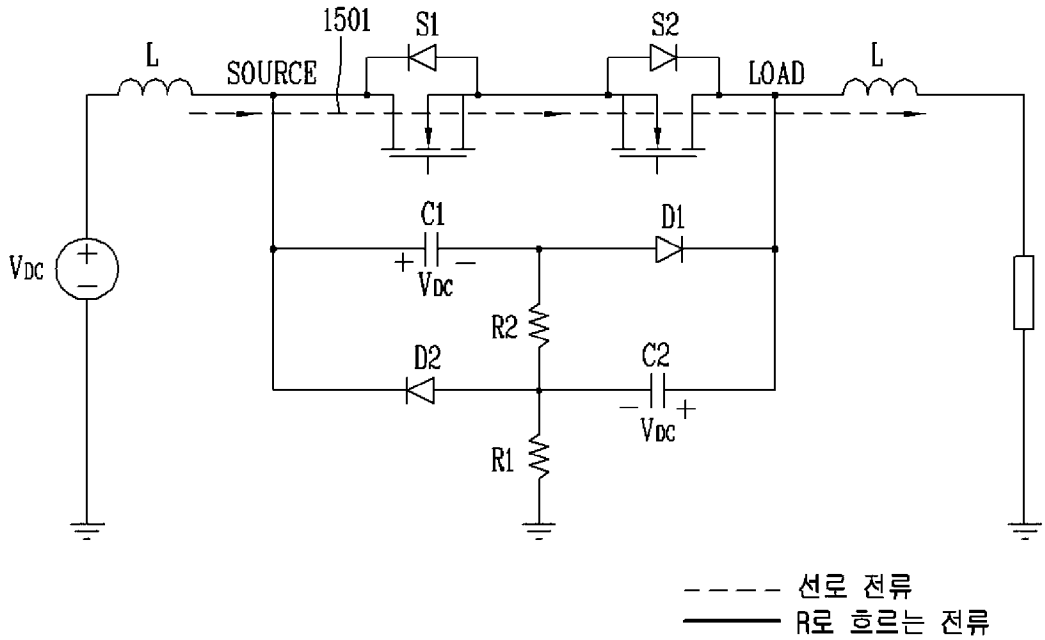
[도9]


S
S
L
SOURCE
LOAD
L
C
D
VDC
VDC
R
R
902
D
C
VDC
선로 전류
R로 흐르는 전류

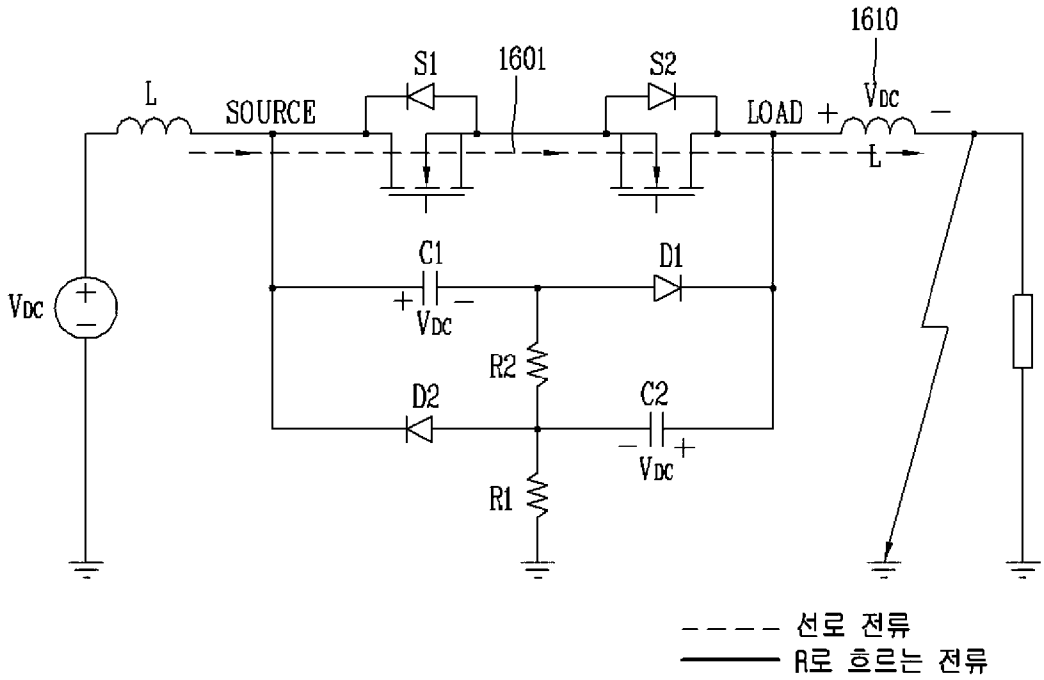
[도10]


1401
S1
1402
S2
1403
L
SOURCE
LOAD
L
VDC
1
1431
C1
VDC
1433
D1
R2
1432a
1435
D2
C2
VDC
1434
R1
1432b
VDC
2
1430
100

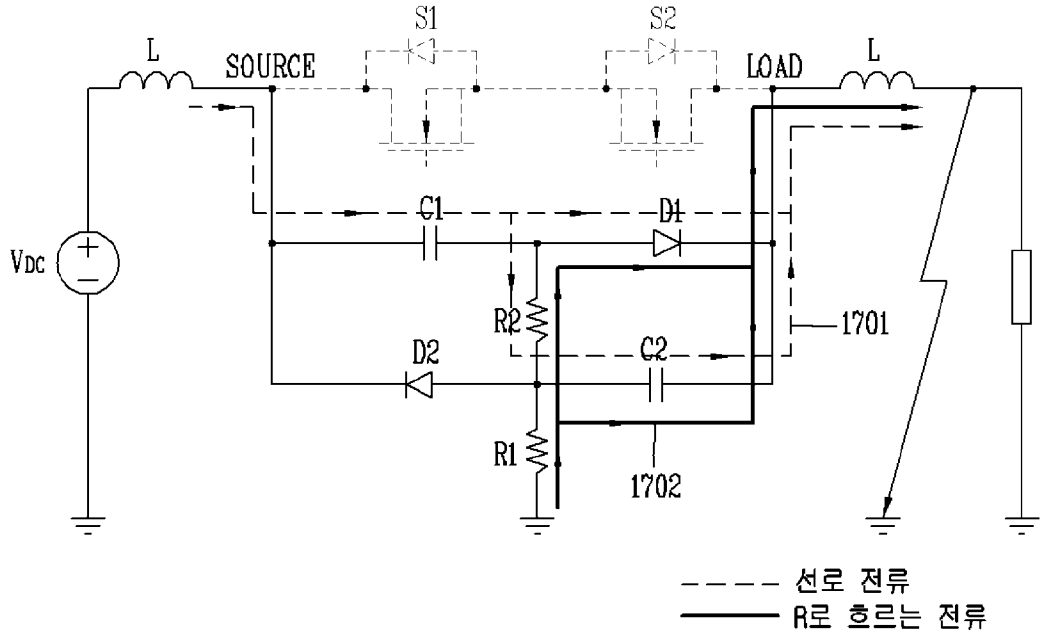
[도11]


1501
S1
S2
L
SOURCE
LOAD
L
VDC
C1
D1
VDC
R2
D2
C2
VDC
R1
선로 전류
R로 흐르는 전류

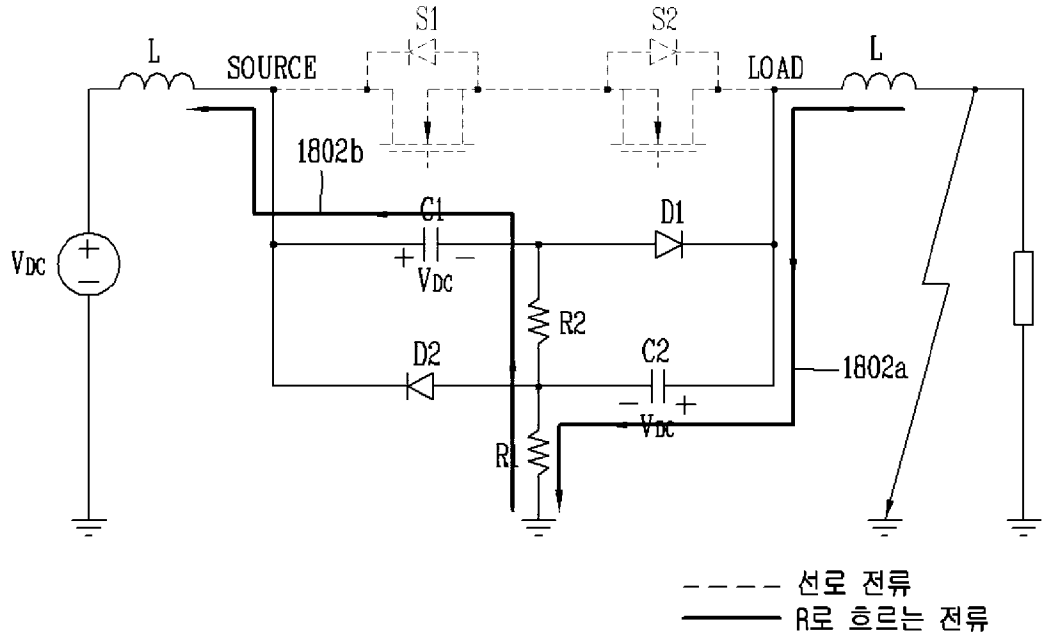
[도12]


1610
S1
1601
S2
L
SOURCE
LOAD
VDC
C1
D1
VDC
R2
D2
C2
VDC
R1
선로 전류
R로 흐르는 전류

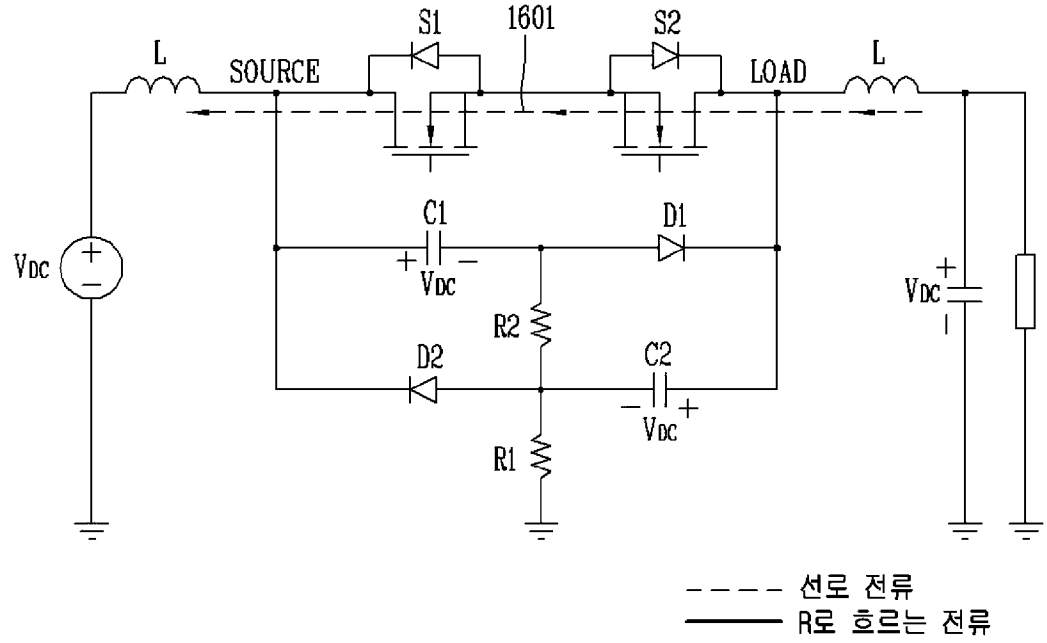
[도13]


S1
S2
L
SOURCE
LOAD
L
C1
D1
VDC
R2
1701
D2
C2
R1
1702
선로 전류
R로 흐르는 전류

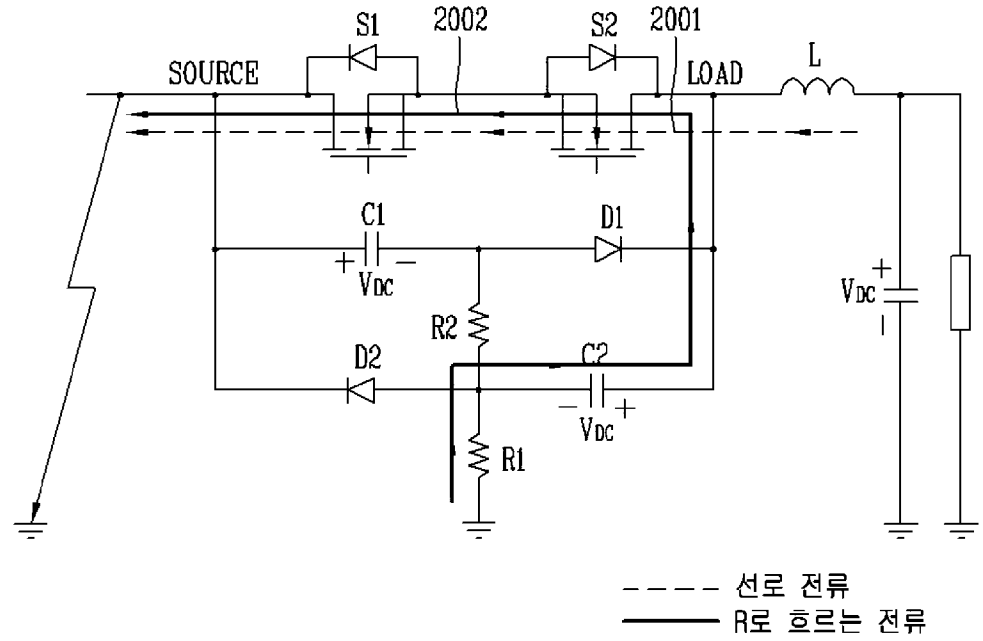
[도14]


S1
S2
L
SOURCE
LOAD
L
1802b
C1
D1
VDC
VDC
R2
D2
C2
1802a
VDC
R1
선로 전류
R로 흐르는 전류

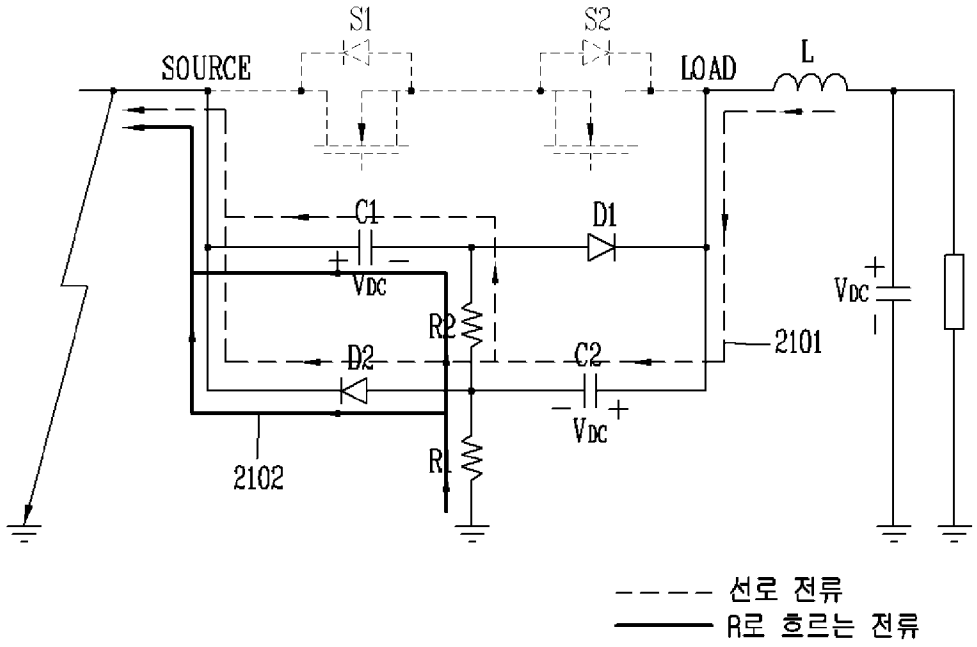
[도15]


S1
1601
S2
L
SOURCE
LOAD
L
C1
D1
VDC
VDC
R2
D2
C2
VDC
R1
선로 전류
R로 흐르는 전류

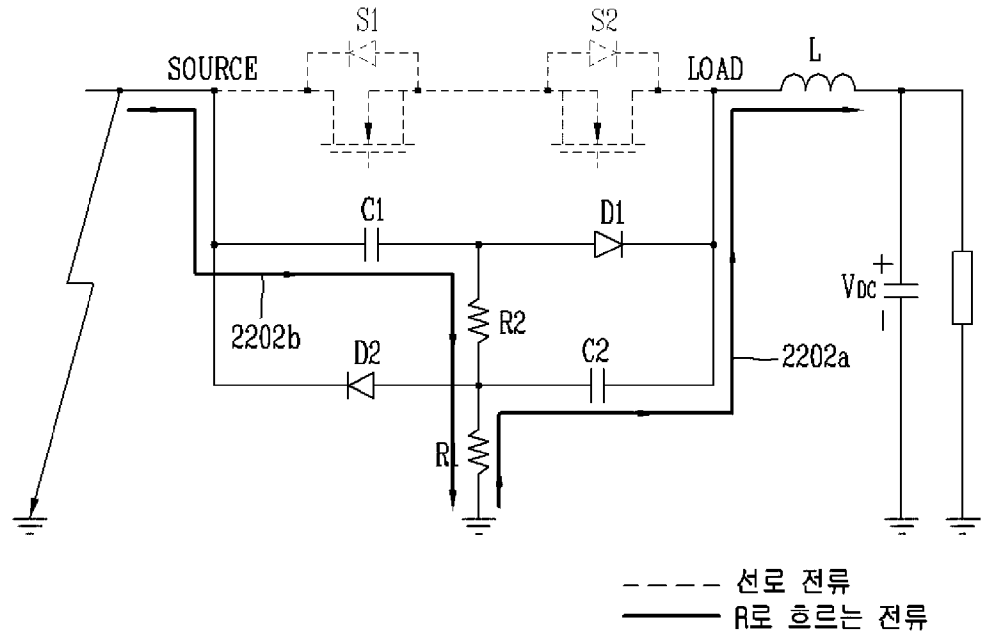
[도16]


S1
2002
S2
2001
SOURCE
LOAD
L
C1
D1
VDC
R2
D2
C2
VDC
R1
VDC
선로 전류
R로 흐르는 전류

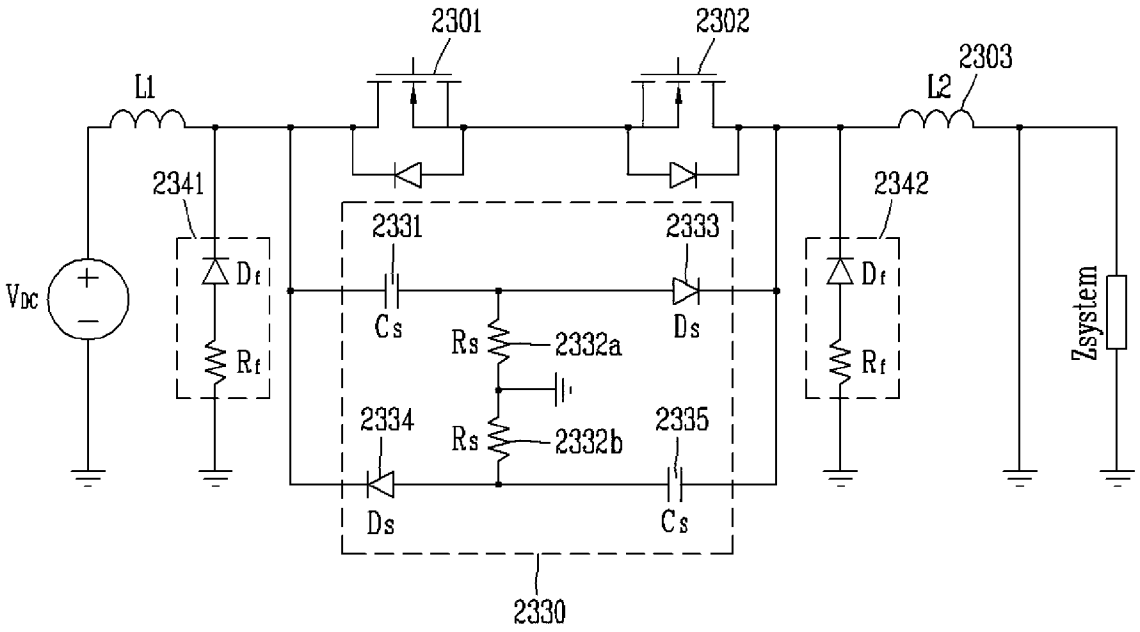
[도17]


S1
S2
SOURCE
LOAD
L
C1
D1
VDC
R2
2101
D2
C2
VDC
2102
R1
VDC
선로 전류
R로 흐르는 전류

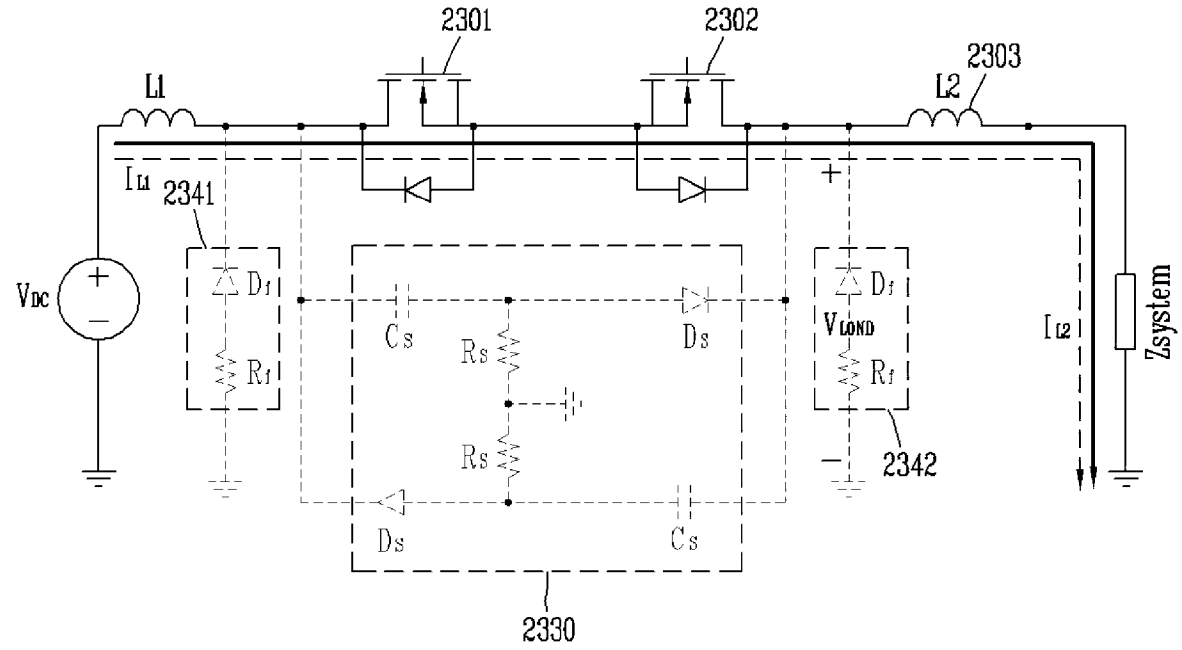
[도18]


S1
S2
SOURCE
LOAD
L
C1
D1
VDC
2202b
R2
D2
C2
2202a
R
선로 전류
R로 흐르는 전류

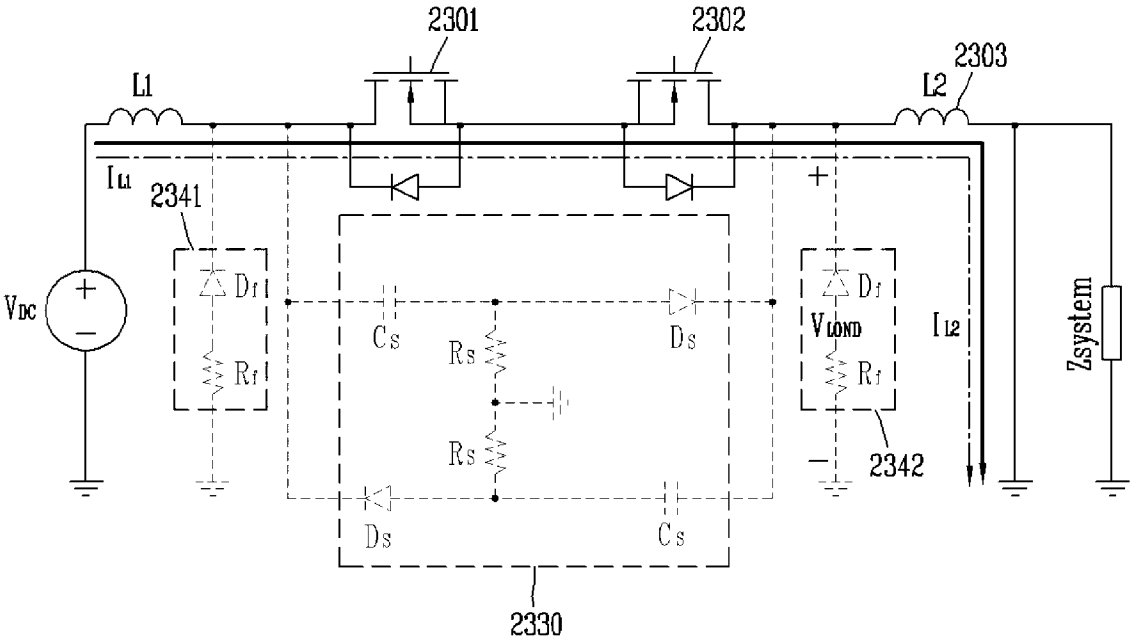
[도19]


2301
2302
2303
L1
L2
2341
2342
2331
2333
VDC
Df
Cs
Rs
2332a
Ds
Rf
Zsystem
2334
2335
2332b
2330

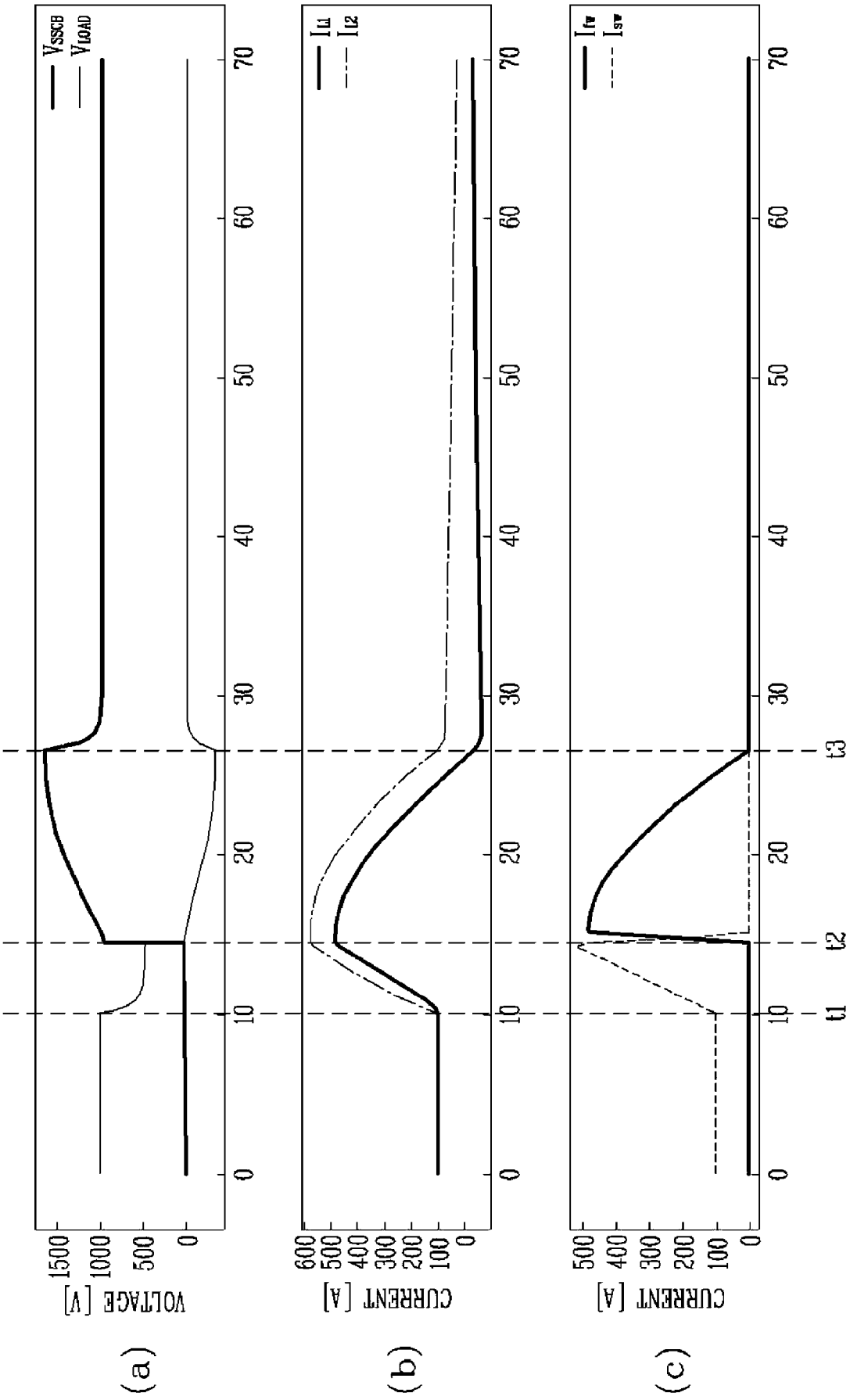
[도20]


2301
2302
2303
L1
L2
I_{L1}
2341
V_{DC}
D_f
R_f
C_s
R_s
D_s
V_{LOND}
I_{L2}
Zsystem
2342
2330

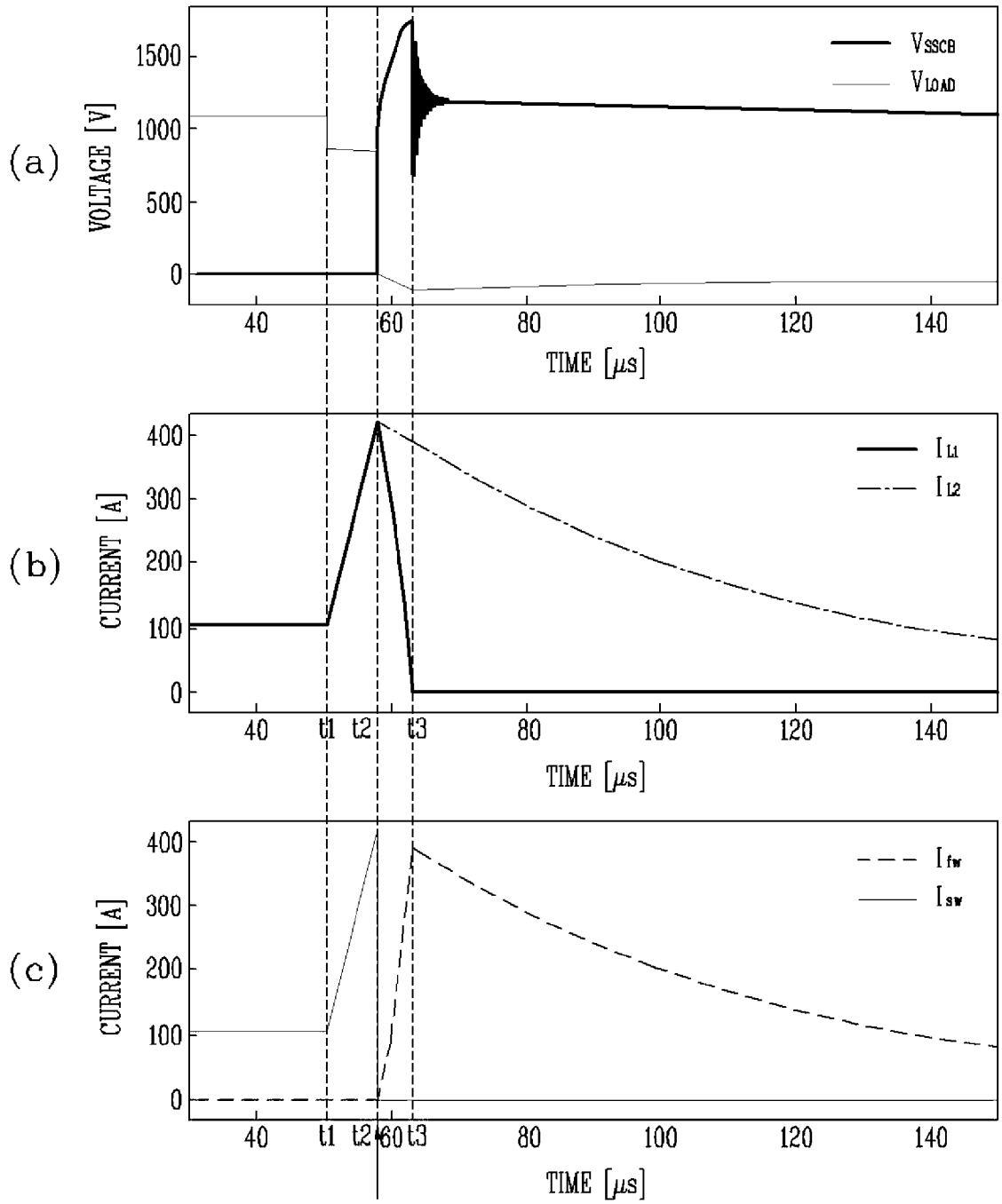
[도21]


2301
2302
2303
L1
L2
I_{L1}
2341
V_{DC}
D_f
R_f
C_s
R_s
D_s
V_{LOND}
I_{L2}
Zsystem
2342
2330

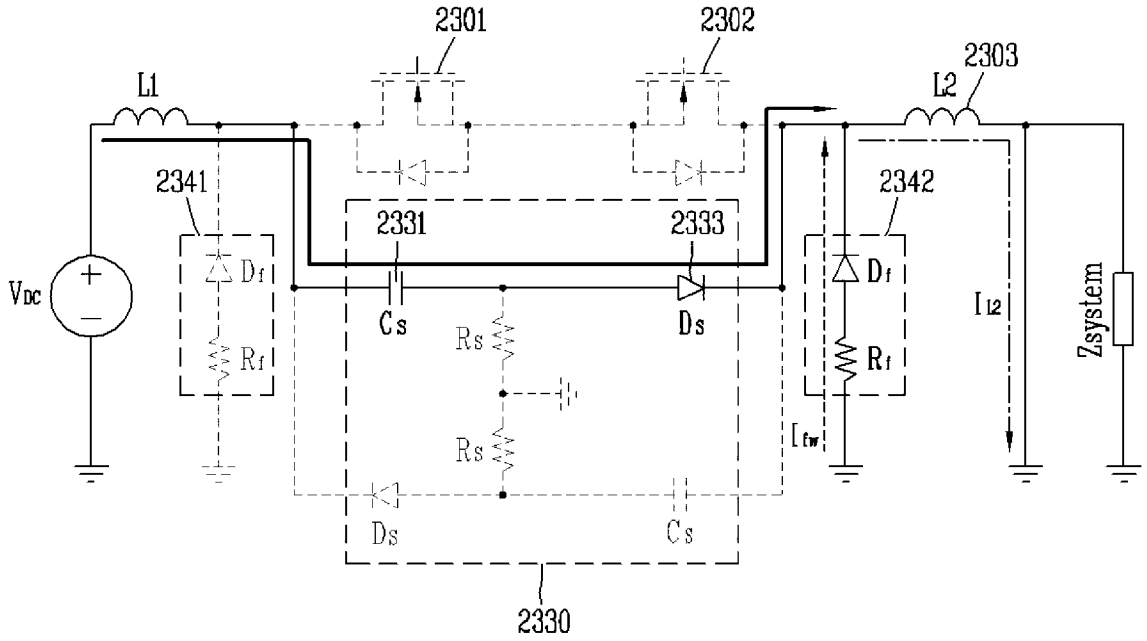
[도22]


(a)
VOLTAGE [V]
1500
1000
500
0
V_{SSCB}
V_{LOAD}
(b)
CURRENT [A]
600
500
400
300
200
100
0
I_{L1}
I_{L2}
(c)
CURRENT [A]
500
400
300
200
100
0
I_{FR}
I_{SW}
0
10
20
30
40
50
60
70
t1
t2
t3

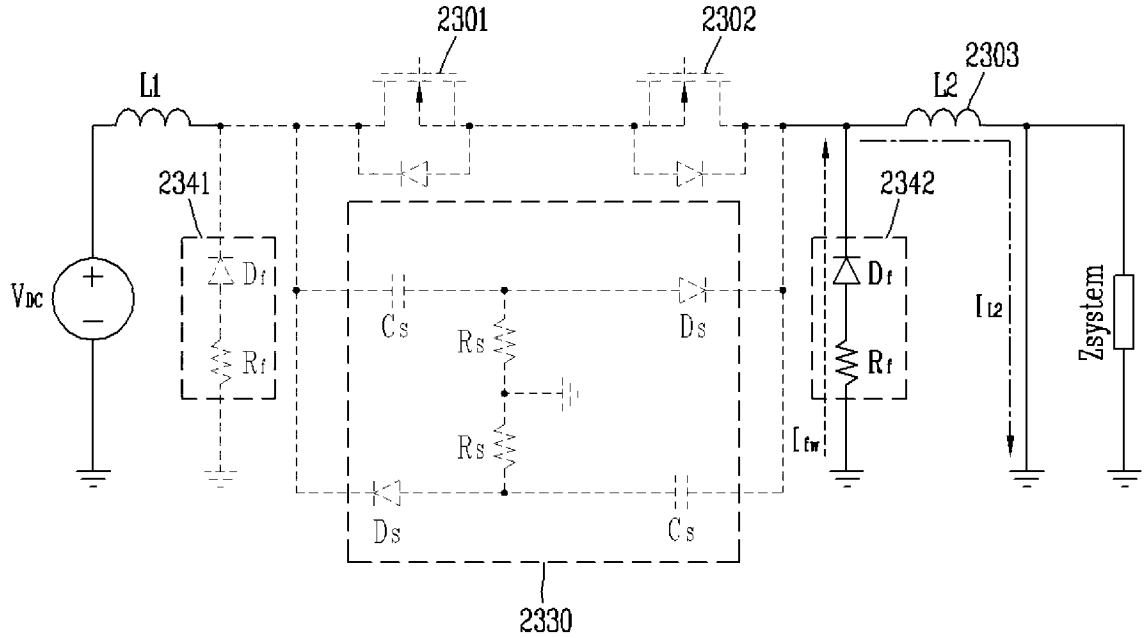
[도23]


(a)
VOLTAGE [V]
1500
1000
500
0
40
60
80
100
120
140
TIME [μs]
VSSCB
VLOAD
(b)
CURRENT [A]
400
300
200
100
0
t1
t2
t3
TIME [μs]
IL1
IL2
(c)
CURRENT [A]
TIME [μs]
Ifw
Isw

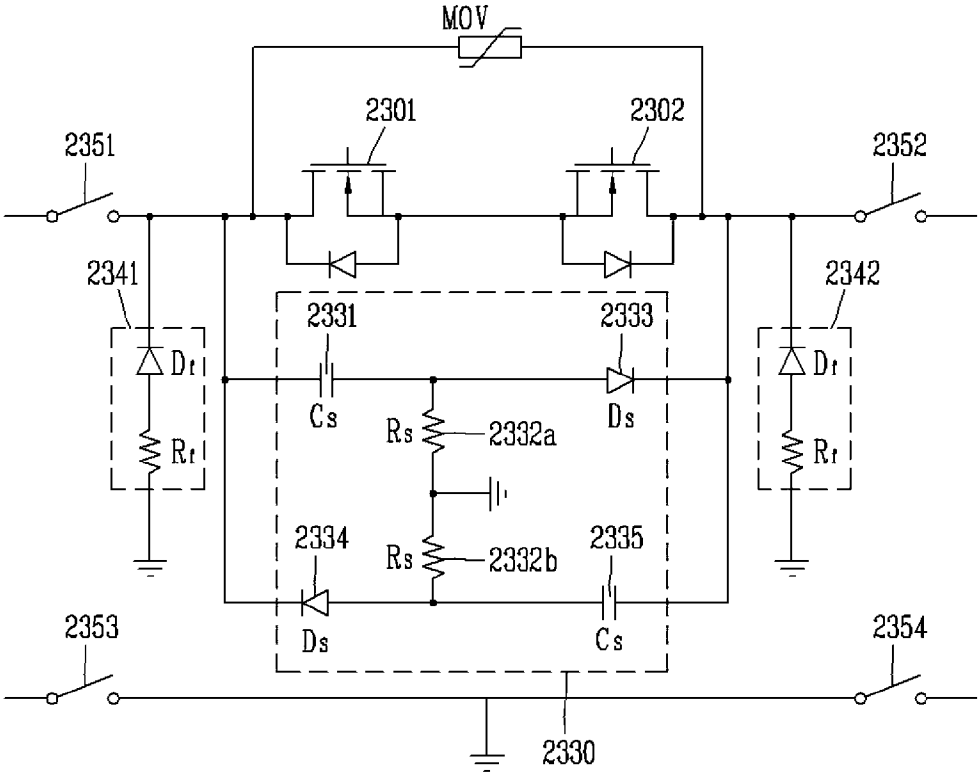
[도24]


2301
2302
2303
L1
L2
2341
2342
2331
2333
Df
Rf
Cs
Rs
Ds
Vdc
Ifw
IL2
Zsystem
2330

[도25]


2301
2302
2303
L1
L2
2341
2342
Df
Rf
Cs
Rs
Ds
Vdc
Ifw
IL2
Zsystem
2330

[도26]


MOV
2301
2302
2351
2352
2341
2342
2331
2333
Cs
Rs
2332a
Ds
Dt
Rt
2334
Rs
2332b
2335
Ds
Cs
2353
2354
2330

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2019/010622

A. CLASSIFICATION OF SUBJECT MATTER

H02H 7/20(2006.01)i, H03K 17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02H 7/20; H01H 33/59; H01H 47/00; H01H 9/54; H01L 029/74; H03K 17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: bidirectional, circuit breaker, semiconductor, capacitor, diode, snubber

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2014-0029152 A1 (MAZZOLA, Michael et al.) 30 January 2014 See paragraphs [56]-[57]; and figures 8-9.	1-16
Y	KR 10-0434153 B1 (LG INDUSTRIAL SYSTEMS CO., LTD.) 04 June 2004 See page 4; claim 2; and figure 3.	1-16
Y	US 2003-0183838 A1 (HUANG, Qin et al.) 02 October 2003 See paragraph [23]; and figure 3.	2-3,16
A	JP 2017-130391 A (TOKYO INSTITUTE OF TECHNOLOGY) 27 July 2017 See paragraphs [31]-[51]; and figure 1.	1-16
A	US 2014-0078622 A1 (GE ENERGY POWER CONVERSION TECHNOLOGY LTD.) 20 March 2014 See paragraphs [59]-[87]; and figures 1-2.	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 DECEMBER 2019 (13.12.2019)	**13 DECEMBER 2019 (13.12.2019)**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2019/010622

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2014-0029152 A1	30/01/2014	None	
KR 10-0434153 B1	04/06/2004	CN 1280856 C	18/10/2006
		CN 1452194 A	29/10/2003
		CN 1452194 C	18/10/2006
		DE 10315982 A1	06/11/2003
		DE 10315982 B4	24/06/2010
		JP 2003-338239 A	28/11/2003
		JP 3872444 B2	24/01/2007
		KR 10-2003-0081745 A	22/10/2003
		US 2003-0193770 A1	16/10/2003
		US 7079363 B2	18/07/2006
US 2003-0183838 A1	02/10/2003	US 6952335 B2	04/10/2005
JP 2017-130391 A	27/07/2017	None	
US 2014-0078622 A1	20/03/2014	BR 102013023654 A2	27/01/2015
		CA 2826574 A1	17/03/2014
		CN 103762546 A	30/04/2014
		CN 103762546 B	09/01/2018
		EP 2750257 A1	02/07/2014
		EP 2750257 B1	11/05/2016
		US 9184003 B2	10/11/2015

국 제 조 사 보 고 서

국제출원번호
PCT/KR2019/010622

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H02H 7/20(2006.01)i, H03K 17/687(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H02H 7/20; H01H 33/59; H01H 47/00; H01H 9/54; H01L 029/74; H03K 17/687

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 양방향 (bidirectional), 차단기 (circuit breaker), 반도체 (semiconductor), 커패시터 (capacitor), 다이오드 (diode), 스너버 (snubber)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2014-0029152 A1 (MICHAEL MAZZOLA 등) 2014.01.30 단락 56-57; 및 도면 8-9 참조.	1-16
Y	KR 10-0434153 B1 (엘지산전 주식회사) 2004.06.04 페이지 4; 청구항 2; 및 도면 3 참조.	1-16
Y	US 2003-0183838 A1 (QIN HUANG 등) 2003.10.02 단락 23; 및 도면 3 참조.	2-3,16
A	JP 2017-130391 A (TOKYO INSTITUTE OF TECHNOLOGY) 2017.07.27 단락 31-51; 및 도면 1 참조.	1-16
A	US 2014-0078622 A1 (GE ENERGY POWER CONVERSION TECHNOLOGY LTD.) 2014.03.20 단락 59-87; 및 도면 1-2 참조.	1-16

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"D" 본 국제출원에서 출원인이 인용한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2019년 12월 13일 (13.12.2019)	2019년 12월 13일 (13.12.2019)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
장기정
전화번호 +82-42-481-8364

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2019/010622

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2014-0029152 A1	2014/01/30	없음	
KR 10-0434153 B1	2004/06/04	CN 1280856 C	2006/10/18
		CN 1452194 A	2003/10/29
		CN 1452194 C	2006/10/18
		DE 10315982 A1	2003/11/06
		DE 10315982 B4	2010/06/24
		JP 2003-338239 A	2003/11/28
		JP 3872444 B2	2007/01/24
		KR 10-2003-0081745 A	2003/10/22
		US 2003-0193770 A1	2003/10/16
		US 7079363 B2	2006/07/18
US 2003-0183838 A1	2003/10/02	US 6952335 B2	2005/10/04
JP 2017-130391 A	2017/07/27	없음	
US 2014-0078622 A1	2014/03/20	BR 102013023654 A2	2015/01/27
		CA 2826574 A1	2014/03/17
		CN 103762546 A	2014/04/30
		CN 103762546 B	2018/01/09
		EP 2750257 A1	2014/07/02
		EP 2750257 B1	2016/05/11
		US 9184003 B2	2015/11/10