

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7005376号

(P7005376)

(45)発行日 令和4年1月21日(2022.1.21)

(24)登録日 令和4年1月7日(2022.1.7)

(51)国際特許分類

B 4 1 J 2/14 (2006.01)

F I

B 4 1 J 2/14 2 0 1

請求項の数 25 (全17頁)

(21)出願番号	特願2018-25352(P2018-25352)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成30年2月15日(2018.2.15)	(74)代理人	110003281 特許業務法人大塚国際特許事務所
(65)公開番号	特開2019-142000(P2019-142000 A)	(72)発明者	和 秀憲 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43)公開日	令和1年8月29日(2019.8.29)	(72)発明者	櫻井 将貴 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	令和3年1月7日(2021.1.7)	審査官	高松 大治

最終頁に続く

(54)【発明の名称】 素子基板、記録ヘッド、及び記録装置

(57)【特許請求の範囲】

【請求項1】

多層構造の素子基板であって、
複数の記録素子が配列されて形成され、記録に寄与しないダミーの素子を含む素子列と、
前記素子列を形成する前記複数の記録素子の駆動に関わる第1の回路と、を有し、
前記ダミーの素子と前記第1の回路とは、前記素子基板を平面視した際に少なくとも一部
が互いに重複する位置に設けられることを特徴とする素子基板。

【請求項2】

前記ダミーの素子は前記素子列の端部に配置されることを特徴とする請求項1に記載の素
子基板。

【請求項3】

前記複数の記録素子それぞれを駆動する複数の第2の回路をさらに有し、
前記第1の回路は前記複数の第2の回路に前記記録素子を駆動するために用いられデータ
信号とクロック信号を供給することを特徴とする請求項1又は2に記載の素子基板。

【請求項4】

前記複数の第2の回路それぞれは、MOSトランジスタと前記MOSトランジスタを選択
する選択回路とを含むことを特徴とする請求項3に記載の素子基板。

【請求項5】

前記MOSトランジスタと前記記録素子とは、前記素子基板を平面視した際に少なくとも
一部が互いに重複する位置に設けられることを特徴とする請求項4に記載の素子基板。

【請求項 6】

前記複数の記録素子に対応してインクを流すための複数の第 1 の開口と、
前記複数の記録素子それぞれと前記 MOS トランジスタとを接続する配線とをさらに有することを特徴とする請求項 4 又は 5 に記載の素子基板。

【請求項 7】

前記配線は、前記複数の記録素子とは異なる層に設けられることを特徴とする請求項 6 に記載の素子基板。

【請求項 8】

前記複数の第 1 の開口とは前記複数の記録素子を挟み、前記 MOS トランジスタと前記複数の記録素子との間に設けられ、前記複数の記録素子に対応してインクを流すための複数の第 2 の開口をさらに有し、
前記配線は、前記複数の第 2 の開口それぞれを迂回して配置されることを特徴とする請求項 6 に記載の素子基板。

10

【請求項 9】

前記第 1 の回路は、前記選択回路に対して前記データ信号と前記クロック信号を転送するためのタイミングを調整する回路であることを特徴とする請求項 4 乃至 8 のいずれか 1 項に記載の素子基板。

【請求項 10】

前記第 1 の回路は、前記複数の記録素子を駆動するためのデータ信号を展開するデコーダであることを特徴とする請求項 1 又は 2 に記載の素子基板。

20

【請求項 11】

前記素子列は前記素子列における両端部にそれぞれ前記ダミーの素子を含み、
一方の端部の前記ダミーの素子と重複する前記第 1 の回路と、他方の端部の前記ダミーの素子と重複する前記第 1 の回路とは、機能が異なることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の素子基板。

【請求項 12】

前記素子基板を平面視した際に前記素子列の方向と交差する方向に延びる前記素子基板の外形を構成する辺を備えることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の素子基板。

【請求項 13】

前記第 1 の回路は、前記辺に沿った部分が階段状の形状をしていることを特徴とする請求項 12 に記載の素子基板。

30

【請求項 14】

多層構造の素子基板であって、
複数の記録素子が配列されて形成され、記録に寄与しないダミーの素子を含む素子列と、
前記複数の記録素子および前記ダミーの素子をそれぞれを駆動する複数の回路と、を有し、
前記複数の回路のうち、前記ダミーの素子を駆動する回路の面積は、前記記録素子を駆動する回路の面積より小さいことを特徴とする素子基板。

【請求項 15】

前記ダミーの素子を駆動する回路の面積は、前記素子列の方向と該方向とは直交する方向のうちのいずれかの方向のサイズを縮小することにより、前記記録素子を駆動する回路の面積より小さくすることを特徴とする請求項 14 に記載の素子基板。

40

【請求項 16】

前記複数の回路それぞれは、MOS トランジスタと前記 MOS トランジスタを選択する選択回路とを含むことを特徴とする請求項 14 又は 15 に記載の素子基板。

【請求項 17】

前記複数の記録素子と前記複数の記録素子それぞれを駆動する前記 MOS トランジスタとは、前記素子基板を平面視した際に少なくとも一部が互いに重複する位置に設けられ、
前記ダミーの素子と前記ダミーの素子を駆動する前記 MOS トランジスタとは、前記素子基板を平面視した際に少なくとも一部が互いに重複する位置に設けられることを特徴とす

50

る請求項 16 に記載の素子基板。

【請求項 18】

前記 MOS トランジスタと、前記複数の記録素子又は前記ダミーの素子との間に設けられ、前記複数の記録素子又は前記ダミーの素子に対応してインクを流すための複数の開口と、前記複数の記録素子および前記ダミーの素子それぞれと前記 MOS トランジスタとを接続する配線とをさらに有し、

前記配線は、前記複数の開口それぞれを迂回して配置されることを特徴とする請求項 16 又は 17 に記載の素子基板。

【請求項 19】

前記ダミーの素子は前記素子列の端部に配置されることを特徴とする請求項 14 乃至 18 のいずれか 1 項に記載の素子基板。

10

【請求項 20】

前記素子基板を平面視した際に前記素子列の方向と交差する方向に延びる前記素子基板の外形を構成する辺を備えることを特徴とする請求項 14 乃至 19 のいずれか 1 項に記載の素子基板。

【請求項 21】

前記素子基板の外形は、平行四辺形、台形、矩形のうちのいずれかの形状をしていることを特徴とする請求項 1 乃至 20 のいずれか 1 項に記載の素子基板。

【請求項 22】

互いの列に沿って設けられた複数の前記素子列と、
複数の前記素子列に対応する複数の前記第 1 の回路と、
複数の前記第 1 の回路を接続する配線と、を有することを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の素子基板。

20

【請求項 23】

請求項 1 乃至 22 のいずれか 1 項に記載の素子基板を複数、前記素子列の方向に一行に並べて配置し、前記記録素子を駆動することによりインクを吐出する記録ヘッド。

【請求項 24】

前記記録ヘッドは記録媒体の幅に相当する記録幅をもつフルライン記録ヘッドであることを特徴とする請求項 23 に記載の記録ヘッド。

【請求項 25】

請求項 23 又は 24 に記載の記録ヘッドを用いて、インクを記録媒体に吐出して画像を記録する記録装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は素子基板、記録ヘッド、及び記録装置に関し、特に、例えば、複数の記録素子を備えた素子基板を複数組み込んだ記録ヘッドをインクジェット方式に従って記録を行うために適用した記録装置に関する。

【背景技術】

【0002】

インクジェット記録ヘッドはインク液滴を吐出する吐出口に連通する部位に電気熱変換素子（ヒータ）を設け、そのヒータに電流を供給し発熱させインクの膜沸騰によりインク液滴を記録媒体に吐出して記録を行うサーマル駆動方式が知られている。そして、複数のヒータを実装した素子基板には記録装置から所望の信号を伝送し、対応する駆動回路を動作させることでヒータに電流を供給する構成となっている。

40

【0003】

さて、近年になり、商業用途・産業用途に記録幅に渡って素子基板を複数配置した構成のフルライン記録ヘッドが普及してきた。フルライン記録ヘッドを用いると、記録媒体だけを搬送すれば良いので、高速な記録が可能となる。特許文献 1 は、隣接する素子基板間のつなぎ部で吐出口列方向に対して垂直に素子基板をオフセットして配置する構成を開示し

50

ている。また、素子基板内で吐出口列が垂直にオフセットすることで素子基板を一直線に配列可能とした構成もある。

【 0 0 0 4 】

また、フルライン記録ヘッドでなくても、一回の走査記録による記録長を長くするために2つ以上の素子基板を隣接して配置した構成の記録ヘッドを用いた記録装置も提案されている。この場合、その記録ヘッドをキャリッジに搭載して往復走査しながら記録を行う場合でも、記録ヘッドの記録幅が長いので、記録完了までのキャリッジ走査回数を少なくすることができる。

【先行技術文献】

【特許文献】

10

【 0 0 0 5 】

【文献】特開 2 0 1 0 - 0 1 2 7 9 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

さて、素子基板の製造コストを低減するために、素子基板サイズを低減することが求められている。特に、上述したような複数の素子基板を一行につないで配置する構成においては、下記の理由からも素子基板サイズを低減することが求められている。

【 0 0 0 7 】

図 1 2 は平行四辺形の形状の2つの素子基板を隣接して配置して構成した記録ヘッドの構成を示す図である。図 1 2 (a) において、下方向を x 方向プラス側とし、上方向を x 方向マイナス側とする。また、右方向を y 方向プラス側とし、左方向を y 方向マイナス側とする。そして、記録媒体は x 方向マイナス側からプラス側へと搬送されるものとする。

20

【 0 0 0 8 】

素子基板 1 0 0 内には複数のヒータ 1 0 1 からなるヒータ列が複数（ここでは5列）、互いに平行に配置されている。また、各ヒータ列の端部にはダミーヒータ 2 0 1 が配置される。従って、各ヒータ列の端部のヒータ 1 0 1 a は隣接する素子基板のヒータ列の端部のヒータ 1 0 1 b とつなぎ部を形成する。

【 0 0 0 9 】

図 1 2 (b) は図 1 2 (a) の右側の素子基板のつなぎ部の詳細なレイアウト構成を示している。図 1 2 (b) に示すように、y 方向には各ヒータ 1 0 1 に対応する MOS トランジスタ 1 0 3 と選択回路 1 0 4 がヒータ 1 0 1 と同じピッチで配置されている。供給口 1 0 5 はそれぞれ対応するヒータ 1 0 1 にインクを供給し、対応する吐出口（不図示）からインクを吐出する。ヒータ列の端部にはヒータ 1 0 1 と同じ形状で記録には寄与しないダミーヒータ 2 0 1 が y 方向に同じピッチで配置されている。ダミーヒータ 2 0 1 の x 方向プラス側（ヒータ列の端部）にはヒータ列内の回路動作を制御する回路 3 0 2 が配置されている。

30

【 0 0 1 0 】

しかしながら上記従来例では以下のような課題がある。

【 0 0 1 1 】

40

素子基板 1 0 0 のつなぎ部は x 方向に対して角度を持った形状をしているため、ヒータ列の端部に配置される回路 3 0 2 が大きい場合、素子基板外形への律則となり素子基板サイズが大きくなり、隣接する素子基板間のつなぎ部の距離も大きくなる。つなぎ部の距離が大きいと、つなぎ部の記録媒体の搬送方向の上流側の吐出口と下流側の吐出口とで記録媒体の搬送によって生じる気流の強さに差が生じ、インクの着弾位置にズレが発生し記録品位が低下してしまう。

【 0 0 1 2 】

従って、記録速度の高速化のために記録媒体の搬送速度を高速にすると、この差が顕著になるため、素子基板間で形成されるつなぎ部のヒータは極力近接させることが要求される。

【 0 0 1 3 】

50

本発明は、素子基板サイズを低減することを目的とする。また、素子基板を複数、一列に並べて配置する場合にも、高品位な記録を行うことが可能な素子基板、記録ヘッド、及び記録装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記目的を達成するために本発明の素子基板は次のような構成からなる。

【0015】

即ち、多層構造の素子基板であって、複数の記録素子が配列されて形成され、記録に寄与しないダミーの素子を含む素子列と、前記素子列を形成する前記複数の記録素子の駆動に関わる第1の回路と、を有し、前記ダミーの素子と前記第1の回路とは、前記素子基板を平面視した際に少なくとも一部が互いに重複する位置に設けられることを特徴とする。

10

【0016】

なお、この素子基板は、多層構造の素子基板であって、複数の記録素子が配列されて形成され、記録に寄与しないダミーの素子を含む素子列と、前記複数の記録素子および前記ダミーの素子をそれぞれを駆動する複数の回路と、を有し、前記複数の回路のうち、前記ダミーの素子を駆動する回路の面積は、前記記録素子を駆動する回路の面積より小さいことを特徴としても良い。

【0017】

また本発明を別の側面から見れば、上記構成の素子基板を複数、前記素子列の方向に一列に並べて配置し、記録素子を駆動することによりインクを吐出する記録ヘッドを備える。

20

【0018】

さらに本発明を別の側面から見れば、上記構成の記録ヘッドを用いて、インクを記録媒体に吐出して画像を記録する記録装置を備える。

【発明の効果】

【0019】

従って本発明によれば、素子基板のサイズを低減することができる。また、複数の素子基板を一列に並べて配置して記録ヘッドを構成しても、隣接する素子基板の間でつなぎ部を形成する各素子基板の端部にある記録素子の距離を近づけることができるという効果がある。これにより、その記録ヘッドにより記録される画像の画質を向上させることが可能になる。

30

【図面の簡単な説明】

【0020】

【図1】本発明の代表的な実施例であるフルライン記録ヘッドを備えた記録装置の構造を説明するための斜視透視図である。

【図2】図1に示した記録装置の制御構成を示すブロック図である。

【図3】ヒータとその駆動回路の構成を示す図である。

【図4】実施例1に従う素子基板のレイアウト構成を示す図である。

【図5】実施例1の変形例1に従う素子基板のレイアウト構成を示す図である。

【図6】実施例1の変形例2に従う素子基板のレイアウト構成を示す図である。

【図7】その他の形状をした素子基板の例を示す図である。

40

【図8】実施例2に従う素子基板のレイアウト構成を示す図である。

【図9】実施例2の変形例1に従う素子基板のレイアウト構成を示す図である。

【図10】実施例2の変形例2に従う素子基板のレイアウト構成を示す図である。

【図11】実施例の記録ヘッドにおける素子基板の配置例を示す図である。

【図12】従来例に係る記録ヘッドの比較例を示す図である。

【発明を実施するための形態】

【0021】

以下添付図面を参照して本発明の好適な実施例について、さらに具体的かつ詳細に説明する。

【0022】

50

なお、この明細書において、「記録」（「プリント」という場合もある）とは、文字、図形等有意の情報を形成する場合のみならず、有意無意を問わない。また人間が視覚で知覚し得るように顕在化したものであるか否かを問わず、広く記録媒体上に画像、模様、パターン等を形成する、または媒体の加工を行う場合も表すものとする。

【0023】

また、「記録媒体」とは、一般的な記録装置で用いられる紙のみならず、広く、布、プラスチック・フィルム、金属板、ガラス、セラミックス、木材、皮革等、インクを受容可能なものも表すものとする。

【0024】

さらに、「インク」（「液体」と言う場合もある）とは、上記「記録（プリント）」の定義と同様広く解釈されるべきものである。従って、記録媒体上に付与されることによって、画像、模様、パターン等の形成または記録媒体の加工、或いはインクの処理（例えば記録媒体に付与されるインク中の色剤の凝固または不溶化）に供され得る液体を表すものとする。

10

【0025】

またさらに、「ノズル（「記録素子」という場合もある）」とは、特にことわらない限り吐出しないしこれに連通する液路およびインク吐出に利用されるエネルギーを発生する素子を総括して言うものとする。

【0026】

以下に用いる記録ヘッド用の素子基板（ヘッド基板）とは、シリコン半導体からなる単なる基体を指し示すものではなく、各素子や配線等が設けられた構成を差し示すものである。

20

【0027】

さらに、基板上とは、単に素子基板の上を指し示すだけでなく、素子基板の表面、表面近傍の素子基板内部側をも示すものである。また、本発明でいう「作り込み（built-in）」とは、別体の各素子を単に基体表面上に別体として配置することを指し示している言葉ではなく、各素子を半導体回路の製造工程等によって素子板上に一体的に形成、製造することを示すものである。

【0028】

<フルライン記録ヘッドを搭載した記録装置（図1）>

図1はフルラインのインクジェット記録ヘッド（以下、記録ヘッド）11K、11C、11M、11Yと常に安定したインク吐出を保証するための回復系ユニットを備えた記録装置1の構造を説明するための斜視透視図である。

30

【0029】

記録装置1において、記録用紙15は、フィーダユニット17から、これら記録ヘッドによる印刷位置に供給され、記録装置の筐体18に具備された搬送ユニット16によって搬送される。

【0030】

記録用紙15への画像の印刷は、記録用紙15を搬送しながら、記録用紙15の基準位置がブラック（K）インクを吐出する記録ヘッド11Kの下に到達したときに、記録ヘッド11Kからブラックインクを吐出する。同様に、シアン（C）インクを吐出する記録ヘッド11C、マゼンタ（M）インクを吐出する記録ヘッド11M、イエロ（Y）インクを吐出する記録ヘッド11Yの順に、各基準位置に記録用紙15が到達すると各色のインクを吐出してカラー画像が形成される。こうして画像が印刷された記録用紙15はスタッカトレイ20に排出されて堆積される。

40

【0031】

記録装置1は、更に搬送ユニット16、記録ヘッド11K、11C、11M、11Yにインクを供給するための各インク毎に交換可能なインクカートリッジ（不図示）を有している。またさらに、記録ヘッド11K、11C、11M、11Yへのインク供給や回復動作のためのポンプユニット（不図示）、記録装置1全体を制御する制御基板（不図示）等を有している。またフロントドア19は、インクカートリッジの交換用の開閉扉である。

50

【 0 0 3 2 】

この実施例の記録ヘッド 1 1 は、熱エネルギーを利用してインクを吐出するインクジェット方式を採用している。このため、電気熱変換素子（ヒータ）を備えている。この電気熱変換素子は各吐出口のそれぞれに対応して設けられ、記録信号に応じて対応する電気熱変換素子にパルス電圧を印加することによって対応する吐出口からインクを吐出する。なお、記録装置は、上述した記録媒体の幅に相当する記録幅をもつフルライン記録ヘッドを用いた記録装置に限定するものではない。例えば、記録媒体の搬送方向に吐出口を配列した記録ヘッドをキャリッジに搭載に、そのキャリッジを往復走査しながらインクを記録媒体に吐出して記録を行ういわゆるシリアルタイプの記録装置にも適用できる。

【 0 0 3 3 】

< 制御構成の説明（図 2 ） >

次に、図 1 を用いて説明した記録装置の記録制御を実行するための制御構成について説明する。

【 0 0 3 4 】

図 2 は記録装置の制御回路の構成を示すブロック図である。図 2 において、1700 は記録データを入力するインタフェース、1701 は M P U 、1702 は M P U 1701 が実行する制御プログラムを格納する R O M 、1703 は記録データや記録ヘッドに供給される記録信号等のデータを保存しておく D R A M である。1704 は記録ヘッドに対する記録信号の供給制御を行うゲートアレイ（ G . A . ）であり、インタフェース 1700 、 M P U 1701 、 D R A M 1703 間のデータ転送制御も行う。コントローラ 600 は、 M P U 1701 、 R O M 1702 、 D R A M 1703 、ゲートアレイ 1704 を備えている。1710 は記録ヘッド 1 1（11 K、11 C、11 M、11 Y）を搬送するためのキャリッジモータ、1709 は記録紙搬送のための搬送モータである。1705 は記録ヘッドを駆動するヘッドドライバ、1706、1707 はそれぞれ搬送モータ 1709、キャリッジモータ 1710 を駆動するためのモータドライバである。

【 0 0 3 5 】

上記制御構成の動作を説明すると、インタフェース 1700 に記録データが入るとゲートアレイ 1704 と M P U 1701 との間で記録データが記録用の記録信号に変換される。そして、モータドライバ 1706、1707 が駆動されると共に、ヘッドドライバ 1705 に送られた記録データに従って記録ヘッドが駆動され、記録が行われる。また、記録ヘッドで得られた転送エラー（後述）の情報はヘッドドライバ 1705 を介して M P U 1701 にフィードバックされ、記録制御に反映される。

【 0 0 3 6 】

図 3 は記録素子を構成するヒータとその駆動回路の回路構成を示す図である。

【 0 0 3 7 】

図 3 に示すように、ヒータ 101 には配線 102 を介してヒータ 101 の駆動をスイッチングする M O S トランジスタ 103 が接続されている。M O S トランジスタ 103 には選択回路 104 が接続され、選択回路 104 から選択信号が出力されて M O S トランジスタ 103 の O N / O F F が制御される。これにより、所望のヒータ 101 に電流が流れ、そのエネルギーによってインクが記録媒体へと吐出される。選択回路 104 は選択信号を出力するための回路（例えば、シフトレジスタ、ラッチ回路）や信号を転送する配線、電力を供給するための配線等を含む。また、M O S トランジスタ 103 に入力する電圧を変換する電圧変換回路を含んでも良い。これら M O S トランジスタ及び選択回路を合わせて駆動回路と呼ぶ。

【 0 0 3 8 】

記録ヘッド 1 1 K、1 1 C、1 1 M、1 1 Y それぞれには、図 3 に示すような構成を単位としたヒータとその駆動回路が複数、実装された素子基板が含まれている。そして、その素子基板を複数、一列に並べて配置して記録幅を長くし、その記録幅が記録媒体の幅に相当するフルライン記録ヘッドを構成している。

【 0 0 3 9 】

図 1 1 は本発明の代表的な実施例の記録ヘッドの構成の一例を示す図である。この実施形態のフルライン記録ヘッドは、平行四辺形状の複数の素子基板 1 0 0 をヒータ列の方向に一直線に配置した構成を採用している。

【 0 0 4 0 】

記録ヘッド 1 0 には記録装置 1 からコネクタ 3 5 に信号が伝送及び電力が供給されヘッド配線 3 4 を介して素子基板 1 0 0 のパッド 3 3 に接続される。ここでは、4つの素子基板 1 0 0 を備えた記録ヘッド 1 0 を例に挙げて説明する。素子基板 1 0 0 にはヒータ 1 0 1 が複数列（ここでは、4列）に渡って配列されている。この素子基板 1 0 0 は、素子基板 1 0 0 の外形を構成する辺のうちの、隣接する素子基板 1 0 0 の側に位置する辺は、ヒータ列の方向に交差する方向に延びている。図 1 1 において、下方向を x 方向プラス側とし、上方向を x 方向マイナス側とする。また、右方向を y 方向プラス側とし、左方向を y 方向マイナス側とする。そして、記録媒体は、x 方向プラス側から x 方向マイナス側に搬送されるものとする。

10

【 0 0 4 1 】

図 1 1 に示した構成は複数の素子基板を千鳥状に配列した構成よりも隣接する素子基板 1 0 0 のつなぎ部のヒータ間の距離を近くすることができる。さらに、図 1 1 の構成では、素子基板を一直線に配置することで x 方向のサイズを小さくできるので、記録ヘッド全体を小型化することができる。また、図 1 1 の構成では、記録ヘッド 1 0 に対して記録媒体の搬送が斜めになった場合も隣接する素子基板 1 0 0 間でつなぎ部におけるヒータ間の距離が近くなるのでインクの着弾位置ズレを小さくすることができる。

20

【 0 0 4 2 】

以上のように素子基板のつなぎ部を角度のついた形状にして直線的に配置することで、千鳥状に素子基板を配列する場合と比べて隣接する素子基板のつなぎ部のヒータの距離を近づけることができる。

【 0 0 4 3 】

次に、上記構成の記録装置に搭載する記録ヘッドに実装される素子基板に関しいくつかの実施例を説明する。

【実施例 1】

【 0 0 4 4 】

図 4 は実施例 1 に従う素子基板のレイアウト構成を示す図である。なお、図 4 において、既に図 3、図 1 2 で説明したのと同じ構成要素には同じ参照番号を付し、その説明は省略する。

30

【 0 0 4 5 】

図 4 (a) に示すように、ヒータ列（記録素子列）の端部にはヒータ 1 0 1 と同じ形状で記録には寄与しないダミーヒータ 2 0 1 が y 方向に同じピッチで配置されており、ダミーヒータ 2 0 1 は駆動回路には接続されておらず、回路としての機能は持たない。半導体製造工程を用いて素子基板を形成する時の密度分布からその端部のヒータ形状にばらつきが生じることを防止するため、ダミーヒータを配置し形状ばらつきを低減する。

【 0 0 4 6 】

ヒータに対応して設けられるノズルについても、その形状安定性向上のためにダミーヒータ上に配置しても良い。ダミーヒータ 2 0 1 には供給口 1 0 5 と M O S トランジスタ 1 0 3 は配置不要なので、ダミーヒータ 2 0 1 の直下には x 方向プラス側から転送されるクロック信号 C L K とデータ信号 D A T A のタイミングを調整するタイミング調整回路 3 0 1 が配置されている。なお、ここで、ダミーヒータ 2 0 1 の直下とは、素子基板 1 0 0 を平面視した際に、ダミーヒータ 2 0 1 とタイミング調整回路 3 0 1 との少なくとも一部が互いに重複する位置に設けられていることを意味する。なお、素子基板の面積を小さくするためには、図 4 (a) に示すように、素子基板を平面視した際にタイミング調整回路 3 0 1 の領域内にダミーヒータ 2 0 1 が配置されることが好ましい。

40

【 0 0 4 7 】

タイミング調整回路 3 0 1 で位相を調整されたクロック信号 C L K とデータ信号 D A T A

50

はx方向マイナス側へと出力され、隣接するヒータ列のタイミング調整回路へと送信される。そのクロック信号CLKとデータ信号DATAは選択回路104へも入力される。選択回路104はデータ信号DATAを転送するシフトレジスタ回路とラッチ回路から構成され、それぞれ対応するヒータのMOSトランジスタへと駆動データを送信する。素子基板100のパッドから入力されたクロック信号CLK及びデータ信号DATAは素子基板100の内部で処理され、各ヒータ列に転送される。しかしながら、その転送距離が長いとクロック信号CLKとデータ信号DATAの位相に差が生じてしまうため、この実施例では途中にタイミング調整回路301を配置する。

【0048】

タイミング調整回路301でクロック信号CLKとデータ信号DATAのタイミングを調整し、調整後のクロック信号CLKとデータ信号DATAを各ヒータ列の選択回路104へと転送するため、タイミング調整回路301は各ヒータ列の端部に配置する。この実施例では、特に、タイミング調整回路301をダミーヒータ直下に配置することで、対応するヒータ列に転送するクロック信号CLKとデータ信号DATAのタイミング調整を列の端部で行なう。また、各ヒータ列の端部のダミーヒータの直下にタイミング調整回路301を配置し、各タイミング調整回路301を素子基板100の端部に配置したデータ信号線とクロック信号線とで接続している。これらのタイミング調整回路301はこれらの信号線を介して不図示の制御回路に接続されている。

10

【0049】

なお、ダミーヒータ201の直下に配置する回路としては、タイミング調整回路301に限定されず、デコーダなどを配置しても良い。

20

【0050】

ダミーヒータ201の直下に配置する回路の他の例としてデコーダを設ける構成について説明する。選択回路104のシフトレジスタ回路及びラッチ回路をヒータ毎に配置すると回路面積が大きくなってしまうため、ヒータ列の複数のヒータを時分割駆動毎のグループに分ける構成が採用される。このような構成の場合、グループ毎の駆動データと時分割駆動毎の駆動データの論理積(AND)を取ることで所望のヒータを選択する。この場合、時分割駆動のためのデータ信号DATAはデコーダにより展開され、選択されたグループのヒータのみを選択するデータ信号DATAが送信される。このデコーダはシフトレジスタ回路の最初または最終段に配置されるので、ヒータ列の端部に配置する。

30

【0051】

このように、ヒータ1列分の動作をまとめて処理する回路はそのヒータ列の端部に配置する必要があるため、この回路をヒータ列の端部に配置されたダミーヒータの直下に配置することで配置面積の削減を図ることができる。なお、この回路は、ヒータ1列に含まれるすべてのヒータの動作を処理するものでなくてもよく、ヒータ1列に含まれる複数のヒータの動作を処理するための回路であればよい。

【0052】

以上のことから分かるように、素子基板100は多層構造となっている。ここでは、2層の配線層とその上にヒータを配置する層を設けた構成で説明する。

【0053】

図4(b)はヒータ101のx方向の断面を示す図である。

40

【0054】

図4(b)に示すように、素子基板100はベース109の上に絶縁層108を設け、さらに、その上に2つの配線層106、107を設け、さらにその上にヒータ101を配置する多層構造となっている。

【0055】

そして、ヒータ101のx方向マイナス側はビア110aを介して配線層107を経て駆動電源に接続され、x方向プラス側はビア110b、配線層107、ビア110cを介して配線102を経てMOSトランジスタ103へと接続される。ヒータ101の直下には配線層106と配線層107とそれを繋ぐビア110dを配置し、駆動時の熱の放熱性を

50

向上させている。ヒータ 101 の直下に配置された放熱用の配線層 106 や配線層 107 は比較的大きな表面積を有しており、ヒータ 101 とは接続されていない。

【0056】

図 4 (c) にダミーヒータ 201 の x 方向の断面を示す図である。ダミーヒータ 201 は駆動に用いられないため、その直下に放熱用の配線層とビアを配置する必要はなく、任意の回路と配線を配置することができる。

【0057】

図 4 (c) に示されるダミーヒータの直下には、絶縁層 108 の上に MOS トランジスタを形成し、配線層 106 と配線層 107 を使用してタイミング調整回路 301 を配置している。

10

【0058】

このような素子基板の構造により、ダミーヒータ 201 を配置しても、その直下に回路を配置することで素子基板 100 の外形に実装回路が干渉することなく、素子基板サイズを低減することができる。また、ヒータ列の端部の記録に寄与するヒータ 101 を素子基板 100 の外周に近づけることができるため、隣接する素子基板とのつなぎ距離を小さくすることができる。これにより記録時に記録媒体の搬送によって生じる気流によるインク液滴の着弾位置ズレ量を低減するとともに、ヒータ列に対して記録媒体が斜めに搬送された場合にも着弾位置ズレを抑えることができる。

【0059】

<変形例 1>

20

図 5 は実施例 1 の変形例 1 に従う素子基板のレイアウト構成を示す図である。

【0060】

図 5 と図 4 とを比較すると分かるように、この例ではヒータ 101 の直下に MOS トランジスタ 103 を配置する。図 4 の構成と同様にダミーヒータ 201 直下には MOS トランジスタを配置する必要はないため、タイミング調整回路 301 を配置することで、素子基板サイズを低減することができる。

【0061】

<変形例 2>

図 6 は実施例 1 の変形例 2 に従う素子基板のレイアウト構成を示す図である。

【0062】

30

図 6 と図 4 とを比較すると分かるように、この例ではヒータ 101 の x 方向の両側にヒータ 101 を挟んで 2 つ供給口 105 を配置する。配線 102 は x 方向のプラス側の供給口 105 を迂回してヒータ 101 と MOS トランジスタ 103 を接続する。タイミング調整回路の回路規模が大きい場合、図 6 に示すように素子基板の外形の辺とヒータ列方向に対する角度（傾き）に合わせて、タイミング調整回路 301 は、その形状をその辺に沿った部分を階段状にする。これにより、図 4 ~ 図 5 に示した構成と同じように素子基板のサイズを低減することができる。なお、インクを流すための 2 つの開口のうちの一方の開口を供給口 105 とし、他方の開口をインクを回収する回収口としてもよい。即ち、供給口から供給されたインクが、ヒータ 101 が配置された圧力室を通して回収口から回収されるようにし、インクを循環させる構成としてもよい。

40

【0063】

ここで、素子基板の形状の他の例について説明する。

【0064】

図 4 に示した素子基板は、図 12 に示したような平行四辺形の形状を想定しているが、素子基板の形状は、台形や矩形でも良い。

【0065】

図 7 はその他の形状をした素子基板の例を示す図である。

【0066】

図 7 (a) は素子基板の形状が台形であり、y 方向にその素子基板を x 方向の向きを反転しながら配置し、つなぎ部を形成する例である。なお、x 方向と y 方向とは互いに直交す

50

る。ヒータ列の端部の構成は図４～図６と同じであり、同様の効果を得ることができる。

【００６７】

図７（ｂ）は素子基板の形状が矩形であり、複数のヒータ１０１から形成されるヒータ列は素子基板１００の長辺（ｙ方向）に対し斜めに配置されている。そのヒータ列をｙ方向に対し斜めに配置し角度をつけた分、ヒータ１０１のピッチを高密度化できる。

【００６８】

図７（ｃ）は素子基板１００の端部のレイアウト構成を拡大した図である。図７（ｂ）に示すように、素子基板１００の短辺はｘ方向と平行であり、ヒータ列及び回路は斜めに配置される。この場合も素子基板の端部のダミーヒータ２０１の下層に回路を配置することで、図４と同じ効果を得ることができる。

10

【００６９】

以上のように、素子基板の形状とヒータ列の方向は種々組み合わせて構成することが可能である。

【００７０】

従って以上説明した実施例に従えば、ヒータ列の端部にあるダミーヒータ直下にタイミング調整回路などのロジック回路を配置することで、素子基板サイズを低減することができる。また、隣接する素子基板とのつなぎ部の距離を小さくでき、記録動作時の記録媒体の搬送によって生じる気流によるインクの着弾位置ズレ量を低減するとともに、ヒータ列に対して記録媒体が斜めに搬送された場合にも着弾位置ズレを抑えることができる。これにより高品位な画像記録が達成できる。

20

【００７１】

なお、以上説明した実施例ではダミーヒータを各ヒータ列の端部に１つ設ける例について説明したが、本発明はこれによって限定されるものではなく、複数のダミーヒータを配置しても良い。

【００７２】

また、ダミーヒータ直下に設ける回路はタイミング調整回路やデコータのみである必要はない。例えば、ヒータ列の各ヒータに対応して温度情報などを検出する検知素子を設け、この検知素子を配列した検知素子列をヒータ列ごとに設ける構成がある。この検知素子の検知結果に基づいて吐出不良の吐出口を特定し、画像補完やヘッドの回復作業に反映させることができる。従って、検知素子はヒータの駆動の制御に間接的に関わる回路である。ダミーヒータ直下に設ける回路は、この検知素子の回路で使用する基準電圧源・基準電流源などでも良い。即ち、ダミーヒータ直下に設ける回路は、ヒータ列のヒータの駆動に直接関わる回路に限定されず、ヒータ列のヒータの駆動の制御に関わる回路であればよい。また、必ずしも全てのヒータ列で同じ回路が配置されている必要はなく、異なる回路を配置しても良い。

30

【００７３】

さらに、各ヒータ列の両端部にダミーヒータを配置し、両端のダミーヒータのそれぞれの直下にヒータ列内に含まれる複数のヒータを駆動するための回路を配置してもよい。その際、それぞれの端部のダミーヒータの直下に機能の異なる回路を配置してもよい。例えば、ヒータ列の一方の端部のダミーヒータの直下にタイミング調整回路を配置し、他方の端部のダミーヒータの直下にデコーダを配置してもよい。このように両端に異なる回路を配置することで、それぞれの回路に要する面積を確保でき、素子基板サイズをより低減することができる。

40

【００７４】

なお、各ヒータ列の全てにタイミング調整回路を設けなくても処理可能である場合もある。このような場合は、一部のヒータ列に含まれるダミーヒータの直下にタイミング調整回路を配置し、残りのヒータ列に含まれるダミーヒータの直下にはタイミング調整回路を配置しなくてもよい。

【００７５】

また、ダミーヒータをヒータ列の端部に配置する構成について説明したが、ダミーヒータ

50

の位置はヒータ列の端部に限定されず、ヒータ列の途中でダミーヒータが配置されていてもよい。このような構成であっても、ダミーヒータの直下にヒータ列に含まれる複数の記録素子を駆動するための回路を配置することで、素子基板の面積を小さくすることができる。

【実施例 2】

【0076】

図 8 は実施例 2 に従う素子基板のレイアウト構成を示す図である。なお、図 8 において、既に図 3、図 4、図 12 で説明したのと同じ構成要素には同じ参照番号を付し、その説明は省略する。

【0077】

この実施例では、ダミーヒータ 201 を予備吐出に使用するため、ヒータ 101 と同様に
対応する供給口 205、MOS トランジスタ 203、選択回路 204 を備える。ダミーヒ
ータ 201 と MOS トランジスタ 203 は配線 202 で接続される。選択回路 204 でダ
ミーヒータ選択信号が送信されることにより MOS トランジスタ 203 の ON/OFF が
制御される。これによりダミーヒータ 201 に電流が流れ、そのエネルギーによってイン
クが吐出される。

【0078】

ダミーヒータ 201 は記録媒体への記録には使用しないため、ヒータ 101 と比較して吐
出特性を厳密に制御する必要はない。そのため、ダミーヒータ 201 に対応する MOS ト
ランジスタ 203 はヒータ 101 に対応する MOS トランジスタ 103 よりも駆動能力を
低くすることができる。即ち、MOS トランジスタ 203 のゲート幅を短くすることで x
方向マイナス側に回路サイズを削減することができる。その削減に対応して選択回路 20
4 の位置も x 方向マイナス側にシフトすることができる。選択回路 204 に用いるクロッ
ク信号 CLK とデータ信号 DATA は、図 8 (a) に示すように選択回路 104 から送信
する。

【0079】

以上の構成により、ダミーヒータ 201 に対応する MOS トランジスタ 203 を縮小する
ことにより素子基板サイズを低減することが可能となる。また、ヒータ列の端部の記録に
寄与するヒータ 101 を素子基板 100 の外周に近づけることができるため、隣接する素
子基板とのつなぎ部の距離を小さくすることができる。これにより、記録動作時の記録媒
体の搬送によって生じる気流によるインクの着弾位置ズレ量が低減されるとともに、ヒ
ータ列に対して記録媒体が斜めに搬送された場合にも着弾位置ズレを抑えることができる。

【0080】

また、図 8 (b) に示すように、MOS トランジスタ 203 のゲート本数を減らすことで
MOS トランジスタのゲート長を減らし、y 方向に縮小することも可能である。選択回路
204 は MOS トランジスタ 203 とともに縮小するか、図 8 (b) に示したように素子
基板の外形角度に合わせて階段形状にすることで素子基板のサイズへの影響をなくすこ
うができる。

【0081】

さらに、図 8 (c) に示すように、ヒータの中心からヒータ列方向に伸ばした線 210 と
素子基板の外形の辺 211 との交点の鋭角側の角度 θ (素子基板角度) によって、y 方向
に縮小するか、x 方向に縮小するかの効果に差異が出る。

【0082】

まず、x 方向に長さ a 縮小した場合、MOS トランジスタ 203 a の回路形状は y 方向に
対して傾斜した外形の辺 211 からその回路端までの距離は b だけ長くなる。これに対し
て、y 方向に長さ a 縮小した場合、MOS トランジスタ 203 b の回路形状は y 方向に対
して傾斜した外形の辺 211 からその回路端までの距離は c だけ長くなる。図 8 (c) か
ら明らかなように、 $b = \sin \theta / a$ 、 $c = \cos \theta / a$ となる。

【0083】

従って、素子基板角度 θ が 45 度より大きい場合 ($\theta > 45$) は x 方向に縮小した方が y

10

20

30

40

50

方向の縮小よりも素子基板サイズを縮小できるためサイズ削減効果大きい。一方、素子基板角度が45度より小さい場合 ($\theta < 45$) は、y方向に縮小した方がx方向の縮小するよりも素子基板サイズを縮小できるためサイズ削減効果大きい。

【0084】

<変形例1>

図9は実施例2の変形例1に従う素子基板のレイアウト構成を示す図である。

【0085】

図9と図8とを比較すると分かるように、この例ではヒータ101の直下にMOSトランジスタ203を配置する。図9に示すように、ダミーヒータ201に対応するMOSトランジスタ203をダミーヒータ201直下に配置し、かつ、MOSトランジスタ203をx方向マイナス側に回路サイズを縮小する。これにより、図8と同様のサイズ削減効果を得る。

10

【0086】

<変形例2>

図10は実施例2の変形例2に従う素子基板のレイアウト構成を示す図である。

【0087】

図10と図8とを比較すると分かるように、この例ではヒータのx方向両側に供給口105を配置する。これと同様に、この例ではダミーヒータ201のx方向両側にも供給口205をそれぞれ配置する。図10に示すように、図8の例と同様にダミーヒータ201に対応するMOSトランジスタ203をx方向マイナス側に回路サイズを縮小することで素子基板サイズを低減することができる。

20

【0088】

従って以上説明した実施例に従えば、ダミーヒータに対応するMOSトランジスタをx方向若しくはy方向に縮小することで、素子基板サイズを低減することができる。また、隣接する素子基板とのつなぎ部の距離を小さくでき、記録動作時の記録媒体の搬送により生じる気流によるインクの着弾位置ズレ量が低減されるとともに、ヒータ列に対して記録媒体が斜めに搬送された場合にも着弾位置ズレを抑えることができる。これにより実施例1と同様に高品位な画像記録を達成できる。

【符号の説明】

【0089】

10、11K、11C、11M、11Y 記録ヘッド、100 素子基板、
101 ヒータ、102 配線、103 MOSトランジスタ、104 選択回路、
105 供給口、201 ダミーヒータ、202 配線、
203 MOSトランジスタ、204 選択回路、205 供給口、
301 タイミング調整回路

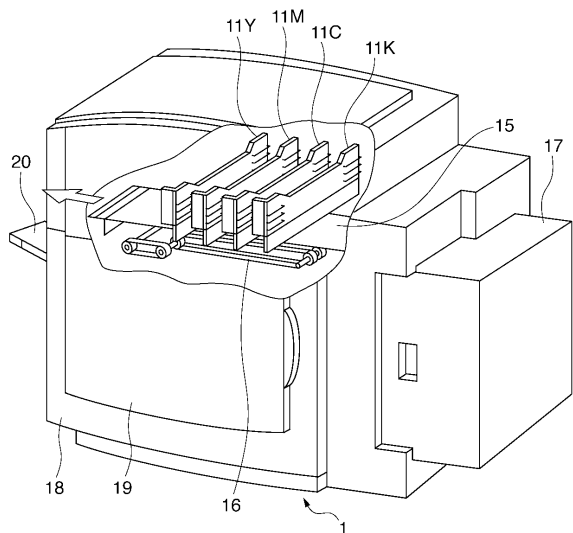
30

40

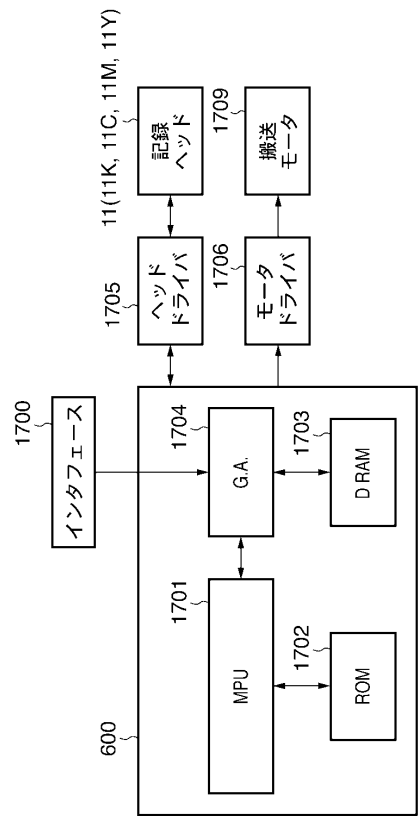
50

【図面】

【図 1】



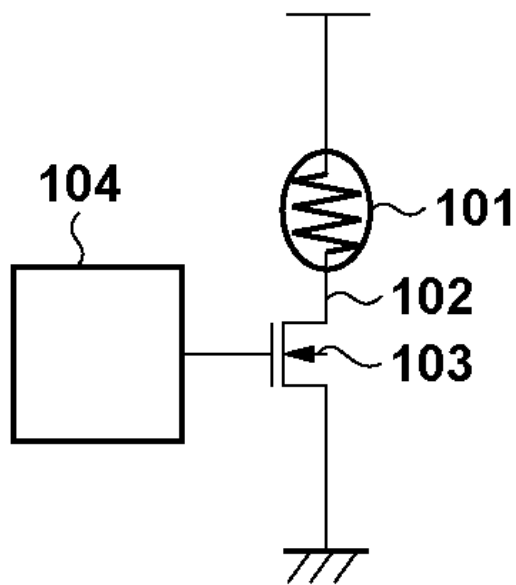
【図 2】



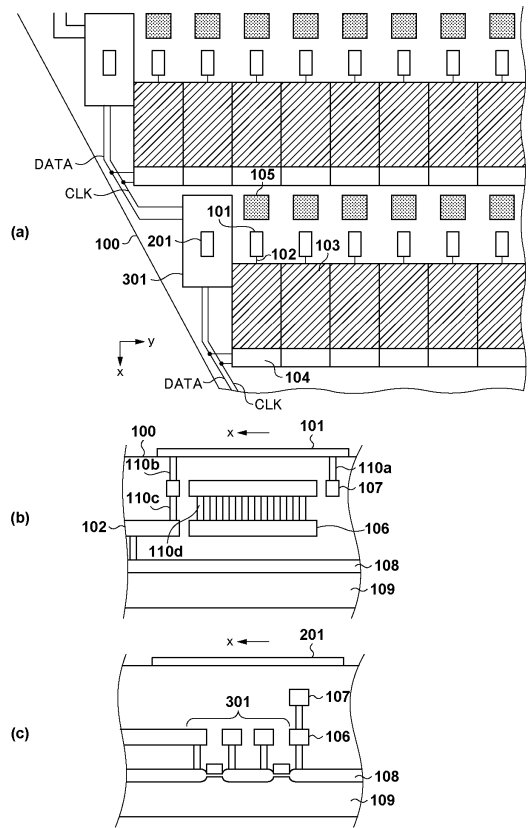
10

20

【図 3】



【図 4】

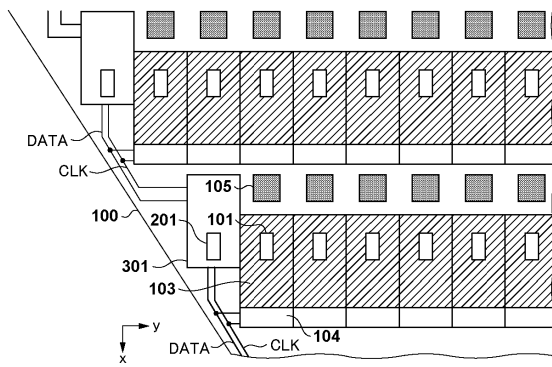


30

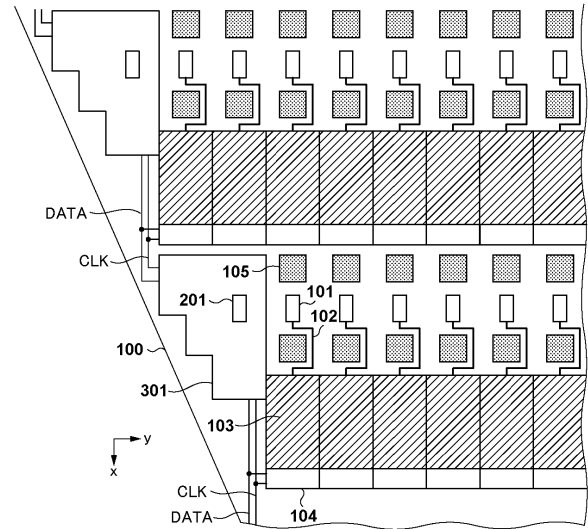
40

50

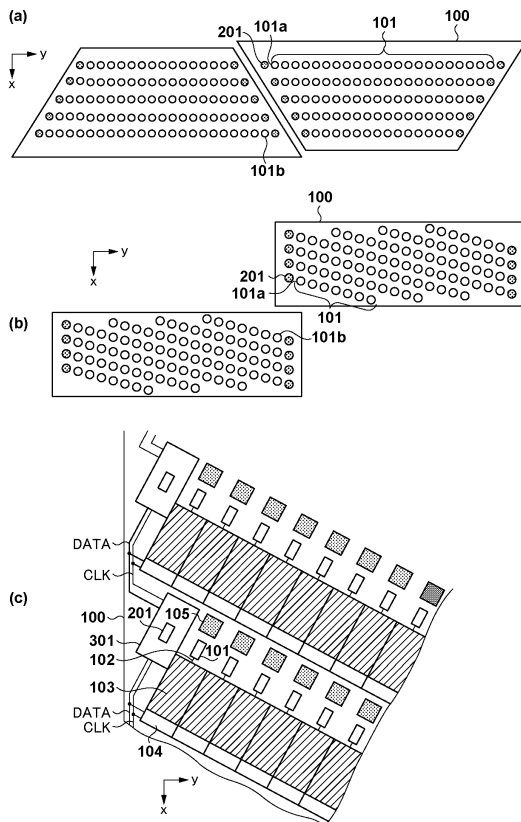
【 図 5 】



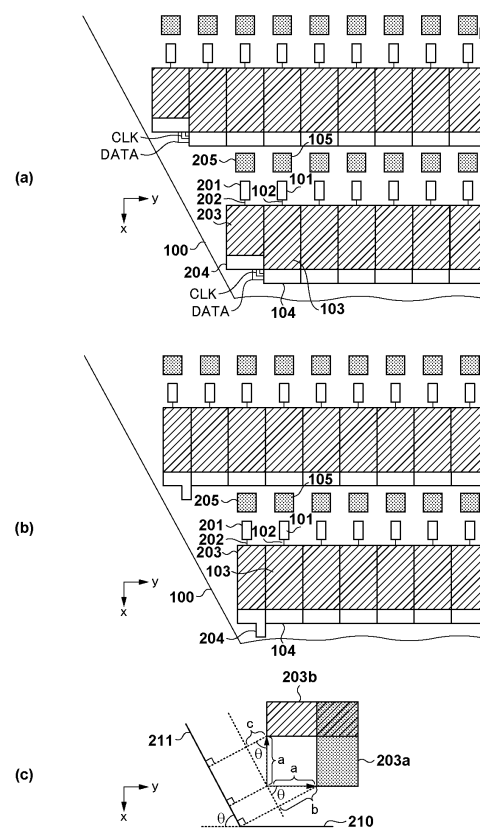
【 図 6 】



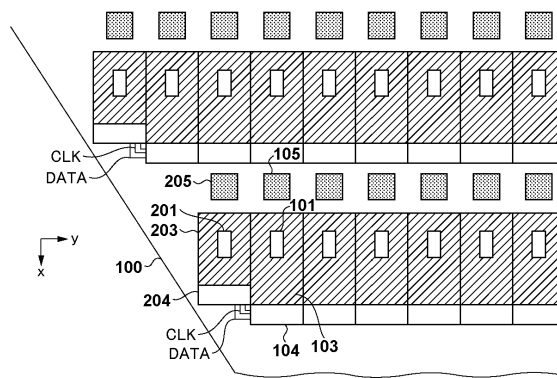
【圖 7】



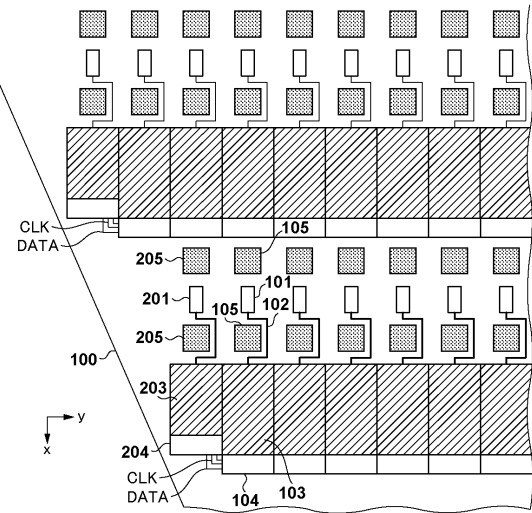
【圖 8】



【 図 9 】

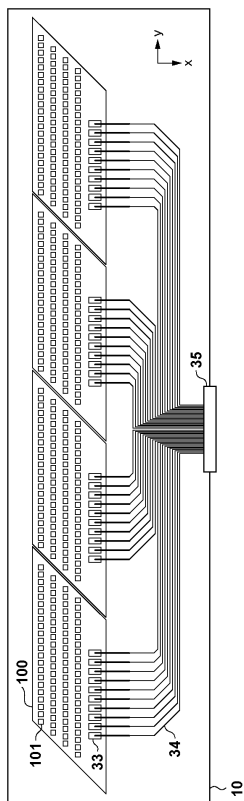


【 図 1 0 】

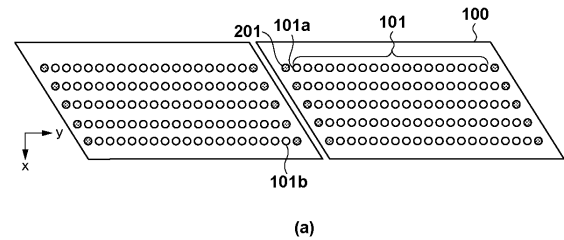


10

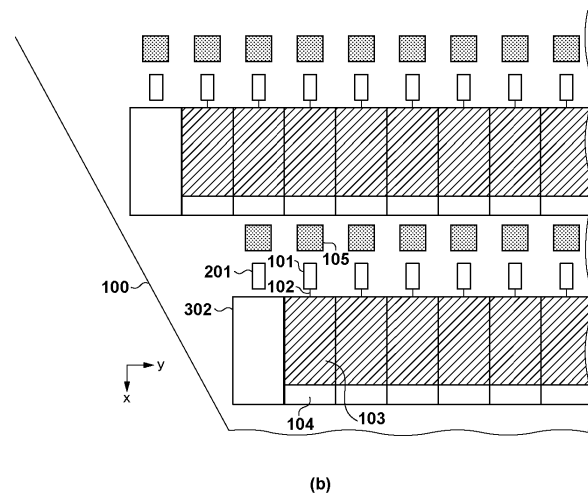
【 図 1 1 】



【圖 1 2】



20



30

40

フロントページの続き

- (56)参考文献 特開 2 0 0 5 - 0 3 5 0 8 0 (J P , A)
特開 2 0 1 0 - 0 7 6 4 3 3 (J P , A)
特開 2 0 1 5 - 0 4 4 3 1 3 (J P , A)
特開 2 0 1 7 - 1 9 3 1 5 4 (J P , A)
特開 2 0 1 7 - 1 5 9 6 1 4 (J P , A)
特開 2 0 1 7 - 1 2 1 7 9 1 (J P , A)
特開 2 0 0 2 - 3 7 0 3 6 2 (J P , A)
米国特許出願公開第 2 0 0 9 / 0 0 5 8 9 6 8 (U S , A 1)
- (58)調査した分野 (Int.Cl., D B 名)
B 4 1 J 2 / 0 1 - 2 / 2 1 5