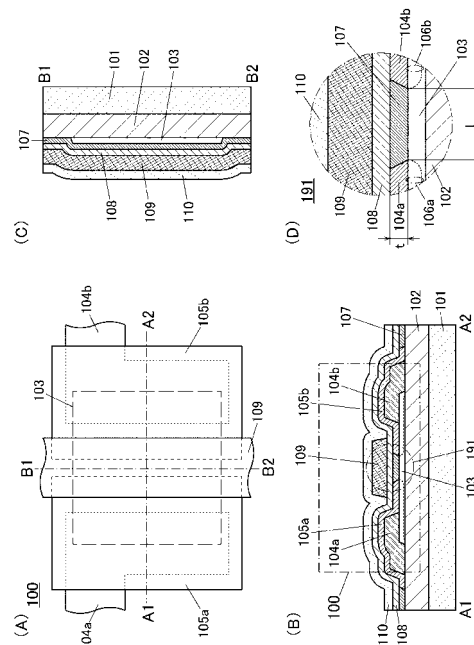




【特許請求の範囲】

【請求項 1】

半導体層の一部と重畳するソース電極と、
前記半導体層の他の一部と重畳するドレイン電極と、
前記ソース電極と前記ドレイン電極の間に形成された分離層と、
前記半導体層および前記分離層とゲート絶縁層を介して重畳するゲート電極と、
を有することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、
前記ゲート電極と重畳する領域で、
前記分離層、前記ソース電極、および前記ドレイン電極の上面が、
概略一致していることを特徴とする半導体装置。

10

【請求項 3】

請求項 1 または請求項 2 において、
前記ソース電極および前記ドレイン電極の厚さは、
5 nm 以上チャンネル長 L の 2 倍以下であることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記分離層は、前記ソース電極および前記ドレイン電極を構成する金属元素を含むことを
特徴とする半導体装置。

20

【請求項 5】

半導体層と、第 1 のソース電極と、第 2 のソース電極と、第 1 のドレイン電極と、第 2 の
ドレイン電極と、分離層と、ゲート絶縁層と、ゲート電極と、を有する半導体装置であっ
て、
前記第 1 のソース電極は、前記半導体層の一部に接して前記半導体層上に形成され、
前記第 2 のソース電極は、前記第 1 のソース電極上に形成され、
前記第 2 のソース電極の一部は、前記第 1 のソース電極の端部を越えて、前記半導体層に
接して延伸し、
前記第 1 のドレイン電極は、前記半導体層の他の一部に接して前記半導体層上に形成され
、
前記第 2 のドレイン電極は、前記第 1 のドレイン電極上に形成され、
前記第 2 のドレイン電極の一部は、前記第 1 のドレイン電極の端部を越えて、前記半導体
層に接して延伸し、
前記ゲート電極は、前記ゲート絶縁層を介して、前記分離層および前記半導体層上に形成
され、
前記分離層の側面は、前記第 2 のソース電極の側面と接し、
前記分離層の他の側面は、前記第 2 のドレイン電極の側面と接していることを特徴とする
半導体装置。

30

【請求項 6】

請求項 5 において、
前記第 2 のソース電極の前記側面近傍において、
前記分離層の上面と、前記第 2 のソース電極の上面は概略一致し、
前記第 2 のドレイン電極の前記側面近傍において、
前記分離層の上面と、前記第 2 のドレイン電極の上面は概略一致していることを特徴とす
る半導体装置。

40

【請求項 7】

請求項 5 または請求項 6 において、
前記第 2 のソース電極および前記第 2 のドレイン電極の厚さは、
5 nm 以上チャンネル長 L の 2 倍以下であることを特徴とする半導体装置。

【請求項 8】

50

請求項 5 乃至請求項 7 のいずれか一項において、
前記分離層は、前記第 2 のソース電極および前記第 2 のドレイン電極を構成する金属元素を含むことを特徴とする半導体装置。

【請求項 9】

請求項 5 乃至請求項 8 のいずれか一項において、
チャンネル長 L が 50 nm 以下であることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、
前記半導体層は、酸化物半導体を含むことを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項において、
前記半導体層は、酸化物半導体層と酸化物層の積層であることを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか一項において、
前記分離層は、酸素を含む絶縁材料であることを特徴とする半導体装置。

【請求項 13】

ゲート電極と、ゲート絶縁層と、半導体層と、ソース電極と、ドレイン電極と、分離層と、を有する半導体装置の作製方法であって、
前記ソース電極および前記ドレイン電極を前記半導体層に接して形成し、
前記半導体層に重畳する、前記ソース電極および前記ドレイン電極の一部に酸素を導入して前記分離層を形成し、
前記半導体層と前記分離層に重畳して前記ゲート絶縁層を形成し、
前記ゲート絶縁層に重畳して前記ゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 14】

請求項 13 において、
前記半導体層は、酸化物半導体を含むことを特徴とする半導体装置の作製方法。

【請求項 15】

請求項 13 または請求項 14 において、
前記半導体層は、酸化物半導体層と酸化物層の積層であることを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 13 乃至請求項 15 のいずれか一項において、
前記ソース電極および前記ドレイン電極の厚さは、
 5 nm 以上チャンネル長 L の 2 倍以下であることを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 13 乃至請求項 16 のいずれか一項において、
チャンネル長 L が 50 nm 以下であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、または半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路および電子機器は全て半導体装置といえる。

【背景技術】

【0003】

半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広

10

20

30

40

50

く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、酸化物半導体として、酸化亜鉛、又はIn-Ga-Zn系酸化物を用いてトランジスタを作製する技術が開示されている（特許文献1及び特許文献2参照）。

【0005】

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。

【先行技術文献】

【特許文献】

10

【0006】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一態様は、信頼性の高い半導体装置またはその作製方法を提供することを課題の一つとする。

【0008】

または、本発明の一態様は、良好な電気特性を有する半導体装置またはその作製方法を提供することを課題の一つとする。

20

【0009】

または、本発明の一態様は、微細化又は高集積化が可能な半導体装置またはその作製方法を提供することを課題の一つとする。

【0010】

または、本発明の一態様は、特性ばらつきの小さい半導体装置またはその作製方法を提供することを課題の一つとする。

【課題を解決するための手段】

【0011】

本発明の一態様は、半導体層の一部と重畳するソース電極と、半導体層の他の一部と重畳するドレイン電極と、ソース電極とドレイン電極の間に形成された分離層と、半導体層および分離層とゲート絶縁層を介して重畳するゲート電極と、を有することを特徴とする半導体装置である。

30

【0012】

本発明の一態様は、ゲート電極と、ゲート絶縁層と、半導体層と、ソース電極と、ドレイン電極と、分離層を有する半導体装置の作製方法であって、ソース電極およびドレイン電極を半導体層に接して形成し、半導体層に重畳する、ソース電極およびドレイン電極の一部に酸素を導入して分離層を形成し、半導体層と分離層に重畳してゲート絶縁層を形成し、ゲート絶縁層に重畳してゲート電極を形成することを特徴とする半導体装置の作製方法である。

40

【0013】

ゲート電極と重畳する領域において、分離層、ソース電極、およびドレイン電極の上面が概略一致する。ソース電極およびドレイン電極の厚さ t は、5nm以上チャンネル長 L の2倍以下であることが好ましい。また、分離層は、前記ソース電極および前記ドレイン電極を構成する金属元素を含む。

【0014】

本発明の一態様は、半導体層と、第1のソース電極と、第2のソース電極と、第1のドレイン電極と、第2のドレイン電極と、分離層と、ゲート絶縁層と、ゲート電極と、を有する半導体装置であって、第1のソース電極は、半導体層の一部に接して半導体層上に形成され、第2のソース電極は、第1のソース電極上に形成され、第2のソース電極の一部は

50

、第1のソース電極の端部を越えて、半導体層に接して延伸し、第1のドレイン電極は、半導体層の他の一部に接して半導体層上に形成され、第2のドレイン電極は、第1のドレイン電極上に形成され、第2のドレイン電極の一部は、第1のドレイン電極の端部を越えて、半導体層に接して延伸し、ゲート電極は、ゲート絶縁層を介して、分離層および半導体層上に形成され、分離層の側面は、第2のソース電極の側面と接し、分離層の他の側面は、第2のドレイン電極の側面と接することを特徴とする半導体装置である。

【0015】

半導体層は、酸化物半導体を用いることが好ましい。また、半導体層に用いる酸化物半導体は、酸化物半導体中の不純物及び酸素欠損を低減し、真性または実質的に真性と見なせる半導体とすることが好ましい。具体的には、酸化物半導体中のキャリア密度を、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満とする。

10

【0016】

半導体層を、酸化物半導体と、該酸化物半導体を構成する金属元素のうち少なくとも1種類以上の同じ金属元素を含む酸化物層との積層としてもよい。

【0017】

第2のソース電極の側面近傍において、分離層の上面と、第2のソース電極の上面は概略一致し、第2のドレイン電極の側面近傍において、分離層の上面と、第2のドレイン電極の上面は概略一致する。第2のソース電極および第2のドレイン電極の厚さ t は、5 nm 以上チャンネル長 L の2倍以下が好ましい。

20

【0018】

第2のソース電極および第2のドレイン電極に積層する第1のソース電極および第1のドレイン電極の厚さを、第2のソース電極および第2のドレイン電極以上の厚さとすることが好ましい。

【発明の効果】

【0019】

本発明の一態様によれば、信頼性の高い半導体装置またはその作製方法を提供することができる。

【0020】

本発明の一態様によれば、良好な電気特性を有する半導体装置またはその作製方法を提供することができる。

30

【0021】

本発明の一態様によれば、微細化又は高集積化が可能な半導体装置またはその作製方法を提供することができる。

【0022】

本発明の一態様によれば、特性ばらつきの小さい半導体装置またはその作製方法を提供することができる。

【図面の簡単な説明】

【0023】

【図1】トランジスタの構成例を説明する図。

40

【図2】トランジスタの作製方法の一例を説明する図。

【図3】トランジスタの作製方法の一例を説明する図。

【図4】トランジスタの作製方法の一例を説明する図。

【図5】トランジスタの構成例を説明する図。

【図6】トランジスタの構成例を説明する図。

【図7】積層体のTOF-SIMS分析結果を示す図。

【図8】積層体のCPM測定結果を示す図。

【図9】積層体のエネルギーバンド構造を説明する図。

【図10】MCUの構成例を説明するブロック図。

【図11】不揮発性記憶部を有するレジスタの一例を説明する回路図。

50

【図 1 2】半導体装置の一例を説明する図。

【図 1 3】表示装置の一例を説明する図。

【図 1 4】表示装置の一例を説明する図。

【図 1 5】表示装置に適用可能な画素回路の一例を説明する図。

【図 1 6】電子機器の一例を示す図。

【図 1 7】酸化物半導体の断面 T E M 像および局所的なフーリエ変換像。

【図 1 8】酸化物半導体膜のナノビーム電子回折パターンを説明する図、および透過電子回折測定装置の一例を説明する図。

【図 1 9】透過電子回折測定による構造解析の一例を説明する図、および平面 T E M 像。

【発明を実施するための形態】

10

【0024】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0025】

本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、発明を明瞭化するために誇張または省略されている場合がある。よって、必ずしもそのスケールに限定されない。

20

【0026】

図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。

【0027】

なお、特に上面図（「平面図」ともいう。）において、図面をわかりやすくするために、一部の構成要素の記載を省略する場合がある。

30

【0028】

本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。

【0029】

ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

40

【0030】

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0031】

本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が

50

一体となって形成されている場合なども含む。

【0032】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0033】

本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0034】

(実施の形態1)

本実施の形態では、半導体装置の一形態として、トランジスタ100を例示して説明する。

【0035】

<1-1. 半導体装置の構成例>

図1に、半導体装置の一形態であるトランジスタ100を示す。トランジスタ100は、ゲート電極が半導体層よりも上層に形成されるトップゲート型のトランジスタの一例である。図1(A)はトランジスタ100の上面図である。また、図1(B)は、図1(A)中の一点鎖線A1-A2で示す部位の断面図であり、図1(C)は、図1(A)中の一点鎖線B1-B2で示す部位の断面図である。また、図1(D)は、図1(B)に示す部位191の拡大図である。

【0036】

図1に示すトランジスタ100は、絶縁層102を介して基板101上に形成されている。また、トランジスタ100は、半導体層103、第1のソース電極104a、第1のドレイン電極104b、第2のソース電極105a、第2のドレイン電極105b、分離層107、ゲート絶縁層108、およびゲート電極109を有する。また、図1では、トランジスタ100上に絶縁層110が形成されている。

【0037】

より具体的には、絶縁層102上に半導体層103が形成され、半導体層103の一部に接して第1のソース電極104a、および第1のドレイン電極104bが形成され、第1のソース電極104a上に第2のソース電極105aが形成され、第1のドレイン電極104b上に第2のドレイン電極105bが形成されている。

【0038】

第2のソース電極105aの一部は、第1のソース電極104aの端部を越えて延伸し、半導体層103に接している。また、第2のドレイン電極105bの一部は、第1のドレイン電極104bの端部を越えて延伸し、半導体層103に接している。

【0039】

また、第2のソース電極105aおよび第2のドレイン電極105bの間に分離層107が形成されている。本実施の形態に示す分離層107は、第2のソース電極105aおよび第2のドレイン電極105bの側面に接して形成されている。

【0040】

また、第2のソース電極105a、第2のドレイン電極105b、および分離層107上に、ゲート絶縁層108が形成されている。ゲート電極109は、ゲート絶縁層108を介して、半導体層103、第2のソース電極105a、第2のドレイン電極105b、分離層107と重畳している。

【0041】

[1-1-1. 基板]

基板101として用いる基板に大きな制限はないが、少なくとも後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えばバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。

10

20

30

40

50

【0042】

また、基板101としてシリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板等を用いてもよい。また、SOI基板、半導体基板上に半導体素子が設けられたものなどを用いることができる。

【0043】

なお、基板101として、可撓性基板（フレキシブル基板）を用いてもよい。可撓性基板を用いる場合、可撓性基板上に、トランジスタや容量素子などを直接作製してもよいし、他の作製基板上にトランジスタや容量素子などを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタや容量素子などとの間に、剥離層を設けるとよい。

10

【0044】

また、基板101は、単なる支持基板に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ100のゲート電極、ソース電極、又はドレイン電極の少なくとも一つは、上記他のデバイスと電氣的に接続されていてもよい。

【0045】

〔1-1-2. 下地層〕

絶縁層102は下地層として機能し、基板101からの不純物元素の拡散を防止または低減することができる。絶縁層102は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルから選ばれた材料を、単層でまたは積層して形成する。なお、本明細書中において、窒化酸化とは、その組成として、酸素よりも窒素の含有量が多いものであって、酸化窒化とは、その組成として、窒素よりも酸素の含有量が多いものを示す。なお、各元素の含有量は、例えば、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）等を用いて測定することができる。

20

【0046】

また、絶縁層102は、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD（Chemical Vapor Deposition）、パルスレーザー堆積法（Pulsed Laser Deposition：PLD法）、ALD（Atomic Layer Deposition）法等を適宜用いて形成することができる。また、絶縁層102中の水素の含有量は、好ましくは $5 \times 10^{19} \text{ cm}^{-3}$ 未満、さらに好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 未満とする。

30

【0047】

絶縁層102は、例えば、1層目を窒化シリコン層とし、2層目を酸化シリコン層とした多層膜としてもよい。この場合、酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。酸化シリコン層は、欠陥密度の小さい酸化シリコン層を用いることが好ましい。具体的には、ESRにてg値が2.001の信号に由来するスピンのスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化シリコン層を用いることが好ましい。

40

【0048】

なお、半導体層103を、酸化物半導体を用いて形成する場合、少なくとも絶縁層102の半導体層103と接する領域は、酸素を含む絶縁層で形成することが好ましい。例えば、絶縁層102を窒化シリコン層と酸化シリコン層の積層で形成する場合、酸化物半導体である半導体層103と酸化シリコン層が接して形成されることが好ましい。また、酸化シリコン層は、過剰酸素を含む酸化シリコン層を用いることが好ましい。窒化シリコン層は水素およびアンモニアの放出量が少ない窒化シリコン層を用いることが好ましい。水素、アンモニアの放出量は、昇温脱離ガス分析（TDS：Thermal Desorpt

50

ion Spectrometry) にて測定すればよい。また、窒化シリコン層は、酸素を透過しない、またはほとんど透過しない窒化シリコン層を用いることが好ましい。

【0049】

絶縁層102の厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

【0050】

なお、本明細書等における”過剰酸素”とは、例えば、化学量論的組成を超えて含まれる酸素をいう。または、過剰酸素とは、例えば、加熱することで放出される酸素をいう。過剰酸素は、例えば、膜や層の内部を移動することができる。過剰酸素の移動は、膜や層の原子間を移動する場合と、膜や層を構成する酸素と置き換わりながら玉突きの移動する場合とがある。

10

【0051】

また、過剰酸素を含む酸化シリコン層とは、加熱処理などによって酸素を放出することができる酸化シリコン層をいう。また、過剰酸素を含む絶縁層は、加熱処理によって酸素を放出する機能を有する絶縁層である。

【0052】

ここで、加熱処理によって酸素を放出する膜は、膜の表面温度が100℃以上700℃以下、好ましくは100℃以上500℃以下の加熱処理で行われるTDS分析によって $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上の酸素（酸素原子数に換算）を放出することもある。

20

【0053】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0054】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0055】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量(N_{O_2})は、数式(1)で求めることができる。ここで、TDS分析で得られる質量数32で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH の質量数32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

30

【0056】

【数1】

$$N_{\text{O}_2} = \frac{N_{\text{H}_2}}{S_{\text{H}_2}} \times S_{\text{O}_2} \times \alpha \quad \dots (1)$$

【0057】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $N_{\text{H}_2}/S_{\text{H}_2}$ とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。数式(1)の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコンウェハを用いて測定した。

40

【0058】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分

50

子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0059】

なお、 N_2 は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0060】

または、加熱処理によって酸素を放出する膜は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む膜は、ESRにて、g値が2.01近傍に非対称の信号を有することもある。

10

【0061】

または、過剰酸素を含む絶縁層は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) は、シリコン原子数の2倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、RBSにより測定した値である。

【0062】

なお、基板101と、後に設ける半導体層103との絶縁性が確保できるようであれば、絶縁層102を設けない構成とすることもできる。

【0063】

〔1-1-3. 半導体層〕

20

半導体層103は、非晶質半導体、微結晶半導体、多結晶半導体等を用いることができる。例えば、非晶質シリコンや、微結晶ゲルマニウム等を用いることができる。また、炭化シリコン、ガリウム砒素、酸化物半導体、窒化物半導体などの化合物半導体や、有機半導体等を用いることができる。

【0064】

半導体層103は、スパッタリング法、MBE (Molecular Beam Epitaxy) 法、CVD法、塗布法、パルスレーザー堆積法、レーザーアブレーション法、ALD (Atomic Layer Deposition) 法等を適宜用いて形成することができる。

【0065】

30

スパッタリング法で半導体層103を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0066】

スパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。スパッタリングガスは不純物濃度の少ないガスを用いる。具体的には、露点が -40°C 以下、好ましくは -60°C 以下であるスパッタリングガスを用いることが好ましい。

【0067】

40

特に、半導体層103として酸化物半導体を用いることが好ましい。酸化物半導体のバンドギャップは 2 eV 以上あるため、半導体層に酸化物半導体を用いたトランジスタは、トランジスタがオフ状態のときのリーク電流（オフ電流ともいう。）を極めて小さくすることができる。具体的には、チャネル長が $3\text{ }\mu\text{m}$ 、チャネル幅が $10\text{ }\mu\text{m}$ のトランジスタにおいて、オフ電流を $1 \times 10^{-20}\text{ A}$ 未満、好ましくは $1 \times 10^{-22}\text{ A}$ 未満、さらに好ましくは $1 \times 10^{-24}\text{ A}$ 未満とすることができる。即ち、オンオフ比が20桁以上150桁以下とすることができる。

【0068】

なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも 1 V 以上、 2 V 以上または 3 V 以上小さければ、トランジスタはオフ状態となる。

50

【0069】

また、半導体層103として酸化物半導体を用いる場合は、InもしくはGaの一方、または両方を含む酸化物半導体を用いることが好ましい。代表的には、In-Ga酸化物（InとGaを含む酸化物）、In-Zn酸化物（InとZnを含む酸化物）、In-M-Zn酸化物（Inと、元素Mと、Znを含む酸化物。元素Mは、Al、Ti、Ga、Y、Zr、La、Ce、NdまたはHfから選ばれた1種類以上の元素。）がある。半導体層103の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

【0070】

また、半導体層103に用いる酸化物半導体は、酸化物半導体中の不純物及び酸素欠損を低減し、真性または実質的に真性に見なせる半導体とすることが好ましい。具体的には、酸化物半導体中のキャリア密度を、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満とする。

10

【0071】

また、水素および窒素は、酸化物半導体中でドナー準位を形成しやすく、キャリア密度が増大する一因となる。特に、酸化物半導体中の酸素欠損に水素が捕獲されると、ドナー準位を形成しやすい。酸化物半導体を真性または実質的に真性とするためには、酸化物半導体中の水素濃度は、SIMSにおいて、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

20

【0072】

また、酸化物半導体にシリコンが高い濃度で含まれることにより、酸化物半導体にシリコンに起因する不純物準位が形成される。該不純物準位は、トラップとなり、トランジスタの電気特性を劣化させることがある。トランジスタの電気特性の劣化を小さくするためには、酸化物半導体で形成された半導体層103中のシリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。

30

【0073】

また、酸化物半導体が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体の結晶性を低下させることがある。酸化物半導体の結晶性を低下させないためには、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。また、炭素濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。

【0074】

高純度化された酸化物半導体をチャネル形成領域に用いることで、トランジスタのオフ電流を極めて小さくすることができる。

40

【0075】

〔1-1-3-1. 酸化物半導体膜の構造〕

ここで、酸化物半導体膜の構造について説明しておく。酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0076】

まずは、CAAC-OS膜について説明する。

50

【0077】

C A A C - O S 膜は、c 軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0078】

C A A C - O S 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0079】

C A A C - O S 膜を、試料面と概略平行な方向から TEM によって観察 (断面 TEM 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0080】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から TEM によって観察 (平面 TEM 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0081】

図 17 (a) は、C A A C - O S 膜の断面 TEM 像である。また、図 17 (b) は、図 17 (a) をさらに拡大した断面 TEM 像であり、理解を容易にするために原子配列を強調表示している。

【0082】

図 17 (c) は、図 17 (a) の A - O - A ' 間において、丸で囲んだ領域 (直径約 4 nm) の局所的なフーリエ変換像である。図 17 (c) より、各領域において c 軸配向性が確認できる。また、A - O 間と O - A ' 間とでは、c 軸の向きが異なるため、異なるグレインであることが示唆される。また、A - O 間では、c 軸の角度が 14.3°、16.6°、26.4° のように少しずつ連続的に変化していることがわかる。同様に、O - A ' 間では、c 軸の角度が -18.3°、-17.6°、-15.9° と少しずつ連続的に変化していることがわかる。

【0083】

なお、C A A C - O S 膜に対し、電子回折を行うと、配向性を示すスポット (輝点) が観測される。例えば、C A A C - O S 膜の上面に対し、例えば 1 nm 以上 30 nm 以下の電子線を用いる電子回折 (ナノビーム電子回折ともいう。) を行うと、スポットが観測される (図 18 (A) 参照。)

【0084】

断面 TEM 観察および平面 TEM 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0085】

なお、C A A C - O S 膜に含まれるほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。ただし、C A A C - O S 膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面 TEM 像において、2500 nm² 以上、5 μm² 以上または 1000 μm² 以上となる結晶領域が観測される場合がある。

【0086】

断面 TEM 観察および平面 TEM 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0087】

C A A C - O S 膜に対し、X 線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えば InGaZnO₄ の結晶を有する C A A C - O S 膜

10

20

30

40

50

の *out-of-plane* 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (009) 面に帰属されることから、CAAC-OSS 膜の結晶が c 軸配向性を有し、 c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0088】

一方、CAAC-OSS 膜に対し、 c 軸に概略垂直な方向から X 線を入射させる *in-plane* 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ϕ 軸) とし、試料を回転させながら分析 (ϕ スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、CAAC-OSS 膜の場合は、 2θ を 56° 近傍に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

10

【0089】

以上のことから、CAAC-OSS 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、 c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 TEM 観察で確認された層状に配列した金属原子の各層は、結晶の ab 面に平行な面である。

【0090】

なお、結晶部は、CAAC-OSS 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、CAAC-OSS 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OSS 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が CAAC-OSS 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

20

【0091】

また、CAAC-OSS 膜中において、 c 軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OSS 膜の結晶部が、CAAC-OSS 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも c 軸配向した結晶部の割合が高くなる場合がある。また、不純物の添加された CAAC-OSS 膜は、不純物が添加された領域が変質し、部分的に c 軸配向した結晶部の割合の異なる領域が形成されることもある。

30

【0092】

なお、 InGaZnO_4 の結晶を有する CAAC-OSS 膜の *out-of-plane* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OSS 膜中の一部に、 c 軸配向性を有さない結晶が含まれることを示している。CAAC-OSS 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0093】

CAAC-OSS 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

40

【0094】

また、CAAC-OSS 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となる場合がある。

【0095】

50

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

10

【0096】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0097】

次に、多結晶酸化物半導体膜について説明する。

【0098】

多結晶酸化物半導体膜は、TEMによる観察像で、結晶粒を確認することができる。多結晶酸化物半導体膜に含まれる結晶粒は、例えば、TEMによる観察像で、2 nm以上300 nm以下、3 nm以上100 nm以下または5 nm以上50 nm以下の粒径であることが多い。また、多結晶酸化物半導体膜は、TEMによる観察像で、結晶粒界を確認できる場合がある。

20

【0099】

多結晶酸化物半導体膜は、複数の結晶粒を有し、当該複数の結晶粒間において結晶の方位が異なっている場合がある。また、多結晶酸化物半導体膜に対し、XRD装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有する多結晶酸化物半導体膜のout-of-plane法による解析では、2θが31°近傍のピーク、2θが36°近傍のピーク、またはそのほかのピークが現れる場合がある。

【0100】

多結晶酸化物半導体膜は、高い結晶性を有するため、高い電子移動度を有する場合がある。従って、多結晶酸化物半導体膜を用いたトランジスタは、高い電界効果移動度を有する。ただし、多結晶酸化物半導体膜は、結晶粒界に不純物が偏析する場合がある。また、多結晶酸化物半導体膜の結晶粒界は欠陥準位となる。多結晶酸化物半導体膜は、結晶粒界がキャリアトラップやキャリア発生源となる場合があるため、多結晶酸化物半導体膜を用いたトランジスタは、CAAC-OS膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる場合がある。

30

【0101】

次に、微結晶酸化物半導体膜について説明する。

【0102】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶（nc: nanocrystal）を有する酸化物半導体膜を、nc-OS（nanocrystalline Oxide Semiconductor）膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

40

【0103】

nc-OS膜は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従

50

って、nc-O S膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-O S膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-O S膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-O S膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子線回折を行うと、スポットが観測される。また、nc-O S膜に対しナノビーム電子線回折を行うと、スポットが観測される。円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-O S膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある（図18（B）参照。）。 10

【0104】

nc-O S膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-O S膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-O S膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-O S膜は、CAAC-O S膜と比べて欠陥準位密度が高くなる。

【0105】

従って、nc-O S膜は、CAAC-O S膜と比べて、キャリア密度が高くなる場合がある。キャリア密度が高い酸化物半導体膜は、電子移動度が高くなる場合がある。従って、nc-O S膜を用いたトランジスタは、高い電界効果移動度を有する場合がある。また、nc-O S膜は、CAAC-O S膜と比べて、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。従って、nc-O S膜を用いたトランジスタは、CAAC-O S膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。ただし、nc-O S膜は、比較的の不純物が多く含まれていても形成することができるため、CAAC-O S膜よりも形成が容易となり、用途によっては好適に用いることができる場合がある。そのため、nc-O S膜を用いたトランジスタを有する半導体装置は、生産性高く作製することができる場合がある。 20

【0106】

次に、非晶質酸化物半導体膜について説明する。

【0107】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0108】

非晶質酸化物半導体膜は、TEMによる観察像で、結晶部を確認することができない。

【0109】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。 40

【0110】

非晶質酸化物半導体膜は、水素などの不純物を高い濃度で含む酸化物半導体膜である。また、非晶質酸化物半導体膜は、欠陥準位密度の高い酸化物半導体膜である。

【0111】

不純物濃度が高く、欠陥準位密度の高い酸化物半導体膜は、キャリアトラップやキャリア発生源が多い酸化物半導体膜である。

【0112】

従って、非晶質酸化物半導体膜は、nc-O S膜と比べて、さらにキャリア密度が高くなる場合がある。そのため、非晶質酸化物半導体膜を用いたトランジスタは、ノーマリーオンの電気特性になりやすい。従って、ノーマリーオンの電気特性が求められるトランジス 50

タに好適に用いることができる場合がある。非晶質酸化物半導体膜は、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。従って、非晶質酸化物半導体膜を用いたトランジスタは、C A A C - O S 膜や n c - O S 膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。

【0113】

次に、単結晶酸化物半導体膜について説明する。

【0114】

単結晶酸化物半導体膜は、不純物濃度が低く、欠陥準位密度が低い（酸素欠損が少ない）酸化物半導体膜である。そのため、キャリア密度を低くすることができる。従って、単結晶酸化物半導体膜を用いたトランジスタは、ノーマリーオンの電気特性になることが少ない。また、単結晶酸化物半導体膜は、不純物濃度が低く、欠陥準位密度が低いため、キャリアトラップが少なくなる場合がある。従って、単結晶酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

【0115】

なお、酸化物半導体膜は、欠陥が少ないと密度が高くなる。また、酸化物半導体膜は、結晶性が高いと密度が高くなる。また、酸化物半導体膜は、水素などの不純物濃度が低いと密度が高くなる。単結晶酸化物半導体膜は、C A A C - O S 膜よりも密度が高い。また、C A A C - O S 膜は、微結晶酸化物半導体膜よりも密度が高い。また、多結晶酸化物半導体膜は、微結晶酸化物半導体膜よりも密度が高い。また、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも密度が高い。

【0116】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【0117】

酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

【0118】

図18（C）に、電子銃室10と、電子銃室10の下光学系12と、光学系12の下試料室14と、試料室14の下光学系16と、光学系16の下観察室20と、観察室20に設置されたカメラ18と、観察室20の下フィルム室22と、を有する透過電子回折測定装置を示す。カメラ18は、観察室20内部に向けて設置される。なお、フィルム室22を有さなくても構わない。

【0119】

また、図18（D）に、図18（C）で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室10に設置された電子銃から放出された電子が、光学系12を介して試料室14に配置された物質28に照射される。物質28を通過した電子は、光学系16を介して観察室20内部に設置された蛍光板32に入射する。蛍光板32では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

【0120】

カメラ18は、蛍光板32を向いて設置されており、蛍光板32に現れたパターンを撮影することが可能である。カメラ18のレンズの中央、および蛍光板32の中央を通る直線と、蛍光板32の上面と、の為す角度は、例えば、15°以上80°以下、30°以上75°以下、または45°以上70°以下とする。該角度が小さいほど、カメラ18で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかっているならば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ18をフィルム室22に設置しても構わない場合がある。例えば、カメラ18をフィルム室22に、電子24の入射方向と対向するように設置してもよい。この場合、蛍光板32の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

【0121】

試料室 14 には、試料である物質 28 を固定するためのホルダが設置されている。ホルダは、物質 28 を通過する電子を透過するような構造をしている。ホルダは、例えば、物質 28 を X 軸、Y 軸、Z 軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、1 nm 以上 10 nm 以下、5 nm 以上 50 nm 以下、10 nm 以上 100 nm 以下、50 nm 以上 500 nm 以下、100 nm 以上 1 μ m 以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質 28 の構造によって最適な範囲を設定すればよい。

【0122】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

10

【0123】

例えば、図 18 (D) に示すように物質におけるナノビームである電子 24 の照射位置を変化させる（スキャンする）ことで、物質の構造が変化していく様子を確認することができる。このとき、物質 28 が C A A C - O S 膜であれば、図 18 (A) に示したような回折パターンが観測される。または、物質 28 が n c - O S 膜であれば、図 18 (B) に示したような回折パターンが観測される。

【0124】

ところで、物質 28 が C A A C - O S 膜であったとしても、部分的に n c - O S 膜などと同様の回折パターンが観測される場合がある。したがって、C A A C - O S 膜の良否は、一定の範囲における C A A C - O S 膜の回折パターンが観測される領域の割合（C A A C 化率ともいう。）で表すことができる場合がある。例えば、良質な C A A C - O S 膜であれば、C A A C 化率は、50 % 以上、好ましくは 80 % 以上、さらに好ましくは 90 % 以上、より好ましくは 95 % 以上となる。なお、C A A C - O S 膜と異なる回折パターンが観測される領域を非 C A A C 化率と表記する。

20

【0125】

一例として、成膜直後（a s - s p u t t e r d と表記。）、または酸素を含む雰囲気における 450 °C 加熱処理後の C A A C - O S 膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5 nm / 秒の速度で 60 秒間スキャンしながら回折パターンを観測し、観測された回折パターンを 0.5 秒ごとに静止画に変換することで、C A A C 化率を導出した。なお、電子線としては、プローブ径が 1 nm のナノビームを用いた。なお、同様の測定は 6 試料に対して行った。そして C A A C 化率の算出には、6 試料における平均値を用いた。

30

【0126】

各試料における C A A C 化率を図 19 (A) に示す。成膜直後の C A A C - O S 膜の C A A C 化率は 75.7 %（非 C A A C 化率は 24.3 %）であった。また、450 °C 加熱処理後の C A A C - O S 膜の C A A C 化率は 85.3 %（非 C A A C 化率は 14.7 %）であった。成膜直後と比べて、450 °C 加熱処理後の C A A C 化率が高いことがわかる。即ち、高い温度（例えば 400 °C 以上）における加熱処理によって、非 C A A C 化率が低くなる（C A A C 化率が高くなる）ことがわかる。また、500 °C 未満の加熱処理においても高い C A A C 化率を有する C A A C - O S 膜が得られることがわかる。

40

【0127】

ここで、C A A C - O S 膜と異なる回折パターンのほとんどは n c - O S 膜と同様の回折パターンであった。また、測定領域において非晶質酸化物半導体膜は、確認することができなかった。したがって、加熱処理によって、n c - O S 膜と同様の構造を有する領域が、隣接する領域の構造の影響を受けて再配列し、C A A C 化していることが示唆される。

【0128】

図 19 (B) および図 19 (C) は、成膜直後および 450 °C 加熱処理後の C A A C - O S 膜の平面 T E M 像である。図 19 (B) と図 19 (C) とを比較することにより、450 °C 加熱処理後の C A A C - O S 膜は、膜質がより均質であることがわかる。即ち、高い温度における加熱処理によって、C A A C - O S 膜の膜質が向上することがわかる。

50

【0129】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能となる場合がある。

【0130】

〔1-1-4. 第1のソース電極および第1のドレイン電極〕

第1のソース電極104aおよび第1のドレイン電極104bは、半導体層103上に、半導体層103の一部に接して形成される。第1のソース電極104aおよび第1のドレイン電極104bを形成するための導電性材料としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、マンガン、マグネシウム、ジルコニウム、ベリリウム等から選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金、窒化チタン、窒化タンタルなどを用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。導電層の形成方法は特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種形成方法を用いることができる。

10

【0131】

また、第1のソース電極104aおよび第1のドレイン電極104bは、インジウム錫酸化物（以下、「ITO」ともいう。）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの酸素を含む導電性材料を適用することもできる。また、上記酸素を含む導電性材料と、上記金属元素を含む材料の積層構造とすることもできる。

20

【0132】

第1のソース電極104aおよび第1のドレイン電極104bは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の層、または複数組み合わせ合わせた合金層、もしくは窒化物層を用いてもよい。

30

【0133】

半導体層103としてシリコンやゲルマニウムなどの半導体材料を用いる場合、第1のソース電極104aおよび第1のドレイン電極104bと半導体層103の間にn型半導体層またはp型半導体層を形成することが好ましい。または、半導体層103のソース電極およびドレイン電極と重畳する領域に既知の方法により不純物元素を導入し、n型不純物領域またはp型不純物領域を形成することが好ましい。半導体層と電極の間に不純物半導体層または不純物領域を形成することにより、半導体層と電極の良好なオーム接触を実現することができる。

40

【0134】

半導体層103として酸化物半導体材料を用いる場合、第1のソース電極104aおよび第1のドレイン電極104bの、少なくとも半導体層103と接する部分に、半導体層103の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層103中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域はn型化し、n型領域（ n^+ 層）となる。したがって、当該領域はソース領域106aおよびドレイン領域106bとして作用させることができる。半導体層103から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。半導体層103として酸化物半導体材料を用いると、前述した不純物層や不純物領域を形成することなく、半導体層と電極の良好なオーム接触を実現することがで

50

きる。よって、半導体装置の生産性を向上することができる。

【0135】

また、半導体層103にソース領域106aおよびドレイン領域106bが形成されることにより、第1のソース電極104a及び第1のドレイン電極104bと半導体層103の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧のばらつきなどの、トランジスタの電気特性を良好なものとすることができる。

【0136】

なお、第1のソース電極104aおよび第1のドレイン電極104bの厚さは、好ましくは10nm以上500nm以下、さらに好ましくは50nm以上300nm以下である。

【0137】

また、第2のソース電極105aおよび第2のドレイン電極105bの厚さtは、トランジスタのチャネル長Lの2倍以下とすることが好ましい。しかしながら、第2のソース電極105aおよび第2のドレイン電極105bの厚さをトランジスタのチャネル長Lの2倍以下とすると、これらの抵抗値が大きくなる蓋然性が高まる。

【0138】

よって、第2のソース電極105aおよび第2のドレイン電極105bに積層する第1のソース電極104aおよび第1のドレイン電極104bの厚さを、第2のソース電極105aおよび第2のドレイン電極105b以上の厚さとすることが好ましい。

【0139】

または、第1のソース電極104aおよび第1のドレイン電極104bのシート抵抗値を、第2のソース電極105aおよび第2のドレイン電極105bのシート抵抗値以下とすることが好ましい。

【0140】

または、第1のソース電極104aおよび第1のドレイン電極104bの抵抗率を、第2のソース電極105aおよび第2のドレイン電極105bの抵抗率以下とすることが好ましい。

【0141】

〔1-1-5. 第2のソース電極および第2のドレイン電極〕

第1のソース電極104aに重畳して形成される第2のソース電極105a、および第1のドレイン電極104bに重畳して形成される第2のドレイン電極105bは、第1のソース電極104aおよび第1のドレイン電極104bと同様の材料を用いて形成することができる。

【0142】

また、第2のソース電極105aの一部は、第1のソース電極104aの端部を越えて半導体層103に接して延伸している。また、第2のドレイン電極105bの一部は、第1のドレイン電極104bの端部を越えて半導体層103に接して延伸している。

【0143】

また、第2のソース電極105aおよび第2のドレイン電極105bを形成するための導電層の厚さtは、好ましくはチャネル長Lの2倍以下、より好ましくはチャネル長Lの1倍以下である。チャネル長Lを基準として、第2のソース電極105aおよび第2のドレイン電極105bを形成するための導電層の厚さを決定することで、第2のソース電極105aおよび第2のドレイン電極105bの形状ばらつきを小さくすることができる。また、第2のソース電極105aおよび第2のドレイン電極105bを加工精度よく作製することが可能になるため、チャネル長Lのばらつきを低減することができる。したがって、トランジスタの電気特性のばらつきが低減され、特性ばらつきの小さい半導体装置を提供することができる。

【0144】

ただし、第2のソース電極105aおよび第2のドレイン電極105bの厚さが薄くなりすぎると、第2のソース電極105aおよび第2のドレイン電極105bの抵抗値が大きくなり、トランジスタのオン電流や、電界効果移動度が低下してしまう。よって、第2の

10

20

30

40

50

ソース電極 105a および第 2 のドレイン電極 105b の厚さは 5 nm 以上とすることが好ましい。

【0145】

具体的には、トランジスタのチャネル長 L を 50 nm とする場合には、第 2 のソース電極 105a および第 2 のドレイン電極 105b の厚さ t を 5 nm 以上 100 nm 以下とすることが好ましい。また、トランジスタのチャネル長 L を 30 nm とする場合には、第 2 のソース電極 105a および第 2 のドレイン電極 105b の厚さを 5 nm 以上 60 nm 以下とすることが好ましい。

【0146】

〔1-1-6. 分離層〕

分離層 107 は、第 2 のソース電極 105a および第 2 のドレイン電極 105b を形成するための導電層の一部に酸素を導入して形成することができる。酸素の導入により絶縁性を高めることができる。よって、本実施の形態に示す分離層 107 の側面は、第 2 のソース電極 105a および第 2 のドレイン電極 105b の側面に接して形成されている。なお、絶縁性を高める元素であれば、酸素以外の元素を導入して分離層 107 を形成してもよい。

【0147】

分離層 107 を設けることにより、第 2 のソース電極 105a および第 2 のドレイン電極 105b の段差を低減し、第 2 のソース電極 105a および第 2 のドレイン電極 105b の上層に形成する層の被覆性を向上することができる。また、第 2 のソース電極 105a および第 2 のドレイン電極 105b の間に分離層 107 を設けることにより、第 2 のソース電極 105a および第 2 のドレイン電極 105b の意図しない電氣的な短絡（ショート）を防ぐことができる。よって、電気特性が良好な半導体装置を作製することができる。また、信頼性が良好な半導体装置を作製することができる。

【0148】

〔1-1-7. ゲート絶縁層〕

ゲート絶縁層 108 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルのうち、一種以上含む材料を、単層でまたは積層して形成する。ゲート絶縁層 108 の厚さは、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とする。ゲート絶縁層 108 は、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて形成することができる。

【0149】

ゲート絶縁層 108 は、例えば、1 層目を窒化シリコン層とし、2 層目を酸化シリコン層とした多層膜としてもよい。この場合、酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。酸化シリコン層は、欠陥密度の小さい酸化シリコン層を用いると好ましい。具体的には、電子スピン共鳴（ESR: Electron Spin Resonance）にて g 値が 2.001 の信号に由来するスピンのスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化シリコン層を用いる。また、酸化シリコン層は、過剰酸素を含む酸化シリコン層を用いると好ましい。窒化シリコン層は水素およびアンモニアの放出量が少ない窒化シリコン層を用いる。水素、アンモニアの放出量は、TDS 分析にて測定すればよい。

【0150】

なお、ゲート絶縁層 108 を薄くすると、トンネル効果などに起因するゲートリークが問題となる場合がある。ゲートリークの問題を解消するには、ゲート絶縁層 108 に、high- k 材料を用いると良い。high- k 材料をゲート絶縁層 108 に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high- k 材料を含む層と、酸化シリコン、窒化シリコン、酸化窒化シリ

10

20

30

40

50

コン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む層との積層構造としてもよい。

【0151】

〔1-1-8. ゲート電極〕

ゲート電極109を形成するための導電性材料としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、マンガン、マグネシウム、ジルコニウム、ベリリウム等から選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。導電層の形成方法は特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種形成方法を用いることができる。

10

【0152】

また、ゲート電極109は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの酸素を含む導電性材料を適用することもできる。また、上記酸素を含む導電性材料と、上記金属元素を含む材料の積層構造とすることもできる。

【0153】

ゲート電極109は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の層、または複数組み合わせた合金層、もしくは窒化物層を用いてもよい。

20

【0154】

また、ゲート電極109とゲート絶縁層108との間に、In-Ga-Zn系酸窒化物半導体層、In-Sn系酸窒化物半導体層、In-Ga系酸窒化物半導体層、In-Zn系酸窒化物半導体層、Sn系酸窒化物半導体層、In系酸窒化物半導体層、金属窒化物（InN、ZnN等）層等を設けてもよい。これらは5eV以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値を有するため、チャネルが形成される半導体層に酸化物半導体を用いたトランジスタのしきい値電圧を正の電圧の方向に変動させることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、ゲート電極109とゲート絶縁層108との間に、In-Ga-Zn系酸窒化物半導体層を設ける場合、少なくとも半導体層103より高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn系酸窒化物半導体層を設ける。

30

【0155】

なお、ゲート電極109の厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

40

【0156】

〔1-1-9. 保護絶縁層〕

絶縁層110は、保護絶縁層として機能し、外部からの不純物元素の拡散を防止または低減することができる。絶縁層110は、絶縁層102と同様の材料及び方法で形成することができる。絶縁層110は、例えば、1層目を酸化シリコン層とし、2層目を窒化シリコン層とした多層膜としてもよい。酸化シリコン層は、過剰酸素を含む酸化シリコン層としてもよい。

【0157】

絶縁層102、ゲート絶縁層108、及び絶縁層110の少なくともいずれかが過剰酸素

50

を含む絶縁層を含む場合、過剰酸素によって半導体層 103 の酸素欠損を低減することができる。

【0158】

なお、絶縁層 110 の厚さは、10 nm 以上 300 nm 以下、好ましくは 30 nm 以上 200 nm 以下とすればよい。

〔1-1-10. チャネル形成領域〕

ゲート電極 109 に電圧が印加されると、該電圧に応じた強さの電界が、ゲート絶縁層 108 を介して半導体層 103 に印加され、半導体層 103 中にチャネルが形成される。半導体層 103 中にチャネルが形成される時のゲート電極 109 の電圧を、「しきい値電圧」という。

10

【0159】

トランジスタ 100 が n チャネル型のトランジスタの場合、第 1 のソース電極 104 a (第 2 のソース電極 105 a) の電位を 0 V とした時に、ゲート電極 109 にしきい値電圧以上の電圧が印加されると、半導体層 103 中にチャネルが形成される。半導体層 103 中に形成されたチャネルを介して、第 2 のソース電極 105 a と第 2 のドレイン電極 105 b が電氣的に接続される。一般に、半導体層 103 中のチャネルが形成される領域を、「チャネル形成領域」という。

【0160】

なお、ゲート電極 109 と重畳し、かつ、半導体層 103 に接する第 2 のソース電極 105 a の端部と、半導体層 103 に接する第 2 のドレイン電極 105 b の端部までの距離をチャネル長 L という (図 1 (D) 参照。)

20

【0161】

<1-2. 半導体装置の作製方法例>

半導体装置の作製方法の一例として、図 2 および図 3 に示す断面図を用いてトランジスタ 100 の作製方法の一例を説明する。

【0162】

〔1-2-1. 下地層の形成〕

基板 101 上に下地層として機能する絶縁層 102 を形成する (図 2 (A) 参照。)。例えば、基板 101 としてガラス基板を用いる。次に、絶縁層 102 を、窒化シリコン層と、第 1 の酸化シリコン層と、第 2 の酸化シリコン層の積層構造とする場合について例示する。

30

【0163】

まず、基板 101 上に窒化シリコン層を形成する。窒化シリコン層は、CVD 法的一种であるプラズマ CVD 法によって形成することが好ましい。具体的には、基板温度を 180 °C 以上 400 °C 以下、好ましくは 200 °C 以上 370 °C 以下とし、シリコンを含む堆積性ガス、窒素ガスおよびアンモニアガスを用いて圧力 20 Pa 以上 250 Pa 以下、好ましくは 40 Pa 以上 200 Pa 以下として、高周波電力を供給することで成膜すればよい。

【0164】

なお、窒素ガスはアンモニアガスの流量の 5 倍以上 50 倍以下、好ましくは 10 倍以上 50 倍以下とする。なお、アンモニアガスを用いることで、シリコンを含む堆積性ガスおよび窒素ガスの分解を促すことができる、これは、アンモニアガスがプラズマエネルギーおよび熱エネルギーによって解離し、解離することで生じるエネルギーが、シリコンを含む堆積性ガスの結合、および窒素ガスの結合の分解に寄与するためである。

40

【0165】

従って、上述の方法によって、水素ガスおよびアンモニアガスの放出量が少ない窒化シリコン層を成膜することができる。また、水素の含有量が少ないため、緻密となり、水素、水および酸素を透過しない、またはほとんど透過しない窒化シリコン層を形成することができる。

【0166】

次に、第 1 の酸化シリコン層を形成する。第 1 の酸化シリコン層は、プラズマ CVD 法に

50

よって形成することが好ましい。具体的には、基板温度を 160°C 以上 350°C 以下、好ましくは 180°C 以上 260°C 以下とし、シリコンを含む堆積性ガスおよび酸化性ガスを用いて圧力 100Pa 以上 250Pa 以下、好ましくは 100Pa 以上 200Pa 以下として、電極に $0.17\text{W}/\text{cm}^2$ 以上 $0.5\text{W}/\text{cm}^2$ 以下、好ましくは $0.25\text{W}/\text{cm}^2$ 以上 $0.35\text{W}/\text{cm}^2$ 以下の高周波電力を供給することで成膜する。

【0167】

上述の方法によれば、プラズマ中でのガスの分解効率が高まり、酸素ラジカルが増加し、ガスの酸化が進むため、過剰酸素を含む第1の酸化シリコン層を成膜することができる。

【0168】

続いて、第2の酸化シリコン層を形成する。第2の酸化シリコン層は、プラズマCVD法によって形成することが好ましい。具体的には、基板温度を 180°C 以上 400°C 以下、好ましくは 200°C 以上 370°C 以下とし、シリコンを含む堆積性ガスおよび酸化性ガスを用いて圧力 20Pa 以上 250Pa 以下、好ましくは 40Pa 以上 200Pa 以下として、電極に高周波電力を供給することで形成する。なお、シリコンを含む堆積性ガスの代表例としては、シラン、ジシラン、トリシラン、フッ化シラン、などがある。酸化性ガスとしては、酸素、オゾン、亜酸化窒素、二酸化窒素などがある。

【0169】

なお、シリコンを含む堆積性ガスに対する酸化性ガスの流量を100倍以上とすることで、第2の酸化シリコン層中の水素含有量を低減し、かつダングリングボンドを低減することができる。

【0170】

以上のようにして、第1の酸化シリコン層よりも欠陥密度の小さい第2の酸化シリコン層を成膜する。即ち、第2の酸化シリコン層は、ESRにてg値が 2.001 の信号に由来するスピンの密度が $3 \times 10^{17} \text{ spins}/\text{cm}^3$ 以下、または $5 \times 10^{16} \text{ spins}/\text{cm}^3$ 以下とすることができる。

【0171】

また、窒化シリコン層形成後に、窒化シリコン層に酸素を添加する処理を行ってもよい。また、第1の酸化シリコン層後に、第1の酸化シリコン層に酸素を添加する処理を行ってもよい。また、第2の酸化シリコン層後に、第2の酸化シリコン層に酸素を添加する処理を行ってもよい。酸素を添加する処理は、酸素雰囲気下による熱処理や、イオン注入装置、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。また、イオンドーピング装置として、質量分離機能を有するイオンドーピング装置を用いてもよい。酸素を添加するためのガスとしては、 $^{16}\text{O}_2$ もしくは $^{18}\text{O}_2$ などの酸素ガス、亜酸化窒素ガスまたはオゾンガスなどを用いることができる。

【0172】

〔1-2-2. 半導体層の形成〕

本実施の形態では、半導体層103を、酸化物半導体を用いて形成する場合について説明する。

【0173】

まず、絶縁層102上にスパッタリング法により半導体層103を形成するための酸化物半導体膜を形成する。酸化物半導体膜は、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ のターゲットを用いて、 In-Ga-Zn 酸化物膜を 15nm の厚さで形成する。酸化物半導体膜の形成は、基板温度を 100°C 以上 500°C 以下、好ましくは 170°C 以上 350°C 以下として、加熱しながら行ってもよい。

【0174】

また、半導体層103を形成するための酸化物半導体膜は、CAAC-OS膜を用いることが好ましい。CAAC-OS膜の形成方法として、四つの方法を例示する。

【0175】

第1の方法は、成膜温度を 100°C 以上 500°C 以下として酸化物半導体膜を形成することで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法

10

20

30

40

50

線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0176】

第2の方法は、酸化物半導体膜を薄く形成した後、200℃以上700℃以下の加熱処理を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0177】

第3の方法は、一層目の酸化物半導体膜を薄く形成した後、200℃以上700℃以下の加熱処理を行い、さらに二層目の酸化物半導体の形成を行うことで、酸化物半導体に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

10

【0178】

第4の方法は、高い配向性を有する多結晶酸化物半導体を含むターゲットを用いて、酸化物半導体に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0179】

また、CAAC-Os膜を形成するために、以下の条件を適用することが好ましい。

【0180】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、スパッタリングガス中の不純物濃度を低減すればよい。具体的には、露点が-40℃以下、好ましくは-60℃以下であるスパッタリングガスを用いる。

20

【0181】

また、成膜時の被成膜面の加熱温度（例えば基板加熱温度）を高めることで、被成膜面に到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、被成膜面の温度を100℃以上740℃以下、好ましくは150℃以上500℃以下として成膜する。

【0182】

また、スパッタリングガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。スパッタリングガス中の酸素割合は、30体積%以上100体積%以下とする。

【0183】

スパッタリング用ターゲットの一例として、In-Ga-Zn系金属酸化物ターゲットについて以下に示す。

30

【0184】

InO_x粉末、GaO_y粉末及びZnO_z粉末を所定のmol数で混合し、加圧処理後、1000℃以上1500℃以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系金属酸化物ターゲットとする。なお、当該加圧処理は、冷却（又は放冷）しながら行ってもよいし、加熱しながら行ってもよい。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末及びZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、5:5:6、4:2:3又は3:1:2である。なお、粉末の種類、及びその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

40

【0185】

また、スパッタリング法により成膜される酸化物半導体膜中には、水素又は水、水酸基を含む化合物などが含まれていることがある。水素や水などは、ドナー準位を形成しやすいため、酸化物半導体膜にとっては不純物である。したがって、スパッタリング法を用いて、酸化物半導体膜を成膜する際、できる限り酸化物半導体膜に含まれる水素濃度を低減させることが好ましい。

【0186】

酸化物半導体膜の成膜時に、スパッタリング装置の処理室のリークレートを 1×10^{-10} Pa・m³/秒以下とすることで、スパッタリング法による成膜途中における酸化物半

50

導体膜中へ、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として吸着型の真空ポンプ（例えば、クライオポンプなど）を用いることで、排気系からアルカリ金属、水素原子、水素分子、水、水酸基を含む化合物、または水素化物等の不純物の逆流を低減することができる。

【0187】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜中の、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。また、ターゲットに含まれるシリコンの濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とすることが好ましい。

10

【0188】

酸化物半導体膜中の水分又は水素などの不純物をさらに低減（脱水化または脱水素化）し、酸化物半導体膜を高純度化するために、酸化物半導体膜に対して、加熱処理を行ってもよい。例えば、減圧雰囲気下、窒素や希ガスなどの不活性雰囲気下、酸化性雰囲気下、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で -55°C ）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下で、半導体層103に加熱処理を施してもよい。なお、酸化性雰囲気とは、酸素、オゾンまたは窒化酸素などの酸化性ガスを10ppm以上含有する雰囲気をいう。また、不活性雰囲気とは、前述の酸化性ガスが10ppm未満であり、その他、窒素または希ガスで充填された雰囲気をいう。

20

【0189】

加熱処理を行う場合は、 250°C 以上 650°C 以下、好ましくは 300°C 以上 500°C 以下で行えばよい。処理時間は3分乃至24時間とする。24時間を超える加熱処理は生産性の低下を招くため好ましくない。

【0190】

加熱処理に用いる加熱装置に特別な限定はなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、電気炉や、LRTA（Lamp Rapid Thermal Anneal）装置、GRTA（Gas Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

30

【0191】

加熱処理を行うことによって、酸化物半導体膜から水素（水、水酸基を含む化合物）などの不純物を放出させることができる。これにより、酸化物半導体膜中の不純物を低減し、酸化物半導体膜を高純度化することができる。また、特に、酸化物半導体膜から不安定なキャリア源である水素を脱離させることができるため、トランジスタのしきい値電圧がマイナス方向へ変動することを抑制させることができる。さらに、トランジスタの信頼性を向上させることができる。

40

【0192】

また、酸化性ガスを含む雰囲気で加熱処理を行うことにより、不純物の放出と同時に酸化物半導体膜の酸素欠損を低減することができる。不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で加熱処理を行ってもよい。

【0193】

スパッタリング法により酸化物半導体膜を形成した後、酸化物半導体膜上にレジストマスクを形成し、該レジストマスクを用いて、酸化物半導体膜を所望の形状にエッチングし、島状の半導体層103を形成する（図2（A）参照）。レジストマスクの形成は、フォト

50

リソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトリソグラフィ法を使用しないため、製造コストを低減できる。

【0194】

酸化物半導体膜のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。ウェットエッチング法により、酸化物半導体膜のエッチングを行う場合は、エッチング液として、リン酸と酢酸と硝酸を混ぜた溶液や、シュウ酸を含む溶液や、リン酸を含む溶液などを用いることができる。また、ITO-07N（関東化学社製）を用いてもよい。

【0195】

また、ドライエッチング法で酸化物半導体膜のエッチングを行う場合のエッチングガスとして、塩素 (Cl_2)、三塩化硼素 (BCl_3)、四塩化珪素 (SiCl_4) もしくは四塩化炭素 (CCl_4) など代表とする塩素系ガスを用いることができる。また、ドライエッチング法で酸化物半導体膜のエッチングを行う場合のプラズマ源として、容量結合型プラズマ (CCP: Capacitively Coupled Plasma)、誘導結合プラズマ (ICP: Inductively Coupled Plasma)、電子サイクロトロン共鳴 (ECR: Electron Cyclotron Resonance) プラズマ、ヘリコン波励起プラズマ (HWP: Helicon Wave Plasma)、マイクロ波励起表面波プラズマ (SWP: Surface Wave Plasma) などを用いることができる。特に、ICP、ECR、HWP、及びSWPは、高密度のプラズマを生成することができる。ドライエッチング法で行うエッチング（以下、「ドライエッチング処理」ともいう）は、所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節して行う。

【0196】

本実施の形態では、酸化物半導体膜のエッチングを、エッチングガスとして塩素 (Cl_2) と三塩化硼素 (BCl_3) を用いた、ドライエッチング処理により行う。なお、エッチング条件によっては、島状に加工した半導体層103と重畳していない領域の絶縁層102がエッチングされる場合がある。

【0197】

なお、島状の半導体層103の端部にテーパ形状を付与することで、その上に被覆する層の被覆性を向上させることができる。具体的には、端部のテーパ角 θ を、 80° 以下、好ましくは 60° 以下、さらに好ましくは 45° 以下とする。なお、「テーパ角」とは、テーパ形状を有する層を、その断面（基板の表面と直交する面）方向から観察した際に、当該層の側面と底面がなす当該層内の角度を示す。また、テーパ角が 90° 未満である場合を順テーパといい、テーパ角が 90° 以上である場合を逆テーパという。

【0198】

エッチング処理終了後に、レジストマスクを除去する。このようにして、半導体層103を形成することができる（図2（A）参照。）。なお、前述した加熱処理を行う場合は、半導体層103を形成した後に行ってもよい。

【0199】

〔1-2-3. 第1のソース電極および第1のドレイン電極の形成〕

続いて、第1のソース電極104aおよび第1のドレイン電極104b（これと同じ層で形成される他の電極または配線を含む）を形成するため、半導体層103および絶縁層102上に導電層を形成する。本実施の形態では、該導電層として厚さ30nmのタングステン膜をスパッタリング法により形成する。

【0200】

次に、導電層上にレジストマスクを形成する。レジストマスクの形成は、フォトリソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクを

10

20

30

40

50

インクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。ここでは、導電層としてスパッタリング法により、タングステンを形成する。

【0201】

次に、レジストマスクを用いて、導電層の一部を選択的にエッチングし、第1のソース電極104aおよび第1のドレイン電極104b（これと同じ層で形成される他の電極または配線を含む）を形成する。導電層のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。その後、レジストマスクを除去する（図2（B）参照。）。

【0202】

第1のソース電極104aおよび第1のドレイン電極104b（これと同じ層で形成される他の電極または配線を含む）は、その端部をテーパ形状とすることが好ましい。具体的には、端部のテーパ角 θ を、 80° 以下、好ましくは 60° 以下、さらに好ましくは 45° 以下とする。

【0203】

また、第1のソース電極104aおよび第1のドレイン電極104b（これと同じ層で形成される他の電極または配線を含む）の端部の断面形状を複数段の階段形状とすることで、その上に被覆する層の被覆性を向上させることもできる。なお、第1のソース電極104aおよび第1のドレイン電極104bに限らず、各層の端部の断面形状を順テーパ形状または階段形状とすることで、該端部を覆って形成する層が、該端部で途切れてしまう現象（段切れ）を防ぎ、被覆性を良好なものとすることができる。

【0204】

〔1-2-4. 第2のソース電極、第2のドレイン電極、および分離層の形成〕

続いて、半導体層103、絶縁層102、第1のソース電極104aおよび第1のドレイン電極104b上に、第2のソース電極105aおよび第2のドレイン電極105bを形成するための導電層115を形成する（図2（C）参照。）。本実施の形態では、導電層115として、スパッタリング法を用いて厚さ10nmのタングステンを形成する。次に、導電層115上にレジストマスク141を形成する（図2（D）参照。）。

【0205】

なお、チャネル長Lが極めて短いトランジスタを形成する場合は、電子ビーム露光、EUV（Extreme Ultraviolet）露光、液浸露光などの細線加工に適した方法を用いてレジストマスク141を形成し、エッチング処理を行うことによって、第2のソース電極105aおよび第2のドレイン電極105bを形成すればよい。なお、レジストマスク141としては、ポジ型レジストを用いれば、露光領域を最小限にすることができ、スループットを向上させることができる。このような方法を用いれば、チャネル長を30nm以下とするトランジスタを作製することができる。

【0206】

また、前述した通り、第2のソース電極105aおよび第2のドレイン電極105bを形成するための導電層の厚さtは、好ましくはチャネル長Lの2倍以下、より好ましくはチャネル長Lの1倍以下である。チャネル長Lを基準として、第2のソース電極105aおよび第2のドレイン電極105bを形成するための導電層の厚さtを決定することで、加工精度をより向上することが可能になるため、チャネル長Lのばらつきを低減することができる。チャネル長Lのばらつきが低減することにより、電気特性のばらつきが少ないトランジスタを実現することができる。

【0207】

次に、導電層115のレジストマスク141に覆われていない領域に酸素イオン144を導入する（図3（A）参照。）。酸素イオン144の導入は、イオン注入法、イオンドーピング法、などを用いて行うことができる。本実施の形態では、イオン注入法を用いて酸素イオン144を導入する。導電層115の酸素が導入された領域は酸化され、絶縁性が高くなる。

【0208】

導電層 115 の酸素イオン 144 が導入された領域が、分離層 107 となる。また、レジストマスク 141 により、導電層 115 の酸素が導入されなかった領域が、第 2 のソース電極 105 a および第 2 のドレイン電極 105 b となる。よって、分離層 107 の側面は、第 2 のソース電極 105 a および第 2 のドレイン電極 105 b の側面に接して形成される。また、分離層 107 は、第 2 のソース電極 105 a および第 2 のドレイン電極 105 b を構成する金属元素を含む。

【0209】

なお、上記方法によれば、分離層 107 となる導電層 115 の酸素イオン 144 が導入された領域は、酸素イオン 144 導入時のスパッタリング効果などにより若干薄くなる場合がある。ただし、酸素イオン 144 の導入条件を調整することで、第 2 のソース電極 105 a および第 2 のドレイン電極 105 b の上面と、分離層 107 の上面を概略一致させることができる。

10

【0210】

すなわち、分離層 107 と接する第 2 のソース電極 105 a の側面近傍において、分離層 107 と第 2 のソース電極 105 a の上面を概略一致させることができる。また、分離層 107 と接する第 2 のドレイン電極 105 b の側面近傍において、分離層 107 と第 2 のドレイン電極 105 b の上面を概略一致させることができる。

【0211】

よって、分離層 107 を形成することにより、第 2 のソース電極 105 a および第 2 のドレイン電極 105 b の段差を低減し、第 2 のソース電極 105 a および第 2 のドレイン電極 105 b の上層に形成する層の被覆性を向上することができる。

20

【0212】

その後、レジストマスク 141 を除去する（図 3（B）参照。）。このようにして、第 2 のソース電極 105 a、第 2 のドレイン電極 105 b、および分離層 107 を形成することができる。

【0213】

上記工程によれば、第 2 のソース電極 105 a、第 2 のドレイン電極 105 b、および分離層 107 を形成するためのエッチング工程を省略することができるため、半導体装置の歩留まりを改善し、半導体装置の生産性を向上することができる。

【0214】

30

〔1-2-6. ゲート絶縁層の形成〕

続いて、第 2 のソース電極 105 a、第 2 のドレイン電極 105 b、および分離層 107 上にゲート絶縁層 108 を形成する。本実施の形態では、ゲート絶縁層 108 として、プラズマ CVD 法により厚さ 20 nm の酸化窒化シリコン膜を形成する（図 3（C）参照。）。

【0215】

〔1-2-7. ゲート電極の形成〕

続いて、ゲート絶縁層 108 上にゲート電極 109（これと同じ層で形成される他の電極または配線を含む）を形成するための導電層を形成する。本実施の形態では、該導電層を窒化タンタルとタングステンの積層とする。具体的には、ゲート絶縁層 108 上に、スパッタリング法により厚さ 10 nm の窒化タンタル膜を形成し、窒化タンタル膜上に厚さ 10 nm のタングステンを形成する。

40

【0216】

次に、レジストマスクを用いて、導電層の一部を選択的にエッチングし、ゲート電極 109（これと同じ層で形成される他の電極または配線を含む）を形成する。導電層のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。導電層のエッチング終了後、レジストマスクを除去する（図 3（C）参照。）。

【0217】

〔1-2-8. 保護絶縁層の形成〕

続いて、ゲート電極 109、第 1 のソース電極 104 a、第 1 のドレイン電極 104 b、

50

第2のソース電極105a、第2のドレイン電極105b、分離層107、および半導体層103を覆う保護絶縁層として機能する絶縁層110を形成する。ここでは、絶縁層110として、酸化窒化シリコンと、窒化シリコンの積層を形成する。具体的には、プラズマCVD法により厚さ20nmの酸化窒化シリコン膜を形成し、該酸化窒化シリコン上に厚さ50nmの窒化シリコン膜を形成する。

【0218】

また、酸化窒化シリコンの形成後、酸素を添加する処理を行ってもよい。また、窒化シリコンの形成後、酸素を添加する処理を行ってもよい。酸素を添加する処理は、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。

【0219】

次に、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下で行えばよい。加熱処理の雰囲気は、不活性ガス雰囲気や、酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気、または減圧状態で行う。また、不活性ガス雰囲気中で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で加熱処理を行ってもよい。加熱処理により、絶縁層102、ゲート絶縁層108、絶縁層110の少なくともいずれかから過剰酸素が放出され、半導体層103を構成する酸化物半導体の酸素欠損を低減することができる。

【0220】

以上のようにして、トランジスタ100を作製することができる。

【0221】

本明細書等で開示する金属膜、半導体膜、絶縁膜など様々な膜は、スパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD (Chemical Vapor Deposition) 法により形成してもよい。熱CVD法の例としてMOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法を使っても良い。

【0222】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0223】

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0224】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0225】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）を用いることもできる。

【0226】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム（TDMAH））を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

【0227】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（TMA）など）を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $\text{Al}(\text{CH}_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート）などがある。

【0228】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

【0229】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【0230】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを同時に導入してGa-O層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを同時に導入してZn-O層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えてAr等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いても良い。

【0231】

<1-3. 半導体装置の作製方法例>

半導体装置の作製方法の他の一例として、図4を用いて、前述した方法とは異なる分離層107の作製方法について説明する。

【0232】

一つの方法は、導電層115を形成した後、収束させた酸素イオンビーム143を走査さ

10

20

30

40

50

せて、導電層 115 の分離層 107 となる領域全体に酸素イオンビーム 143 を照射し、分離層 107 を形成する方法である（図 4（A）参照）。酸素イオンビーム 143 が照射された部分の導電層 115 は酸化され、分離層 107 となる。また、酸素イオンビーム 143 を用いて分離層 107 を形成する領域を直接描画することで、分離層 107 の形成と同時に、第 2 のソース電極 105 a および第 2 のドレイン電極 105 b を形成することができる。

【0233】

もう一つの方法は、導電層 115 を形成した後、酸素を含む減圧雰囲気中で収束した電子ビーム 146 を走査させて、導電層 115 の分離層 107 となる領域全体に電子ビーム 146 を照射し、分離層 107 を形成する方法である（図 4（A）参照）。電子ビーム 146 が照射された部分の導電層 115 は加熱され、雰囲気中の酸素と反応して酸化され、分離層 107 となる。また、電子ビーム 146 を用いて分離層 107 を形成する領域を直接描画することで、分離層 107 の形成と同時に、第 2 のソース電極 105 a および第 2 のドレイン電極 105 b を形成することができる。なお、電子ビーム 146 に換えて、ネオンやアルゴンなどの、不活性ガスのイオンビームを用いてもよい。

【0234】

上記の作製方法によれば、第 2 のソース電極 105 a、第 2 のドレイン電極 105 b、および分離層 107 を形成するためのレジストマスクの形成工程、エッチング工程、およびレジストマスクの除去工程を省略することができるため、半導体装置の歩留まりを改善し、半導体装置の生産性を向上することができる。

【0235】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0236】

（実施の形態 2）

本実施の形態では、上記実施の形態に例示したトランジスタ 100 と異なる構成を有するトランジスタ 200 について例示する。

【0237】

< 2-1. 半導体装置の構成例 >

図 5 に、半導体装置の一形態であるトランジスタ 200 を示す。図 5（A）はトランジスタ 200 の上面図である。また、図 5（B）は、図 5（A）中の一点鎖線 A3-A4 で示す部位の断面図であり、図 5（C）は、図 5（A）中の一点鎖線 B3-B4 で示す部位の断面図である。

【0238】

トランジスタ 200 は、トップゲート型のトランジスタの一例である。トランジスタ 200 は、トランジスタ 100 とほぼ同様の構成を有しているが、断面構造において、ゲート絶縁層 108 の形状と、半導体層 103 に代わって積層体 123 を有する点異なる。

【0239】

〔2-1-1. ゲート絶縁層〕

トランジスタ 200 は、ゲート電極 109 と重畳していない領域のゲート絶縁層 108 が除去された構成を有している。このような構成とすることで、例えば、第 2 のソース電極 105 a または第 2 のドレイン電極 105 b と重畳する絶縁層の一部を除去して開口部を形成し、第 2 のソース電極 105 a または第 2 のドレイン電極 105 b の表面の一部を露出させる工程において、開口部の形成を容易とし、半導体装置の生産性を向上させることができる。

【0240】

〔2-1-2. 積層体〕

積層体 123 は、酸化物層 123 a と、酸化物層 123 a 上に形成された酸化物半導体層 123 b と、酸化物半導体層 123 b 上に形成された酸化物層 123 c を有する。また、酸化物層 123 a 及び酸化物層 123 c は、絶縁性を示す酸化物層であってもよいし、半

10

20

30

40

50

導体特性を示す酸化物（酸化物半導体）層であってもよい。

【0241】

酸化物半導体層123bは、実施の形態1で説明した酸化物半導体と同様の材料および方法で形成することができる。酸化物半導体層123bとして、真性または実質的に真性に見なせる半導体層とすることが好ましい。また、酸化物層123a、および酸化物層123cも実施の形態1で説明した酸化物半導体と同様の材料および方法で形成することができる。

【0242】

なお、積層体123において、酸化物層123a、酸化物半導体層123b、及び酸化物層123cに用いる材料によっては、酸化物層123aと酸化物半導体層123bの境界、または酸化物半導体層123bと酸化物層123cの境界を明確に確認できない場合がある。そこで、本発明の一形態を説明する図面では、酸化物層123aと酸化物半導体層123bの境界、及び酸化物半導体層123bと酸化物層123cの境界を破線で表している。

【0243】

酸化物層123a、酸化物半導体層123b、及び酸化物層123cは、InもしくはGaの一方、または両方を含む。代表的には、In-Ga酸化物（InとGaを含む酸化物）、In-Zn酸化物（InとZnを含む酸化物）、In-M-Zn酸化物（Inと、元素Mと、Znを含む酸化物。元素Mは、Al、Ti、Ga、Y、Zr、La、Ce、NdまたはHfから選ばれた1種類以上の元素。）がある。

【0244】

また、酸化物半導体層123bに接する酸化物層123a、及び酸化物層123cは、酸化物半導体層123bを構成する金属元素のうち、1種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いると、酸化物層123a及び酸化物層123cと、酸化物半導体層123bとの界面に界面準位を生じにくくすることができる。よって、界面におけるキャリアの散乱や捕獲が生じにくく、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧のばらつきを低減することが可能となる。

【0245】

酸化物層123a、酸化物半導体層123b、および酸化物層123cの形成を、途中で大気に曝すことなく、不活性ガス雰囲気、酸化性ガス雰囲気、または減圧下に維持し、連続して行うことにより、酸化物層123a及び酸化物層123cと、酸化物半導体層123bとの界面準位をさらに生じにくくすることができる。

【0246】

酸化物層123aの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物半導体層123bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。なお、酸化物層123cの厚さは、3nm以上50nm以下、好ましくは3nm以上20nm以下とする。

【0247】

なお、本実施の形態に示すトランジスタ200は、第1のソース電極104a、第1のドレイン電極104b、第2のソース電極105a、および第2のドレイン電極105bが酸化物層123cと接する構成を有する。よって、ソース領域106a、およびドレイン領域106bは、少なくとも酸化物層123cに形成される。また、第1のソース電極104a、第1のドレイン電極104b、第2のソース電極105a、および第2のドレイン電極105bと、酸化物半導体層123bの抵抗を小さくするため、酸化物層123cはなるべく薄く形成することが好ましい。

【0248】

よって、酸化物層123aは、酸化物層123cよりも厚い方が好ましい。換言すると、酸化物層123cは、酸化物層123aよりも薄い方が好ましい。

【0249】

また、酸化物半導体層123bがIn-M-Zn酸化物であり、酸化物層123aもIn-M-Zn酸化物であるとき、酸化物層123aを $\text{In}:\text{M}:\text{Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ [原子数比]、酸化物半導体層123bを $\text{In}:\text{M}:\text{Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ [原子数比] とすると、 y_1/x_1 が y_2/x_2 よりも大きくなる酸化物層123aおよび酸化物半導体層123bを選択する。なお、元素MはInよりも酸素との結合力が強い金属元素であり、例えばAl、Ti、Ga、Y、Zr、Sn、La、Ce、NdまたはHfなどが挙げられる。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなる酸化物層123aおよび酸化物半導体層123bを選択する。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなる酸化物層123aおよび酸化物半導体層123bを選択する。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなる酸化物層123aおよび酸化物半導体層123bを選択する。このとき、酸化物半導体層123bにおいて、 y_2 が x_2 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であると好ましい。酸化物層123aを上記構成とすることにより、酸化物層123aを、酸化物半導体層123bよりも酸素欠損が生じにくい層とすることができる。

10

【0250】

また、酸化物半導体層123bがIn-M-Zn酸化物であり、酸化物層123cもIn-M-Zn酸化物であるとき、酸化物半導体層123bを $\text{In}:\text{M}:\text{Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ [原子数比]、酸化物層123cを $\text{In}:\text{M}:\text{Zn}=\text{x}_3:\text{y}_3:\text{z}_3$ [原子数比] とすると、 y_3/x_3 が y_2/x_2 よりも大きくなる酸化物半導体層123bおよび酸化物層123cを選択する。なお、元素MはInよりも酸素との結合力が強い金属元素であり、例えばAl、Ti、Ga、Y、Zr、Sn、La、Ce、NdまたはHfなどが挙げられる。好ましくは、 y_3/x_3 が y_2/x_2 よりも1.5倍以上大きくなる酸化物半導体層123bおよび酸化物層123cを選択する。さらに好ましくは、 y_3/x_3 が y_2/x_2 よりも2倍以上大きくなる酸化物半導体層123bおよび酸化物層123cを選択する。より好ましくは、 y_3/x_3 が y_2/x_2 よりも3倍以上大きくなる酸化物半導体層123bおよび酸化物層123cを選択する。このとき、酸化物半導体層123bにおいて、 y_2 が x_2 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であると好ましい。酸化物層123cを上記構成とすることにより、酸化物層123cを、酸化物半導体層123bよりも酸素欠損が生じにくい層とすることができる。

20

30

【0251】

なお、酸化物層123aがIn-M-Zn酸化物であるとき、InとMの原子数比率は好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、酸化物半導体層123bがIn-M-Zn酸化物であるとき、InとMの原子数比率は好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。また、酸化物層123cがIn-M-Zn酸化物であるとき、InとMの原子数比率は好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。

40

【0252】

例えば、InまたはGaを含む酸化物層123aおよび酸化物層123cとして、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 、 $1:3:4$ 、 $1:6:4$ 、 $1:9:6$ 、または $1:9:0$ 、酸化物半導体層123bとして $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ または $3:1:2$ の原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物を用いることができる。なお、酸化物層123a、酸化物層123c、および酸化物半導体層123bの原子数比はそれぞ

50

れ、誤差として上記の原子数比のプラスマイナス 20 % の変動を含む。

【0253】

また、酸化物半導体層 123b において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。酸化物半導体層 123b 中の不純物を低減するためには、近接する酸化物層 123a 中および酸化物層 123c 中の不純物も酸化物半導体層 123b と同程度まで低減することが好ましい。

【0254】

ここで、積層体 123 に含まれる酸化物層 123a、酸化物半導体層 123b、及び酸化物層 123c の結晶性について説明する。

【0255】

積層体 123 において、酸化物層 123a、酸化物半導体層 123b、及び酸化物層 123c は、非晶質または結晶質のどちらを有していてもよい。ここで、結晶質とは、微結晶、多結晶、単結晶などをいう。また、結晶が含まれる場合は全て結晶質である。

【0256】

積層体 123 において、少なくとも酸化物半導体層 123b は結晶質であることが好ましい。特に、CAAC-Os であると好ましい。

【0257】

酸化物半導体層 123b を CAAC-Os とするためには、酸化物半導体層 123b が形成される表面が非晶質、または、CAAC-Os と同様の結晶質を有していると好ましい。酸化物半導体層 123b が形成される表面が結晶質であると、酸化物半導体層 123b の結晶性が乱れやすく、CAAC-Os が形成されにくい。また、酸化物半導体層 123b が形成される表面が CAAC-Os と同様の結晶質を有している場合は、酸化物半導体層 123b も CAAC-Os になりやすい。

【0258】

よって、酸化物半導体層 123b を CAAC-Os とするためには、下地である酸化物層 123a が非晶質であるか、CAAC-Os と同様の結晶質であると好ましい。

【0259】

また、酸化物半導体層 123b が CAAC-Os であるとき、酸化物半導体層 123b 上に形成される酸化物層 123c は、CAAC-Os と同様の結晶質となりやすい。ただし、酸化物層 123c は結晶質に限定されず、非晶質であっても構わない。

【0260】

積層体 123 を用いたトランジスタにおいて、酸化物半導体層 123b はチャネルが形成される層であるため、酸化物半導体層 123b が高い結晶性を有すると、トランジスタに安定した電気特性を付与できるため好ましい。

【0261】

〔2-1-3. 積層体の物性分析〕

ここで、積層体 123 の物性分析結果について説明しておく。

【0262】

〔2-1-3-1. 積層体中のシリコン濃度〕

まず、積層体 123 を構成する各層におけるシリコン濃度について、図 7 を用いて説明する。

【0263】

ここで、酸化物層 123a は、原子数比が $In : Ga : Zn = 1 : 3 : 2$ であるターゲットを用いて、スパッタリング法にて形成した酸化物層である。酸化物層 123a は、スパッタリングガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度を 200 °C とし、DC 電力を 0.5 kW 印加することで形成した。

【0264】

また、酸化物半導体層 123b は、原子数比が $In : Ga : Zn = 1 : 1 : 1$ であるターゲットを用いて、スパッタリング法にて形成した酸化物半導体層である。なお、スパッタ

10

20

30

40

50

リングガスとしてアルゴンガスを30 sccm、酸素ガスを15 sccm用い、圧力を0.4 Paとし、基板の温度を300℃とし、DC電力を0.5 kW印加することで形成した。

【0265】

また、酸化物層123cは、原子数比がIn:Ga:Zn=1:3:2であるターゲットを用いて、スパッタリング法にて形成した酸化物層である。なお、スパッタリングガスとしてアルゴンガスを30 sccm、酸素ガスを15 sccm用い、圧力を0.4 Paとし、基板の温度を200℃とし、DC電力を0.5 kW印加することで形成した。

【0266】

シリコンウェハ上に積層体123として厚さが10 nmの酸化物層123aと、酸化物層123a上に設けられた厚さが10 nmの酸化物半導体層123bと、酸化物半導体層123b上に設けられた厚さが10 nmの酸化物層123cを設け、加熱処理なしの試料と450℃にて2時間加熱処理を行った試料を準備し、飛行時間二次イオン質量分析(TOF-SIMS: Time-of-flight secondary ion mass spectrometer)によって、深さ方向のInを示す二次イオン強度、Gaを示す二次イオン強度、Znを示す二次イオン強度およびSi濃度[atoms/cm³]を示す。

【0267】

図7より、積層体123を構成する各層の組成は、形成時のターゲットの組成によって変化することがわかる。ただし、各層の組成について、図7から単純な比較を行うことはできない。

【0268】

図7より、シリコンウェハと酸化物層123aとの界面、および酸化物層123cの上面において、Si濃度が高くなることがわかった。また、酸化物半導体層123bのSi濃度がTOF-SIMSの検出下限である 1×10^{18} atoms/cm³程度であることがわかった。これは、酸化物層123aおよび酸化物層123cがあることにより、シリコンウェハや酸化物層123c上の表面汚染などに起因したシリコンが酸化物半導体層123bにまで影響することがなくなると考えられる。

【0269】

すなわち、酸化物半導体層123bを酸化物層123aと酸化物層123cで挟み、酸化物半導体層123bがシリコンを含む絶縁層と直接接しない構成とすることで、該絶縁層中のシリコンが酸化物半導体層123bへ混入することを防ぐことができる。

【0270】

また、図7に示すas-depo(加熱処理なしの試料)と加熱処理後の試料との比較により、加熱処理によってシリコンの拡散は起こりにくく、形成時の混合が主であることがわかる。

【0271】

[2-1-3-2. 局在準位のCPM測定]

次に、ガラス基板上に形成した積層体123の局在準位について、一定光電流測定法(CPM: Constant Photocurrent Method)によって評価した結果を説明する。チャネル形成領域中の局在準位を低減することで、トランジスタに安定した電気特性を付与することができる。

【0272】

なお、トランジスタが高い電界効果移動度を有し、かつ安定した電気特性を有するためには、CPM測定で得られる局在準位による吸収係数を、 1×10^{-3} cm⁻¹未満、好ましくは 3×10^{-4} cm⁻¹未満とすればよい。

【0273】

CPM測定を行った積層体123について以下に説明する。

【0274】

酸化物層123aは、原子数比がIn:Ga:Zn=1:3:2であるターゲットを用い

10

20

30

40

50

て、スパッタリング法にて形成した酸化物層である。なお、形成ガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度を 200 °C とし、DC 電力を 0.5 kW 印加することで形成した。

【0275】

また、酸化物半導体層 123b は、原子数比が In : Ga : Zn = 1 : 1 : 1 であるターゲットを用いて、スパッタリング法にて形成した酸化物半導体層である。なお、形成ガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度を 200 °C とし、DC 電力を 0.5 kW 印加することで形成した。

【0276】

また、酸化物層 123c は、原子数比が In : Ga : Zn = 1 : 3 : 2 であるターゲットを用いて、スパッタリング法にて形成した酸化物層である。なお、形成ガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度を 200 °C とし、DC 電力を 0.5 kW 印加することで形成した。

【0277】

ここで、CPM 測定の精度を高めるため、測定する積層体 123 にはある程度の厚さが必要となる。具体的には、酸化物層 123a の厚さを 30 nm、酸化物半導体層 123b の厚さを 100 nm、酸化物層 123c の厚さを 30 nm とした。

【0278】

CPM 測定では、積層体 123 に接して設けられた第 1 の電極および第 2 の電極間に電圧を印加した状態で光電流値が一定となるように端子間の試料面に照射する光量を調整し、照射光量から吸光係数を導出することを各波長にて行うものである。CPM 測定において、試料に欠陥があるとき、欠陥の存在する準位に応じたエネルギー（波長より換算）における吸光係数が増加する。この吸光係数の増加分に定数を掛けることにより、試料の欠陥密度を導出することができる。

【0279】

図 8 (A) に、分光光度計によって測定した吸収係数（点線）と、CPM によって測定した吸収係数（実線）とを積層体 123 の各層のエネルギーギャップ以上のエネルギー範囲において、フィッティングした結果を示す。なお、CPM によって測定した吸収係数より得られたアーバックエネルギーは 78.7 meV であった。図 8 (A) の破線丸で囲んだエネルギー範囲において CPM によって測定した吸収係数からバックグラウンド（細点線）を差し引き、当該エネルギー範囲における吸収係数の積分値を導出した（図 8 (B) 参照。）。その結果、本試料の局在準位による吸収係数は、 $2.02 \times 10^{-4} \text{ cm}^{-1}$ であることがわかった。

【0280】

ここで得られた局在準位は、不純物や欠陥に起因する準位と考えられる。従って、積層物は、不純物や欠陥に起因する準位が極めて少ないことがわかった。即ち、積層物を用いたトランジスタは高い電界効果移動度を有し、かつ安定した電気特性を有することがわかる。

【0281】

〔2-1-3-3. 積層体のエネルギーバンド構造〕

本実施の形態における積層体 123 の機能およびその効果について、図 9 に示すエネルギーバンド構造図を用いて説明する。図 9 は、図 5 (D) に示す一点鎖線 C1-C2 におけるエネルギーバンド構造を示している。よって、図 9 は、トランジスタ 200 のチャネル形成領域のエネルギーバンド構造を示している。

【0282】

図 9 中、Ec382、Ec383a、Ec383b、Ec383c、Ec386 は、それぞれ、絶縁層 102、酸化物層 123a、酸化物半導体層 123b、酸化物層 123c、分離層 107 の伝導帯下端のエネルギーを示している。

【0283】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真

10

20

30

40

50

空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（HORIBA JOBIN YVON社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS：Ultraviolet Photoelectron Spectroscopy）装置（PHI社 VersaProbe）を用いて測定できる。

【0284】

なお、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.4 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:3:6$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.3 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:6:2$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.9 eV 、電子親和力は約 4.3 eV である。また、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:6:8$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.4 eV である。また、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:6:10$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.2 eV 、電子親和力は約 4.7 eV である。また、原子数比が $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 2.8 eV 、電子親和力は約 5.0 eV である。

【0285】

絶縁層102と分離層107は絶縁物であるため、Ec382とEc386は、Ec383a、Ec383b、およびEc383cよりも真空準位に近い（電子親和力が小さい）。

【0286】

また、Ec383aは、Ec383bよりも真空準位に近い。具体的には、Ec383aは、Ec383bよりも 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、 1 eV 以下、 0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

【0287】

また、Ec383cは、Ec383bよりも真空準位に近い。具体的には、Ec383cは、Ec383bよりも 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、 1 eV 以下、 0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

【0288】

また、酸化物層123aと酸化物半導体層123bとの間、および、酸化物半導体層123bと酸化物層123cとの間において、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

【0289】

従って、当該エネルギーバンド構造を有する積層体123において、電子は酸化物半導体層123bを主として移動することになる。そのため、積層体123の外側にある絶縁層との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、積層体123を構成する層と層との界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、積層体123中の酸化物半導体層123bは高い電子移動度を有する。

【0290】

なお、図 9 に示すように、酸化物層 1 2 3 a と絶縁層 1 0 2 の界面、および酸化物層 1 2 3 c と分離層 1 0 7 の界面近傍には、不純物や欠陥に起因したトラップ準位 3 9 0 が形成され得るものの、酸化物層 1 2 3 a、および酸化物層 1 2 3 c があることにより、酸化物半導体層 1 2 3 b と当該トラップ準位とを遠ざけることができる。

【0291】

ただし、Ec 3 8 3 a または Ec 3 8 3 c と、Ec 3 8 3 b とのエネルギー差が小さい場合、酸化物半導体層 1 2 3 b の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0292】

従って、Ec 3 8 3 a、および Ec 3 8 3 c と、Ec 3 8 3 b とのエネルギー差を、それぞれ 0.1 eV 以上、好ましくは 0.15 eV 以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ましい。

【0293】

また、酸化物層 1 2 3 a、および酸化物層 1 2 3 c のバンドギャップは、酸化物半導体層 1 2 3 b のバンドギャップよりも広いほうが好ましい。

【0294】

< 2-2. 半導体装置の作製方法例 >

【0295】

[2-2-1. ゲート絶縁層の加工方法]

ゲート絶縁層 1 0 8 の選択的な除去は、ゲート電極 1 0 9 の形成後、ゲート電極 1 0 9 をマスクとして用いて行えばよい。ゲート電極 1 0 9 をマスクとして用いて、ドライエッチング法、またはウェットエッチング法により、ゲート絶縁層 1 0 8 の一部を選択的に除去することができる。

【0296】

なお、ゲート絶縁層 1 0 8 のエッチングは、ゲート電極 1 0 9 を形成するためのレジストマスクの除去前に、ゲート電極 1 0 9 を形成するための導電層のエッチング後に続けて行ってもよい。

【0297】

[2-2-2. 積層体の形成]

積層体 1 2 3 を構成する酸化物層 1 2 3 a、酸化物半導体層 1 2 3 b、および酸化物層 1 2 3 c をスパッタリング法で形成する場合、スパッタリングターゲットは、形成する酸化物層 1 2 3 a、酸化物半導体層 1 2 3 b、酸化物層 1 2 3 c の組成にあわせて、適宜選択すればよい。

【0298】

なお、積層体 1 2 3 の形成を、基板温度を 100℃ 以上 500℃ 以下、好ましくは 170℃ 以上 350℃ 以下に加熱しながら行ってもよい。

【0299】

本実施の形態では、スパッタリング法により酸化物層 1 2 3 a、酸化物半導体層 1 2 3 b、酸化物層 1 2 3 c となる第 1 の膜乃至第 3 の膜を形成する。まず、絶縁層 1 0 2 上に、酸化物層 1 2 3 a となる第 1 の膜として、原子数比が In : Ga : Zn = 1 : 3 : 2 のターゲットを用いて In-Ga-Zn 酸化物膜を 20 nm の厚さで形成する。次に、第 1 の膜上に、酸化物半導体層 1 2 3 b となる第 2 の膜として、原子数比が In : Ga : Zn = 1 : 1 : 1 のターゲットを用いて In-Ga-Zn 酸化物膜を 15 nm の厚さで形成する。次に、酸化物半導体層 1 2 3 b 上に、酸化物層 1 2 3 c となる第 3 の膜として、原子数比が In : Ga : Zn = 1 : 3 : 2 のターゲットを用いて In-Ga-Zn 酸化物膜を 5 nm の厚さで形成する。また、本実施の形態では、酸化物半導体層 1 2 3 b として、CAAC-OS を用いる。

【0300】

第1の膜乃至第3の膜を形成した後、第3の膜上にレジストマスクを形成し、該レジストマスクを用いて、第1の膜乃至第3の膜を所望の形状にエッチングし、島状の積層体123を形成する。レジストマスクの形成は、フォトリソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0301】

第1の膜乃至第3の膜のエッチングは、実施の形態1に示した酸化物半導体膜のエッチングと同様に行うことができる。なお、エッチング条件によっては、島状に加工した積層体123と重畳していない領域の、絶縁層102がエッチングされる場合がある。

【0302】

エッチング処理終了後にレジストマスクを除去する。レジストマスクの除去後、基板101温度を100℃以上500℃以下、好ましくは170℃以上350℃以下として、積層体123に加熱処理を行っても良い。

【0303】

(実施の形態3)

本実施の形態では、上記実施の形態に例示したトランジスタ100、トランジスタ200と異なる構成を有するトランジスタについて例示する。

【0304】

<3-1. 半導体装置の構成例・バックゲート電極を有するトランジスタ>

図6(A)に、トランジスタ250の積層構成を説明する断面図を示す。トランジスタ250は、トランジスタ200にバックゲート電極119を付加した構成を有する。具体的には、バックゲート電極119は、基板101上のチャンネル形成領域と重畳する位置に、絶縁層102を介して形成される。

【0305】

バックゲート電極119は、ゲート電極109とバックゲート電極119で積層体123のチャンネル形成領域を挟むように配置される。バックゲート電極119は導電層で形成され、ゲート電極109と同様に機能させることができる。また、バックゲート電極119の電位を変化させることで、トランジスタ250のしきい値電圧を変化させることができる。なお、バックゲート電極の電位は、ゲート電極109と同電位としてもよく、接地電位GNDや、任意の電位としてもよい。

【0306】

バックゲート電極119は、ゲート電極109、第1のソース電極104a、第1のドレイン電極104bなどと同様の材料及び方法により形成することができる。

【0307】

また、バックゲート電極119を、遮光性を有する導電性材料を用いて形成すると、バックゲート電極119側からチャンネル形成領域に向かって入射する光を遮ることができ、チャンネル形成領域への光照射によるキャリア生成を防ぐことができる。すなわち、トランジスタ250の電気特性を良好なものとし、光照射によるトランジスタの電気特性の劣化を防ぐことができる(「光劣化」ともいう。)。トランジスタにバックゲート電極を設けることにより、信頼性の高い半導体装置を作製することができる。また、バックゲート電極119を積層体123よりも大きく形成することで、より確実に光劣化を防ぐことができる。また、基板101とバックゲート電極119の間に絶縁層を形成してもよい。

【0308】

また、ゲート電極109とバックゲート電極119は導電層で形成されるため、トランジスタの外部で生じる電場が、チャンネルが形成される半導体層に作用しないようにする機能(特に静電気に対する静電遮蔽機能)も有する。すなわち、静電気などの外部の電場の影響によりトランジスタの電气的な特性が変動することを防止することができる。また、バックゲート電極を設けることで、BT試験前後におけるトランジスタのしきい値電圧の変化量を低減することができる。

【0309】

なお、バックゲート電極 119 上に絶縁層 102 を形成した後、絶縁層 102 の表面凹凸を軽減するため、絶縁層 102 の表面に平坦化処理を行ってもよい。平坦化処理としては、化学的機械研磨（CMP：Chemical Mechanical Polishing、以下 CMP 処理という）などの研磨処理の他に、エッチング処理などを適用することも可能である。また、CMP 処理とエッチング処理を組み合わせる平坦化処理を行ってもよい。

【0310】

また、トランジスタ 100 にもバックゲート電極 119 を設けることができる。トランジスタ 100 にバックゲート電極 119 を設ける構成については、上記トランジスタ 250 の説明中、トランジスタ 200 をトランジスタ 100 に読み換えて、また、積層体 123 を半導体層 103 に読み換えて説明することができる。

10

【0311】

<3-2. 半導体装置の構成例・ボトムゲート型トランジスタ>

図 6（B）に、トランジスタ 300 の積層構成を説明する断面図を示す。トランジスタ 300 は、ゲート電極が半導体層よりも下層に形成されるボトムゲート型のトランジスタの一例である。

【0312】

図 6（B）に示すトランジスタ 300 は、絶縁層 102 上に形成されている。また、絶縁層 102 は、基板 101 上に形成されている。また、トランジスタ 300 は、半導体層 103、第 1 のソース電極 104 a、第 1 のドレイン電極 104 b、第 2 のソース電極 105 a、第 2 のドレイン電極 105 b、分離層 107、ゲート絶縁層 108、およびゲート電極 109 を有する。また、図 6（B）では、トランジスタ 300 上に絶縁層 110 が形成されている。

20

【0313】

より具体的には、絶縁層 102 上にゲート電極 109 が形成され、ゲート電極 109 上にゲート絶縁層 108 が形成されている。また、ゲート絶縁層 108 上に、ゲート電極 109 の一部と重畳して、第 2 のソース電極 105 a および第 2 のドレイン電極 105 b が形成され、第 2 のソース電極 105 a 上に第 1 のソース電極 104 a が形成され、第 2 のドレイン電極 105 b 上に第 1 のドレイン電極 104 b が形成されている。

【0314】

また、第 2 のソース電極 105 a と第 2 のドレイン電極 105 b の間に分離層 107 が形成されている。また、第 2 のソース電極 105 a と第 2 のドレイン電極 105 b の間に形成された分離層 107 の側面は、第 2 のソース電極 105 a の側面と接し、第 2 のソース電極 105 a と第 2 のドレイン電極 105 b の間に形成された分離層 107 の他の側面は、第 2 のドレイン電極 105 b の側面に接している。

30

【0315】

半導体層 103 は、第 1 のソース電極 104 a、第 1 のドレイン電極 104 b、第 2 のソース電極 105 a、第 2 のドレイン電極 105 b、ゲート絶縁層 108、および分離層 107 上に形成されている。なお、半導体層 103 に換えて、積層体 123 を用いることもできる。

40

【0316】

また、第 2 のソース電極 105 a の一部は、第 1 のソース電極 104 a の端部を越えて、半導体層 103 に接して延伸している。また、第 2 のドレイン電極 105 b の一部は、第 1 のドレイン電極 104 b の端部を越えて、半導体層 103 に接して延伸している。

【0317】

また、半導体層 103 を覆って絶縁層 111 が形成され、絶縁層 111 上に絶縁層 110 が形成されている。絶縁層 111 は、絶縁層 102 と同様の材料および方法により形成することができる。なお、半導体層 103 に酸化物半導体を用いる場合、絶縁層 111 に過剰酸素を有する絶縁層を用いることが好ましい。

【0318】

50

ボトムゲート型のトランジスタにおいても、第2のソース電極105aおよび第2のドレイン電極105bの間に分離層107を設けることにより、第2のソース電極105aおよび第2のドレイン電極105bの意図しない電氣的な短絡（ショート）を防ぐことができる。よって、チャンネル長が50nm以下、または、チャンネル長を30nm以下とした場合においても、良好な電気特性を有するトランジスタを実現することができる。よって、該トランジスタを用いた電気特性が良好な半導体装置を実現することができる。

【0319】

また、分離層107を設けることにより、第2のソース電極105aおよび第2のドレイン電極105bの段差を低減し、第2のソース電極105aおよび第2のドレイン電極105bの上層に形成する層の被覆性を向上することができる。トランジスタ300においては、例えば、半導体層103の被覆性を良好なものとすることができる。分離層107を設けることにより、良好な電気特性を有するトランジスタを実現することができる。よって、該トランジスタを用いた電気特性が良好な半導体装置を実現することができる。

10

【0320】

<3-3. 半導体装置の構成例・バックゲート電極を有するトランジスタ>

トランジスタ350は、トランジスタ300にバックゲート電極119を付加した構成を有する。具体的には、トランジスタ350は、絶縁層111を介してチャンネル形成領域と重畳する位置に、バックゲート電極119を有する。

【0321】

また、バックゲート電極119上に絶縁層110が形成されているが、バックゲート電極119を絶縁層110上に形成してもよい。なお、バックゲート電極119については既に説明しているため、ここでの詳細な説明は省略する。

20

【0322】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0323】

（実施の形態4）

本実施の形態では、上記実施の形態に示したトランジスタを用いた半導体装置について例示する。

【0324】

<4-1. マイクロコンピュータ>

30

〔4-1-1. マイクロコンピュータのブロック図〕

上記実施の形態に示したトランジスタは、さまざまな電子機器に搭載されるマイクロコンピュータ（以下、「MCU（Micro Control Unit）」とも言う。）に用いることができる。上記実施の形態に示したトランジスタを用いることが可能なMCUの構成例について、図10を用いて説明する。

【0325】

図10は、MCU700のブロック図である。MCU700は、CPU710、バスブリッジ711、RAM（Random Access Memory）712、メモリアンターフェイス713、コントローラ720、割り込みコントローラ721、I/Oインターフェイス（入出力インターフェイス）722、及びパワーゲートユニット730を有する。

40

【0326】

MCU700は、更に、水晶発振回路741、タイマー回路745、I/Oインターフェイス746、I/Oポート750、コンパレータ751、I/Oインターフェイス752、バスライン761、バスライン762、バスライン763、及びデータバスライン764を有する。更に、MCU700は、外部装置との接続部として少なくとも接続端子770乃至接続端子776を有する。なお、各接続端子770乃至接続端子776は、1つの端子または複数の端子でなる端子群を表す。また、水晶振動子743を有する発振子742が、接続端子772、及び接続端子773を介してMCU700に接続されている。

【0327】

50

CPU710はレジスタ785を有し、バスブリッジ711を介してバスライン761乃至バスライン763、及びデータバスライン764に接続されている。

【0328】

RAM712は、CPU710のメインメモリとして機能する記憶装置であり、不揮発性のランダムアクセスメモリが用いられる。RAM712は、CPU710が実行する命令、命令の実行に必要なデータ、及びCPU710の処理によるデータを記憶する装置である。CPU710の命令により、RAM712へのデータの書き込み、読み出しが行われる。

【0329】

MCU700では、低消費電力モードでは、RAM712の電力供給が遮断される。そのため、RAM712は電源が供給されていない状態でもデータを保持できる不揮発性のメモリで構成する。

10

【0330】

メモリインターフェイス713は、外部記憶装置との入出力インターフェイスである。CPU710の命令により、メモリインターフェイス713を介して、接続端子776に接続される外部記憶装置へのデータの書き込み及び読み出しが行われる。

【0331】

クロック生成回路715は、CPU710で使用されるクロック信号MCLK（以下、単に「MCLK」とも呼ぶ。）を生成する回路であり、RC発振器等を有する。MCLKはコントローラ720及び割り込みコントローラ721にも出力される。

20

【0332】

コントローラ720はMCU700全体の制御処理を行う回路であり、例えば、バス及びメモリマップなどの制御、MCU700の電源制御、クロック生成回路715、水晶発振回路741の制御等を行う。

【0333】

接続端子770は、外部の割り込み信号入力用の端子であり、接続端子770を介してマスク不可能な割り込み信号NMIがコントローラ720に入力される。コントローラ720にマスク不可能な割り込み信号NMIが入力されると、コントローラ720は直ちにCPU710にマスク不可能な割り込み信号NMIを出力し、CPU710に割り込み処理を実行させる。

30

【0334】

また、割り込み信号INTが、接続端子770を介して割り込みコントローラ721に入力される。割り込みコントローラ721には、周辺回路（745、750、751）からの割り込み信号（TOIRQ、POIRQ、COIRQ）も、バス（761乃至764）を経由せずに入力される。

【0335】

割り込みコントローラ721は割り込み要求の優先順位を割り当てる機能を有する。割り込みコントローラ721は割り込み信号を検出すると、その割り込み要求が有効であるかを判定する。有効な割り込み要求であれば、コントローラ720に割り込み信号INTを出力する。

40

【0336】

また、割り込みコントローラ721はI/Oインターフェイス722を介して、バスライン761及びデータバスライン764に接続されている。

【0337】

コントローラ720は、割り込み信号INTが入力されると、CPU710に割り込み信号INTを出力し、CPU710に割り込み処理を実行させる。

【0338】

また、割り込み信号TOIRQが割り込みコントローラ721を介さず直接コントローラ720に入力される場合がある。コントローラ720は、割り込み信号TOIRQが入力されると、CPU710にマスク不可能な割り込み信号NMIを出力し、CPU710に

50

割り込み処理を実行させる。

【0339】

コントローラ720のレジスタ780は、コントローラ720内に設けられ、割り込みコントローラ721のレジスタ786は、I/Oインターフェイス722に設けられている。

【0340】

続いて、MCU700が有する周辺回路を説明する。MCU700は、周辺回路として、タイマー回路745、I/Oポート750及びコンパレータ751を有する。これらの周辺回路は一例であり、MCU700が使用される電子機器に応じて、必要な回路を設けることができる。

10

【0341】

タイマー回路745は、クロック生成回路740から出力されるクロック信号TCLK（以下、単に「TCLK」とも呼ぶ。）を用いて、時間を計測する機能を有する。また、クロック生成回路715は、決められた時間間隔で、割り込み信号TOIRQを、コントローラ720及び割り込みコントローラ721に出力する。タイマー回路745は、I/Oインターフェイス746を介して、バスライン761及びデータバスライン764に接続されている。

【0342】

TCLKはMCLKよりも低い周波数のクロック信号である。例えば、MCLKの周波数を数MHz程度（例えば、8MHz）とし、MCLKは、数十kHz程度（例えば、32kHz）とする。クロック生成回路740は、MCU700に内蔵された水晶発振回路741と、接続端子772及び接続端子773に接続された発振子742を有する。発振子742の振動子として、水晶振動子743が用いられている。なお、CR発振器等でクロック生成回路740を構成することで、クロック生成回路740の全てのモジュールをMCU700に内蔵することが可能である。

20

【0343】

I/Oポート750は、接続端子774を介して接続された外部機器と情報の入出力を行うためのインターフェイスであり、デジタル信号の入出力インターフェイスである。I/Oポート750は、入力されたデジタル信号に応じて、割り込み信号POIRQを割り込みコントローラ721に出力する。

30

【0344】

接続端子775から入力されるアナログ信号を処理する周辺回路として、コンパレータ751が設けられている。コンパレータ751は、接続端子775から入力されるアナログ信号の電位（または電流）と基準信号の電位（または電流）との大小を比較し、値が0又は1のデジタル信号を発生する。さらに、コンパレータ751は、このデジタル信号の値が1のとき、割り込み信号COIRQを発生する。割り込み信号COIRQは割り込みコントローラ721に出力される。

【0345】

I/Oポート750及びコンパレータ751は共通のI/Oインターフェイス752を介してバスライン761及びデータバスライン764に接続されている。ここでは、I/Oポート750、コンパレータ751各々のI/Oインターフェイスに共有できる回路があるため、1つのI/Oインターフェイス752で構成しているが、もちろんI/Oポート750、コンパレータ751のI/Oインターフェイスを別々に設けることもできる。

40

【0346】

また、周辺回路のレジスタは、対応する入出力インターフェイスに設けられている。タイマー回路745のレジスタ787はI/Oインターフェイス746に設けられ、I/Oポート750のレジスタ783及びコンパレータ751のレジスタ784は、それぞれ、I/Oインターフェイス752に設けられている。

【0347】

MCU700は内部回路への電力供給を遮断するためのパワーゲートユニット730を有

50

する。パワーゲートユニット730により、動作に必要な回路のみに電力供給を行うことで、MCU700全体の消費電力を下げるができる。

【0348】

図10に示すように、MCU700内の破線で囲んだユニット701、ユニット702、ユニット703、ユニット704の回路は、パワーゲートユニット730を介して、接続端子771に接続されている。接続端子771は、高電源電位VDD（以下、単に「VDD」とも呼ぶ。）供給用の電源端子である。

【0349】

本実施の形態では、ユニット701は、タイマー回路745、及びI/Oインターフェイス746を含み、ユニット702は、I/Oポート750、コンパレータ751、及びI/Oインターフェイス752を含み、ユニット703は、割り込みコントローラ721、及びI/Oインターフェイス722を含み、ユニット704は、CPU710、RAM712、バスブリッジ711、及びメモリインターフェイス713を含む。

【0350】

パワーゲートユニット730は、コントローラ720により制御される。パワーゲートユニット730は、ユニット701乃至704へのVDDの供給を遮断するためのスイッチ回路731及びスイッチ回路732を有する。

【0351】

スイッチ回路731、スイッチ回路732のオン／オフはコントローラ720により制御される。具体的には、コントローラ720は、CPU710の要求によりパワーゲートユニット730が有するスイッチ回路の一部または全部をオフ状態とする信号を出力する（電力供給の停止）。また、コントローラ720は、マスク不可能な割り込み信号NMI、またはタイマー回路745からの割り込み信号T0IRQをトリガーにして、パワーゲートユニット730が有するスイッチ回路をオン状態とする信号を出力する（電力供給の開始）。

【0352】

なお、図10では、パワーゲートユニット730に、2つのスイッチ回路（スイッチ回路731、スイッチ回路732）を設ける構成を示しているが、これに限定されず、電源遮断に必要な数のスイッチ回路を設ければよい。

【0353】

また、本実施の形態では、ユニット701に対する電力供給を独立して制御できるようにスイッチ回路731を設け、ユニット702乃至704に対する電力供給を独立して制御できるようにスイッチ回路732を設けているが、このような電力供給経路に限定されるものではない。例えば、スイッチ回路732とは別のスイッチ回路を設けて、RAM712の電力供給を独立して制御できるようにしてもよい。また、1つの回路に対して、複数のスイッチ回路を設けてもよい。

【0354】

また、コントローラ720には、パワーゲートユニット730を介さず、常時、接続端子771からVDDが供給される。また、ノイズの影響を少なくするため、クロック生成回路715の発振回路、水晶発振回路741には、それぞれ、VDDの電源回路と異なる外部の電源回路から電源電位が供給される。

【0355】

表1に、各ブロックの役割をまとめた表を示す。

【0356】

10

20

30

40

【表 1】

ブロック名	役割
CPU110	命令の実行
クロック生成回路115	クロック信号MCLKを生成する
水晶発振回路141	クロック信号TCLKを生成する
コントローラ120	マイクロコントローラ100全体の制御処理を行う
割り込みコントローラ121	割り込み要求の優先順位を割り当てる
I/Oインターフェース146	データーの入出力を行う
I/Oインターフェース152	データーの入出力を行う
I/Oポート150	外部機器を接続するためのインターフェース
タイマー回路145	タイマー動作に応じた割り込み信号を発生する
コンパレータ151	入力信号と基準信号の電位(または電流)を比較する。
RAM112	CPU110のメインメモリとして機能する記憶装置
メモリインターフェース113	外部記憶装置との入出力インターフェース

10

【0357】

20

コントローラ720及びパワーゲートユニット730等を備えることにより、MCU700を3種類の動作モードで動作させることが可能である。第1の動作モードは、通常動作モードであり、MCU700の全ての回路がアクティブな状態である。ここでは、第1の動作モードを「Activeモード」と呼ぶ。

【0358】

第2、及び第3の動作モードは低消費電力モードであり、一部の回路をアクティブにするモードである。第2の動作モードでは、コントローラ720、並びにタイマー回路745とその関連回路(水晶発振回路741、I/Oインターフェース746)がアクティブである。第3の動作モードでは、コントローラ720のみがアクティブである。ここでは、第2の動作モードを「No ff 1モード」と呼び、第3の動作モードを「No ff 2モード」と呼ぶことにする。

30

【0359】

以下、表2に、各動作モードとアクティブな回路との関係を示す。表2では、アクティブにする回路に「ON」と記載している。表2に示すように、No ff 1モードでは、コントローラ720と周辺回路の一部(タイマー動作に必要な回路)が動作し、No ff 2モードでは、コントローラ720のみが動作している。

【0360】

【表 2】

	Active	Noff1	Noff2
CPU 110	ON	—	—
バスブリッジ 111	ON	—	—
RAM 112	ON	—	—
メモリインターフェース 113	ON	—	—
クロック生成回路 115	ON	—	—
水晶発振回路 141	ON	ON	—
コントローラ 120	ON	ON	ON
割り込みコントローラ 121	ON	—	—
I/Oインターフェース 122	ON	—	—
タイマー回路 145	ON	ON	—
I/Oインターフェース 146	ON	ON	—
I/Oポート 150	ON	—	—
コンパレータ 151	ON	—	—
I/Oインターフェース 152	ON	—	—

10

20

【0361】

なお、クロック生成回路 715 の発振器、及び水晶発振回路 741 は、動作モードに関わらず、電源が常時供給される。クロック生成回路 715 及び水晶発振回路 741 を非アクティブにするには、コントローラ 720 からまたは外部からイネーブル信号を入力し、クロック生成回路 715 及び水晶発振回路 741 の発振を停止させることにより行われる。

【0362】

また、Noff1、Noff2 モードでは、パワーゲートユニット 730 により電力供給が遮断されるため、I/Oポート 750、I/Oインターフェース 752 は非Activeになるが、接続端子 774 に接続されている外部機器を正常に動作させるために、I/Oポート 750、I/Oインターフェース 752 の一部には電力が供給される。具体的には、I/Oポート 750 の出力バッファ、I/Oポート 750 用のレジスタ 786 である。Noff1、Noff2 モードでは、I/Oポート 750 での実質的な機能である、I/Oインターフェース 752 及び外部機器とのデータの伝送機能、割り込み信号生成機能は停止している。また、I/Oインターフェース 752 も同様に、通信機能は停止している。

30

【0363】

なお、本明細書では、回路が非アクティブとは、電力の供給が遮断されて回路が停止している状態の他、Active モード（通常動作モード）での主要な機能が停止している状態や、Active モードよりも省電力で動作している状態を含む。

40

【0364】

また、MCU 700 では、Noff1、Noff2 モードから、Active モードへの復帰を高速化するため、レジスタ 784 乃至レジスタ 787 は、電源遮断時にデータを退避させるバックアップ保持部を更に有する。別言すると、レジスタ 784 乃至レジスタ 787 は、揮発性のデータ保持部（単に、「揮発性記憶部」とも言う）と、不揮発性のデータ保持部（単に、「不揮発性記憶部」とも言う）を有する。Active モード中、レジスタ 784 乃至レジスタ 787 は、揮発性記憶部にアクセスして、データの書き込み、読み出しが行われる。

【0365】

50

なお、コントローラ 720 には常に電力が供給されているため、コントローラ 720 のレジスタ 780 には、不揮発性記憶部は設けられていない。また、上述したように、No f f 1 / N o f f 2 モードでも、I / O ポート 750 には出力バッファを機能させるためレジスタ 783 を動作させている。よって、レジスタ 783 には常に電力が供給されているため、不揮発性記憶部が設けられていない。

【0366】

また、揮発性記憶部は一つまたは複数の揮発性記憶素子を有し、不揮発性記憶部は一つまたは複数の不揮発性記憶素子を有する。なお、揮発性記憶素子は、不揮発性記憶素子よりもアクセス速度が速いものとする。

【0367】

上記揮発性記憶素子を構成するトランジスタに用いる半導体材料は特に限定されないが、後述する不揮発性記憶素子を構成するトランジスタに用いる半導体材料とは、異なる禁制帯幅を持つ材料とすることが好ましい。このような半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。データの処理速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【0368】

不揮発性記憶素子は、揮発性記憶素子のデータに対応する電荷が保持されたノードと電気的に接続されており、電源が遮断されている間に揮発性記憶素子のデータを退避させるために用いる。よって、不揮発性記憶素子は、少なくとも電力が供給されていないときの上記揮発性記憶素子よりデータの保持時間が長いものとする。

【0369】

A c t i v e モードから N o f f 1、N o f f 2 モードへ移行する際は、電源遮断に先立って、レジスタ 784 乃至 787 の揮発性記憶部のデータは不揮発性記憶部に書き込まれ、揮発性記憶部のデータを初期値にリセットし、電源が遮断される。

【0370】

N o f f 1、または N o f f 2 モードから A c t i v e へ復帰する場合、レジスタ 784 乃至 787 に電力供給が再開されると、まず揮発性記憶部のデータが初期値にリセットされる。そして、不揮発性記憶部のデータが揮発性記憶部に書き込まれる。

【0371】

従って、低消費電力モードでも、MCU 700 の処理に必要なデータがレジスタ 784 乃至 787 で保持されているため、MCU 700 を低消費電力モードから A c t i v e モードへ直ちに復帰させることが可能になる。

【0372】

〔4-1-2. レジスタの構成例〕

図 11 に、レジスタ 784 乃至レジスタ 787 に用いることができる、1 ビットのデータを保持可能な、揮発性記憶部と不揮発性記憶部を有する回路構成の一例をレジスタ 1196 として示す。

【0373】

図 11 に示すレジスタ 1196 は、揮発性記憶部であるフリップフロップ 248 と、不揮発性記憶部 233 と、セクタ 245 を有する。

【0374】

フリップフロップ 248 には、リセット信号 R S T、クロック信号 C L K、及びデータ信号 D が与えられる。フリップフロップ 248 は、入力されるデータ信号 D のデータをクロック信号 C L K に従って保持し、データ信号 Q として、データ信号 D に対応して高電位 H、または低電位 L を出力する機能を有する。

【0375】

不揮発性記憶部 233 には、書き込み制御信号 W E、読み出し制御信号 R D、及びデータ信号 D が与えられる。

【0376】

不揮発性記憶部233は、書き込み制御信号WEに従って、入力されるデータ信号Dのデータを記憶し、読み出し制御信号RDに従って、記憶されたデータをデータ信号Dとして出力する機能を有する。

【0377】

セクタ245は、読み出し制御信号RDに従って、データ信号Dまたは不揮発性記憶部233から出力されるデータ信号を選択して、フリップフロップ248に入力する。

【0378】

また図11に示すように不揮発性記憶部233には、トランジスタ240及び容量素子241が設けられている。

10

【0379】

トランジスタ240は、nチャネル型トランジスタである。トランジスタ240のソースまたはドレインの一方は、フリップフロップ248の出力端子に接続されている。トランジスタ240は、書き込み制御信号WEに従ってフリップフロップ248から出力されるデータ信号の保持を制御する機能を有する。

【0380】

トランジスタ240としては、オフ電流が極めて小さいトランジスタを用いることが好ましい。例えば、トランジスタ240として、チャンネルが形成される半導体層に酸化物半導体を含むトランジスタを用いることができる。具体的には、例えば、上記実施の形態に開示したトランジスタを用いることができる。

20

【0381】

容量素子241を構成する一对の電極の一方と、トランジスタ240のソースまたはドレインの他方は、ノードM1に接続されている。また、容量素子241を構成する一对の電極の他方には低電源電位VSS（以下、単に「VSS」とも呼ぶ。）が与えられる。容量素子241は、記憶するデータ信号Dのデータに基づく電荷をノードM1に保持する機能を有する。トランジスタ240としては、オフ電流が極めて小さいトランジスタを用いることが好ましい。トランジスタ240にオフ電流が極めて小さいトランジスタを用いることにより、電源電圧の供給が停止してもノードM1の電荷は保持され、データが保持される。また、トランジスタ240にオフ電流が極めて小さいトランジスタを用いることにより、容量素子241を小さく、または省略することができる。

30

【0382】

トランジスタ244は、pチャネル型トランジスタである。トランジスタ244のソース及びドレインの一方にはVDDが与えられる。また、トランジスタ244のゲートには読み出し制御信号RDが入力される。

【0383】

トランジスタ243は、nチャネル型トランジスタである。トランジスタ243のソース及びドレインの一方と、トランジスタ244のソース及びドレインの他方は、ノードM2に接続されている。また、トランジスタ243のゲートは、トランジスタ244のゲートに接続し、読み出し制御信号RDが入力される。

【0384】

トランジスタ242は、nチャネル型トランジスタである。トランジスタ242のソース及びドレインの一方は、トランジスタ243のソース及びドレインの他方に接続されており、ソース及びドレインの他方には、VSSが与えられる。なお、フリップフロップ248が出力する高電位Hはトランジスタ242をオン状態とする電位であり、フリップフロップ248が出力する低電位Lはトランジスタ242をオフ状態とする電位である。

40

【0385】

インバータ246の入力端子は、ノードM2に接続されている。また、インバータ246の出力端子は、セクタ245の入力端子に接続される。

【0386】

容量素子247を構成する電極の一方はノードM2に接続され、他方にはVSSが与えられ

50

る。容量素子 247 は、インバータ 246 に入力されるデータ信号のデータに基づく電荷を保持する機能を有する。

【0387】

以上のような構成を有する図 11 に示すレジスタ 1196 は、フリップフロップ 248 から不揮発性記憶部 233 へデータの退避を行う際は、書き込み制御信号 WE としてトランジスタ 240 をオン状態とする信号を入力することにより、フリップフロップ 248 のデータ信号 Q に対応した電荷が、ノード M1 に与えられる。その後、書き込み制御信号 WE としてトランジスタ 240 をオフ状態とする信号を入力することにより、ノード M1 に与えられた電荷が保持される。また、読み出し制御信号 RD の電位として VSS が与えられている間は、トランジスタ 243 がオフ状態、トランジスタ 244 がオン状態となり、ノード M2 の電位は VDD になる。

10

【0388】

不揮発性記憶部 233 からフリップフロップ 248 へデータの復帰を行う際は、読み出し制御信号 RD として VDD を与える。すると、トランジスタ 244 がオフ状態、トランジスタ 243 がオン状態となり、ノード M1 に保持された電荷に応じた電位がノード M2 に与えられる。ノード M1 にデータ信号 Q の高電位 H に対応する電荷が保持されている場合、トランジスタ 242 はオン状態であり、ノード M2 に VSS が与えられ、インバータ 246 から出力された VDD が、セレクト 245 を介してフリップフロップ 248 に入力される。また、ノード M1 にデータ信号 Q の低電位 L に対応する電荷が保持されている場合、トランジスタ 242 はオフ状態であり、読み出し制御信号 RD の電位として VSS が与えられていたときのノード M2 の電位 (VDD) が保持されており、インバータ 246 から出力された VSS が、セレクト 245 を介してフリップフロップ 248 に入力される。

20

【0389】

上述のように、レジスタ 1196 に不揮発性記憶部 233 を設けることにより、CPU 230 への電力供給が遮断される前に、フリップフロップ 248 から不揮発性記憶部 233 にデータを退避させることができ、CPU 230 への電力供給が再開されたときに、不揮発性記憶部 233 からフリップフロップ 248 にデータを素早く復帰させることができる。

【0390】

このようにデータの退避及び復帰を行うことによって、電源遮断が行われるたびにフリップフロップ 248 が初期化された状態から CPU 230 を起動し直す必要がなくなるので、電力供給の再開後 CPU 230 は速やかに測定に係る演算処理を開始することができる。

30

【0391】

トランジスタ 242 は、情報の読み出し速度を向上させるという観点から、上述の揮発性記憶素子に用いたトランジスタと同様のトランジスタを用いることが好ましい。

【0392】

なお、レジスタ 1196 では、トランジスタ 242 のソース及びドレインの他方と容量素子 241 の他方の電極ともに VSS が供給されているが、トランジスタ 242 のソース及びドレインの他方と容量素子 241 の他方の電極は、同じ電位としても良いし、異なる電位としても良い。また、容量素子 241 は必ずしも設ける必要はなく、例えば、トランジスタ 242 の寄生容量が大きい場合は、当該寄生容量で容量素子 241 の代替とすることができる。

40

【0393】

ノード M1 は、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。しかしながら、トランジスタ 240 のオンオフ動作により直接的にデータの書き換えを行うことができるので、高電圧を用いてフローティングゲート内への電荷の注入、及びフローティングゲートからの電荷の引き抜きが不要である。つまり、不揮発性記憶部 233 では、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高電圧が不要である。よって、本

50

実施の形態に記載の不揮発性記憶部 233 を用いることにより、データの退避の際に必要な消費電力の低減を図ることができる。

【0394】

また同様の理由により、データの書き込み動作や消去動作に起因する動作速度の低下を抑制することができるので、不揮発性記憶部 233 の動作の高速化が実現される。また同様の理由により、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁層（トンネル絶縁層）の劣化という問題が存在しない。つまり、本実施の形態に記載の不揮発性記憶部 233 は、従来のフローティングゲート型トランジスタと異なり、原理的な書き込み回数の制限が存在しないことを意味する。以上により、不揮発性記憶部 233 は、レジスタなどの多くの書き換え回数や高速動作を要求される記憶装置としても十分に用いることができる。

10

【0395】

なお、上記において不揮発性記憶部 233 は、図 11 に示す構成に限られるものではない。例えば、相変化メモリ（PCM：Phase Change Memory）、抵抗変化型メモリ（ReRAM：Resistance Random Access Memory）、磁気抵抗メモリ（MRAM：Magnetoresistive Random Access Memory）、強誘電体メモリ（FeRAM：Ferroelectric Random Access Memory）、フラッシュメモリなどを用いることができる。

【0396】

また、揮発性記憶素子は、例えばバッファレジスタや、汎用レジスタなどのレジスタを構成することができる。また、揮発性記憶部に SRAM（Static Random Access Memory）などからなるキャッシュメモリを設けることもできる。これらのレジスタやキャッシュメモリは上記の不揮発性記憶部 233 にデータを退避させることができる。

20

【0397】

〔4-1-3. MCU に適用可能な半導体装置の構成例〕

不揮発性記憶部を有する MCU に適用可能な半導体装置の構成例について、図 12 の断面図を用いて説明する。

【0398】

図 12 に示す半導体装置は、p 型の半導体基板 401 に形成された素子分離層 403 を有し、ゲート絶縁層 407、ゲート電極 409、n 型の不純物領域 411a、n 型の不純物領域 411b、を有する n 型のトランジスタ 451 を有し、トランジスタ 451 上に絶縁層 415 および絶縁層 417 が形成されている。

30

【0399】

半導体基板 401 において、トランジスタ 451 は素子分離層 403 により他の半導体素子（図示せず）と分離されている。素子分離層 403 は、LOCOS（Local Oxidation of Silicon）法または STI（Shallow Trench Isolation）法等を用いて形成することができる。

【0400】

なお、トランジスタ 451 において、ゲート電極 409 の側面に側壁絶縁層（サイドウォール絶縁層）を設け、n 型の不純物領域 411a、および n 型の不純物領域 411b に不純物濃度が異なる領域を設けてもよい。

40

【0401】

また、絶縁層 415 および絶縁層 417 の一部を選択的にエッチングした開口部には、コンタクトプラグ 419a およびコンタクトプラグ 419b が形成されている。絶縁層 417、コンタクトプラグ 419a およびコンタクトプラグ 419b 上に、絶縁層 421 が設けられている。絶縁層 421 は、少なくとも一部がコンタクトプラグ 419a と重畳する溝部と、少なくとも一部がコンタクトプラグ 419b と重畳する溝部を有する。

【0402】

50

また、少なくとも一部がコンタクトプラグ419aと重畳する溝部に配線423aが形成され、少なくとも一部がコンタクトプラグ419bと重畳する溝部に配線423bが形成されている。配線423aはコンタクトプラグ419aに接続し、配線423bはコンタクトプラグ419bに接続されている。

【0403】

また、絶縁層421、配線423aおよび配線423b上に、スパッタリング法またはCVD法等によって形成された絶縁層420が設けられている。また、絶縁層420上に絶縁層422が形成され、絶縁層422は、少なくとも一部が酸化物半導体層を含む積層体406と重畳する溝部と、少なくとも一部が第1のドレイン電極416bまたは第2のドレイン電極426bと重畳する溝部を有する。

10

【0404】

絶縁層422が有する少なくとも一部が積層体406と重畳する溝部には、トランジスタ452のバックゲート電極として機能する電極424が形成されている。このような電極424を設けることにより、トランジスタ452のしきい値電圧の制御を行うことができる。

【0405】

また、絶縁層422が有する少なくとも一部が第1のドレイン電極416bまたは第2のドレイン電極426bと重畳する溝部には、電極460が形成されている。

【0406】

絶縁層422、電極424、および電極460上には、スパッタリング法またはCVD法等により形成された絶縁層425が設けられており、絶縁層425上には、トランジスタ452が設けられている。

20

【0407】

トランジスタ452は、上記実施の形態で例示したトランジスタを適用することができる。

上記実施の形態で例示したトランジスタは、電気特性変動が抑制されており、電氣的に安定である。よって、図12で示す本実施の形態の半導体装置を、信頼性の高い半導体装置とすることができる。

【0408】

なお、図12では、トランジスタ452として、上記実施の形態に示したトランジスタ200と同様の構造を有するトランジスタを用いる場合について例示している。

30

【0409】

トランジスタ452は、絶縁層425上に形成された積層体406と、第1のソース電極416aおよび第1のドレイン電極416bと、第1のソース電極416aおよび第1のドレイン電極416b上に形成された第2のソース電極426aおよび第2のドレイン電極426bと、ゲート絶縁層412と、ゲート電極404を有する。また、トランジスタ452上に、トランジスタ452を覆う絶縁層418と、絶縁層445、および絶縁層446が設けられ、絶縁層446上に、第1のドレイン電極416bに接続する配線449と、第1のソース電極416aに接続する配線456を有する。配線449は、トランジスタ452のドレイン電極とn型のトランジスタ451のゲート電極409とを電氣的に接続するノードとして機能する。また、絶縁層425上の、第2のソース電極426aおよび第2のドレイン電極426bと同じ層に、分離層427が形成されている。

40

【0410】

また、本実施の形態においては、配線449が第1のドレイン電極416bに接続する構成について例示したが、これに限定されず、例えば、第2のドレイン電極426bに接続する構成としてもよい。また、配線456が第1のソース電極416aに接続する構成について例示したが、これに限定されず、例えば、第2のソース電極426aに接続する構成としてもよい。

【0411】

第1のドレイン電極416bまたは第2のドレイン電極426bと電極460が、絶縁層

50

４２５を介して重畳する部分が容量素子４５３として機能する。電極４６０には、例えばＶＳＳが供給される。

【０４１２】

なお、容量素子４５３は必ずしも設ける必要はなく、例えば、ｎ型のトランジスタ４５１などの寄生容量が十分大きい場合、容量素子４５３を設けない構成としても良い。

【０４１３】

トランジスタ４５２は、例えば、図１１に示したトランジスタ２４０に相当する。また、トランジスタ４５１は、例えば、図１１に示したトランジスタ２４２に相当する。また、容量素子４５３は、例えば、図１１に示した容量素子２４１に相当する。また、配線４４９は、例えば、図１１に示したノードＭ１に相当する。

10

【０４１４】

トランジスタ４５１は、単結晶シリコンなど、酸化物半導体とは異なる半導体を用いて形成されるため、十分な高速動作が可能となる。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【０４１５】

本実施の形態に示すように、トランジスタ４５２には、極めてオフ電流の低いトランジスタを用いることが好ましい。本実施の形態では、極めてオフ電流の低いトランジスタとして、酸化物半導体を含むトランジスタを例示した。このような構成とすることによりノードＭ１の電位を長時間保持することが可能となる。

20

【０４１６】

< ４－２．表示装置 >

上記実施の形態に示したトランジスタは、表示装置に用いることができる。また、上記実施の形態に示したトランジスタを用いて、トランジスタを含む駆動回路の一部または全体を画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。上記実施の形態に示したトランジスタを用いることが可能な表示装置の構成例について、図１３乃至図１６を用いて説明する。

【０４１７】

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機ＥＬ（Ｅｌｅｃｔｒｏ Ｌｕｍｉｎｅｓｃｅｎｃｅ）、有機ＥＬなどを含む。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も表示素子として適用することができる。以下では、表示装置の一例として、液晶素子を用いた表示装置およびＥＬ素子を用いた表示装置について説明する。

30

【０４１８】

〔４－２－１．液晶表示装置とＥＬ表示装置〕

図１３（Ａ）において、第１の基板４００１上に設けられた画素部４００２を囲むようにして、シール材４００５が設けられ、第２の基板４００６によって封止されている。図１３（Ａ）においては、第１の基板４００１上のシール材４００５によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路４００３、及び走査線駆動回路４００４が実装されている。また、信号線駆動回路４００３、走査線駆動回路４００４、または画素部４００２に与えられる各種信号及び電位は、ＦＰＣ（Ｆｌｅｘｉｂｌｅ ｐｒｉｎｔｅｄ ｃｉｒｃｕｉｔ）４０１８ａ、ＦＰＣ４０１８ｂから供給されている。

40

【０４１９】

図１３（Ｂ）及び図１３（Ｃ）において、第１の基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４とを囲むようにして、シール材４００５が設けられている。また画素部４００２と、走査線駆動回路４００４の上に第２の基板４００６が設けられている。よって画素部４００２と、走査線駆動回路４００４とは、第１の基板４００１とシール材４００５と第２の基板４００６とによって、表示素子と共に封止されている。

50

図13(B)及び図13(C)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路4003が実装されている。図13(B)及び図13(C)においては、信号線駆動回路4003、走査線駆動回路4004、または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0420】

また図13(B)及び図13(C)においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

10

【0421】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、ワイヤボンディング、COG(Chip On Glass)、TCP(Tape Carrier Package)、COF(Chip On Film)などを用いることができる。図13(A)は、COGにより信号線駆動回路4003、走査線駆動回路4004を実装する例であり、図13(B)は、COGにより信号線駆動回路4003を実装する例であり、図13(C)は、TCPにより信号線駆動回路4003を実装する例である。

【0422】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

20

【0423】

なお、本明細書中における表示装置とは、画像表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPCやTCPなどが取り付けられたモジュール、TCPなどの先にプリント配線板が設けられたモジュール、または表示素子にCOGによりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0424】

また第1の基板上に設けられた画素部及び走査線駆動回路は、トランジスタを複数有しており、上記実施の形態で示したトランジスタを適用することができる。

【0425】

表示装置に設けられる表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)、を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

30

【0426】

図14(A)及び図14(B)は、図13(B)中でN1-N2の鎖線で示した部位の断面構成を示す断面図である。図14(A)及び図14(B)で示すように、半導体装置は電極4015を有しており、電極4015はFPC4018が有する端子と異方性導電層4019を介して、電氣的に接続されている。また、電極4015は、絶縁層4020に形成された開口を介して配線4014と電氣的に接続されている。

40

【0427】

電極4015は、第1の電極層4030と同じ導電層から形成され、配線4014は、トランジスタ4010、およびトランジスタ4011のソース電極及びドレイン電極と同じ導電層で形成されている。

【0428】

また、図14(A)では、電極4015と配線4014が、絶縁層4020に形成された一つの開口を介して接続しているが、図14(B)では、絶縁層4020に形成された複数の開口を介して接続している。開口を複数形成することで、電極4015の表面に凹凸が形成されるため、後に形成される電極4015と異方性導電層4019の接触面積を増やすことができる。よって、FPC4018と電極4015の接続を良好なものとするこ

50

とができる。

【0429】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、トランジスタを複数有しており、図14(A)及び図14(B)では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。図14(A)では、トランジスタ4010、トランジスタ4011上には絶縁層4020が設けられ、図14(B)では、絶縁層4020の上にさらに平坦化層4021が設けられている。なお、絶縁層4023は下地層として機能する絶縁層であり、絶縁層4023上に分離層4022が形成されている。

【0430】

本実施の形態では、トランジスタ4010、トランジスタ4011として、上記実施の形態で示したトランジスタを適用することができる。

【0431】

上記実施の形態で例示したトランジスタは、電気特性変動が抑制されており、電氣的に安定である。よって、図14(A)及び図14(B)で示す本実施の形態の半導体装置を信頼性の高い半導体装置とすることができる。

【0432】

なお、図14(A)では、トランジスタ4010、トランジスタ4011として、上記実施の形態に示したトランジスタ200と同様の構造を有するトランジスタを用いる場合について例示している。また、図14(B)では、トランジスタ4011として、上記実施の形態に示したトランジスタ200と同様の構造を有するトランジスタを用いる場合について例示している。

【0433】

また、図14(B)では、絶縁層4023を介して、駆動回路用のトランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4017を設ける構成例を示している。導電層4017はバックゲート電極として機能することができる。

【0434】

画素部4002に設けられたトランジスタ4010は表示素子と電氣的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

【0435】

図14(A)は、表示素子として液晶素子を用いた液晶表示装置の一例である。図14(A)において、表示素子である液晶素子4013は、第1の電極層4030、第2の電極層4031、及び液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁層4032、絶縁層4033が設けられている。第2の電極層4031は第2の基板4006側に設けられ、第1の電極層4030と第2の電極層4031とは液晶層4008を介して重畳する。

【0436】

またスペーサ4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、第1の電極層4030と第2の電極層4031との間隔（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。

【0437】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0438】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善

10

20

30

40

50

するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。酸化物半導体層を用いるトランジスタは、静電気の影響によりトランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いるトランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

【0439】

また、液晶材料の固有抵抗は、 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20℃で測定した値とする。

【0440】

本実施の形態で用いる高純度化された酸化物半導体層を用いたトランジスタは、オフ状態における電流値（オフ電流値）を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

【0441】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。高純度の酸化物半導体層を有するトランジスタを用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

【0442】

また、上述の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。よって、表示機能を有する半導体装置の画素部に上記トランジスタを用いることで、高画質な画像を提供することができる。また、同一基板上に駆動回路部または画素部を作り分けて作製することが可能となるため、半導体装置の部品点数を削減することができる。

【0443】

液晶表示装置には、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

【0444】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置としてもよい。ここで、垂直配向モードとは、液晶表示パネルの液晶分子の配列を制御する方式の一種であり、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。また、画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

10

20

30

40

50

【0445】

また、表示装置において、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0446】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、RGBW（Wは白を表す）、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、本発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

10

【0447】

また、表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子を適用することができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0448】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

20

【0449】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナーアクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

30

【0450】

発光素子は発光を取り出すために少なくとも一対の電極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、どの射出構造の発光素子も適用することができる。

【0451】

図14（B）は、表示素子として発光素子を用いたEL表示装置（「発光装置」ともいう）の一例である。表示素子である発光素子4513は、画素部4002に設けられたトランジスタ4010と電氣的に接続している。なお発光素子4513の構成は、第1の電極層4030、電界発光層4511、第2の電極層4031の積層構造であるが、この構成に限定されない。発光素子4513から取り出す光の方向などに合わせて、発光素子4513の構成は適宜変えることができる。

40

【0452】

隔壁4510は、有機絶縁材料、又は無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0453】

50

電界発光層 4 5 1 1 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0 4 5 4】

発光素子 4 5 1 3 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4 0 3 1 及び隔壁 4 5 1 0 上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC (Diamond Like Carbon) 等を形成することができる。また、第 1 の基板 4 0 0 1、第 2 の基板 4 0 0 6、及びシール材 4 0 0 5 によって封止された空間には充填材 4 5 1 4 が設けられ密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

10

【0 4 5 5】

充填材 4 5 1 4 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

【0 4 5 6】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

20

【0 4 5 7】

表示素子に電圧を印加する第 1 の電極層及び第 2 の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、及び電極層のパターン構造によって透光性、反射性を選択すればよい。

【0 4 5 8】

第 1 の電極層 4 0 3 0、第 2 の電極層 4 0 3 1 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

30

【0 4 5 9】

また、第 1 の電極層 4 0 3 0、第 2 の電極層 4 0 3 1 はタングステン (W)、モリブデン (Mo)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、チタン (Ti)、白金 (Pt)、アルミニウム (Al)、銅 (Cu)、銀 (Ag) 等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

【0 4 6 0】

また、第 1 の電極層 4 0 3 0、第 2 の電極層 4 0 3 1 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはアニリン、ピロールおよびチオフェンの 2 種以上からなる共重合体若しくはその誘導体などがあげられる。

40

【0 4 6 1】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0 4 6 2】

50

上記実施の形態で示したトランジスタを適用することで、表示機能を有する信頼性のよい半導体装置を提供することができる。また、上記実施の形態で示した配線構造を用いることで、配線の幅や厚さを増加させることなく配線抵抗を低減することができる。よって、高精細化や、大面積化が可能で、表示品質の良い表示機能を有する半導体装置を提供することができる。また、消費電力が低減された半導体装置を提供することができる。

【0463】

〔4-2-2. 画素回路の一例〕

図15に、表示装置に適用可能な画素回路の一例を示す。図15(A)は、液晶表示装置に適用可能な画素回路の一例を示す回路図である。図15(A)に示す画素回路は、トランジスタ851と、キャパシタ852と、一对の電極間に液晶の充填された液晶素子853とを有する。

10

【0464】

トランジスタ851では、ソースおよびドレインの一方が信号線855に電氣的に接続され、ゲートが走査線854に電氣的に接続されている。

【0465】

キャパシタ852では、一方の電極がトランジスタ851のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0466】

液晶素子853では、一方の電極がトランジスタ851のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述のキャパシタ852の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子853の他方の電極に与えられる共通電位は、異なる電位であってもよい。

20

【0467】

図15(B)は、EL表示装置に適用可能な画素回路の一例を示す回路図である。

【0468】

図15(B)に示す画素回路は、スイッチ素子843と、トランジスタ841と、キャパシタ842と、発光素子719と、を有する。

【0469】

トランジスタ841のゲートはスイッチ素子843の一端およびキャパシタ842の一端と電氣的に接続される。トランジスタ841のソースは発光素子719の一端と電氣的に接続される。トランジスタ841のドレインはキャパシタ842の他端と電氣的に接続され、高電源電位VDDが与えられる。また、スイッチ素子843の他端は信号線844と電氣的に接続される。発光素子719の他端は低電源電位VSS、接地電位GNDなどの、高電源電位VDDより小さい電位とする。

30

【0470】

なお、接地電位GNDを高電源電位VDDまたは低電源電位VSSとして用いることもできる。例えば高電源電位VDDが接地電位GNDの場合には、低電源電位VSSは接地電位より低い電圧であり、低電源電位VSSが接地電位GNDの場合には、高電源電位VDDは接地電位GNDより高い電圧である。

【0471】

なお、トランジスタ841は、上述した酸化物半導体層を含む積層体を用いたトランジスタを用いる。当該トランジスタは、安定した電気特性を有する。そのため、表示品位の高いEL表示装置とすることができる。

40

【0472】

スイッチ素子843としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いEL表示装置とすることができる。また、スイッチ素子843として、上述した酸化物半導体層を含む積層体を用いたトランジスタを用いてもよい。スイッチ素子843として当該トランジスタを用いることで、トランジスタ841と同一工程によってスイッチ素子843を作製することができ、EL表示装置の生産性を高めることができる。

50

【0473】

<4-3. 電子機器>

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD（Digital Versatile Disc）などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルCDプレイヤー、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、放射線測定器、透析装置等の医療機器、災、煙、漏電、ガス漏れなどを検知する検知装置、近接センサ、赤外線センサ、振動センサ、放射線センサ、人感センサなどの各種センサなどが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電気機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。電子機器の具体例を図16に示す。

10

20

【0474】

図16（A）において、警報装置8100は、住宅用火災警報器であり、検出部と、MCU8101を有している。MCU8101には、上記実施の形態に示したトランジスタを用いることができる。

【0475】

図16（A）において、室内機8200および室外機8204を有するエアコンディショナーには、上記実施の形態に示したトランジスタを用いたCPUが含まれる。具体的に、室内機8200は、筐体8201、送風口8202、MCU8203等を有する。図16（A）において、MCU8203が、室内機8200に設けられている場合を例示しているが、MCU8203は室外機8204に設けられていてもよい。または、室内機8200と室外機8204の両方に、MCU8203が設けられていてもよい。MCU8203に上記実施の形態に示したトランジスタを用いることで、エアコンディショナーを省電力化できる。

30

【0476】

図16（A）において、電気冷凍冷蔵庫8300には、上記実施の形態に示したトランジスタを用いたMCUが含まれる。具体的に、電気冷凍冷蔵庫8300は、筐体8301、冷蔵室用扉8302、冷凍室用扉8303、MCU8304等を有する。図16（A）では、MCU8304が、筐体8301の内部に設けられている。MCU8304に上記実施の形態に示したトランジスタを用いることで、電気冷凍冷蔵庫8300を省電力化できる。

40

【0477】

図16（B）において、電気自動車の例を示す。電気自動車9700には、二次電池9701が搭載されている。二次電池9701の電力は、制御回路9702により出力が調整されて、駆動装置9703に供給される。制御回路9702は、図示しないROM、RAM、MCU等を有する処理装置9704によって制御される。上記実施の形態に示したトランジスタを用いたMCUが含まれることで、電気自動車9700を省電力化できる。

【0478】

50

駆動装置 9703 は、直流電動機もしくは交流電動機単体、または電動機と内燃機関と、を組み合わせて構成される。処理装置 9704 は、電気自動車 9700 の運転者の操作情報（加速、減速、停止など）や走行時の情報（上り坂や下り坂等の情報、駆動輪にかかる負荷情報など）の入力情報に基づき、制御回路 9702 に制御信号を出力する。制御回路 9702 は、処理装置 9704 の制御信号により、二次電池 9701 から供給される電気エネルギーを調整して駆動装置 9703 の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

【0479】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

10

【0480】

10	電子銃室	
12	光学系	
14	試料室	
16	光学系	
18	カメラ	
20	観察室	
22	フィルム室	
24	電子	
28	物質	20
32	蛍光板	
100	トランジスタ	
101	基板	
102	絶縁層	
103	半導体層	
107	分離層	
108	ゲート絶縁層	
109	ゲート電極	
110	絶縁層	
111	絶縁層	30
115	導電層	
119	バックゲート電極	
123	積層体	
141	レジストマスク	
143	酸素イオンビーム	
144	酸素イオン	
146	電子ビーム	
191	部位	
200	トランジスタ	
230	CPU	40
233	不揮発性記憶部	
240	トランジスタ	
241	容量素子	
242	トランジスタ	
243	トランジスタ	
244	トランジスタ	
245	セレクタ	
246	インバータ	
247	容量素子	
248	フリップフロップ	50

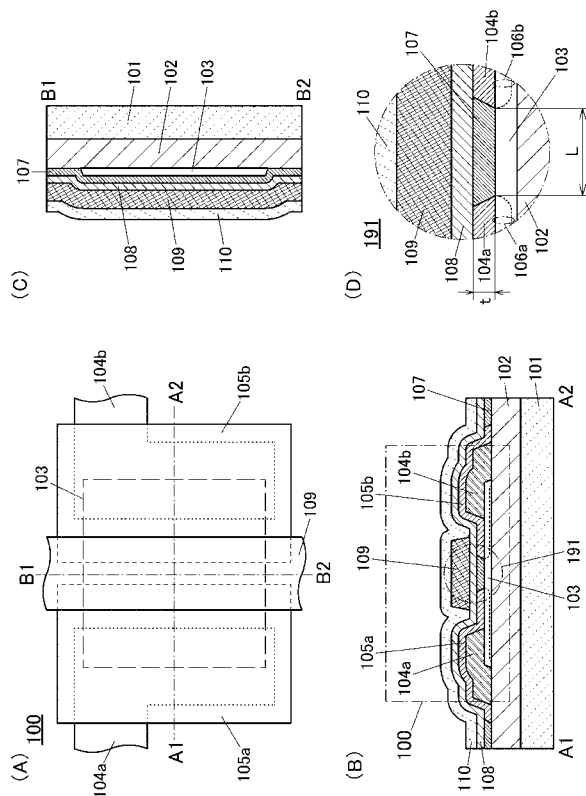
2 5 0	トランジスタ	
3 0 0	トランジスタ	
3 5 0	トランジスタ	
3 8 2	E c	
3 8 6	E c	
3 9 0	トラップ準位	
4 0 1	半導体基板	
4 0 3	素子分離層	
4 0 4	ゲート電極	
4 0 6	積層体	10
4 0 7	ゲート絶縁層	
4 0 9	ゲート電極	
4 1 2	ゲート絶縁層	
4 1 5	絶縁層	
4 1 7	絶縁層	
4 1 8	絶縁層	
4 2 0	絶縁層	
4 2 1	絶縁層	
4 2 2	絶縁層	
4 2 4	電極	20
4 2 5	絶縁層	
4 2 7	分離層	
4 4 5	絶縁層	
4 4 6	絶縁層	
4 4 9	配線	
4 5 1	トランジスタ	
4 5 2	トランジスタ	
4 5 3	容量素子	
4 5 6	配線	
4 6 0	電極	30
7 0 0	M C U	
7 0 1	ユニット	
7 0 2	ユニット	
7 0 3	ユニット	
7 0 4	ユニット	
7 1 0	C P U	
7 1 1	バスブリッジ	
7 1 2	R A M	
7 1 3	メモリアンターフェイス	
7 1 5	クロック生成回路	40
7 1 9	発光素子	
7 2 0	コントローラ	
7 2 1	コントローラ	
7 2 2	I / O インターフェイス	
7 3 0	パワーゲートユニット	
7 3 1	スイッチ回路	
7 3 2	スイッチ回路	
7 4 0	クロック生成回路	
7 4 1	水晶発振回路	
7 4 2	発振子	50

7 4 3	水晶振動子	
7 4 5	タイマー回路	
7 4 6	I / O インターフェイス	
7 5 0	I / O ポート	
7 5 1	コンパレータ	
7 5 2	I / O インターフェイス	
7 6 1	バスライン	
7 6 2	バスライン	
7 6 3	バスライン	
7 6 4	データバスライン	10
7 7 0	接続端子	
7 7 1	接続端子	
7 7 2	接続端子	
7 7 3	接続端子	
7 7 4	接続端子	
7 7 5	接続端子	
7 7 6	接続端子	
7 8 0	レジスタ	
7 8 3	レジスタ	
7 8 4	レジスタ	20
7 8 5	レジスタ	
7 8 6	レジスタ	
7 8 7	レジスタ	
8 4 1	トランジスタ	
8 4 2	キャパシタ	
8 4 3	スイッチ素子	
8 4 4	信号線	
8 5 1	トランジスタ	
8 5 2	キャパシタ	
8 5 3	液晶素子	30
8 5 4	走査線	
8 5 5	信号線	
1 1 9 6	レジスタ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	40
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 3	液晶素子	
4 0 1 4	配線	
4 0 1 5	電極	
4 0 1 7	導電層	
4 0 1 8	F P C	
4 0 1 9	異方性導電層	
4 0 2 0	絶縁層	
4 0 2 1	平坦化層	50

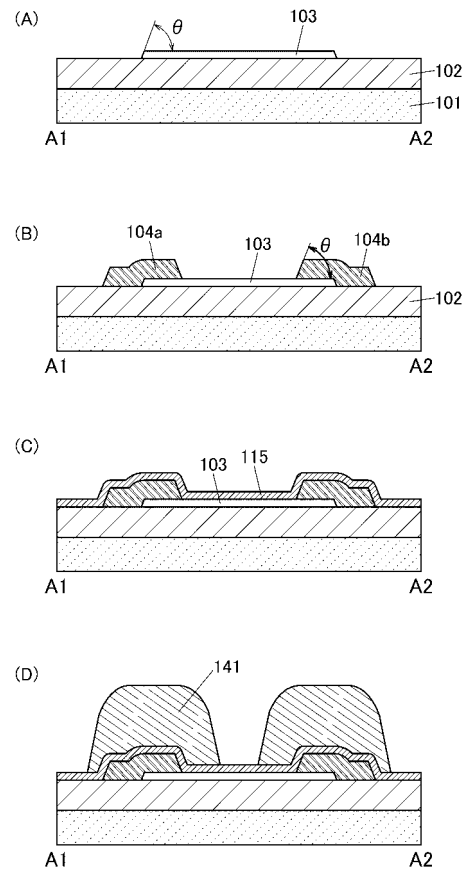
4 0 2 2	分離層	
4 0 2 3	絶縁層	
4 0 3 0	電極層	
4 0 3 1	電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	スペーサ	
4 5 1 0	隔壁	
4 5 1 1	電界発光層	
4 5 1 3	発光素子	10
4 5 1 4	充填材	
8 1 0 0	警報装置	
8 1 0 1	M C U	
8 2 0 0	室内機	
8 2 0 1	筐体	
8 2 0 2	送風口	
8 2 0 3	M C U	
8 2 0 4	室外機	
8 3 0 0	電気冷凍冷蔵庫	
8 3 0 1	筐体	20
8 3 0 2	冷蔵室用扉	
8 3 0 3	冷凍室用扉	
8 3 0 4	M C U	
9 7 0 0	電気自動車	
9 7 0 1	二次電池	
9 7 0 2	制御回路	
9 7 0 3	駆動装置	
9 7 0 4	処理装置	
1 0 4 a	ソース電極	
1 0 4 b	ドレイン電極	30
1 0 5 a	ソース電極	
1 0 5 b	ドレイン電極	
1 0 6 a	ソース領域	
1 0 6 b	ドレイン領域	
1 2 3 a	酸化物層	
1 2 3 b	酸化物半導体層	
1 2 3 c	酸化物層	
3 8 3 a	E c	
3 8 3 b	E c	
3 8 3 c	E c	40
4 0 1 8 a	F P C	
4 0 1 8 b	F P C	
4 1 1 a	不純物領域	
4 1 1 b	不純物領域	
4 1 6 a	ソース電極	
4 1 6 b	ドレイン電極	
4 1 9 a	コンタクトプラグ	
4 1 9 b	コンタクトプラグ	
4 2 3 a	配線	
4 2 3 b	配線	50

4 2 6 a ソース電極
4 2 6 b ドレイン電極

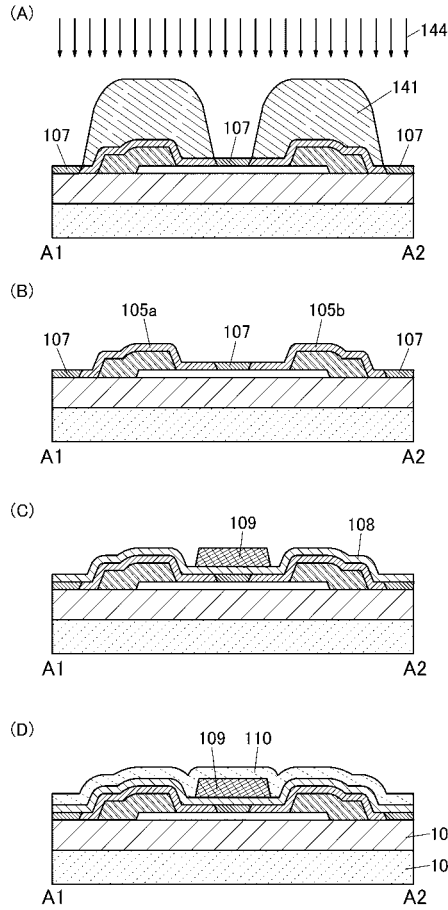
【図 1】



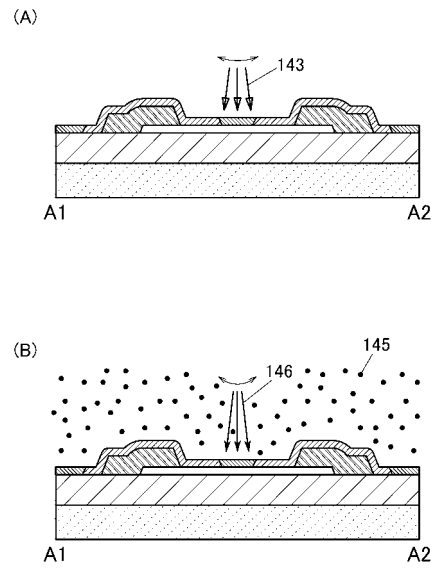
【図 2】



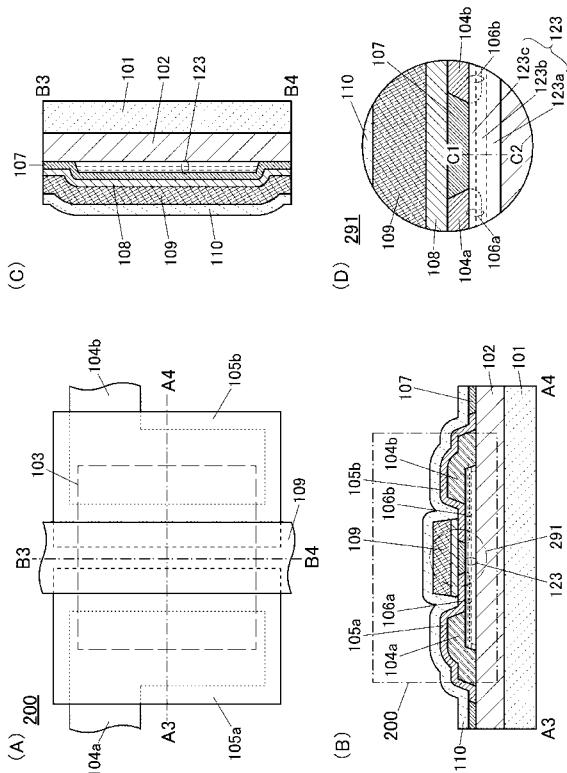
【図 3】



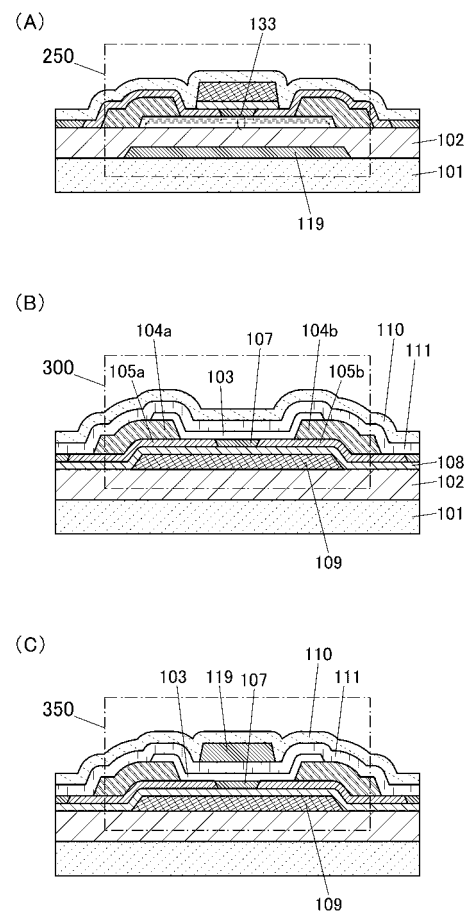
【図 4】



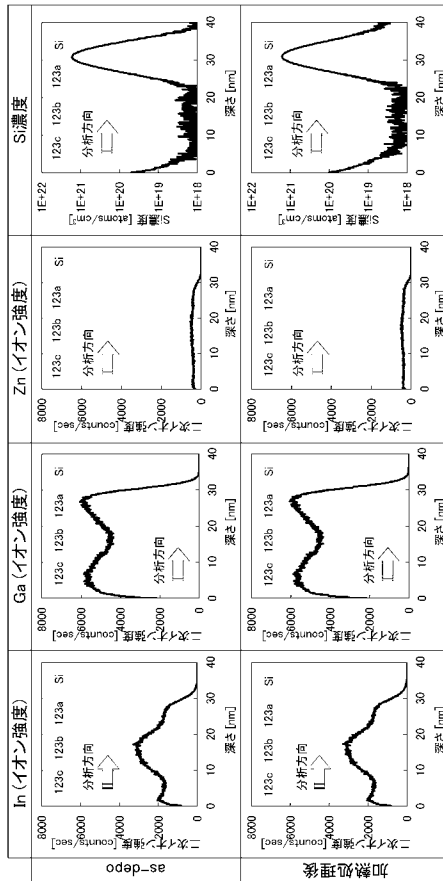
【図 5】



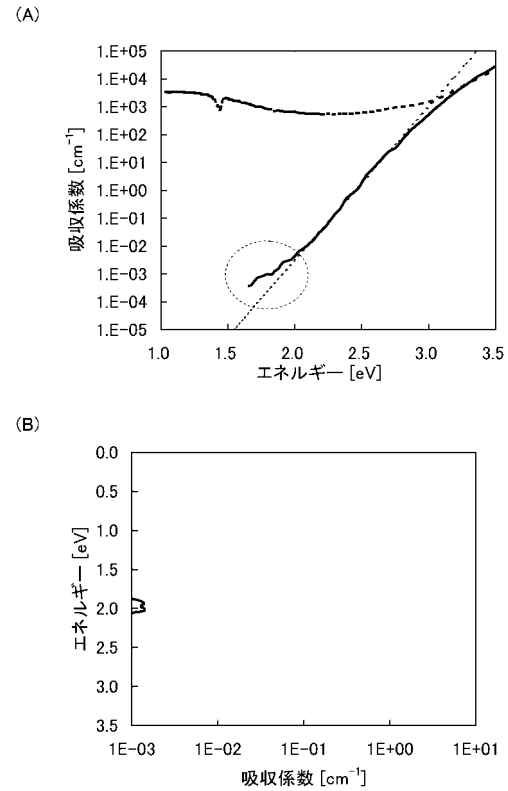
【図 6】



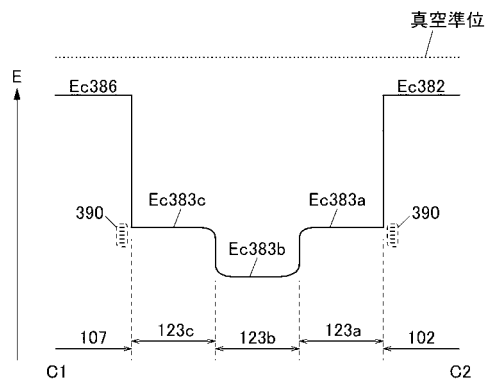
【図 7】



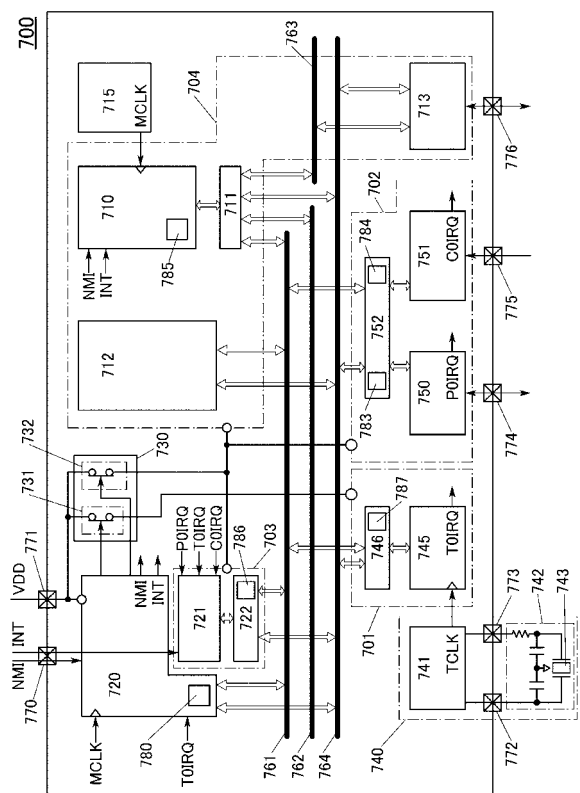
【図 8】



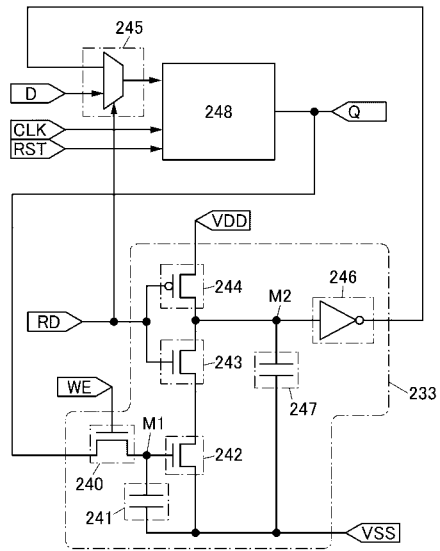
【図 9】



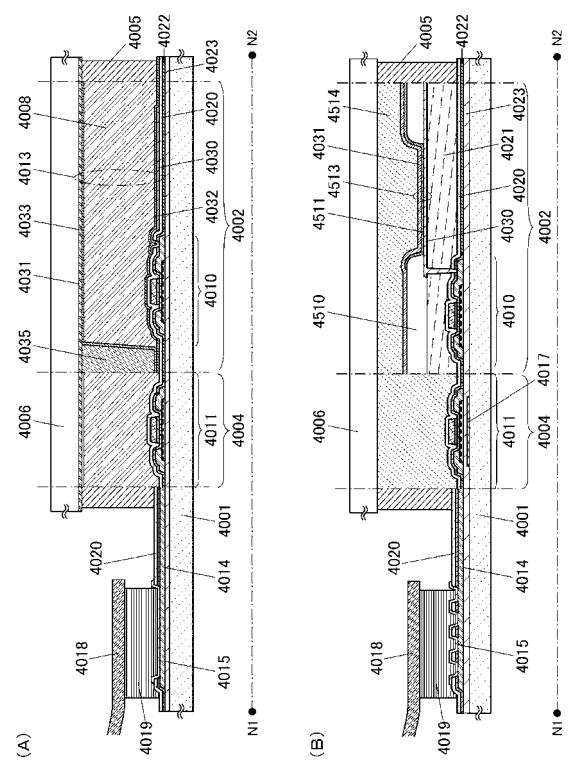
【図 10】



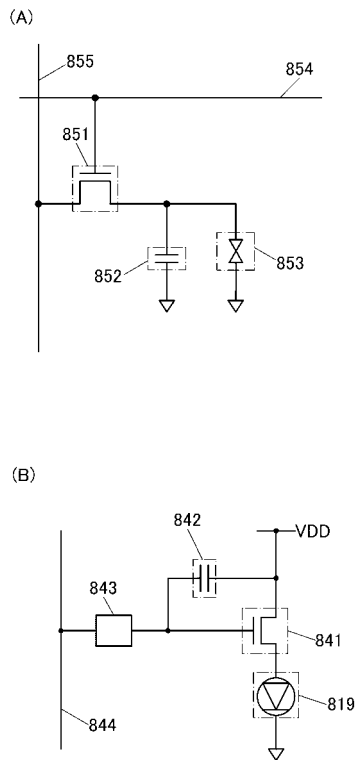
【図 1 2】



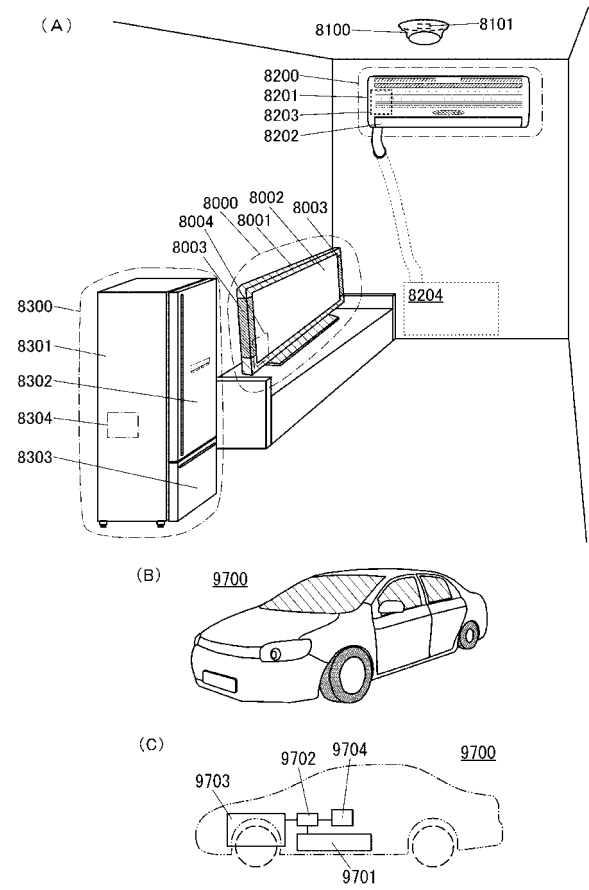
【図 14】



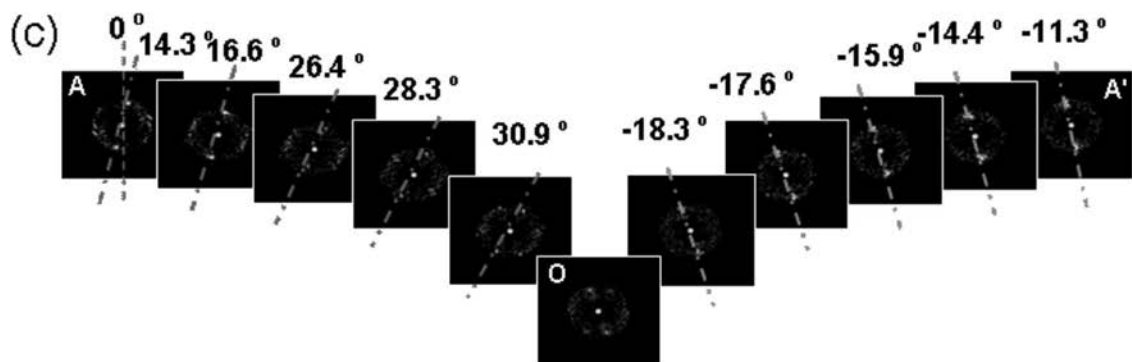
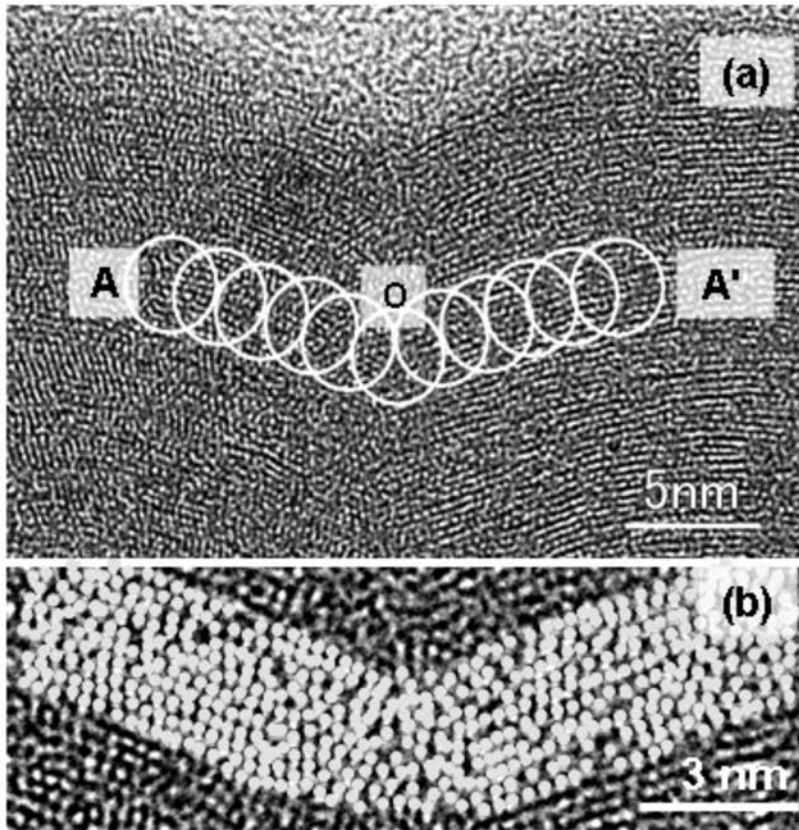
【図 15】



【図 16】

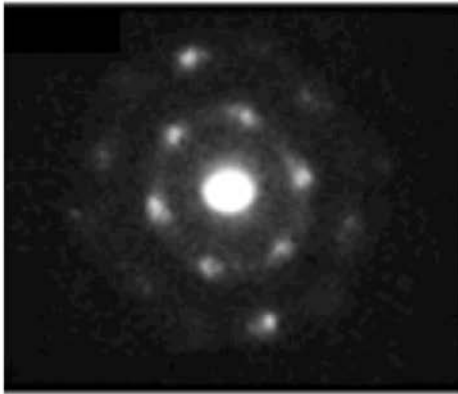


【図 17】



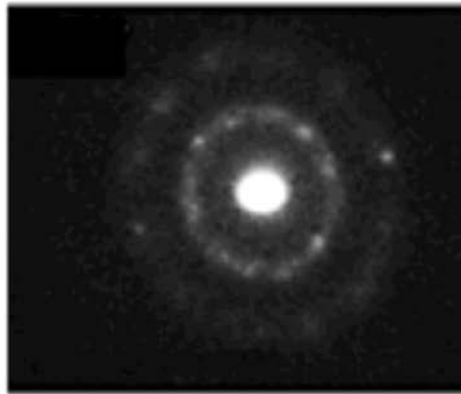
【図 18】

(A)



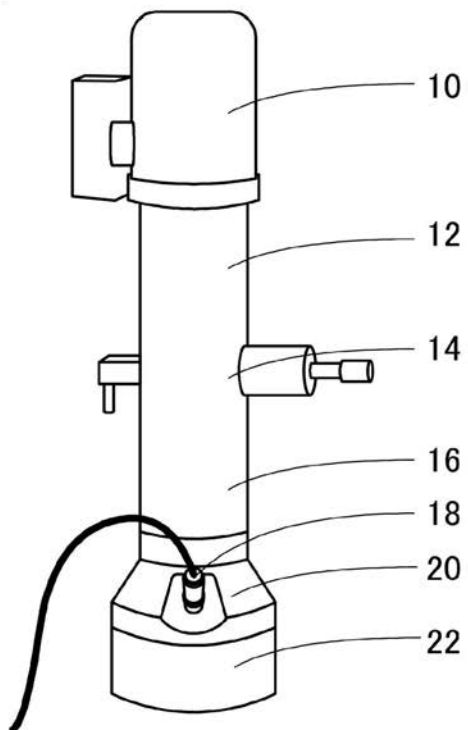
CAAC-OS

(B)

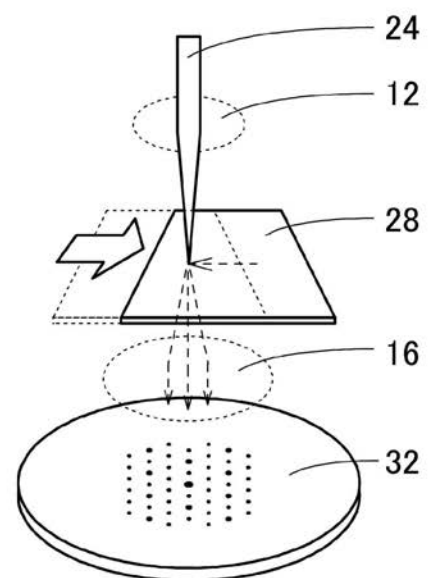


nc-OS

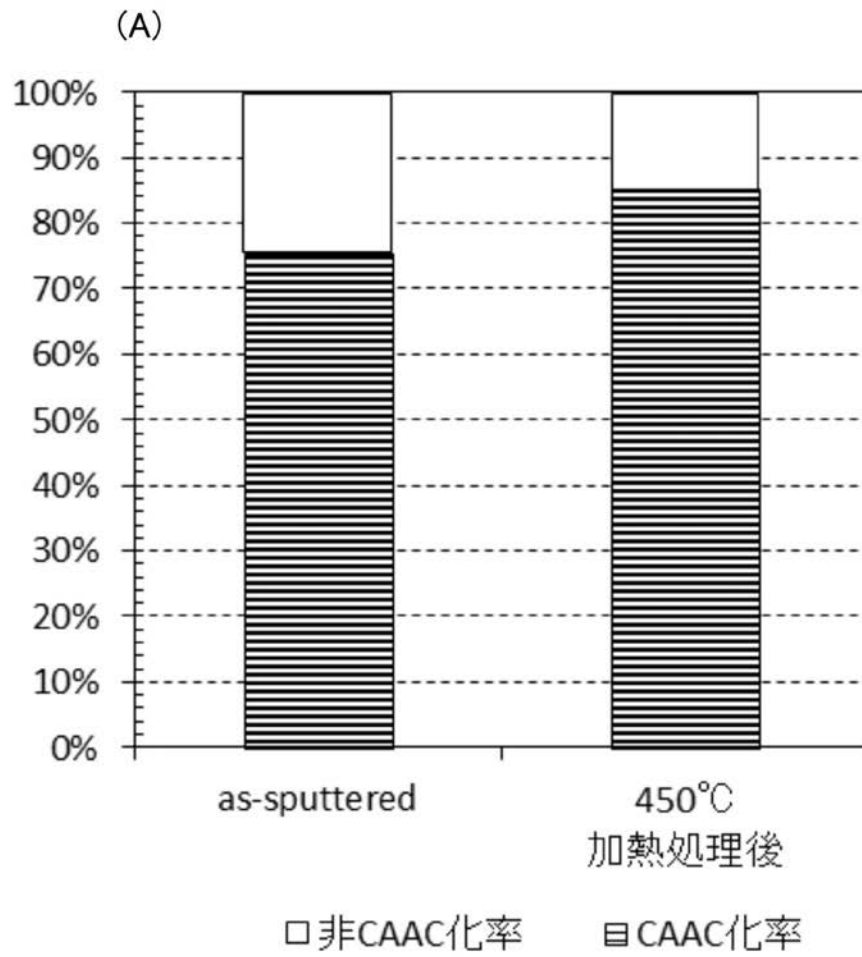
(C)



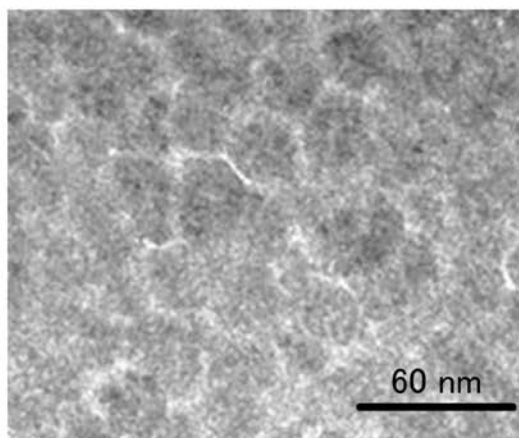
(D)



【図 19】

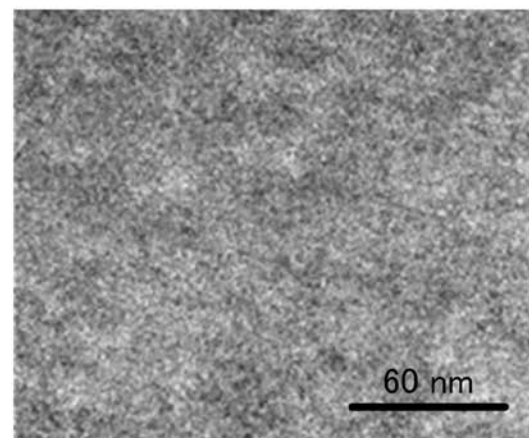


(B)



as-sputtered

(C)



450°C 加熱処理後

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
H 0 1 L 29/417 (2006.01)	H 0 1 L 29/78	6 1 6 K
G 0 2 F 1/1368 (2006.01)	H 0 1 L 27/08	1 0 2 E
G 0 9 F 9/30 (2006.01)	H 0 1 L 29/78	6 1 7 U
	H 0 1 L 29/78	6 1 7 T
	H 0 1 L 29/78	6 1 7 V
	H 0 1 L 21/28	K
	H 0 1 L 21/28	3 0 1 B
	H 0 1 L 29/50	M
	G 0 2 F 1/1368	
	G 0 9 F 9/30	3 3 8

F ターム(参考)	4M104	AA01	AA02	AA03	AA04	AA05	AA08	AA09	BB01	BB02	BB03
		BB04	BB05	BB06	BB08	BB09	BB13	BB14	BB16	BB17	BB18
		BB21	BB30	BB32	BB36	CC01	DD26	DD74	FF13	GG09	HH12
		HH20									
	5C094	AA21	AA31	BA03	BA27	BA43	BA61	CA19	DA13	DB04	FA02
		FB12	FB14	FB15	HA06	HA07	HA08	JA01	JA08		
	5F048	AA07	AB04	AB10	AC01	BA01	BA14	BA16	BA19	BA20	BB06
		BB08	BB09	BB11	BB12	BB13	BC18	BF02	BF07	BF12	BF16
		BG12	BG13	CB01	CB03	DA24					
	5F110	AA04	BB02	BB08	CC01	CC03	DD01	DD02	DD03	DD04	DD05
		DD12	DD13	DD14	DD15	DD17	DD24	DD25	EE01	EE02	EE03
		EE04	EE05	EE06	EE07	EE09	EE14	EE15	EE30	EE43	EE44
		EE45	FF01	FF02	FF03	FF04	FF09	FF12	FF21	FF27	FF28
		FF29	GG01	GG02	GG03	GG04	GG05	GG12	GG13	GG14	GG15
		GG16	GG17	GG19	GG22	GG25	GG33	GG35	GG42	GG43	GG44
		GG58	HJ30	HK01	HK02	HK03	HK04	HK06	HK07	HK21	HK22
		HK32	HK33	HK34	HK42	HK50	HM02	HM03	NN03	NN04	NN22
		NN23	NN24	NN33	NN34	NN35	NN40	NN44	NN45	NN46	NN47
		NN53	NN54	NN55	NN71	NN72	NN73	NN74	QQ09	QQ16	QQ19