

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022년 5월 27일 (27.05.2022) WIPO | PCT

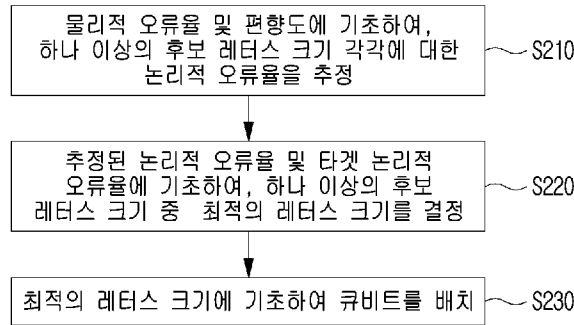


(10) 국제공개번호
WO 2022/107997 A1

- (51) 국제특허분류: *H03M 13/03* (2006.01) *G06F 11/16* (2006.01)
H03M 13/00 (2006.01)
- (21) 국제출원번호: PCT/KR2021/000978
- (22) 국제출원일: 2021년 1월 25일 (25.01.2021)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2020-0153557 2020년 11월 17일 (17.11.2020) KR
- (71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 02841 서울시 성북구 안암로 145, Seoul (KR).
- (72) 발명자: 허준 (HEO, Jun); 06359 서울시 강남구 광평로 10길 6, 206동 103호, Seoul (KR). 이종현 (LEE, Jong Hyun); 02475 서울시 동대문구 제기로 4가길 10-1, 492호, Seoul (KR).
- (74) 대리인: 최윤서 등 (CHOE, Yun Seo et al.); 06253 서울특별시 강남구 도곡로 111, 3층 윤특허법률사무소, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: METHOD AND APPARATUS FOR OPTIMIZING BIAS ERROR-BASED QUANTUM ERROR CORRECTION CODE

(54) 발명의 명칭: 편향된 오류 기반 양자 오류 정정 부호 최적화 방법 및 장치



S210 ... Estimate, on basis of physical error rate and bias degree, logical error rate for each of one or more candidate lattice sizes

S220 ... Determine, on basis of estimated logical error rate and target logical error rate, optimal lattice size from among one or more candidate lattice sizes

S230 ... Arrange Qubit on basis of optimal lattice size

(57) Abstract: The present disclosure relates to a quantum error correction code and, more particularly, to a method and apparatus for optimizing a quantum error correction code in a biased error environment. The method for optimizing a quantum error correction code, according to an embodiment of the present disclosure, may comprise the steps of: estimating, on the basis of a physical error rate (P_{phy}) and a bias degree (η), a logical error rate (P_{fail}) for each of one or more candidate lattice sizes; determining, on the basis of the estimated logical error rate (P_{fail}) and a target logical error rate ($P_{\text{f,target}}$), an optimal lattice size from among the one or more candidate lattice sizes; and arranging a Qubit on the basis of the optimal lattice size. Here, when the bias degree (η) exceeds 1, the one or more candidate lattice sizes may be defined in the form of a rectangular excluding a square.

[다음 쪽 계속]

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

규칙 4.17에 의한 선언서:

- 신규성을 해치지 아니하는 개시 또는 신규성 상실의 예
외에 관한 선언 (규칙 4.17(v))

공개:

- 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 개시는 양자 오류 정정 부호에 대한 것이며, 구체적으로는 편향된 오류 환경에서의 양자 오류 정정 부호를 최적화하는 방법 및 장치에 대한 것이다. 본 개시의 일 실시예에 따른 양자 오류 정정 부호의 최적화 방법은, 물리적 오류율(p_{phy}) 및 편향도(η)에 기초하여, 하나 이상의 후보 래터스(lattice) 크기 각각에 대한 논리적 오류율(P_{fail})을 추정하는 단계; 상기 추정된 논리적 오류율(P_{fail}) 및 타겟 논리적 오류율($P_{\text{f,target}}$)에 기초하여, 상기 하나 이상의 후보 래터스 크기 중 최적의 래터스 크기를 결정하는 단계; 및 상기 최적의 래터스 크기에 기초하여 큐비트를 배치하는 단계를 포함할 수 있다. 여기서, 상기 편향도(η)가 1 초과인 경우, 상기 하나 이상의 후보 래터스 크기는 정사각형을 제외한 직사각형 형태로 정의될 수 있다.

명세서

발명의 명칭: 편향된 오류 기반 양자 오류 정정 부호 최적화 방법 및 장치

기술분야

- [1] 본 개시는 양자 오류 정정 부호에 대한 것이며, 구체적으로는 편향된 오류 환경에서의 양자 오류 정정 부호를 최적화하는 방법 및 장치에 대한 것이다.

배경기술

- [2] 양자 역학의 원리를 컴퓨팅 및 통신에 적용함으로써 이론적으로는 고전 디지털 컴퓨팅 및 통신에 비하여 현저하게 고속 및 절대적인 보안성을 제공할 수 있다. 양자 정보에 대한 노이즈 또는 오류(error)로 인한 양자 컴퓨팅 및 양자 정보 통신의 구현의 어려움을 극복하기 위해서, 양자 오류 정정 부호 (Quantum error correcting code)를 이용한 결함 허용적 양자 정보 처리 (Fault-tolerant quantum information processing)가 연구되고 있다.
- [3] 양자 오류는 비트 플립 오류(bit flip error) 및 페이즈 플립 오류(phase flip error)를 포함하며, 비트 플립 오류는 X 오류, 페이즈 플립 오류는 Z 오류라고 칭할 수 있다. 결함 허용 양자 컴퓨팅을 위하여 일반적으로 균등한 확률로 X 오류 및 Z 오류가 발생하는 상황을 가정하여 수많은 오류 정정 부호 연구가 진행되어 왔다. 그러나, 실제로는 디페이징(dephasing)으로 인해 발생하는 Z 오류가, 에너지 단계 변화로 인해 발생하는 X 오류보다 자주 발생한다. 따라서, 편향된 오류(biased error) 환경에서의 효율적인 양자 오류 정정 부호가 요구되고 있으며, 특히 편향된 오류 기반 양자 오류 정정 부호에 대한 최적화를 위한 구체적인 방안은 아직까지 마련되어 있지 않다.

발명의 상세한 설명

기술적 과제

- [4] 본 개시의 기술적 과제는 편향된 오류 환경에서 양자 오류 정정 부호의 오류율을 낮추는 방법 및 장치를 제공하는 것이다.
- [5] 본 개시의 추가적인 기술적 과제는 편향된 오류 환경에서 양자 오류 정정 부호의 논리적 오류율을 추정하는 방법 및 장치를 제공하는 것이다.
- [6] 본 개시의 추가적인 기술적 과제는 편향된 오류 환경에서 양자 오류 정정 부호에 요구되는 큐비트 개수를 줄이는 방법 및 장치를 제공하는 것이다.
- [7] 본 개시에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

기술적 해결방법

- [8] 본 개시의 일 양상에 따른 양자 오류 정정 부호의 최적화 방법은, 물리적

오류율(p_{phy}) 및 편향도(η)에 기초하여, 하나 이상의 후보 래티스(lattice) 크기 각각에 대한 논리적 오류율(P_{fail})을 추정하는 단계; 상기 추정된 논리적 오류율(P_{fail}) 및 타겟 논리적 오류율($P_{\text{f,target}}$)에 기초하여, 상기 하나 이상의 후보 래티스 크기 중 최적의 래티스 크기를 결정하는 단계; 및 상기 최적의 래티스 크기에 기초하여 큐비트를 배치하는 단계를 포함할 수 있다. 여기서, 상기 편향도(η)가 1 초과인 경우, 상기 하나 이상의 후보 래티스 크기는 정사각형을 제외한 직사각형 형태로 정의될 수 있다.

- [9] 본 개시의 추가적인 양상에 따른 양자 오류 정정 부호의 최적화 장치는, 물리적 오류율(p_{phy}), 편향도(η), 하나 이상의 후보 래티스(lattice) 크기, 또는 타겟 논리적 오류율($P_{\text{f,target}}$) 중의 하나 이상을 포함하는 기초 정보를 획득하는, 기초 정보 획득부; 상기 물리적 오류율(p_{phy}) 및 상기 편향도(η)에 기초하여, 상기 하나 이상의 후보 래티스(lattice) 크기 각각에 대한 논리적 오류율(P_{fail})을 추정하는, 논리적 오류율 추정부; 상기 추정된 논리적 오류율(P_{fail}) 및 상기 타겟 논리적 오류율($P_{\text{f,target}}$)에 기초하여, 상기 하나 이상의 후보 래티스 크기 중 최적의 래티스 크기를 결정하는, 래티스 크기 최적화부; 및 상기 최적의 래티스 크기에 기초하여 큐비트를 배치하는, 큐비트 배치부를 포함할 수 있다. 여기서, 상기 편향도(η)가 1 초과인 경우, 상기 하나 이상의 후보 래티스 크기는 정사각형을 제외한 직사각형 형태로 정의될 수 있다.

- [10] 본 개시에 대하여 위에서 간략하게 요약된 특징들은 후술하는 본 개시의 상세한 설명의 예시적인 양상일 뿐이며, 본 개시의 범위를 제한하는 것은 아니다.

발명의 효과

- [11] 본 개시에 따르면, 편향된 오류 환경에서 양자 오류 정정 부호의 오류율을 낮추는 방법 및 장치가 제공될 수 있다.
- [12] 본 개시에 따르면, 편향된 오류 환경에서 양자 오류 정정 부호의 논리적 오류율을 추정하는 방법 및 장치가 제공될 수 있다.
- [13] 본 개시에 따르면, 편향된 오류 환경에서 양자 오류 정정 부호에 요구되는 큐비트 개수를 줄이는 방법 및 장치가 제공될 수 있다.
- [14] 본 개시에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [15] 도 1은 본 개시가 적용될 수 있는 오류 정정 부호의 큐비트 배치에 대한 예시들을 나타낸다.
- [16] 도 2는 본 개시가 적용될 수 있는 편향된 오류 기반 양자 오류 정정 부호 최적화 방법의 예시를 설명하기 위한 흐름도이다.
- [17] 도 3은 본 개시가 적용될 수 있는 편향된 오류 기반 양자 오류 정정 부호 최적화

장치의 예시를 설명하기 위한 흐름도이다.

- [18] 도 4는 본 개시가 적용될 수 있는 래터스 크기 별로 논리적 오류율 추정값에 대한 예시적인 시뮬레이션 결과를 나타내는 도면이다.

발명의 실시를 위한 최선의 형태

- [19] 이하에서는 첨부한 도면을 참고로 하여 본 개시의 실시예에 대하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나, 본 개시는 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [20] 본 개시의 실시예를 설명함에 있어서 공지 구성 또는 기능에 대한 구체적인 설명이 본 개시의 요지를 흐릴 수 있다고 판단되는 경우에는 그에 대한 상세한 설명은 생략한다. 그리고, 도면에서 본 개시에 대한 설명과 관계없는 부분은 생략하였으며, 유사한 부분에 대해서는 유사한 도면 부호를 붙인다.
- [21] 본 개시에 있어서, 어떤 구성요소가 다른 구성요소와 "연결", "결합" 또는 "접속"되어 있다고 할 때, 이는 직접적인 연결관계 뿐만 아니라, 그 중간에 또 다른 구성요소가 존재하는 간접적인 연결관계도 포함할 수 있다. 또한 어떤 구성요소가 다른 구성요소를 "포함한다" 또는 "가진다"고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 배제하는 것이 아니라 또 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [22] 본 개시에 있어서, 제1, 제2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용되며, 특별히 언급되지 않는 한 구성요소들 간의 순서 또는 중요도 등을 한정하지 않는다. 따라서, 본 개시의 범위 내에서 일 실시예에서의 제1 구성요소는 다른 실시예에서 제2 구성요소라고 칭할 수도 있고, 마찬가지로 일 실시예에서의 제2 구성요소를 다른 실시예에서 제1 구성요소라고 칭할 수도 있다.
- [23] 본 개시에 있어서, 서로 구별되는 구성요소들은 각각의 특징을 명확하게 설명하기 위한 것이며, 구성요소들이 반드시 분리되는 것을 의미하지는 않는다. 즉, 복수의 구성요소가 통합되어 하나의 하드웨어 또는 소프트웨어 단위로 이루어질 수도 있고, 하나의 구성요소가 분산되어 복수의 하드웨어 또는 소프트웨어 단위로 이루어질 수도 있다. 따라서, 별도로 언급하지 않더라도 이와 같이 통합된 또는 분산된 실시예도 본 개시의 범위에 포함된다.
- [24] 본 개시에 있어서, 다양한 실시예에서 설명하는 구성요소들이 반드시 필수적인 구성요소들은 의미하는 것은 아니며, 일부는 선택적인 구성요소일 수 있다. 따라서, 일 실시예에서 설명하는 구성요소들의 부분집합으로 구성되는 실시예도 본 개시의 범위에 포함된다. 또한, 다양한 실시예에서 설명하는 구성요소들에 추가적으로 다른 구성요소를 포함하는 실시예도 본 개시의 범위에 포함된다.
- [25] 이하에서는 본 개시에 따른 편향된 오류 기반 양자 오류 정정 부호의 논리적

오류율의 개선, 논리적 오류율의 추정 기법, 큐비트 개수를 최적화(즉, 리소스를 감소)하기 위한 래터스(lattice) 형태에 대해서 설명한다.

- [26] 양자 컴퓨팅의 연산 기본 단위인 큐비트(qubit)는 고전 디지털 비트보다 오류에 취약하며, 이를 극복하기 위해서 낮은 오류율을 가지는 물리적 큐비트의 개발 및 오류 정정 부호를 확보할 수 있을 만큼의 많은 큐비트 개수의 개발 등이 이루어지고 있다. 양자 오류 정정 부호는 양자 채널에서 발생하는 오류를 추가 큐비트를 사용하여 검출하고 정정하기 위한 도구이다. 물리적(physical) 오류율이 임계치(threshold)보다 낮은 경우, 부호의 거리(distance)를 증가시킴으로써 논리적(logical) 오류율을 0에 가깝게 만들 수 있다. 양자 오류 정정 부호는 연결기반 부호(concatenated code)와 토폴로지(topology)에 기반한 서피스 부호(surface code)로 구분될 수 있다. 연결 기반 부호에 비하여 서피스 부호는 양자 오류 정정 부호가 효율적으로 동작하기 위해서 물리적 큐비트에 요구하는 오류율에 대한 임계치가 높고 근접 연산자로 구성되어 있으므로, 향후 오류 정정 부호로 각광받고 있다.
- [27] 서피스 부호에 대한 다양한 연구가 진행되고 있으나, Z 오류에 편향된 채널에 대한 오류 정정 부호에 대한 연구는 아직까지 구체화되어 있지 않다. 구체적으로, 실제 큐비트 시스템인 이온트랩 큐비트 시스템, 초전도 큐비트 시스템 등에서는 X 오류와 Z 오류가 동등하게 발생하지 않고, Z 오류에 편향된 오류가 주로 발생하고 있지만, 기존의 양자 오류 정정 기술들은 편향된 채널 또는 편향된 오류 환경을 고려하지 않는 것이 대부분이다. 일부 편향된 오류를 고려하는 기술은 머신 러닝 기법을 활용하고 있으며, 모델 설계 및 훈련 등에 시간 및 자원이 소요되는 문제가 있다.
- [28] 본 개시에 따른 실시예들에서는 편향된 오류 기반의 오류 정정 부호를 고려하되, 머신 러닝 기법을 사용하지 않고 큐비트의 배치를 수정함으로써 Z 오류에 편향된 오류 채널에서의 리소스를 감소하고 논리적 오류율을 개선하는 구체적인 방안에 대해서 설명한다.
- [29] 이에 따라, X 오류와 Z 오류가 동등한 확률로 발생하는 오류 채널을 가정하는 기존의 오류 정정 부호에 비하여, 본 개시에서는 Z 오류에 편향된 오류 채널을 가정한 오류 정정 부호를 적용함으로써 실제 오류 채널에서 더 효율적으로 동작할 수 있다. 또한, 본 개시에서는 논리적 X 연산자와 논리적 Z 연산자가 상이한 오류 정정 부호를 구성함으로써, Z 오류에 편향된 오류 채널에서 논리적 오류율을 개선할(즉, 낮출) 수 있다. 또한, 본 개시에서는 편향된 오류 기반 오류 정정 부호에 대한 논리적 오류율을 추정하는 방안을 제공할 수 있다. 또한, 본 개시에서는 목적하는(즉, 타겟) 논리적 오류율을 달성하기 위해서 요구되는 큐비트 개수를 최소화(즉, 리소스를 감소)할 수 있다.
- [30] 본 개시가 적용될 수 있는 서피스 부호 중에서 널리 알려진 토릭(Toric) 서피스 부호의 논리적 연산자(logical operator)는 논리적 X 연산자와 논리적 Z 연산자를 포함할 수 있다. 각각의 논리적 연산자의 오류 정정 성능에 대한 파라미터는

거리(distance)로 표현할 수 있고, 최소가 되는 거리(d)를 해당 연산자의 가중치(weight)라 할 수 있다. 논리적 연산자의 가중치는 논리적 오류율과 연관된다. 예를 들어, 가중치가 높을수록 오류율이 개선된다. 한편, 논리적 연산자의 가중치가 높을수록 오류율은 개선되지만 오류 정정에 필요한 큐비트 개수(즉, 리소스)가 증가하게 된다.

[31] 편향된 오류를 고려하지 않는 경우, 논리적 X 연산자와 논리적 Z 연산자는 동일한 가중치(=d)를 가진다. 또한, X 오류가 많이 발생할수록 논리적 X 연산자의 오류율이 증가하고, Z 오류가 많이 발생할수록 논리적 Z 연산자의 오류율이 증가한다.

[32] 도 1은 본 개시가 적용될 수 있는 오류 정정 부호의 큐비트 배치에 대한 예시들을 나타낸다.

[33] 큐비트는 에지(edge), 페이스(face) 및 버텍스(vertex)에 위치할 수 있다. 에지에는 데이터 큐비트(data qubit)가 배치되고, 페이스에는 Z 연산자로 구성되는 Z 고정연산자(stabilizer) 큐비트(Bp)가 배치되고, 버텍스에는 일반적으로 4 개의 X 연산자로 구성되는 X 고정연산자 큐비트(Av)가 배치될 수 있다. 논리적 X 연산자는 가로 경계(boundary)를 잇는 연산자로 정의된다. 논리적 Z 연산자는 세로 경계를 잇는 연산자로 정의된다.

[34] 도 1(a)는 기존의 서피스 부호의 큐비트 배치의 예시를 나타낸다. 기존의 서피스 부호는 X 오류와 Z 오류가 동등하게 발생하는(즉, 편향되지 않은) 오류 채널을 가정한 것이며, 2차원 큐비트 래티스(lattice)가 정사각형(square) 형태로 구성된다.

[35] 도 1(a)의 예시에서 논리적 X 연산자는 러프 경계(rough boundary)인 왼쪽 경계와 오른쪽 경계를 잇는 연산자에 해당할 수 있다. 논리적 X 연산자의 가중치는, 왼쪽 경계와 오른쪽 경계를 잇는 선이 지나가는 에지의 개수에 대응할 수 $\overline{X}$ 있고, 본 예시에서 $\overline{X}$ =XXXXX=5일 수 있다. 여기서, 논리적 X 연산자의

가중치 또는 최소 거리는 래티스의 가로 길이인 L_1 에 대응할 수 있다.

[36] 도 1(a)의 예시에서 논리적 Z 연산자는 스무스 경계(smooth boundary)인 위쪽 경계와 아래쪽 경계를 잇는 연산자에 해당할 수 있다. 논리적 Z 연산자의 가중치 또는 최소 거리인 $\overline{Z}$ 는, 위쪽 경계와 아래쪽 경계를 잇는 선이 지나가는 에지의

개수에 대응할 수 있고, 본 예시에서 $\overline{Z}$ =ZZZZZ=5일 수 있다. 여기서, 논리적 Z

연산자의 가중치 또는 최소 거리는 래티스의 세로 길이인 L_2 에 대응할 수 있다.

[37] 이에 따라, 도 1(a)의 예시에서의 래티스 크기는 $L_1 \times L_2 = 5 \times 5$ 로 정의될 수 있다.

- [38] 도 1(b)는 본 개시에 따른 서피스 부호의 큐비트 배치의 예시를 나타낸다. 본 개시에 따른 서피스 부호는 X 오류와 Z 오류가 동등하지 않게 발생하는(즉, 편향된) 오류 채널을 가정한 것이며, 2차원 큐비트 래터스(lattice)가 정사각형(square)을 제외한 직사각형(rectangular) 형태로 구성된다. 또한, 본 예시에서는 Z 오류가 X 오류에 비하여 자주 발생하는 경우를 가정한다.
- [39] 도 1(b)의 예시에서 논리적 X 연산자는 러프 경계인 왼쪽 경계와 오른쪽 경계를 잇는 연산자에 해당할 수 있다. 논리적 X 연산자의 가중치 $\overline{X}$ 는, 왼쪽 경계와 오른쪽 경계를 잇는 선이 지나가는 에지의 개수에 대응할 수 있고, 본 예시에서 $\overline{X}=XXX=3$ 일 수 있다. 여기서, 논리적 X 연산자의 가중치 또는 최소 거리는 $\overline{X}$ 래터스의 가로 길이인 L_1 에 대응할 수 있다.
- [40] 도 1(b)의 예시에서 논리적 Z 연산자는 스무스 경계인 위쪽 경계와 아래쪽 경계를 잇는 연산자에 해당할 수 있다. 논리적 Z 연산자의 가중치 또는 최소 거리인 $\overline{Z}$ 는, 위쪽 경계와 아래쪽 경계를 잇는 선이 지나가는 에지의 개수에 대응할 수 있고, 본 예시에서 $\overline{Z}=ZZZZZZZ=7$ 일 수 있다. 여기서, 논리적 Z 연산자의 가중치 또는 최소 거리는 래터스의 세로 길이인 L_2 에 대응할 수 있다.
- [41] 이에 따라, 도 1(b)의 예시에서의 래터스 크기는 $L_1 \times L_2 = 3 \times 7$ 로 정의될 수 있다.
- [42] 도 1(a)의 예시는 편향되지 않은 오류 기반의 기존 서피스 부호의 큐비트 배치를 나타내고, 정사각형 형태의 래터스에 큐비트가 배치된다. 한편, 도 1(b)의 예시는 편향된 오류 기반의 새로운 서피스 부호의 큐비트 배치를 나타내고, 정사각형을 제외한 직사각형 형태의 래터스에 큐비트가 배치된다. 도 1(a)의 예시에 비하여 도 1(b)의 예시와 같은 직사각형 형태의 래터스 구조를 적용하는 경우, Z 오류가 발생하는 확률을 낮출 수 있다.
- [43] 도 2는 본 개시가 적용될 수 있는 편향된 오류 기반 양자 오류 정정 부호 최적화 방법의 예시를 설명하기 위한 흐름도이다.
- [44] 단계 S210에서 물리적 오류율(p_{phy}) 및 편향도(η)에 기초하여, 하나 이상의 후보 래터스 크기 각각에 대한 논리적 오류율(P_{fail})을 추정할 수 있다. 물리적 오류율(p_{phy}) 및 편향도(η)는 오류 채널의 특성에 따라서 미리 설정될(또는 주어질) 수 있다.
- [45] 여기서, 물리적 오류율(p_{phy})은 물리적 Z 오류율(p_z) 및 물리적 X 오류율(p_x)을 포함할 수 있다. 편향도(η)는 $\eta = p_z / p_x$ 로 정의될 수 있다.
- [46] 편향도(η)가 1인 경우에 래터스 크기는 정사각형 형태를 가질 수 있으나, 본 개시에서는 편향도가 1을 초과(즉, Z 오류율이 X 오류율에 비하여 더 자주

발생)하는 경우를 가정하므로, 상기 하나 이상의 후보 래터스의 각각의 크기는 정사각형을 제외한 직사각형 형태로 정의될 수 있다. 즉, 상기 하나 이상의 후보 래터스의 각각의 크기는, 논리적 X 연산자의 최소 거리(L_1) (또는 논리적 X 연산자의 가중치 또는 래터스의 가로 길이)에 비하여 논리적 Z 연산자의 최소 거리(L_2) (또는 논리적 Z 연산자의 가중치 또는 래터스의 세로 길이)가 큰 형태로 정의될 수 있다.

[47] 논리적 오류율(P_{fail})은 아래의 수학적 식 1과 같이 정의될 수 있다.

[48] [수식1]

$$P_{fail} = 1 - (1 - P_{Lz})(1 - P_{Lx}) = P_{Lz} + P_{Lx} - P_{Lz}P_{Lx}$$

[49] 수학적 식 1에서 P_{Lx} 는 논리적 X 오류율에 해당할 수 있고, P_{Lz} 는 논리적 Z 오류율에 해당할 수 있다.

[50] 논리적 X 오류율(P_{Lx})은 아래의 수학적 식 2와 같이 추정될 수 있다.

[51] [수식2]

$$P_{Lx} = L_2 \sqrt{\frac{2L_1}{\pi(L_1+1)^2} \times \left(\frac{4L_1^2}{L_1^2-1}\right)^{L_1} \left(\frac{1}{\eta+1} p_{phy}\right)^{\lceil L_1/2 \rceil}} \quad \text{for } p_X < p_{X,low}$$

[52]
$$P_{Lx} = \exp\left[\left(c_1\left(\frac{1}{\eta+1} p_{phy} - c_2\right)^2 + c_3\right)L_1\right] \times \left[\left(\frac{c_4}{\eta+1} p_{phy} + c_5\right)L_2 + c_6\left(\frac{1}{\eta+1} p_{phy} - c_7\right)^2 + c_8\right] \quad \text{for } p_X > p_{X,high}$$

[53] 수학적 식 2에서 물리적 X 오류율(p_X)이 제 1 임계값($p_{X,low}$) 미만인 경우에, 후보 래터스 크기인 L_1 및 L_2 , 물리적 오류율(p_{phy}) 및 편향도(η)에 기초하여 논리적 X 오류율(P_{Lx})이 결정될 수 있다.

[y]

는 y이상의 최소의 정수를 의미한다.

[54] 수학적 식 2에서 물리적 X 오류율(p_X)이 제 2 임계값($p_{X,high}$) 초과인 경우에, 후보 래터스 크기인 L_1 및 L_2 , 물리적 오류율(p_{phy}), 편향도(η) 및 소정의 상수들에 기초하여 논리적 X 오류율(P_{Lx})이 결정될 수 있다. 여기서 소정의 상수들인 $c_1, c_2, c_3, c_4, c_5, c_6, c_7$ 및 c_8 은 데이터의 특성에 기초하여 설정되는(또는 주어지는) 값일 수 있다. 즉, 실험 또는 시뮬레이션의 대상인 데이터(또는 양자 데이터)의 값 또는 상태에 따라서 c_1 내지 c_8 의 상수들의 값이 정해질 수 있다.

[55] 제 1 임계값은 이상적인 또는 이론적인 동작이 예측되는 논리적 오류율의 상한의 값으로 설정될 수 있다. 제 2 임계값은 실험적인 또는 시뮬레이션에 따른 동작이 예측되는 논리적 오류율의 하한의 값으로 설정될 수 있다.

[56] 제 2 임계값은 제 1 임계값보다 클 수도 있다. 또한, 제 1 임계값 미만의 범위는 제 1 임계값 이하의 범위로 대체될 수도 있다. 또한, 제 2 임계값 초과 범위는 제 2 임계값 이상의 범위로 대체될 수도 있다. 제 1 임계값 이상(또는 초과)이며 제 2 임계값 이하(또는 미만)인 범위는 논리적 오류율의 추정이 불가능한 범위에 해당하므로, 본 개시에서 고려하지 않는다.

[57] 논리적 Z 오류율(P_{Lz})은 아래의 수학적 식 3과 같이 추정될 수 있다.

[58] [수식3]

$$P_{Lz} = L_1 \sqrt{\frac{2L_2}{\pi(L_2+1)^2} \times \left(\frac{4L_2^2}{L_2^2-1}\right)^{L_2} \left(\frac{\eta}{\eta+1} p_{phy}\right)^{\lceil L_2/2 \rceil}} \quad \text{for } p_z < p_{z,low}$$

[59]

$$P_{Lz} = \exp\left[\left(c_1\left(\frac{\eta}{\eta+1} p_{phy} - c_2\right)^2 + c_3\right)L_2\right] \times \left[\left(\frac{c_4\eta}{\eta+1} p_{phy} + c_5\right)L_1 + c_6\left(\frac{\eta}{\eta+1} p_{phy} - c_7\right)^2 + c_8\right] \quad \text{for } p_z > p_{z,high}$$

[60]

수학식 3에서 물리적 Z 오류율(p_z)이 제 3 임계값($p_{z,low}$) 미만인 경우에, 후보 래터스 크기인 L_1 및 L_2 , 물리적 오류율(p_{phy}) 및 편향도(η)에 기초하여 논리적 Z 오류율(P_{Lz})이 결정될 수 있다.

[y]

는 y이상의 최소의 정수를 의미한다.

[61]

수학식 3에서 물리적 Z 오류율(p_z)이 제 4 임계값($p_{z,high}$) 초과인 경우에, 후보 래터스 크기인 L_1 및 L_2 , 물리적 오류율(p_{phy}), 편향도(η) 및 소정의 상수들에 기초하여 논리적 Z 오류율(P_{Lz})이 결정될 수 있다. 여기서 소정의 상수들인 $c_1, c_2, c_3, c_4, c_5, c_6, c_7$ 및 c_8 은 데이터의 특성에 기초하여 설정되는(또는 주어지는) 값일 수 있다. 즉, 실험 또는 시뮬레이션의 대상인 데이터(또는 양자 데이터)의 값 또는 상태에 따라서 c_1 내지 c_8 의 상수들의 값이 정해질 수 있다.

[62]

예를 들어, 수학식 2 및 수학식 3에서의 c_1 내지 c_8 의 상수들의 값은, 시뮬레이션 결과 데이터 값과 수학식 2 또는 3에 따라 결정되는 그래프의 값의 오차가 허용범위 내가 되도록(또는 오차 또는 오차의 합이 최소가 되도록) 하는 값들로 결정될 수 있다. 예를 들어, c_1 내지 c_8 의 값은 아래의 표 1과 같이 결정될 수 있다. 표 1의 c_1 내지 c_8 의 값은 다양한 래터스 크기 및 오류율 등을 고려하여 결정된 예시적인 값이며, 본 개시의 범위가 c_1 내지 c_8 의 구체적인 값으로 제한되는 것은 아니다.

[63] [표1]

c_1	c_2	c_3	c_4	c_5	c_6	c_7	c_8
-65.727	-0.122	-0.0682	-0.172	0.065	0.190	-6.070	-7.407

[64]

제 3 임계값은 이상적인 또는 이론적인 동작이 예측되는 논리적 오류율의 상한의 값으로 설정될 수 있다. 제 4 임계값은 실험적인 또는 시뮬레이션에 따른 동작이 예측되는 논리적 오류율의 하한의 값으로 설정될 수 있다.

[65]

제 4 임계값은 제 3 임계값보다 클 수도 있다. 또한, 제 3 임계값 미만의 범위는 제 3 임계값 이하의 범위로 대체될 수도 있다. 또한, 제 4 임계값 초과 범위는 제 4 임계값 이상의 범위로 대체될 수도 있다. 제 3 임계값 이상(또는 초과)이며 제 4 임계값 이하(또는 미만)인 범위는 논리적 오류율의 추정이 불가능한 범위에 해당하므로, 본 개시에서 고려하지 않는다.

[66]

단계 S220에서, 단계 S210에서 추정된 논리적 오류율(P_{fail}) 및 타겟 논리적 오류율($P_{f,target}$)에 기초하여, 상기 하나 이상의 후보 래터스 크기 중 최적의 래터스

크기를 결정할 수 있다. 타겟 논리적 오류율($P_{f,target}$)은 최적의 래터스 크기를 결정하기 위한 기준이 되는 값으로 미리 설정될(또는 주어질) 수 있다.

[67] 최적의 래터스 크기는 아래의 수학적식 4와 같이 결정될 수 있다.

[68] [수식4]

$$\arg \min_{L_1, L_2} 2L_1L_2 - L_1 - L_2 + 1$$

[69] *s.t.* $P_{fail} \leq P_{f,target}$

[70] 수학적식 4에 따르면, 타겟 논리적 오류율($P_{f,target}$) 이하의 논리적 오류율(P_{fail})을 만족하도록, $2L_1L_2 - L_1 - L_2 + 1$ 의 함수의 값이 최소가 되도록 하는 L_1 및 L_2 각각의 값(즉, $L_{1,opt}$ 및 $L_{2,opt}$)을 구할 수 있다.

[71] 단계 S230에서, 단계 S220에 결정된 최적의 래터스 크기에 기초하여 큐비트를 배치할 수 있다. 최적의 래터스 크기의(특히, $L_{2,opt} > L_{1,opt}$ 인 직사각형 형태의) 래터스에 큐비트가 배치된 양자 오류 정정 부호(예를 들어, 서피스 부호)는, Z 오류에 편향된 환경에서 Z 오류가 발생하는 확률을 낮출 수 있는 동시에, 필요한 큐비트 개수를 최소화(또는 최적화)할 수 있다.

[72] 도 2의 예시를 참조하여 설명한 바와 같이 타겟 논리적 오류율($P_{f,target}$), 물리적 오류율(p_{phy}), 및 편향도(η)가 주어졌을 때, 서로 다른 래터스 크기마다 논리적 오류율 추정 기법을 통해 필요한 큐비트 수를 최적화할 수 있다.

[73] 또한, 논리적 X 오류율 및 논리적 Z 오류율의 추정을 위해, 가능한 물리적 오류율의 범위를 2 가지 범위(논리적 X 오류율에 대해서 제 1 임계값 미만 및 제 2 임계값 초과, 또는 논리적 Z 오류율에 대해서 제 3 임계값 미만 및 제 4 임계값 초과) 구분하여 최종 논리적 오류율(P_{fail})을 추정할 수 있다.

[74] 본 개시에 따른 편향된 오류 기반 양자 오류 정정 부호 최적화 방법이 적용된 예시를 아래의 표 2와 같이 나타낼 수 있다.

[75]

[표2]

$P_{f,target}$	η	p_{phy}	Optimal Lattice Size $L_{1,opt} \times L_{2,opt}$	$P_{f,target}$	Square Lattice Size
10^{-2}	2.5	0.11	9×19	6.38×10^{-3}	23×23
		0.1	9×15	6.85×10^{-3}	19×19
	2	0.11	9×17	7.22×10^{-3}	19×19
		0.1	9×13	8.01×10^{-3}	15×15
10^{-3}	2.5	0.1	13×29	6.07×10^{-4}	31×31
		0.08	11×19	4.5×10^{-4}	21×21
	2	0.1	15×25	7.47×10^{-4}	27×27
		0.08	11×17	5.23×10^{-4}	17×17

- [76] 표 2의 예시에서는 타겟 논리적 오류율($P_{f,target}$)이 10^{-2} 및 10^{-3} 인 경우, 편향도(η)가 2.5 및 2인 경우, 물리적 오류율(p_{phy})이 0.11 및 0.1 경우 또는 0.1 및 0.08인 경우의 조합의 각각에 대해서 산출되는 최적의 래터스 크기($L_{1,opt}$ 및 $L_{2,opt}$)를 나타낸다. 이와 비교하기 위해서, 종래의 방식과 같이 정사각형 형태의 래터스 크기(square lattice size)에 대한 논리적 오류율($P_{f,rect}$)을 함께 나타낸다. 이에 따라, 본 개시에 따른 직사각형 형태(즉, $L_2 > L_1$)의 래터스 크기는 정사각형 형태(즉, $L_1 = L_2$)에 비하여 36% 내지 69%의 큐비트 개수가 감소되는 효과를 달성할 수 있다.
- [77] 도 3은 본 개시가 적용될 수 있는 편향된 오류 기반 양자 오류 정정 부호 최적화 장치의 예시를 설명하기 위한 흐름도이다.
- [78] 본 개시에 따른 양자 오류 정정 부호 최적화 장치(300)는 편향된 오류에 기반하여 동작할 수 있다. 양자 오류 정정 부호 최적화 장치(300)에서 산출되는 오류 정정 부호는 양자 컴퓨팅 또는 양자 통신을 수행하는 장치에 연동될 수 있다.
- [79] 양자 오류 정정 부호 최적화 장치(300)는 기초 정보 획득부(310), 논리적 오류율 추정부(320), 래터스 크기 최적화부(330) 및 큐비트 배치부(340)를 포함할 수 있다.
- [80] 기초 정보 획득부(310)는 물리적 오류율(p_{phy}), 편향도(η)는, 타겟 논리적 오류율($P_{f,target}$), 하나 이상의 후보 래터스의 크기 정보, 데이터 특성에 따른 상수들(예를 들어, 수학적 식 2 또는 수학적 식 3의 $c_1, c_2, c_3, c_4, c_5, c_6, c_7$ 및 c_8), 또는 물리적 오류율에 대한 범위 설정 값(예를 들어, 수학적 식 2의 제 1 및 제 2 임계값, 및 수학적 식 3의 제 3 및 제 4 임계값) 중의 하나 이상을 획득할 수 있다. 기초 정보는 사용자에게 의해서 특정 값으로 주어지거나 제공된 정보로부터 산출될

수도 있다. 여기서, 편향도(η)가 1 초과인 경우, 상기 하나 이상의 후보 래터스 크기는 정사각형을 제외한 직사각형 형태(즉, $L_2 > L_1$)로 정의될 수 있다.

- [81] 논리적 오류율 추정부(320)는 기초 정보 중에서 적어도 물리적 오류율(p_{phy}) 및 편향도(η)를 이용하여, 하나 이상의 후보 래터스 크기의 각각에 대한 논리적 X 오류율(예를 들어, 수학식 2의 논리적 X 오류율(P_{Lx}), 및 수학식 3의 논리적 Z 오류율(P_{Lz}))을 추정하고, 이에 기초하여 하나 이상의 후보 래터스 크기의 각각에 대해서 논리적 오류율(P_{fail})을 추정할 수 있다.
- [82] 래터스 크기 최적화부(330)는, 논리적 오류율 추정부(320)에서 추정된 논리적 오류율(P_{fail}) 및 기초 정보 중에서 적어도 타겟 논리적 오류율($P_{\text{f,target}}$)을 이용하여, 하나 이상의 후보 래터스 크기 중에서 최적의 래터스 크기(예를 들어, $L_{1,\text{opt}}$ 및 $L_{2,\text{opt}}$)를 결정할 수 있다.
- [83] 큐비트 배치부(340)는 래터스 크기 최적화부(330)에서 결정된 최적의 래터스 크기에 기초하여 큐비트를 배치할 수 있다.
- [84] 도 4는 본 개시가 적용될 수 있는 래터스 크기 별로 논리적 오류율 추정값에 대한 예시적인 시뮬레이션 결과를 나타내는 도면이다.
- [85] 도 4의 예시들에서 가로축은 물리적 오류율에 해당하고, 세로축은 논리적 오류율에 해당한다. 도 4의 예시들에서 점은 시뮬레이션 결과인 데이터 값을 나타내고, 선은 수학식 2 및/또는 수학식 3에 따라 추정된 논리적 오류율 값에 해당하는 추정 그래프를 나타낸다. 도 4의 예시들에서 데이터 값과 추정 그래프 값의 차이는 오차에 해당한다.
- [86] 도 4에서 도시하는 그래프에서 확인되는 바와 같이, 시뮬레이션을 통한 데이터 값과 수학식 3에 따라 추정된 값의 오차가 허용범위 내이고 그 경향성이 실질적으로 동일함을 알 수 있다. 따라서, 본 개시에 따른 수학식 3과 같은 논리적 Z 오류율 추정이 적합하다는 것을 확인할 수 있다.
- [87] 도 4(a)에서는 $L_1=15$ 이고 $L_2=9, 11, 13, 14, 17, 19$ 또는 21인 케이스들에 대한 시뮬레이션 데이터 값 및 추정 오류율 그래프를 나타낸다. 도 4(b)에서는 $L_1=17$ 이고 $L_2=9, 11, 13, 14, 17, 19$ 또는 21인 케이스들에 대한 시뮬레이션 데이터 값 및 추정 오류율 그래프를 나타낸다. 도 4(c)에서는 $L_1=19$ 이고 $L_2=9, 11, 13, 14, 17, 19$ 또는 21인 케이스들에 대한 시뮬레이션 데이터 값 및 추정 오류율 그래프를 나타낸다. 도 4(d)에서는 $L_1=21$ 이고 $L_2=9, 11, 13, 14, 17, 19$ 또는 21인 케이스들에 대한 시뮬레이션 데이터 값 및 추정 오류율 그래프를 나타낸다. 도시된 바와 같이, $L_1 < L_2$ 인 케이스에서 가장 낮은 논리적 오류율을 나타내며, 특히 물리적 오류율이 높을수록 논리적 오류율이 크게 낮아지는 경향을 확인할 수 있다.
- [88] 이와 같이, 높은 물리적 오류율 및 래터스 크기에서 논리적 오류율 데이터와 추정 그래프 값의 오차가 크지 않으며 전체적인 경향에 일치하므로, 추정 오류율이 실제 데이터에 충분히 부합하는 것을 확인할 수 있다.
- [89] 본 개시의 예시적인 방법들은 설명의 명확성을 위해서 동작의 시리즈로

표현되어 있지만, 이는 단계가 수행되는 순서를 제한하기 위한 것은 아니며, 필요한 경우에는 각각의 단계가 동시에 또는 상이한 순서로 수행될 수도 있다. 본 개시에 따른 방법을 구현하기 위해서, 예시하는 단계에 추가적으로 다른 단계를 포함하거나, 일부의 단계를 제외하고 나머지 단계를 포함하거나, 또는 일부의 단계를 제외하고 추가적인 다른 단계를 포함할 수도 있다.

- [90] 본 개시의 다양한 실시예는 모든 가능한 조합을 나열한 것이 아니고 본 개시의 대표적인 양상을 설명하기 위한 것이며, 다양한 실시예에서 설명하는 사항들은 독립적으로 적용되거나 또는 둘 이상의 조합으로 적용될 수도 있다.
- [91] 또한, 본 개시의 다양한 실시예는 하드웨어, 펌웨어(firmware), 소프트웨어, 또는 그들의 결합 등에 의해 구현될 수 있다. 하드웨어에 의한 구현의 경우, 하나 또는 그 이상의 ASICs(Application Specific Integrated Circuits), DSPs(Digital Signal Processors), DSPDs(Digital Signal Processing Devices), PLDs(Programmable Logic Devices), FPGAs(Field Programmable Gate Arrays), 범용 프로세서(general processor), 컨트롤러, 마이크로 컨트롤러, 마이크로 프로세서 등에 의해 구현될 수 있다.
- [92] 본 개시의 범위는 다양한 실시예의 방법에 따른 동작이 장치 또는 컴퓨터 상에서 실행되도록 하는 소프트웨어 또는 머신-실행가능한 명령들(예를 들어, 운영체제, 애플리케이션, 펌웨어(firmware), 프로그램 등), 및 이러한 소프트웨어 또는 명령 등이 저장되어 장치 또는 컴퓨터 상에서 실행 가능한 비-일시적 컴퓨터-판독가능 매체(non-transitory computer-readable medium)를 포함한다.

산업상 이용가능성

- [93] 본 개시의 예시들은 다양한 오류 정정 방안에 대해 적용될 수 있다.

청구범위

- [청구항 1] 양자 오류 정정 부호의 최적화 방법에 있어서,
물리적 오류율(p_{phy}) 및 편향도(η)에 기초하여, 하나 이상의 후보
래티스(lattice) 크기 각각에 대한 논리적 오류율(P_{fail})을 추정하는 단계;
상기 추정된 논리적 오류율(P_{fail}) 및 타겟 논리적 오류율($P_{f,target}$)에
기초하여, 상기 하나 이상의 후보 래티스 크기 중 최적의 래티스 크기를
결정하는 단계; 및
상기 최적의 래티스 크기에 기초하여 큐비트를 배치하는 단계를
포함하고,
상기 편향도(η)가 1 초과인 경우, 상기 하나 이상의 후보 래티스 크기는
정사각형을 제외한 직사각형 형태로 정의되는, 최적화 방법.
- [청구항 2] 제 1 항에 있어서,
상기 하나 이상의 후보 래티스 크기는, 상기 논리적 X 연산자의 최소
거리(L_1)에 비하여 논리적 Z 연산자의 최소 거리(L_2)가 큰 형태로
정의되는, 최적화 방법.
- [청구항 3] 제 2 항에 있어서,
상기 최적의 래티스 크기는

$$\arg \min_{L_1, L_2} 2L_1L_2 - L_1 - L_2 + 1$$

$$s.t. \quad P_{fail} \leq P_{f,target}$$

에 기초하여 결정되는, 최적화 방법.
- [청구항 4] 제 3 항에 있어서,
상기 편향도(η)는

$$\eta = p_z / p_x$$

로 정의되고,
 p_z 는 물리적 Z 오류율이고, p_x 는 물리적 X 오류율인, 최적화 방법.
- [청구항 5] 제 4 항에 있어서,
상기 추정된 논리적 오류율(P_{fail})은

$$P_{fail} = 1 - (1 - P_{Lz})(1 - P_{Lx}) = P_{Lz} + P_{Lx} - P_{Lz}P_{Lx}$$

로 정의되고,
 P_{Lx} 는 논리적 X 오류율이고,
 P_{Lz} 는 논리적 Z 오류율인, 최적화 방법.
- [청구항 6] 제 5 항에 있어서,
상기 논리적 X 오류율(P_{Lx})은
물리적 X 오류율(p_x)이 제 1 임계값($p_{x,low}$) 미만인 경우,

$$L_2 \sqrt{\frac{2L_1}{\pi(L_1+1)^2} \times \left(\frac{4L_1^2}{L_1^2-1}\right)^{L_1} \left(\frac{1}{\eta+1} p_{phy}\right)^{\lceil L_1/2 \rceil}}$$

로 정의되는, 최적화 방법.

[청구항 7]

제 5 항에 있어서,

상기 논리적 X 오류율(P_{Lx})은

물리적 X 오류율(p_x)이 제 2 임계값($p_{x,high}$) 초과인 경우,

$$\exp\left[\left(c_1\left(\frac{\eta}{\eta+1} p_{phy}-c_2\right)^2+c_3\right)L_2\right] \times \left[\left(\frac{c_4\eta}{\eta+1} p_{phy}+c_5\right)L_1+c_6\left(\frac{\eta}{\eta+1} p_{phy}-c_7\right)^2+c_8\right]$$

로 정의되며,

$c_1, c_2, c_3, c_4, c_5, c_6, c_7$ 및 c_8 은 데이터 특성에 기초하여 주어지는 상수인, 최적화 방법.

[청구항 8]

제 5 항에 있어서,

상기 논리적 Z 오류율(P_{Lz})은

물리적 Z 오류율(p_z)이 제 3 임계값($p_{z,low}$) 미만인 경우,

$$L_1 \sqrt{\frac{2L_2}{\pi(L_2+1)^2} \times \left(\frac{4L_2^2}{L_2^2-1}\right)^{L_2} \left(\frac{\eta}{\eta+1} p_{phy}\right)^{\lceil L_2/2 \rceil}}$$

로 정의되는, 최적화 방법.

[청구항 9]

제 5 항에 있어서,

상기 논리적 Z 오류율(P_{Lz})은

물리적 Z 오류율(p_z)이 제 4 임계값($p_{z,high}$) 초과인 경우,

$$\exp\left[\left(c_1\left(\frac{\eta}{\eta+1} p_{phy}-c_2\right)^2+c_3\right)L_2\right] \times \left[\left(\frac{c_4\eta}{\eta+1} p_{phy}+c_5\right)L_1+c_6\left(\frac{\eta}{\eta+1} p_{phy}-c_7\right)^2+c_8\right]$$

로 정의되며,

$c_1, c_2, c_3, c_4, c_5, c_6, c_7$ 및 c_8 은 데이터 특성에 기초하여 주어지는 상수인, 최적화 방법.

[청구항 10]

제 1 항에 있어서,

상기 양자 오류 정정 부호는 서피스(surface) 부호인, 최적화 방법.

[청구항 11]

양자 오류 정정 부호의 최적화 장치에 있어서,

물리적 오류율(p_{phy}), 편향도(η), 하나 이상의 후보 래터스(lattice) 크기,

또는 타겟 논리적 오류율($P_{f,target}$) 중의 하나 이상을 포함하는 기초 정보를 획득하는, 기초 정보 획득부;

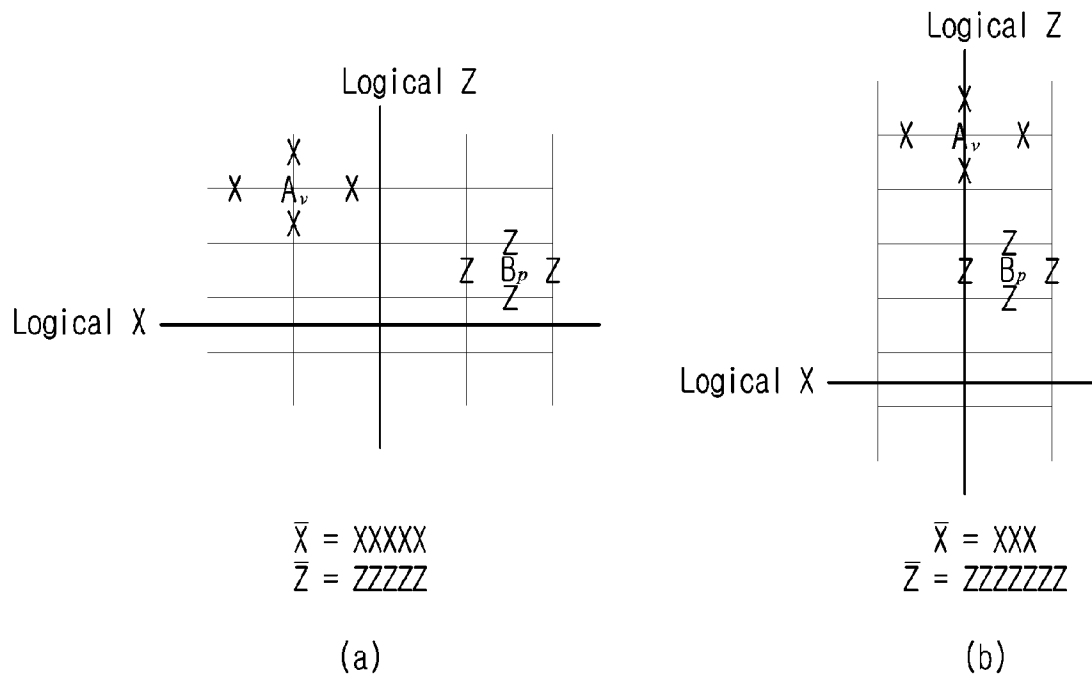
상기 물리적 오류율(p_{phy}) 및 상기 편향도(η)에 기초하여, 상기 하나 이상의 후보 래터스(lattice) 크기 각각에 대한 논리적 오류율(P_{fail})을 추정하는, 논리적 오류율 추정부;

상기 추정된 논리적 오류율(P_{fail}) 및 상기 타겟 논리적 오류율($P_{f,target}$)에 기초하여, 상기 하나 이상의 후보 래터스 크기 중 최적의 래터스 크기를 결정하는, 래터스 크기 최적화부; 및

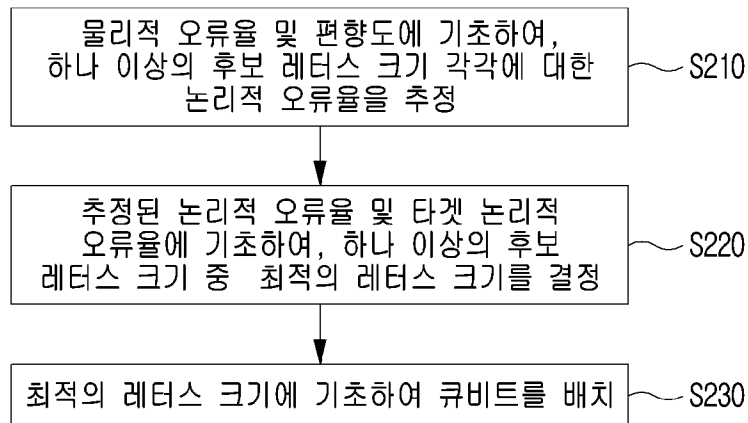
상기 최적의 래터스 크기에 기초하여 큐비트를 배치하는, 큐비트 배치부를 포함하고,

상기 편향도(η)가 1 초과인 경우, 상기 하나 이상의 후보 래터스 크기는 정사각형을 제외한 직사각형 형태로 정의되는, 최적화 장치.

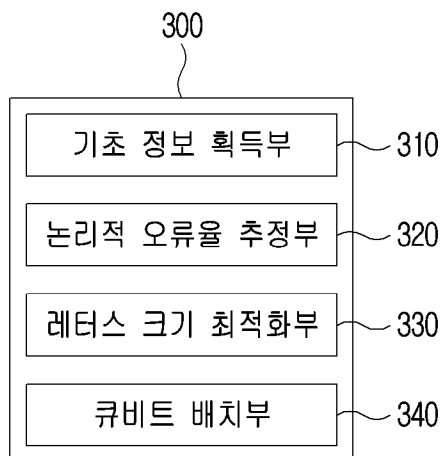
[도1]



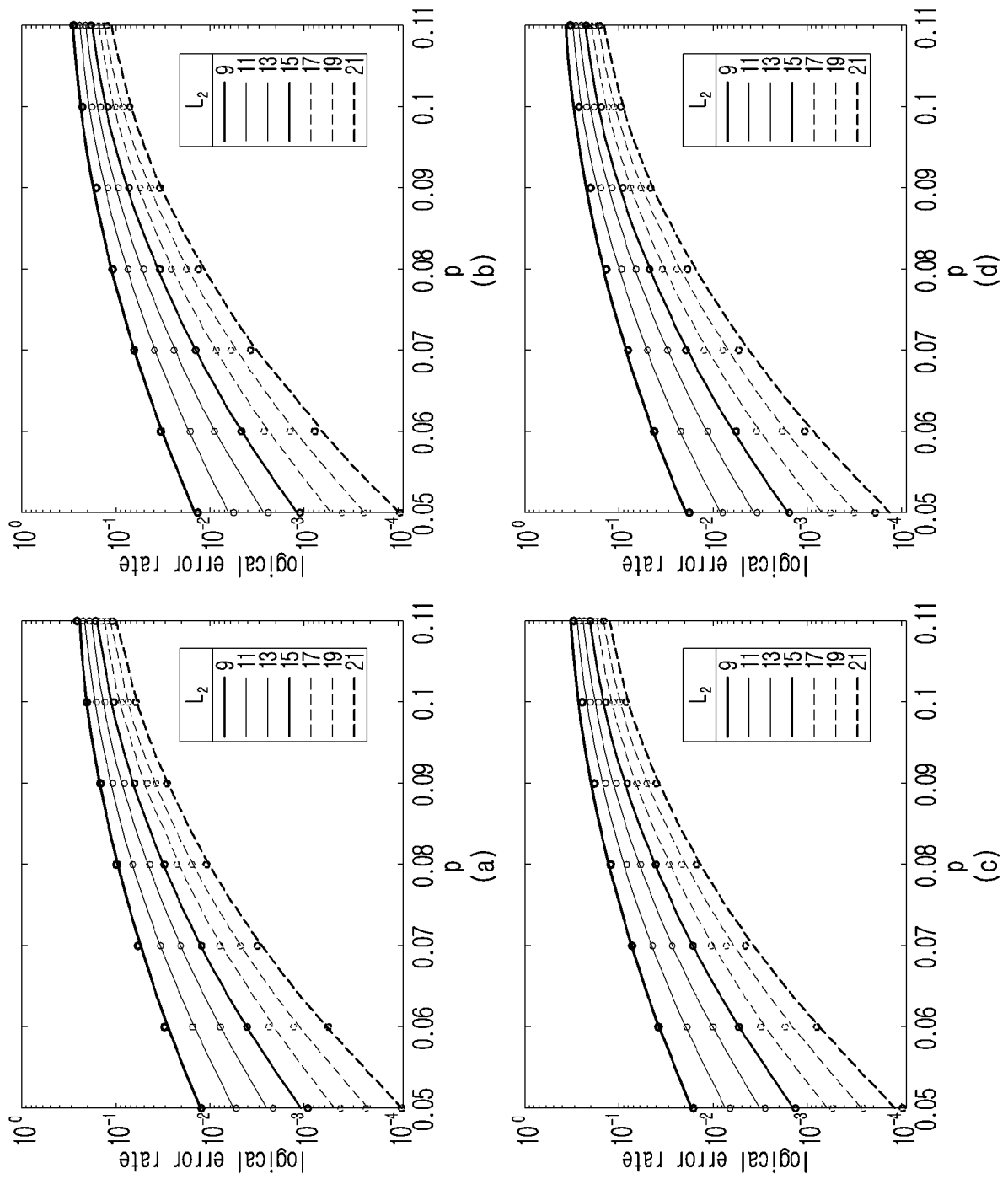
[도2]



[도3]



[도4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/000978

A. CLASSIFICATION OF SUBJECT MATTER H03M 13/03(2006.01)i; H03M 13/00(2006.01)i; G06F 11/16(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03M 13/03(2006.01); G06F 11/07(2006.01); G06F 11/10(2006.01); G06F 7/38(2006.01); H01L 27/18(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 양자 오류(quantum error), 정정(correction), 편향(bias), 래티스(lattice), 큐비트(qubit)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	TUCKETT, David K. et al. Ultrahigh Error Threshold for Surface Codes with Biased Noise. Physical review letters. Vol. 120, Issue 5, 31 January 2018. See pages 1-4.	1-11
A	GREENBAUM, Daniel et al. Modeling coherent errors in quantum error correction. Quantum Science and Technology. Vol. 3, Number 1, 20 December 2017. See pages 1-13.	1-11
A	WO 2020-180902 A1 (THE UNIVERSITY OF CHICAGO) 10 September 2020 (2020-09-10) See paragraphs [0004]-[0053] and claim 1.	1-11
A	WO 2020-172538 A1 (STC.UNM) 27 August 2020 (2020-08-27) See pages 5-16.	1-11
A	JP 2020-530619 A (GOOGLE LLC) 22 October 2020 (2020-10-22) See claims 1 and 22.	1-11
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 August 2021		Date of mailing of the international search report 10 August 2021
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/000978

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	이종현 등. 낮은 오류율에서 비대칭 서피스 부호의 오류율 추정. 한국통신학회 학술대회논문집 . Vol. 2020, No. 8, p. 49, August 2020 (LEE, Jonghyun et al. Logical Error rate estimation under low physical error rate. The Journal of Korean Institute of Communications and Information Sciences (J-KICS) Conference.) See page 49. ※ This document is a known document declaring exceptions to lack of novelty by the applicant.	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2021/000978

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2020-180902	A1	10 September 2020	None			
WO	2020-172538	A1	27 August 2020	None			
JP	2020-530619	A	22 October 2020	AU	2017-426936	A1	20 February 2020
				AU	2017-426936	B2	12 November 2020
				CA	3072403	A1	14 February 2019
				CN	111164619	A	15 May 2020
				EP	3639208	A1	22 April 2020
				US	2021-0035006	A1	04 February 2021
				WO	2019-032103	A1	14 February 2019

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H03M 13/03(2006.01)i; H03M 13/00(2006.01)i; G06F 11/16(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H03M 13/03(2006.01); G06F 11/07(2006.01); G06F 11/10(2006.01); G06F 7/38(2006.01); H01L 27/18(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 양자 오류(quantum error), 정정(correction), 편향(bias), 래티스(lattice), 큐비트(qubit)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	DAVID K. TUCKETT 등, Ultrahigh Error Threshold for Surface Codes with Biased Noise, Physical review letters, Vol. 120, Issue 5, 2018.01.31. 페이지 1-4	1-11
A	DANIEL GREENBAUM 등, Modeling coherent errors in quantum error correction, Quantum Science and Technology, Vol. 3, Number 1, 2017.12.20. 페이지 1-13	1-11
A	WO 2020-180902 A1 (THE UNIVERSITY OF CHICAGO) 2020.09.10 단락 [0004]-[0053] 및 청구항 1	1-11
A	WO 2020-172538 A1 (STC.UNM) 2020.08.27 페이지 5-16	1-11
A	JP 2020-530619 A (GOOGLE LLC) 2020.10.22 청구항 1, 22	1-11
☒ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2021년08월09일(09.08.2021)		국제조사보고서 발송일 2021년08월10일(10.08.2021)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 김성훈 전화번호 +82-42-481-8710

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	이종현 등, 낮은 오류율에서 비대칭 서피스 부호의 오류율 추정, 한국통신학회 학술대회논문집, Vol. 2020 No. 8, pp. 49, 2020.08. 페이지 49 ※ 위 문헌은 출원인이 신규성 상실의 예외로서 선언한 공지문헌임.	1-11

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
WO 2020-180902 A1	2020/09/10	없음	
WO 2020-172538 A1	2020/08/27	없음	
JP 2020-530619 A	2020/10/22	AU 2017-426936 A1	2020/02/20
		AU 2017-426936 B2	2020/11/12
		CA 3072403 A1	2019/02/14
		CN 111164619 A	2020/05/15
		EP 3639208 A1	2020/04/22
		US 2021-0035006 A1	2021/02/04
		WO 2019-032103 A1	2019/02/14