[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 27/10
G11C 11/22 H01L 21/82

[12] 发明专利说明书

[21] ZL 专利号 98125137.4

[45] 授权公告日 2004 年 5 月 5 日

[11] 授权公告号 CN 1148806C

[22] 申请日 1998.11.26 [21] 申请号 98125137.4
[30] 优先权
[32] 1997.11.26 [33] JP [31] 324033/1997
[71] 专利权人 日本电气株式会社
地址 日本国东京都
共同专利权人 辛姆特瑞克斯公司
[72] 发明人 前岛幸彦
审查员 王 燕

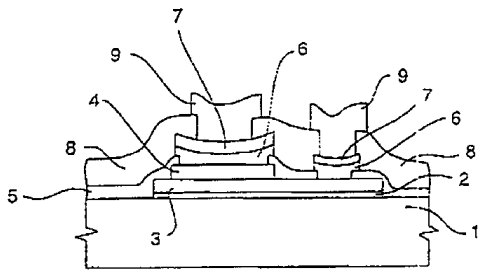
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 朱进桂

权利要求书 6 页 说明书 12 页 附图 4 页

[54] 发明名称 电容器及其制造方法

[57] 摘要

在集成电路电容器的制造中，在基片上形成基底氢壁垒层，为非导电的或导电的。 然后形成下部电极层和铁电/电介质层并选择地刻蚀。 在电介质层上形成一非导电氢壁垒层并选择刻蚀。 顺序淀积上部电极和导电氢壁垒层并选择刻蚀。 非导电氢壁垒层覆盖除上部电极的一部分外的电容器，导电氢壁垒层覆盖无非导电氢壁垒层的部分。 因此基底壁垒层、非导电氢壁垒层和导电氢壁垒层一起整体覆盖电容器。 电介质层包括铁电或高介电系数的金属氧化物。



ISSN1008-4274

1. 一种存储器，其中包括：

一电容器，所述的电容器具有一下部电极、一电介质层和一上部电极，所述电介质层具有一电介质侧表面和一电介质上表面；

一非导电氢壁垒层，除了在所述电介质上表面的部分之上的一区域之外，所述非导电氢壁垒层覆盖所述电介质侧表面和所述电介质上表面，其中所述上部电极位于所述电介质层之上并且充满了所述非导电氢壁垒层不存在的所述区域；

一导电氢壁垒层，所述导电氢壁垒层覆盖所述上部电极。

2. 根据权利要求 1 所述的存储器，其特征在于所述非导电氢壁垒层包括氮化硅。

3. 根据权利要求 1 所述的存储器，其特征在于所述导电氢壁垒层包括金属氮化物。

4. 根据权利要求 3 所述的存储器，其特征在于所述金属氮化物包括从氮化钛和 AlN 组成的组合中选择的一个。

5. 根据权利要求 1 所述的存储器，其特征在于一基底导电氢壁垒层位于所述下部电极下面。

6. 根据权利要求 5 所述的存储器，其特征在于所述基底导电氢壁垒层包括一金属氮化物。

7. 根据权利要求 6 所述的存储器，其特征在于所述金属氮化物包括从氮化钛和 AlN 组成的组中选择的一个。

8. 根据权利要求 1 所述的存储器，其特征在于一基底非导电氢壁垒层位于所述下部电极下面。

9. 根据权利要求 8 所述的存储器，其特征在于所述基底非导电氢壁垒层包括氮化硅。

10. 根据权利要求 1 所述的存储器，其特征在于所述导电氢壁垒层直接位于所述上部电极上。

11．根据权利要求 1 所述的存储器，其特征在于还包括：

位于所述的上部电极之上的一缓冲膜；

其中所述的导电氢壁垒层位于所述的缓冲膜之上。

12．根据权利要求 1 所述的存储器，其特征在于所述电介质层包括从由 $Pb(Zr_{1-X}Ti_X)O_3$,$SrBi_2Ta_2O_9$ 和 $(Ba_{1-X}Sr_X)TiO_3$ 组成的组中选出的一种。

13．根据权利要求 1 所述的存储器，其特征在于：

所述上部电极和所述下部电极中的每一个包括从 Pt,lr,lrO_2,Ru 和 RuO_2 组成的组中选出的一种。

14．根据权利要求 5 所述的存储器，其特征在于：

所述基底导电氢壁垒层直接形成于一硅基片上。

15．根据权利要求 14 所述的存储器，其特征在于：

在所述硅基片上形成一集成电路。

16．根据权利要求 5 所述的存储器，其特征在于：

一基底隔离膜形成于所述的硅基片上；及

所述基底导电氢壁垒层形成于所述基底隔离膜上。

17．根据权利要求 16 所述的存储器，其特征在于：

在所述硅基片上形成一集成电路。

18．根据权利要求 8 所述的存储器，其特征在于：

所述基底非导电氢壁垒层直接形成于一硅基片上。

19．根据权利要求 18 所述的存储器，其特征在于：

在所述硅基片上形成一集成电路。

20．根据权利要求 8 所述的存储器，其特征在于：

一基底隔离膜形成于一硅基片上；

所述基底非导电氢壁垒层形成于所述基底隔离膜上。

21．根据权利要求 20 所述的存储器，其特征在于：

在所述硅基片上形成一集成电路。

22．一种制造存储器的方法，其中包括步骤：

淀积一下部电极；

在所述下部电极上淀积一电介质层，所述电介质层具有一电介质上表面；

选择刻蚀所述的下部电极和所述的电介质层以形成所述下部电极和所述介电质层的侧表面；

在所述电介质上表面上和所述下部电极和所述电介质层的所述侧表面上淀积一非导电氢壁垒层；

选择刻蚀所述的非导电氢壁垒层以在所述电介质上表面上形成不具有非导电氢壁垒层的一区域；

在所述电介质上表面上淀积一上部电极以充满所述区域；

在所述上部电极上淀积一导电氢壁垒层；以及

选择刻蚀所述的上部电极和所述的导电氢壁垒层。

23．根据权利要求22所述的制造存储器的方法，其特征在于：

在所述的下部电极形成之前所述的基底导电氢壁垒层形成于一基底基片上。

24．根据权利要求23所述的制造存储器的方法，其特征在于：

所述基底导电氢壁垒层包括一金属氮化物。

25．根据权利要求24所述的制造存储器的方法，其特征在于：所述金属氮化物包括从氮化钛和AlN组成的组中选择的一种。

26．根据权利要求22所述的制造存储器的方法，其特征在于：在形成所述的下部电极之前，一基底非导电氢壁垒层形成在一基底基片上。

27．根据权利要求26所述的制造存储器的方法，其特征在于：所述基底非导电氢壁垒层包括氮化硅。

28．根据利要求26所述的制造存储器的方法，其特征在于：所述基底非导电氢壁垒层是用化学气相淀积方法淀积的。

29．根据权利要求22所述的制造存储器的方法，其特征在于：所述导电氢壁垒层包括金属氮化物。

30．根据权利要求29所述的制造存储器的方法，其特征在于：所述金属氮化物包括从氮化钛和AlN组成的组中选择的一种。

31．根据权利要求22所述的制造存储器的方法，其特征在于：在所述选择刻蚀所述非导电氢壁垒层的步骤之后，在氧气氛中进行热处理。

32．根据权利要求22所述的制造存储器的方法，其特征在于：

用所述选择刻蚀所述的上部电极和所述的导电氢壁垒层的步骤形成

一表面；并还包括一步骤：

在所述的表面上形成一电容覆盖层。

33．根据权利要求 22 所述的制造存储器的方法，其特征在于：

所述形成一电容覆盖层的步骤是使用化学气相淀积方法生成的。

34．根据权利要求 22 所述的制造存储器的方法，其特征在于：

在所述选择刻蚀所述的非导电氢壁垒层的步骤之后，并还包括在 400 摄氏度或更高温度进行热处理的步骤。

35．根据权利要求 22 所述的制造存储器的方法，其特征在于还包括步骤：

在所述淀积导电氢壁垒层的步骤之后，在氢气氛中进行热处理。

36．根据权利要求 35 所述的制造存储器的方法，其特征在于：

在氢气氛中的所述进行热处理的步骤是在 300 摄氏度或更高的温度下进行的。

37．一种制造存储器的方法，其中包括步骤：

淀积一下部电极；

在所述下部电极上淀积一电介质层，所述电介质层具有一电介质上表面；

选择刻蚀所述的下部电极和所述的电介质层以形成所述下部电极和所述电介质层的侧表面；

在所述电介质上表面上和所述下部电极和所述所述电介质层的所述侧表面上淀积一非导电氢壁垒层；

选择刻蚀所述的非导电氢壁垒层以在所述电介质上表面上形成不具有非导电氢壁垒层的一区域；

在所述电介质上表面上淀积一上部电极以填满所述区域；

选择刻蚀所述的上部电极以形成上部电极侧表面并且暴露出所述的非导电氢壁垒层的一部分；

在所述上部电极上和所述非导电氢壁垒层的所述一部分上淀积一导电氢壁垒层；以及

选择刻蚀所述的导电氢壁垒层，使得所述导电氢壁垒层覆盖包括所述上部电极侧表面的所述上部电极。

38．根据权利要求 37 所述的制造存储器的方法，其特征在于：在形成所述的下部电极之前，一基底导电氢壁垒层形成在一基底基片上。

39．根据利要求 38 所述的制造存储器的方法，其特征在于：所述基底导电氢壁垒层包括金属氮化物。

40．根据权利要求 39 所述的制造存储器的方法，其特征在于：所述金属氮化物包括从氮化钛和 AlN 组成的组中选择的一种。

41．根据权利要求 37 所述的制造存储器的方法，其特征在于：

在所述的下部电极形成之前一基底非导电氢壁垒层形成于一基底基片上。

42．根据权利要求 41 所述的制造存储器的方法，其特征在于：所述基底非导电氢壁垒层包括氮化硅。

43．根据利要求 41 所述的制造存储器的方法，其特征在于：所述基底非导电氢壁垒层是用化学气相淀积方法淀积的。

44．根据权利要求 37 所述的制造存储器的方法，其特征在于：所述非导电氢壁垒层包括氮化硅。

45．根据利要求 37 所述的制造存储器的方法，其特征在于：所述非导电氢壁垒层是用化学气相淀积方法淀积的。

46．根据权利要求 37 所述的制造存储器的方法，其特征在于：所述导电氢壁垒层包括金属氮化物。

47．根据权利要求 46 所述的制造存储器的方法，其特征在于：所述金属氮化物包括从氮化钛和 AlN 组成的组中选择的一种。

48．根据权利要求 37 所述的制造存储器的方法，其特征在于：

在所述选择刻蚀所述的非导电氢壁垒层的步骤之后，并还包括在 400 摄氏度或更高温度进行热处理的步骤。

49．根据权利要求 48 所述的制造存储器的方法，其特征在于：所述热处理是在氧气氛中进行。

50．根据权利要求 37 所述的制造存储器的方法，其特征在于：

用所述选择刻蚀所述的上部电极和所述的导电氢壁垒层的步骤形成一表面；并还包括一步骤：

在所述的表面上形成一电容覆盖层。

51．根据权利要求 50 所述的制造存储器的方法，其特征在于：

所述形成一电容覆盖层的步骤是使用化学气相淀积方法处理的。

52．根据权利要求 35 所述的制造存储器的方法，其特征在于还包括步骤：

在所述淀积导电氢壁垒层的步骤之后，在氢气氛中进行热处理。

53．根据权利要求 52 所述的制造存储器的方法，其特征在于：

在氢气氛中的所述进行热处理的步骤是在 300 摄氏度或更高的温度下进行的。

54．根据权利要求 37 所述的制造存储器的方法，其特征在于：在所述选择刻蚀所述非导电氢壁垒层的步骤之后，在氧气氛中进行热处理。

电容器及其制造方法

技术领域

本发明涉及一种电容器及其制造方法,尤其是包括铁电物质的用于半导体存储器的电容器及其制造方法。

背景技术

包括半导体和铁电物质如$Pb(Zr_{1-x}Ti_x)O_3$(后面称PZT)组成的存储器利用铁电物质中的剩余极化在存储器中存储“1”和“0”。加到铁电电容器的电压和极化强度间的关系由图16中的磁滞特性曲线表示。

例如，即使施加了正偏置电压且此后该偏置返回到0，极化也不会返回到0，而保持在剩余极化+Pr。相反，当负偏置被输入且此后该偏置返回到0，则得到剩余极化-Pr。这些状态被读出并视为“1”和“0”状态，通过读它们可以用于存储器。因为即使当电源断开时信息也可维持，所以为一非易失性存储器。重要的是铁电电容器和大规模集成电路形成在同一基片上以便二者在存储器中具有足够的表现。这种结构公布在日本未审定的专利申请平7-111318/1995中。图17为其结构剖面图。在图17中，标号21代表基底氧化膜层（BPSG)，标号23表示下电极（Pt）层，标号24表示PZT层，标号25表示氮化硅层，标号26表示上电极层，标号27表示氮化钛层，标号28表示电容覆盖（NSG）层，标号29表示Al布线层。

在具有这种结构的电容器中，包括下部电极23，电介质层24和上部电极层26的铁电电容器是完全被氮化硅层25和氮化钛层27所覆盖。虽然对于得到正常操作的铁电电容器来说氮化硅层25和氮化钛层27是不必要的，下面将描述形成它们的原因。

换句话说，在常规的LSI工艺中，形成AL布线之后，在400摄氏

度的氢气份中进行热处理。执行这个热处理以减少 MOS 介面电平，它们是在制造 LSI 中的 MOSFET 的每一步骤中产生的，以及减少它们的变化，尤其是阀值的变化。为了改善形成在同一基片上的 MOSFET 的特性，在电容器形成之后必须在氢气份中进行热处理。然而，因为铁电材料通常是氧化体,例如 PZT，所以在这种处理过程中产生还原的反应。

接下来，由于在氢气份中进行的热处理，在铁电物质中产生氧化缺陷。氧化缺陷引起铁电特性的损失和漏电流的增加。所以，热处理之后在铁电电容器中的电容量不足以满足需要。

因此，在铁电电容器中需要形成具有抗氢的壁垒特性的覆盖膜。这种膜可以使用氮化硅层 25 和氮化钛层 27。通过这种结构，铁电电容器完全被这些膜覆盖，并且不会在氢热处理中损坏。

下面描述具有这种结构的电容器和制造其方法所存在的问题。通过这种结构，在铁电电容器形成之后，需要在整个表面上淀积氮化硅。考虑到膜的密度和覆盖步骤，淀积可以使用化学气相淀积（后面称 CVD）方法进行。

通常，在形成电容器之后，由于还原工艺的多样化，在用于半导体存储器的铁电电容器中产生缺陷。为解决这个问题，有效的方法是形成具有抗氢的壁垒特性的覆盖膜，如氮化硅。然而，在膜的形成中也会产生缺陷，这是因为在氮化硅淀积中使用的气体中含有氢，如 SiH_4。SiH_4（硅烷）和 NH_4 通常是用于淀积氮化硅的气体。此外，为获得具有密集和好的膜质量的氮化硅，需要 300 摄氏度或更高的淀积温度。

所以，由于使用的气体中含有氢，在淀积时产生还原反应，造成铁电特性的缺陷。因此，尽管淀积之后壁垒特性有效地阻止了氢，因为发生还原反应，淀积自身产生缺陷。

上述的问题可以通过使用氮化钛得到解决，氮化钛是用溅射方法淀积为壁垒膜。然而，与氮化硅相反，氮化钛是导电的，所以它与布线材料接触，如 Al 布线图形。因此，它不可能覆盖整个电容。

所以，尽管此结构形成之后热处理不会产生任何缺陷，在制造过程中会出现缺陷。此外，制造过程相当复杂。

发明内容

本发明的目的是提供一种电容器的结构和其制造方法，其中电容器上的覆盖膜具有抗氢的壁垒特性，而不会造成铁电和电介质特性的缺陷。

根据本发明，一种存储器，其中包括：一电容器，所述的电容器具有一下部电极、一电介质层和一上部电极，所述电介质层具有一电介质侧表面和一电介质上表面；一非导电氢壁垒层，除了在所述电介质上表面的部分之上的一区域之外，所述非导电氢壁垒层覆盖所述电介质侧表面和所述电介质上表面，其中所述上部电极位于所述电介质层之上并且充满了所述非导电氢壁垒层不存在的所述区域；一导电氢壁垒层，所述导电氢壁垒层覆盖所述上部电极。

本发明的另一方面提出了一种制造存储器的方法，其中包括步骤：淀积一下部电极；在所述下部电极上淀积一电介质层，所述电介质层具有一电介质上表面；选择刻蚀所述的下部电极和所述的电介质层以形成所述下部电极和所述介电质层的侧表面；在所述电介质上表面上和所述下部电极和所述电介质层的所述侧表面上淀积一非导电氢壁垒层；选择刻蚀所述的非导电氢壁垒层以在所述电介质上表面上形成不具有非导电氢壁垒层的一区域；在所述电介质上表面上淀积一上部电极以充满所述区域；在所述上部电极上淀积一导电氢壁垒层；以及选择刻蚀所述的上部电极和所述的导电氢壁垒层。

本发明的又一方面是一种制造存储器的方法，其中包括步骤：淀积一下部电极；在所述下部电极上淀积一电介质层，所述电介质层具有一电介质上表面；选择刻蚀所述的下部电极和所述的电介质层以形成所述下部电极和所述电介质层的侧表面；在所述电介质上表面上和所述下部电极和所述所述电介质层的所述侧表面上淀积一非导电氢壁垒层；选择刻蚀所述的非导电氢壁垒层以在所述电介质上表面上形成不具有非导电氢壁垒层的一区域；在所述电介质上表面上淀积一上部电极以填满所述区域；选择刻蚀所述的上部电极以形成上部电极侧表面并且暴露出所述的非导电氢壁垒层的一部分；在所述上部电极上和所述非导电氢壁垒层的所述一部分上淀积一导电氢壁垒层；以及选择刻蚀所述的导电氢壁垒

层，使得所述导电氢壁垒层覆盖包括所述上部电极侧表面的所述上部电极。

此外，在本发明的电容生产方法中，下部电极层和电介质层是顺序地淀积的。在下部电极层和电介质层选择地刻蚀后，在上述结构上淀积非导电氢壁垒层。在电介质层上非导电氢壁垒层被选择刻蚀后，在 400 摄氏度或更高的温度下在氧中进行热处理。此后，连续地淀积上电极层和导电氢壁垒层，接着选择的刻蚀上电极层和导电氢壁垒层。在此实施例中，上电极层和导电氢壁垒层是自校准的。非导电氢壁垒层和导电氢壁垒层可以用化学汽相淀积法淀积。

根据本发明的制造电容的方法的另一实施例，下部电极层和电介质层是顺序地淀积在一基片上。在下部电极层和电介质层选择地刻蚀后，在上述结构上淀积非导电氢壁垒层。在电介质层上非导电氢壁垒层被选择刻蚀后，在 400 摄氏度或更高的温度下在氧气氛中进行热处理。此后，淀积一电极层并选择地刻蚀以形成上电极层，接着淀积导电氢壁垒层并对其进行选择的刻蚀。在此实施例中，上电极层和导电氢壁垒层被分别制作图形，从而不是相互自校准的。更确切地，导电氢壁垒层覆盖的不仅是上部电极。

在本发明的一实施例中，一基底的非导电氢壁垒位于其上形成电容的基片整个表面上的下部电极下面。在本发明的另一实施例中，基底的导电氢壁垒层位于下部电极层下面并与下部电极一起被刻蚀和制作图形。基底基片可以是硅基片。根据本发明，在基片上有一基底隔离膜。基底导电氢壁垒层和基底非导电氢壁垒层可以直接位于基片上或位于基片上的隔离膜上。集成电路也可以设在基片上。

当非导电氢壁垒层被刻蚀时，形成对应于上电极的一开口。在上部电极层和导电氢壁垒层的淀积之前，在氧中的热处理用于恢复已有技术中由还原反应造成的电介质层性能的缺陷。

此外，在上部电极层和导电氢壁垒层的淀积之后，穿过非导电氢壁垒层的开口完全被导电氢壁垒层覆盖。其次，上述的结构在形成电容之后具有抗氢过程的壁垒特性，所以在后续的还原处理过程中在电介质层中没有缺陷。

本发明的一特征是电介质层可以包括铁电材料或高电介质系数材料。铁电材料是铁电金属氧化物，如 $Pb(Zr,Ti)O_3$ 和 $SrBi_2Ta_2O_9$。高电介质系数材料是非铁电金属氧化物，如（Sr,Ba）TiO_3。

非导电氢壁垒层可以包括氮化硅。发明的特征是氮化硅膜或其它非导电氢壁垒层可以是用化学气相淀积方法淀积。导电氢壁垒层通常包括金属氮化物。这些金属氮化物包括氮化钛和 AlN。

导电氢壁垒层可以直接位于上电极上。还有，一缓冲膜可以位于上电极上，该缓冲膜上具有导电氢壁垒层。

在上电极和导电氢壁垒层制成预定的图形后，隔离电容覆盖层淀积在电容器上，通过刻蚀形成一接触孔，以及形成 Al 布线图形。电容覆盖层可以用化学气相淀积方法形成。

在隔离膜和布线层形成之后，通常在 300 摄氏度或更高的温度进行氢热处理。

因此，可以进行在氢中的热处理以改善 MOSFET 的特性。所以可以得到具有很好的性能和产量的存储器。

附图说明

图 1 是本发明第一实施例的电容器的剖面图；

图 2 是本发明第二实施例的电容器的剖面图；

图 3 是本发明第三实施例的电容器的剖面图；

图 4-15 是图 1 所示的本发明第一实施例的电容器的连续制造步骤的剖面图；

图 16 是一特性曲线图，其示出了对常规铁电电容施加一电压和在那时得到的极化之间的磁滞特性的例子。

具体实施方式

图 17 是常规电容的一实例的结构剖面图。

描述主要集中在包含有如 PZT 和 $SrBi_2Ta_2O_9$ 铁电氧化物的电容器。当电容器包含有非铁电电介质材料如（Sr,Ba）TiO_3 时，本发明的结构和方法也是有用的。由于所有的铁电氧化物也是电介质材料，所以术语“电

介质”在此用作涉及铁电氧化物和非铁电氧化物二者。

这个描述也涉及最佳实施例，导电氢壁垒层包括氮化钛,而非导电氢壁垒层包括氮化硅。但是本发明的结构和方法也可用于其它材料的组合。

应认识到图 1-15 画出的根据此发明的集成电路器件不意味着其是实际集成电路器件的任何特定部分的实际平面或剖面。在实际使用的器件中，这些层将不是常规的并且它们的厚度可以具有不同的比例。在真实器件中各个层经常是弯曲的并具有重叠的边沿。附图是作为理想情况下的表示，其用于尽可能清楚和完整的画出本发明的结构和方法。此外，附图仅表示无数可用本发明的方法制造的铁电器件中的一种。

这里方向术语，例如“之上”，“上部”和“在之上”，以及“之下”、“下部”和“基底”都是相对于硅基片 102。例如，如果第二元件在第一元件之上，它的意思是它远离基片 102；如果它是在另一元件之下，那么它比另一元件更靠近基片 102。基片 102 的长尺寸定义了一个将认作“水平”平面的平面，与这个平面垂直的平面当做垂直平面。为覆盖一物体意味着在其之上并延伸在物体的整个宽幅度范围。尽管一些实施例中，在另一元件之上、以上、以下、或基底的元件也可以是与其它元件直接接触的，上述的术语中没有一个需要包括是对直接接触的限制。

为了能够清楚描述的缘故，在图中表示的本发明的不同实施例中，同样的标号表示相同的元件。

图 1 是本发明的第一实施例的电容器的剖面图。在图 1 中，标号 1 代表基底隔离膜（例如，硼硅酸磷玻璃，后面称 BPSG）；标号 2 代表一基底第一导电氢壁垒层（例如，氮化钛）；标号 3 代表一下部电极层（例如，Pt）；标号 4 代表一介电层（例如，PZT）；标号 5 代表一非导电氢壁垒层（例如，氮化硅）；标号 6 代表一上部电极层（例如，Pt）；标号 7 代表一第二导电氢壁垒层（例如，氮化钛）；标号 8 代表一电容覆盖层（例如，NSG）；标号 9 代表一布线层（例如，Al）。

在根据图 1 所示的第一实施例的电容器结构中，包括形成在基底隔离模上的一下部电极层 3、一电介质层 4 和一上部电极层 6 的铁电电容器是完全包围在非导电氢壁垒层 5 及第一和第二导电氢壁垒层 2 和 7 内。

因此，即使在电容器形成之后进行热处理，也不会产生电容电特性的缺陷。

电介质层通常包括金属氧化物材料，如 $Pb(Zr_{1-x}Ti_x)O_3$,$SrBi_2Ta_2O_9$（“SBT”）及（$Ba_{1-x}Sr_x$）$TiO_3$9(“BST”)。上部电极层及下部电极层都包括诸如 Pt、Ir、IrO_2、Ru、及 RuO_2 等材料。

导电氢壁垒层通常包括一金属氮化物，例如氮化钛或氮化铝（ALN）。非导电氢壁垒通常包括一物质如氮化硅。

电容器是直接形成在基片上，例如硅基片，或是在位于基片和电容之间的基底隔离膜上。集成电路可以形成在该基片上。

术语自校准用于涉及以这种方式形成并制作图形的一层或多层，它们自动地与一层或多层校准。例如，如果上部电极层 6 和第二导电氢壁垒层 7 以同样的光掩膜和刻蚀工艺制出图形，那么它们将是自校准。

虽然导电氢壁垒层如氮化钛是导电的，第一导电氢壁垒层 2 和第二导电氢壁垒层 7 是分别与下部电极 3 和上部电极 6 集成在一起并自校准的。所以，在图 1 的实施例中，导电氢壁垒层不与电容的电介质层 4 电接触。在上述结构中，电容器的下部是由基底或第一导电氢壁垒层 2 覆盖的，同时大部分侧表面和上表面是由非导电氢壁垒层 5 覆盖的。上表面无非导电氢壁垒层 5 的部分是由第二导电氢壁垒层 7 覆盖。

因此，电容器具有抗氢或抗还原气氛的壁垒。此外，第二导电氢壁垒层 7 可以直接或通过一缓冲层（未示出）形成在上部电极 6 之上。

图 2 是本发明的第二实施例的电容器的剖面图。在第二实施例中，基底或第一非导电氢壁垒层 15 形成在整个基底隔离膜 1 之上，取代了第一实施例的第一导电氢壁垒层 2。在这个实施例中，电容器的下部是由第一非导电氢壁垒层 15 覆盖以获得与第一实施例相同的壁垒效果。

图 3 是本发明的第三实施例的电容器的剖面图。在第三实施例中，上部电极层 6 不是与第二导电氢壁垒层 7 自校准的。此外，在第三实施例中的第二导电氢壁垒层 7 形状上大于第一实施例的第二导电氢壁垒层 7。

在第一和第二实施例中，从上部电极层 6 的侧面侵入的少许氢与铁电体或电介质物质以一还原反应方式反应，这是因为上部电极层 6 不起

抗氢的壁垒作用。另一方面，在图 3 的结构中，与第一和第二实施例相比壁垒效果得到改善，这是因为上部电极层 6 的侧面也是由第二导电氢壁垒层 7 覆盖。

参照图 4-15 描述图 1 所示实施例的电容器的制造。一基底或第一导电氢壁垒层 2、下部电极层 3 和电介质层 4 是顺序地淀积在一基片上（未示出）。在第一导电氢壁垒层 2 之后，下部电极层 3 和电介质层 4 是选择地刻蚀，在上结构上淀积非导电氢壁垒层 5。在电介质层 4 上非导电氢壁垒层 5 被选择刻蚀后，在 400 摄氏度或更高的温度下进行热处理。在非导电氢壁垒层 5 被部分地从电介质层 4 上除去后，热处理是在氧气氛中进行的。此后，连续地淀积上电极层 6 和第二导电氢壁垒层 7，并选择的刻蚀以形成上电极层 6 和第二导电氢壁垒层 7。

在上电极层 6 和第二导电氢壁垒层 7 被制作图形后，在整个表面上形成一电容覆盖层（隔离膜）8。电容覆盖层 8 最好是用化学气相淀积法淀积。此外，在电容器上形成一布线层 9 之后，在氢气氛中进行热处理。在氢气氛中的热处理是在 300 摄氏度或更高的温度下进行的。

在图 2 所示的结构中，一基底或第一非导电氢壁垒层 15 形成以代替第一导电氢壁垒层 2。非导电氢壁垒层 5 和 15 是用 CVD 方法淀积。

图 4-15 是本发明第一实施例的电容器的连续制造步骤的剖面图。

在图 4 所示的步骤中，一基底或第一导电氢壁垒层 2、下部电极层 3 和电介质层 4 是顺序地淀积在一基底隔离膜上（图 4 中未示出）。在图 5 所示的步骤中，电介质层 4，下部电极层 3 和第一导电氢壁垒层 2 是选择地刻蚀以形成下部电极图形。在图 6 所示的步骤中，电介质层 4 被选择刻蚀形成电容器图形。在图 7 所示的步骤中，非导电氢壁垒层 5 被淀积在整个表面上。此后，在图 8 所示的步骤中，部分非导电氢壁垒层 5 被选择刻蚀到电介质层 4 上和下部电极 3。

接下来，在图 9 所示的步骤中，在氧气氛中进行热处理。因此，在非导电氢壁垒层 5 淀积期间由于还原反应产生的氧的缺陷得到补尝。在图 10 所示的步骤中，上部电极层 6 和第二导电氢壁垒层 7 顺序地淀积在整个表面上，并将选择地刻蚀以形成图 11 步骤所画出的形状。在这样一种结构中，第二导电氢壁垒层 7 位于非导电氢壁垒层 5 被刻蚀的一区域

其后，在图 12 所示的步骤中在整个表面上淀积电容覆盖层 8。在图 13 所示的步骤中，电容覆盖层 8 被选择地刻蚀以形成接触孔。在图 14 所示的步骤中，在整个表面上淀积布线层 9，并将在图 15 画出的步骤中选择地刻蚀。

根据本发明的电容器，在形成电容器之后，不存在由氢处理造成的缺陷。另外，没有由于在制造步骤中的还原造成缺陷的问题。

再参照图 4-15，详细地描述制造根据第一实施例的结构的电容器的连续步骤。

在最佳实施例中，在图 4 的步骤中，基底或导电氢壁垒层 2（氮化钛）、下部电极层 3(Pt)和 PZT 电介质层 4 是顺序地淀积在基底隔离膜 1（BPSG）上。这些层可以用溅射方法淀积。然而，PZT 可以用一溶-凝方法形成。当氮化钛和 Pt 是在室温下淀积时，它们具有适合的特性。在另一方面，为具有好的铁电特性，需要 PZT 具有好的结晶度。为此，需要约 600 摄氏度的结晶温度。其它结晶的铁电和电介质材料在氧中也需要类似高的热处理温度。

此外，氮化钛可以用 CVD 方法淀积。氮化钛的膜厚是约 100nm，而 Pt 和电介质的膜厚是 200nm。在第二实施例的结构中，淀积膜厚约 50nm 的氮化硅的基底非导电氢壁垒层 15，代替基底或第一导电氢壁垒层 2。在此情况中，需要获得较好的膜质量的一淀积方法，例如 CVD 方法。

接下来，在图 15 画出的步骤中，选择地刻蚀电介质层 4、下部电极层 3 和第一、基底导电氢壁垒层 2 以形成下部电极 3 的图形。这个工艺使用光刻胶作为掩膜通过反应的离子刻蚀执行。尽管在此情况中使用了氯基的气体，通过改变处理过程中气体的种类和组成可以获得很好的刻蚀形状。在第二实施例的情况中，不需要刻蚀基底非导电氢壁垒层 15。

在图 6 画出的步骤中，电介质层选择地刻蚀以得到用于形成铁电电容器的图形。这个工艺是使用光刻胶掩膜和 RIE 进行的。接下来，在图 7 画出的步骤中，非导电氢壁垒层 5 被淀积在整个表面上达到约 50nm 的厚度。一等离子体 CVD 方法，例如其中使用 SiH_4 和 NH_3 作为反应气体，被用于淀积方法。在淀积期间通过设定温度到 300 摄氏度或更高，得到

一具有壁垒特性的致密的氮化硅膜。然而，在此期间，如上所述的，由于氢包含在反应气体中所以产生还原反应。结果，在图 6 画出的步骤中制成图形的电介质层 4 被放入一种氧缺乏状态。在此情况中，铁电特性下降。接下来，在图 8 所示的步骤中，非导电氢壁垒层 5 被选择刻蚀。这可以使用光刻胶掩膜和 RIE 实现，RIE 中 CHF_3 或 CF_4 用作气体。因此，对应于接触孔的刻蚀的部分到电介质层 4 上的上部电极层 6 并到下部电极层 3 的一部分。在此步骤中，在电介质层 4 产生还原反应，起因于氧缺乏，尤其是当使用 CHF_3 时，这是因为在反应气体中含有氢。

然后，在图 9 所示的步骤中，在氧气氛中进行热处理。因此，在图 7-8 画出的步骤中氧的缺乏通过设定 600 摄氏度的温度得到补尝，这个温度是在电介质层 4 中金属氧化物 PZT 的结晶温度。

因此，采用这个工艺铁电（或高介电系数）特性被恢复。非导电氢壁垒层 5 用作抗氧以及氢的壁垒。由于在电介质层 4 上非导电氢壁垒层 5 是选择地刻蚀的，所以氧是足够地提供给电介质层 4。如果根据本发明的开口不是形成在电介质层 4 上，那么由于氧不能足够地提供，特性将是不可恢复的。

接下来，在图 10 所示的步骤中，Pt 的上部电极层 6 和氮化钛的第二导电氢壁垒层 7 顺序地淀积在整个表面上。这些层是使用前面所述的溅射法淀积的。膜厚分别是 200nm 和 100nm 左右。尽管氮化钛可以用如上所述的 CVD 方法淀积，最好是用溅射法，其不会产生由于还原反应造成的不足。

接着，选择地刻蚀这些层以形成图 11 步骤所画出的形状。这个工艺是使用 RIE 进行，其中氯基气体用作掩膜。在这个图形中，在图 8 画出的步骤形成的开口保持完全的覆盖。从而，在此结构中，在离开非导电氢壁垒层 5 被刻蚀处的部分第二导电氢壁垒层 7 被制作图形。

因此，电容器在所有方向上被非导电的氮化硅或导电的氮化钛覆盖，并且具有足够的抗氢的壁垒特性。

在如图 3 画出的制造第三实施例的结构的情况下，上部电极层 6 和第二导电氢壁垒层 7 不是顺序地淀积的。而是先淀积上部电极层 6 并制作图形，然后淀积第二导电氢壁垒层 7 用于制造图形。从而，第二导电

氢壁垒层 7 可以宽于上部电极层 6。

其后，在图 12 所示的步骤中在整个表面上淀积电容覆盖层 8 达到约 400nm 的厚度。在这一结构中，许多提供很好的覆盖的淀积方法可以被用作淀积方法，例如使用 TEOS（四乙氧基甲硅烷）并不会引起还原的常压 CVD 方法，以及使用 SiH_4 并且不产生还原的等离子体 CVD 方法。

接下来，在图 13 所示的步骤中，电容覆盖层 8 被选择地刻蚀以形成接触孔。在这个步骤中，具有 CHF_3 和 CF_4 的 RIE 用在图 8 画出的步骤中。即使使用 CHF_3，而氢造成的缺陷不会发生，这是由于氮化硅和氮化钛的覆盖。

在图 14 所示的步骤中，在整个表面上淀积布线层 9。这一层是叠层结构，其有约 500nm 的 AL、约 100nm 的氮化钛和 50nm 的 Ti，并且是用溅射法淀积的。能够使用产生还原气氛的 CVD 方法用于淀积 AL 和氮化钛，这是因为抗还原气氛的壁垒存在。在此方式中，接触电阻降低，且存储器的产量提高，这是因为覆盖好于溅射方法。然后，在图 15 画出的步骤中选择地刻蚀这个结构。在此步骤中，使用了光刻胶掩膜和具有 CI_2 的 RIE。

用上面所述的步骤可以形成具有抗氢或还原气氛的壁垒特性的电容器。即使此后该电容器的热处理是在 300 摄氏度或更高的氢气氛中进行，也不会产生电容器特性的缺陷。所以，当 MOSFET 是形成在根据本发明的电容器所形成的同一基片上，电容器的特性可以得到改善。尤其是，使用该电容器的存储器的特性和产量可以提高。

在上面实施例中描述的铁电物质是 PZT。然而，其它铁电物质材料也可以用在本发明中，例如 $SrBi_2Ta_2O_9$，或高介电系数材料，如（$Ba_{1-X}Sr_X$）TiO_3。

这里还设定 Pt 或 Pt/Ti 的叠层结构被用于上部电极层 6 和下部电极层 3 的材料。但是也可以使用其它可获得好的电容特性和使用得到相同效果的材料，如 Ir,IrO_2,Ru 和 RuO_2。

根据本发明的电容器和其制造方法，如上所述，非导电氢壁垒层覆盖除了上部电极上一区域之外的电容器，同时导电氢壁垒层形成在非导电氢壁垒层没有覆盖的区域。然后，可以得到具有抗氢和或还原气氛壁

垒结构的一电容器，此外，可以抑制制造过程中的缺陷。因此，半导体存储器的特性和产量可以改善。

已经描述了一种在集成电路中制造铁电和高介电系数器件的方法，其允许对氢暴露并仍产生具有好的电特性的铁电和电介质器件。应认识到在说明书和附图中所示的实施例仅是为了说明实例的目的，而不是对本发明的限制，对发明的限制将在所附的权利要求中描述。此外，显然本领域的熟练者可以作出对特定的实施作出改动，但都在本发明的原理之内。显然在某些例子中所述的步骤能够以不同的顺序完成；或者等效的结构、组成和工艺可以用所描述的各种结构、组成和工艺替代。因此，本发明是由所描述的制造工艺、电子器件和电子器件制造方法所存在和包含的每一个新特征和特征的新组合构成。

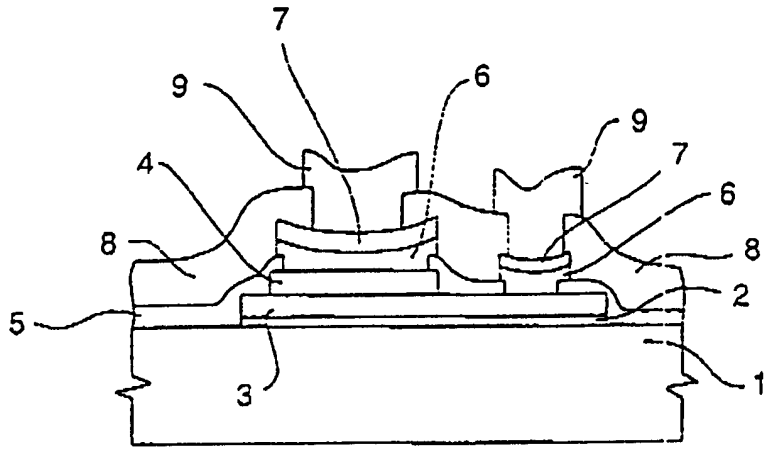


图 1

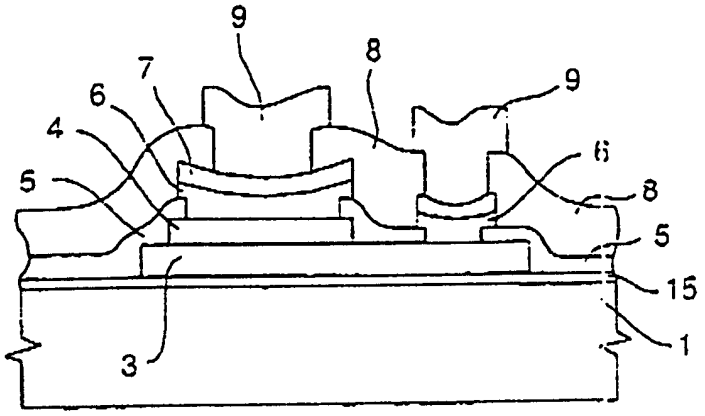


图 2

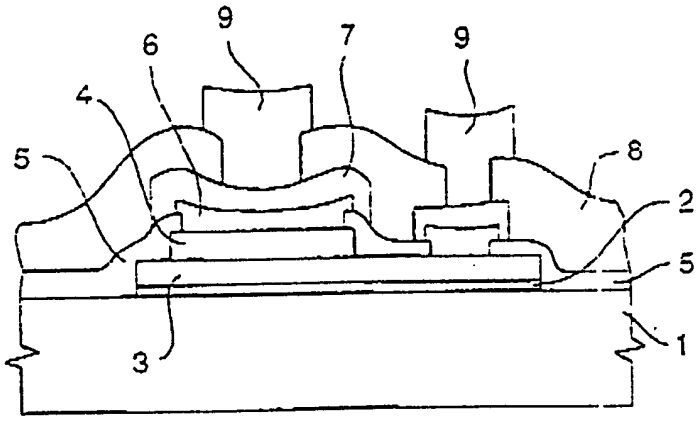


图 3

图 4

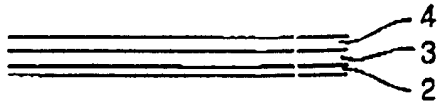


图 5



图 6

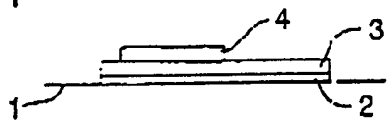


图 7

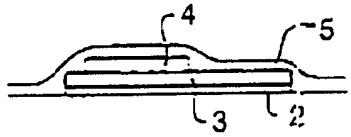


图 8

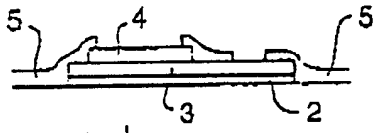


图 9

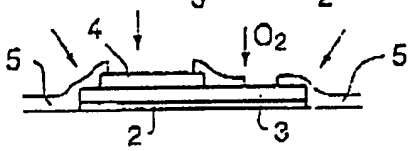


图 10



图 11

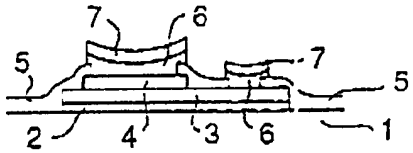


图 12

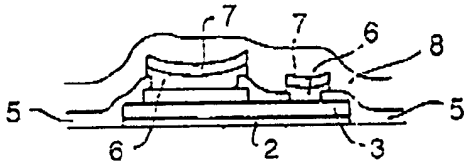


图 13

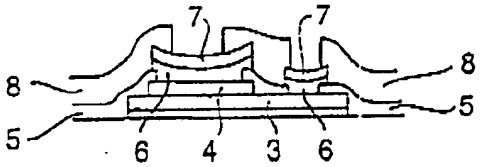


图 14

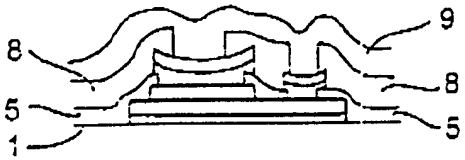
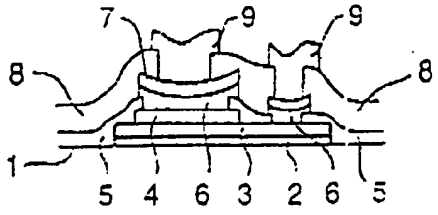


图 15



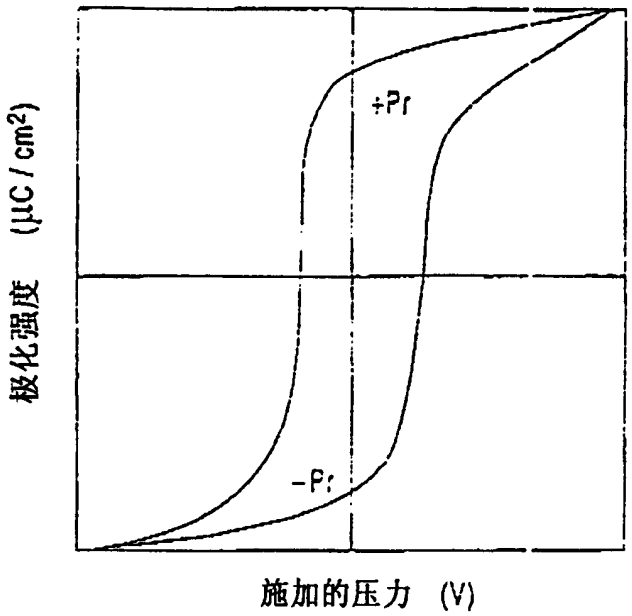


图 16

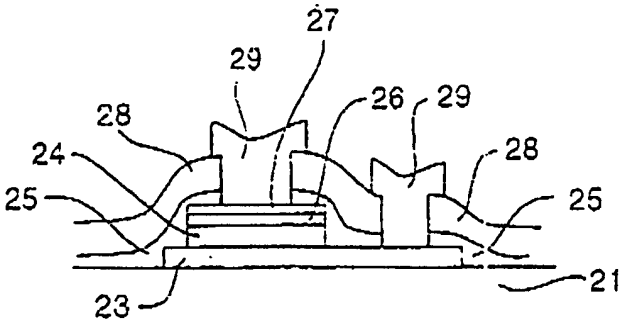


图 17