(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월06일
(11) 등록번호 10-1682420
(24) 등록일자 2016년11월29일

(51) 국제특허분류(Int. Cl.)
H01L 29/73 (2006.01) *H01L 21/02* (2006.01)
H01L 21/316 (2006.01) *H01L 29/737* (2006.01)
(52) CPC특허분류
H01L 29/7311 (2013.01)
H01L 21/02381 (2013.01)
(21) 출원번호 10-2015-0088792
(22) 출원일자 2015년06월23일
심사청구일자 2015년06월23일
(56) 선행기술조사문헌
US08368127 B2
US20140199825 A1

(73) 특허권자
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 마포구 신수로 15 102동 403호 (현석동,강변힐스테이트)
김상완
경기도 용인시 기흥구 죽현로 12 동원로얄듀크아파트 303동 1603호
(74) 대리인
권오준

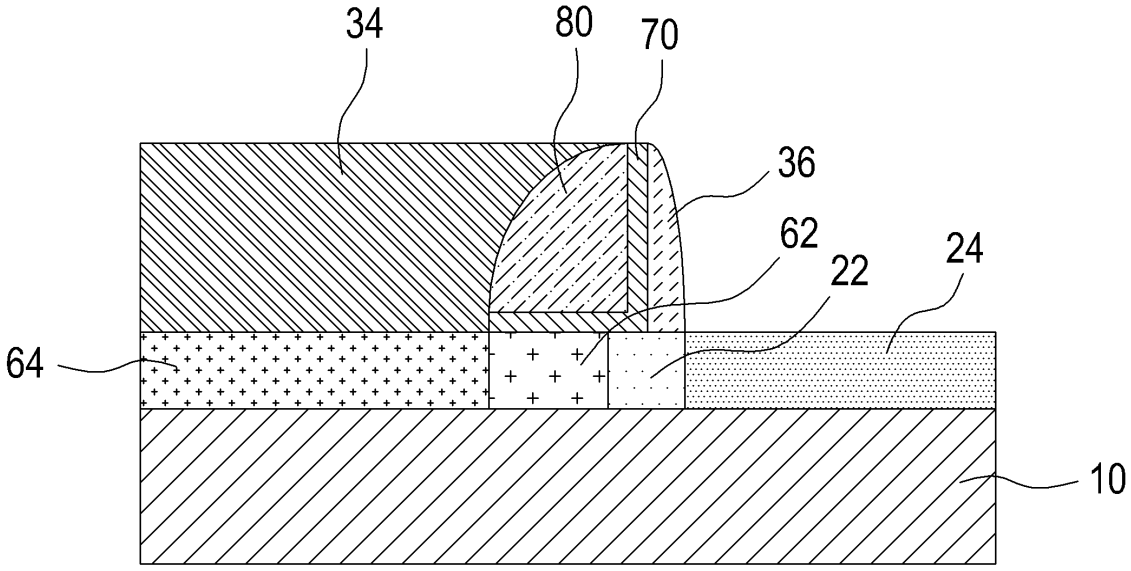
전체 청구항 수 : 총 6 항 심사관 : 안경민

(54) 발명의 명칭 **선택적 게르마늄 응축과 측벽공정을 이용한 자기정렬된 이종접합 터널링 전계효과 트랜지스터의 제조방법**

(57) 요 약

본 발명은 터널링 전계효과 트랜지스터에 관한 것으로, 선택적 게르마늄 응축과 측벽공정을 이용하여 게르마늄과 실리콘의 이종접합이 측벽 게이트 또는 측벽 절연막 밑에 위치하도록 자기정렬된 이종접합 터널링 전계효과 트랜지스터의 제조방법을 제공한다.

대 표 도 - 도15



(52) CPC특허분류
H01L 21/0245 (2013.01)
H01L 21/02532 (2013.01)
H01L 21/3165 (2013.01)
H01L 29/737 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 10039174
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 산업융합원천기술개발사업
연구과제명 22nm급 이하 파운드리 소자 및 PDK 기술 개발
기 여 율 1/2
주관기관 삼성전자주식회사
연구기간 2015.03.01 ~ 2016.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 10044842
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 산업융합원천기술개발사업
연구과제명 0.7 V 이하 저전압 구동을 위한 Post-CMOS 미래 반도체소자 원천기술개발
기 여 율 1/2
주관기관 서강대학교산학협력단
연구기간 2015.06.01 ~ 2016.05.31

명 세 서

청구범위

청구항 1

실리콘 기판의 일측 상에 실리콘 산화막과 식각 선택비가 우수한 하드 마스크를 형성하는 제 1 단계;

상기 하드 마스크 주변으로 드러난 상기 실리콘 기판상에 실리콘 게르마늄층을 형성하는 제 2 단계;

열산화 반응을 통한 게르마늄 응축 기술로 상기 실리콘 게르마늄층을 실리콘 산화막으로 하면서 동시에 상기 실리콘 게르마늄층이 덮고 있던 실리콘 기판 영역을 게르마늄층으로 형성하는 제 3 단계;

상기 실리콘 산화막을 제거하는 제 4 단계;

상기 기판상에 게이트 절연막 및 게이트 물질을 증착하고 식각하여 상기 하드 마스크의 일측에 측벽 게이트를 형성하는 제 5 단계;

상기 측벽 게이트 및 상기 하드 마스크를 이온주입용 마스크로 하여 제 1 도전형 불순물 이온을 주입하는 제 6 단계;

상기 기판상에 실리콘 산화막을 증착한 후 평탄화하는 제 7 단계; 및

상기 하드 마스크를 제거하고 상기 제 1 도전형과 반대되는 제 2 도전형 불순물 이온을 주입하는 제 8 단계를 포함하여 구성된 것을 특징으로 하는 이종접합 터널링 전계효과 트랜지스터의 제조방법.

청구항 2

제 1 항에 있어서,

상기 제 8 단계는 상기 하드 마스크를 제거한 다음, 절연물질을 증착하고 식각하여 상기 측벽 게이트의 일측으로 절연막 측벽을 더 형성하고, 상기 제 2 도전형 불순물 이온을 주입하는 것을 특징으로 하는 이종접합 터널링 전계효과 트랜지스터의 제조방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 단계와 상기 제 2 단계 사이에는 상기 기판상에 상기 하드 마스크와 식각 선택비가 확보되는 물질을 증착하고 식각하여 상기 하드 마스크의 일측에 측벽을 형성하는 단계를 더 진행하고,

상기 제 2 단계는 상기 측벽 주변으로 드러난 상기 실리콘 기판상에 상기 실리콘 게르마늄층을 형성하고,

상기 제 4 단계는 상기 측벽도 함께 제거하는 것을 특징으로 하는 이종접합 터널링 전계효과 트랜지스터의 제조방법.

청구항 4

제 3 항에 있어서,

상기 제 2 단계의 상기 실리콘 게르마늄층 형성은 노출된 상기 실리콘 기판상에 선택적으로 성장시킨 것을 특징으로 하는 이종접합 터널링 전계효과 트랜지스터의 제조방법.

청구항 5

제 3 항에 있어서,

상기 제 2 단계의 상기 실리콘 게르마늄층은 상기 기판의 전면에 일정 두께로 증착하여 형성하고,

상기 제 4 단계에서 상기 실리콘 산화막 및 상기 측벽을 제거하기 전에 상기 측벽 게이트 및 상기 하드 마스크 상에 남아 있는 상기 실리콘 게르마늄층을 먼저 제거하는 것을 특징으로 하는 이종접합 터널링 전계효과 트랜지스터의 제조방법.

청구항 6

제 3 항에 있어서,

상기 하드 마스크와 식각 선택비가 확보되는 물질은 실리콘 산화막이고,

상기 측벽은 실리콘 산화막 측벽인 것을 특징으로 하는 이종접합 터널링 전계효과 트랜지스터의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 터널링 전계효과 트랜지스터에 관한 것으로, 더욱 상세하게는 선택적 게르마늄 응축과 측벽공정을 이용한 자기정렬된 이종접합 터널링 전계효과 트랜지스터의 제조방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 반도체 소자의 전력소모는 구동전압과 매우 밀접한 관련이 있다. 저전력 동작을 위해서는 구동전압의 감소는 필수적이다. 하지만, 기존의 MOSFET의 경우 문턱전압이하 기울기(Subthreshold Swing: SS)가 상온에서 60 mV/dec 이하로 낮아질 수 없는 물리적인 한계가 있다. 따라서 구동전압이 낮아질 경우 누설전류의 증가 혹은 구동전류의 감소로 인한 성능 저하가 불가피 하다. 이러한 문제를 해결하기 위하여 최근 선진국의 기업, 연구소, 대학은 차세대 소자로써 새로운 고에너지 효율 반도체 소자의 개발에 연구력을 집중하고 있다.

[0003] 차세대 소자로 개발되고 있는 것 중의 하나가, 도 1과 같이, 채널영역(3) 양측으로 서로 반대 극성을 갖는 불순물로 비대칭 소스(2)/드레인(4)이 형성된 구조를 갖는 터널링 전계효과 트랜지스터(TFET)이다.

[0004] 종래 N 채널 TFET인 경우, 매몰 산화막(1) 상에 P형으로 약하게 도핑되거나 도핑 되지 않은 진성 SOI 기판의 채널영역(3) 양측으로 소스(2)는 P+ 영역, 드레인(4)은 N+ 영역으로 형성된다. 여기서, P+ 영역은 P형 불순물의 고농도 도핑층을, N+ 영역은 N형 불순물의 고농도 도핑층을 각각 말한다(이하, 동일함).

[0005] 상기 구조에서, 게이트 절연막(5) 상의 게이트(6)에 양(+)의 구동전압이 인가되고, 소스(2) 및 드레인(4)에 역바이어스 전압이 각각 인가하게 되면, 도 2와 같이, 채널영역(3)과 소스(2) 사이에 에너지 밴드 경사를 갖는 터널링 접합(tunneling junction)이 형성되어 소스(2)의 가전자대(E_v)에 있던 전자(e)가 채널영역(3)의 전도대(E_c)로 밴드 대 밴드(band-to-band)로 터널링되며 구동전류(I_{ON})가 흐르게 된다. P 채널 TFET인 경우는 상술한 N 채널 TFET인 경우와 대칭적 구조를 가지고, 대칭적인 동작을 하게 된다.

[0006] 상술한 TFET의 구조 및 동작상 특징으로, TFET는 기존 MOSFET의 열전자 방출과는 상이한 터널링 방식으로 전자 또는 홀(hole, 정공)의 흐름을 제어하게 되므로 급격한 ON/OFF 상태의 변화가 가능하다. 따라서 터널링 전계효과 트랜지스터는 0.5V 이하의 매우 낮은 구동전압 조건에서도 고성능을 보일 수 있을 것으로 예상하고 있다.

[0007] 그러나 TFET는 아직까지 MOSFET과 비견될 만한 성능을 보여주지 못하고 있다. 여러 가지 이유 중에 중요한 요인은 낮은 구동전류와 ambipolar 동작으로 인한 높은 누설전류가 있다. 터널링 효율은 반도체 물질의 에너지갭에 대해 아주 민감하게 변화한다. 대표적인 동종접합 터널링 전계효과 트랜지스터로는 실리콘(Si) 접합 터널링 전계효과 트랜지스터와 게르마늄(Ge) 접합 터널링 전계효과 트랜지스터가 있다. 전자는 도 1에서 소스(2)/채널영역(3)/드레인(4) 모두 실리콘(Si)으로 동종접합에 의한 것인데, 이에 의할 경우 실리콘의 밴드갭 에너지가 1.12 eV로 크기 때문에 터널링 효율이 좋지 못하고, 후자는 도 1에서 소스(2)/채널영역(3)/드레인(4) 모두 게르마늄(Ge)으로 동종접합에 의한 것인데, 이에 의할 경우 반대로 게르마늄의 밴드갭 에너지가 0.66 eV로 작아 높은 구동전류를 보장하지만, ambipolar 동작으로 인한 높은 누설전류가 문제가 되고 있다.

[0008] 상기 문제점을 해결하기 위하여, 본 발명자는 한국등록특허 제10-1108915호에서 도 1의 게이트 절연막(5) 대신 소스(2)와 채널영역(3)의 터널링 접합 부위에는 고유전율막을 형성하고 나머지 부위에는 통상의 게이트 절연막을 그대로 사용하는 구조를 제안한 바 있고, 다른 구조로는 도 1에서 소스(2)는 게르마늄(Ge), 채널영역(3)/드레인(4)은 실리콘(Si)으로 형성하여 소스(2)와 채널영역(3) 사이에 이종접합이 형성되는 구조로 하거나, 소스(2)/채널영역(3)은 게르마늄(Ge), 드레인(4)은 실리콘(Si)으로 형성하여 채널영역(3)과 드레인(4) 사이에 이종접합이 형성되는 구조로 하는 게르마늄(Ge)-실리콘(Si) 이종접합 터널링 전계효과 트랜지스터가 제안되었다.

[0009] 그러나 소스(2)와 채널영역(3) 사이에 게르마늄(Ge)-실리콘(Si) 이종접합이 형성될 경우 비직접(indirect) 터널링이 구동전류의 주성분이 되어, 게르마늄 동종접합이 형성될 경우보다 구동전류가 낮게 되는 문제가 있고, 소스(2)와 채널영역(3) 사이는 게르마늄 동종접합으로 형성하고 채널영역(3)과 드레인(4) 사이에 게르마늄(Ge)-실리콘(Si) 이종접합으로 형성할 경우에는 앞의 문제는 해결되나 드레인(4)에서 유효 에너지갭의 감소로 누설전류가 증가하는 문제가 있다.

[0010] 또한, 최근 미국특허 US8,828,812에서, 도 3과 같이, 게이트(80) 밑에 게르마늄(62)-실리콘(22) 이종접합 구조를 갖는 이종접합 터널링 전계효과 트랜지스터가 제안되었다(A는 게르마늄 영역, B는 실리콘 영역, C는 채널영역, 64는 소스, 24는 드레인, 그리고 10은 매몰 산화막임).

[0011] 그런데, 상기 미국특허 US8,828,812에서는 선택적 게르마늄 응축방법을 이용하여 게르마늄(62)-실리콘(22) 이종접합을 형성한 다음 게이트 절연막(70) 및 게이트(80)를 상기 게르마늄(62)-실리콘(22) 이종접합 상에 형성하는 것이어서, 게르마늄(62)-실리콘(22) 이종접합 상에 게이트(80)를 정확히 맞추어 형성하기 어려운 공정상의 문제점이 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 상기와 같은 종래 문제를 해결하기 위하여 제안된 것으로서, 선택적 게르마늄 응축과 측벽공정을 이용하여 이종접합이 측벽 게이트 또는 측벽 절연막 밑에 위치하도록 자기정렬된 이종접합 터널링 전계효과 트랜지스터의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0013] 상기 목적을 달성하기 위하여, 본 발명에 의한 이종접합 터널링 전계효과 트랜지스터의 제조방법은 실리콘 기판의 일측 상에 실리콘 산화막과 식각 선택비가 우수한 하드 마스크를 형성하는 제 1 단계; 상기 하드 마스크 주변으로 드러난 상기 실리콘 기판상에 실리콘 게르마늄층을 형성하는 제 2 단계; 열산화 반응을 통한 게르마늄 응축 기술로 상기 실리콘 게르마늄층을 실리콘 산화막으로 하면서 동시에 상기 실리콘 게르마늄층이 덮고 있던 실리콘 기판 영역을 게르마늄층으로 형성하는 제 3 단계; 상기 실리콘 산화막을 제거하는 제 4 단계; 상기 기판상에 게이트 절연막 및 게이트 물질을 증착하고 식각하여 상기 하드 마스크의 일측에 측벽 게이트를 형성하는 제 5 단계; 상기 측벽 게이트 및 상기 하드 마스크를 이온주입용 마스크로 하여 제 1 도전형 불순물 이온을 주입하는 제 6 단계; 상기 기판상에 실리콘 산화막을 증착한 후 평탄화하는 제 7 단계; 및 상기 하드 마스크를 제거하고 상기 제 1 도전형과 반대되는 제 2 도전형 불순물 이온을 주입하는 제 8 단계를 포함하여 구성된 것을 특징으로 한다.

[0014] 상기 제 8 단계는 상기 하드 마스크를 제거한 다음, 절연물질을 증착하고 식각하여 상기 측벽 게이트의 일측으로 절연막 측벽을 더 형성하고, 상기 제 2 도전형 불순물 이온을 주입할 수 있다.

[0015] 상기 제 1 단계와 상기 제 2 단계 사이에는 상기 기판상에 상기 하드 마스크와 식각 선택비가 확보되는 물질을 증착하고 식각하여 상기 하드 마스크의 일측에 측벽을 형성하는 단계를 더 진행하고, 상기 제 2 단계는 상기 측벽 주변으로 드러난 상기 실리콘 기판상에 상기 실리콘 게르마늄층을 형성하고, 상기 제 4 단계는 상기 측벽도 함께 제거하는 것으로 진행할 수 있다.

[0016] 상기 제 2 단계의 상기 실리콘 게르마늄층 형성은 노출된 상기 실리콘 기판상에 선택적으로 성장시키거나, 상기 기판의 전면에 일정 두께로 증착하여 형성할 수 있다. 후자의 경우, 상기 제 4 단계에서 상기 실리콘 산화막 및 상기 측벽을 제거하기 전에 상기 측벽 게이트 및 상기 하드 마스크 상에 남아 있는 상기 실리콘 게르마늄층을 먼저 제거하게 된다.

[0017] 상기 하드 마스크와 식각 선택비가 확보되는 물질은 실리콘 산화막으로 하여, 상기 측벽은 실리콘 산화막 측벽

으로 형성할 수도 있다.

발명의 효과

[0018] 본 발명은 실리콘 기판 상에 먼저 하드 마스크를 형성하고, 하드 마스크 주변으로 드러난 실리콘 기판상에 실리콘 게르마늄층을 형성하여 열산화 반응을 통한 게르마늄 응축 및 하드 마스크 측벽에 측벽 게이트를 형성하는 공정을 진행함으로써, 게르마늄과 실리콘의 이종접합이 측벽 게이트 밑에서 소스와 떨어진 위치에 형성되는 자기정렬된 이종접합 터널링 전계효과 트랜지스터를 제조할 수 있는 효과가 있다.

[0019] 나아가, 하드 마스크의 일측에 실리콘 산화막등으로 측벽을 형성하고 실리콘 게르마늄층을 형성하거나 측벽 게이트의 일측에 절연막 측벽을 형성하고 불순물 이온 주입공정을 진행할 경우, 상기 각 측벽의 두께를 조절함으로써, 측벽 게이트 또는 절연막 측벽 밑에 형성되는 이종접합의 위치를 미세 조정하거나 진성 또는 소스/드레인보다 약하게 도핑된 게르마늄과 실리콘의 채널방향 길이를 용이하게 조절할 수 있는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 종래 터널링 전계효과 트랜지스터(N 채널 TFET)의 기본 구조를 보여주는 단면도이다.

도 2는 도 1의 N 채널 TFET 구조에서 소스/드레인에 역바이어스, 게이트에 양(+)의 전압이 각각 인가될 때 P+ 영역과 접한 채널영역 사이에 터널링 접합으로 터널링 전류(ON CURRENT: I_{ON})가 발생됨을 보여주는 에너지 밴드도이다.

도 3은 미국특허 US8,828,812에서 제안된 이종접합 터널링 전계효과 트랜지스터의 구조를 개념적으로 도시한 단면도이다.

도 4 내지 도 6은 본 발명의 일 실시 예에 의한 이종접합 터널링 전계효과 트랜지스터의 제조방법 중 일부 공정단계를 보여주는 공정단면도이다.

도 7 내지 도 15는 본 발명의 다른 실시 예에 의한 이종접합 터널링 전계효과 트랜지스터의 제조방법을 보여주는 공정단면도이다.

도 16 및 도 17은 본 발명의 또 다른 실시 예에 의한 이종접합 터널링 전계효과 트랜지스터의 제조방법을 보여주는 공정단면도로 각각 도 8 및 도 9 대신 실시될 수 있음을 보여준다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시 예에 대하여 설명한다.

[0022] 도 4 내지 도 6은 본 발명의 일 실시 예에 의한 이종접합 터널링 전계효과 트랜지스터의 제조방법 중 일부 공정단계를 보여주는 공정단면도이므로, 이를 중심으로 설명하되, 주요 공정단계가 모두 도시된 도 7 내지 도 15와 일부 단계를 달리 실시할 수 있음을 보여주는 도 16 및 도 17을 함께 참조하며 설명한다.

[0023] 우선, 도 4와 같이, 실리콘 기판(20)의 일측 상에 실리콘 산화막(SiO_2, Silicon Oxide Layer)과 식각 선택비가 우수한 하드 마스크(30)를 형성한다(제 1 단계).

[0024] 여기서, 상기 실리콘 기판(20)은, 도 4와 같이, 매몰 산화막(10) 위에 실리콘층(20)이 있는 SOI 기판이 바람직하나, 벌크 실리콘 기판 일수도 있다. 그리고 상기 하드 마스크(30)는 차후 드레인과 채널영역의 실리콘 영역(도 3의 B영역)을 확보하기 위한 것으로 이를 감안한 면적에 실리콘 산화막과 식각 선택비가 우수한 물질(예컨대, 실리콘 나이트라이드(Si_3N_4))로 형성한다.

[0025] 이어, 도 5와 같이, 상기 하드 마스크(30)의 주변으로 드러난 상기 실리콘 기판(20) 상에 실리콘 게르마늄층(SiGe, 40)을 형성한다(제 2 단계).

[0026] 여기서, 상기 실리콘 게르마늄층(SiGe, 40)의 형성은, 도 5와 같이, 특별한 측벽 형성 없이 바로 하드 마스크(30) 주변으로 형성할 수 있으나, 도 7과 같이, 상기 하드 마스크(30)의 일측에 하드 마스크(30)와 식각 선택비가 확보되는 물질(예컨대, 실리콘 산화막)로 측벽(32)을 형성하는 단계를 먼저 진행하고, 도 8과 같이, 상기 측벽(32) 주변으로 드러난 실리콘 기판(20) 상에 상기 실리콘 게르마늄층(40)을 형성할 수도 있다.

[0027] 상기 측벽(32)을 실리콘 산화막 측벽으로 형성할 경우 실리콘 기판(20) 상에 실리콘 산화막을 일정 두께로 증착

하고 비등방성으로 식각하여 하드 마스크(30)의 일측에 형성할 수 있는데, 실리콘 산화막의 증착 두께 및 식각 등의 공정변수로 측벽의 두께(측벽의 밑면에서 채널방향의 거리)를 조절할 수 있다. 그리고 실리콘 산화막 측벽(32)은 차후 제거되고 그 자리에 측벽 게이트가 형성되게 되므로, 상기 공정변수로 측벽 게이트 밑에 이종접합이 위치할 수 있도록 용이하게 조절할 수 있게 된다.

[0028] 또한, 상기 실리콘 게르마늄층(SiGe, 40)의 형성은, 도 5 또는 도 8과 같이, 하드 마스크(30) 및/또는 실리콘 산화막 측벽(32) 주변으로 노출된 실리콘 기판상에 선택적으로 에피텍셜로 성장시킬 수도 있으나, 도 16과 같이, 하드 마스크(30) 및/또는 실리콘 산화막 측벽(32)이 형성된 실리콘 기판 전면에 일정 두께로 증착하여 형성할 수도 있다. 이 경우, 도 16과 같이, 실리콘 산화막 측벽(32)과 하드 마스크(30) 위에도 실리콘 게르마늄층(42)이 일정 두께로 형성하게 된다.

[0029] 다음, 도 5, 도 8 또는 도 16과 같이, 실리콘 게르마늄층(40, 42)이 형성된 상태에서, 공지의 게르마늄 응축 기술(미국특허 US8,828,812 등 참조)로 열산화 공정을 진행하게 되면, 도 6, 도 9 또는 도 17과 같이, 실리콘 게르마늄층(40, 42)은 실리콘 산화막(50)으로 바뀌면서 동시에 실리콘 게르마늄층(40, 42)이 덮고 있던 실리콘 기판 영역은 게르마늄층(60)으로 바뀌게 된다(제 3 단계). 이때, 열산화 공정의 공정 시간 등을 조절하여 게르마늄층(60)이 하드 마스크(30) 및/또는 실리콘 산화막 측벽(32) 밑으로 약간 더 파고들도록 하여 차후 이종접합 위치가 절연막 측벽 또는 측벽 게이트 밑에 위치하도록 한다.

[0030] 이어, 도 10과 같이, 상기 실리콘 산화막(50)을 제거한다(제 4 단계). 이때, 도 9와 같이, 실리콘 산화막 측벽(32)이 있는 경우에는 실리콘 산화막 측벽(32)도 함께 제거한다. 그리고, 도 17과 같이, 실리콘 산화막 측벽(32)과 하드 마스크(30) 위에 실리콘 게르마늄층(44)이 남아 있는 경우에는 실리콘 게르마늄층(44)을 먼저 제거한 이후에 실리콘 산화막(50) 및 실리콘 산화막 측벽(32)을 제거한다.

[0031] 이후, 도 11과 같이, 상기 하드 마스크(30)만 남아 있는 기판상에 게이트 절연막(70) 및 게이트 물질을 증착하고 식각하여, 상기 하드 마스크(30)의 일측에 측벽 게이트(80)를 형성한다(제 5 단계). 이때, 게이트 절연막(70)은 게르마늄 산화막, 실리콘 산화막 뿐만 아니라 다양한 종류의 고유전율 산화막(high-k)일 수 있고, 측벽 게이트(80)는 다결정 실리콘, 금속 등 도전성 물질로 형성될 수 있다.

[0032] 도 11과 같이, 실리콘 산화막 측벽(32)을 제거한 위치에 측벽 게이트(80)를 형성할 경우에는 게르마늄층(60)과 실리콘 기판(20) 사이의 이종접합을 용이하게 측벽 게이트(80) 밑에 위치시킬 수 있게 된다.

[0033] 다음, 도 12와 같이, 상기 측벽 게이트(80) 및 상기 하드 마스크(30)를 이온주입용 마스크로 하여 제 1 도전형(예컨대, P형) 불순물 이온을 주입하여 소스(64)를 형성한다(제 6 단계).

[0034] 이어, 상기 기판상에 하드 마스크(30)와 식각 선택비가 확보되는 물질(예컨대, 실리콘 산화막)을 증착한 후 평탄화하여 소스(64) 측을 하드 마스크 식각용 물질막(34)으로 덮는다(제 7 단계).

[0035] 이후, 도 13과 같이, 상기 하드 마스크(30)를 제거하고, 상기 제 1 도전형과 반대되는 제 2 도전형(예컨대, N형) 불순물 이온을 주입하여 드레인(24)을 형성한다(제 8 단계).

[0036] 여기서, 도 13과 같이, 상기 하드 마스크(30)를 제거한 다음, 바로 제 2 도전형 불순물 이온을 주입하여 드레인(24)을 형성할 수도 있으나, 도 14와 같이, 절연물질을 증착하고 식각하여 상기 측벽 게이트(80)의 일측으로 절연막 측벽(36)을 더 형성하고, 상기의 제 2 도전형 불순물 이온 주입공정을 진행하여, 도 15와 같이, 측벽 게이트(80)로부터 수평으로 일정거리 이격된 위치에 드레인(24)을 형성함이 ambipolar 동작으로 인한 누설 전류를 방지할 수 있다는 관점에서 바람직하다. 후자의 경우는 특히, 도 6과 같이, 실리콘 산화막 측벽(32)을 형성하지 않고 게르마늄 응축을 위한 열산화 공정을 진행하여 이종접합 위치가 하드 마스크(30) 밑에 위치할 경우에 더욱 바람직하다.

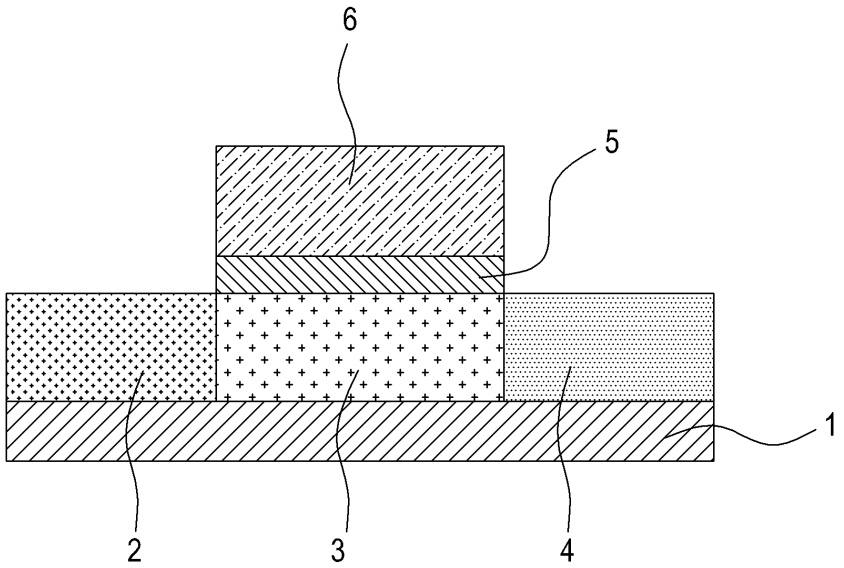
[0037] 이상에서 살펴본 바와 같이, 실리콘 기판(20) 상에 하드 마스크(30)를 일정 두께로 형성하고 하드 마스크의 일측에 실리콘 산화막 측벽(32)을 형성하고 실리콘 게르마늄층을 형성 후 게르마늄 응축을 위한 열산화 공정을 진행하거나 측벽 게이트(80)의 일측에 절연막 측벽(36)을 형성하고 드레인(24) 형성을 위한 불순물 이온 주입공정을 진행할 경우, 상기 각 측벽의 두께를 조절함으로써, 용이하게 측벽 게이트(80) 또는 절연막 측벽(36) 밑에 이종접합이 위치하도록 할 수 있으며, 나아가 채널영역(도 3의 C영역)에서 진성 또는 소스나 드레인보다 약하게 도핑된 게르마늄층(62)과 실리콘층(22)의 채널방향의 길이도 얼마든지 조절하여 ambipolar 동작으로 인한 누설 전류 문제를 근본적으로 해결할 수 있게 된다.

부호의 설명

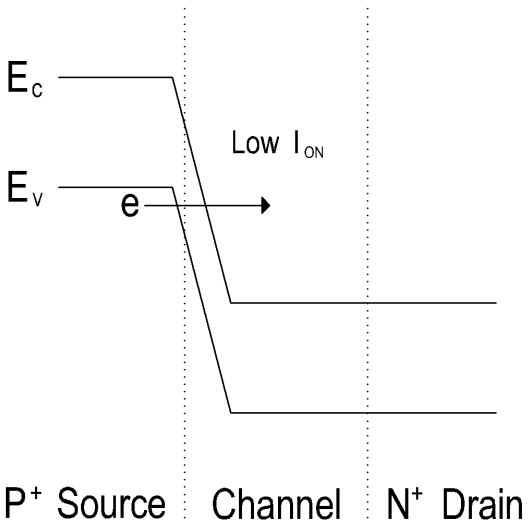
[0038] 10: 매몰 산화막 20: 실리콘 기판
22: 진성 또는 저농도 실리콘층 24: 드레인
30: 하드 마스크 32: 측벽
34: 하드 마스크 식각용 물질막 36: 절연막 측벽
40, 42, 44: 실리콘 게르마늄층 50: 실리콘 산화막
60: 게르마늄층 62: 진성 또는 저농도 게르마늄층
64: 소스 70: 게이트 절연막
80: 측벽 게이트

도면

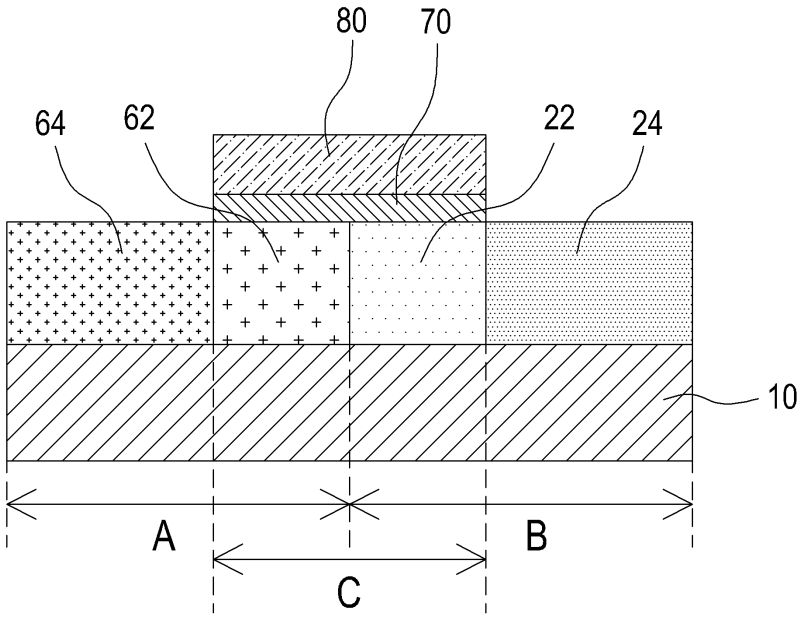
도면1



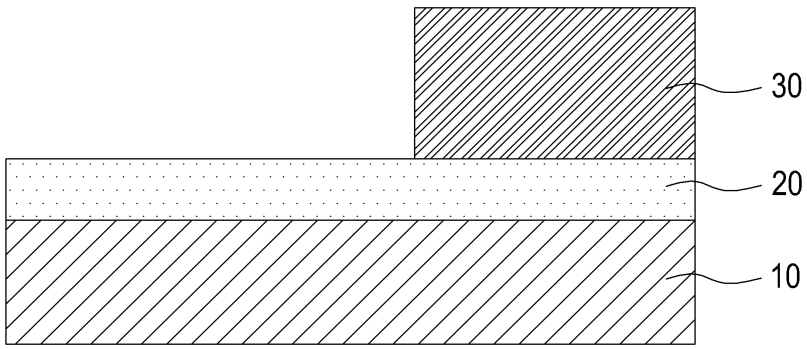
도면2



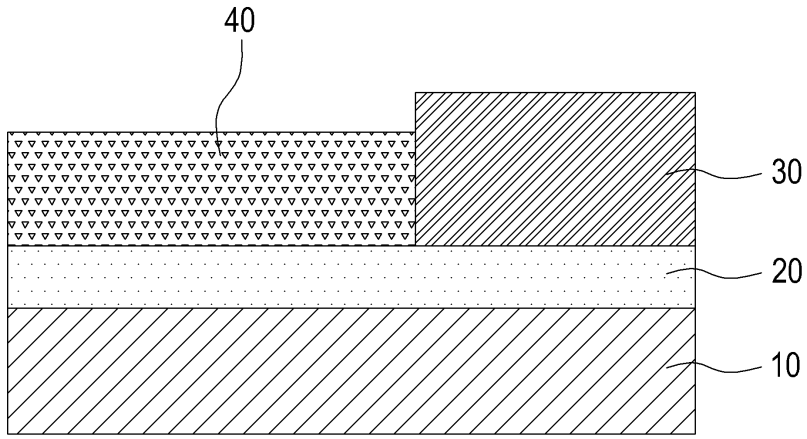
도면3



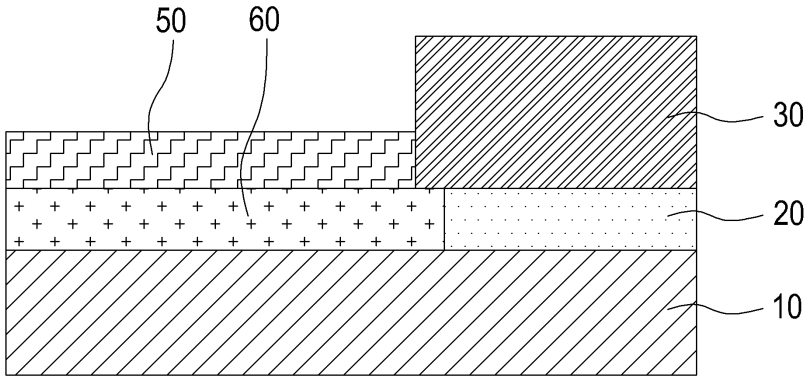
도면4



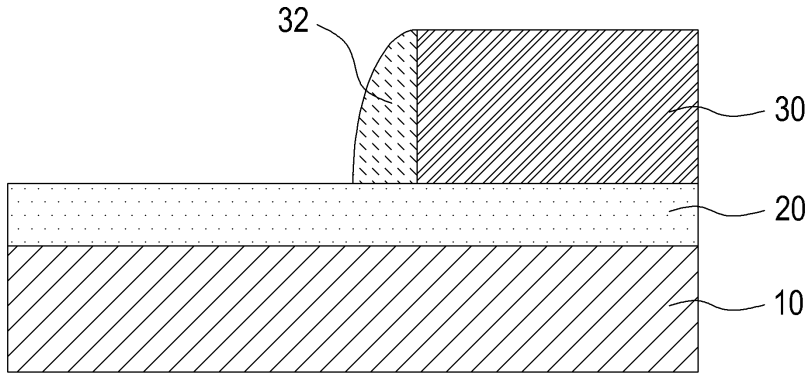
도면5



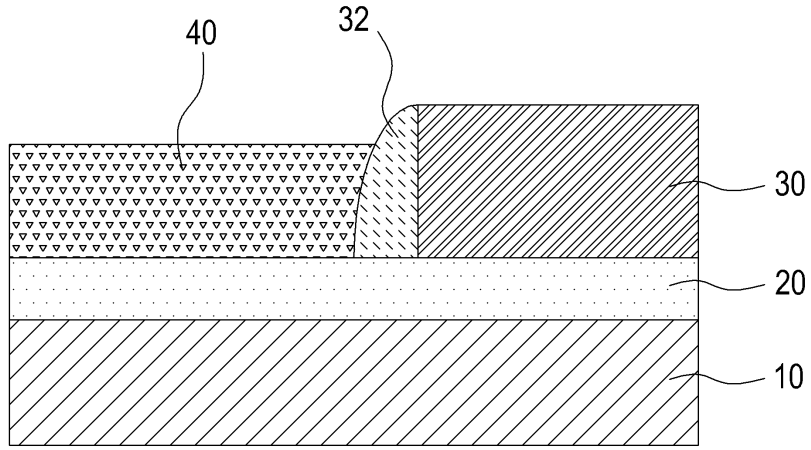
도면6



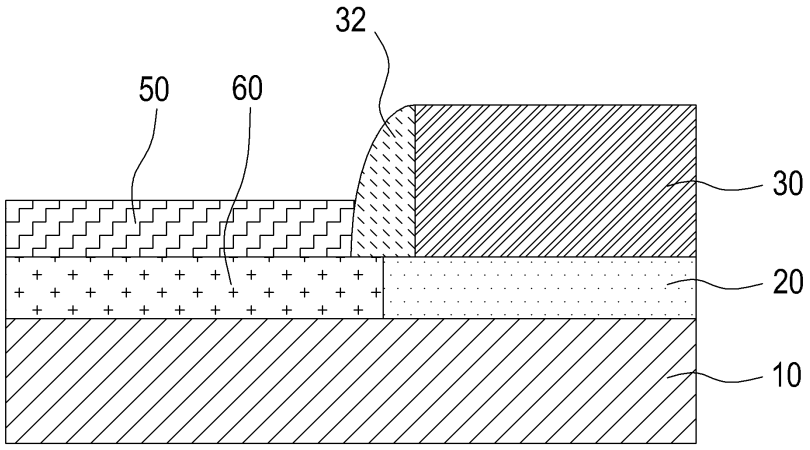
도면7



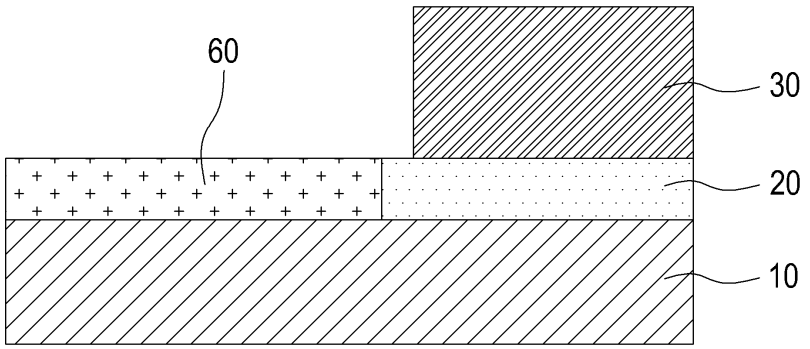
도면8



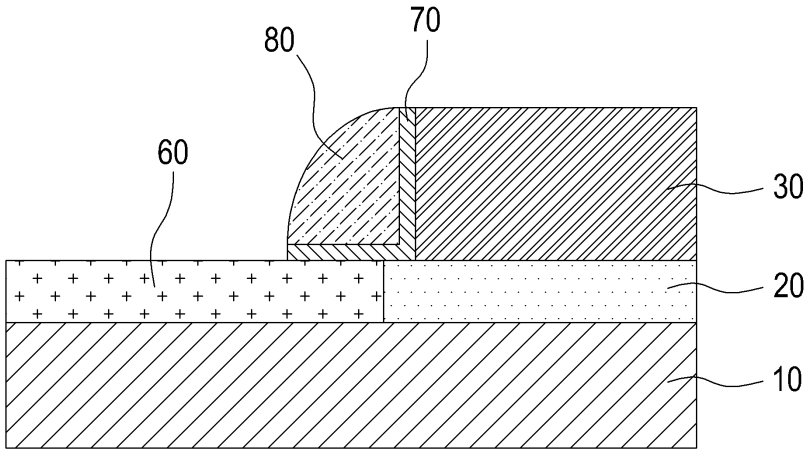
도면9



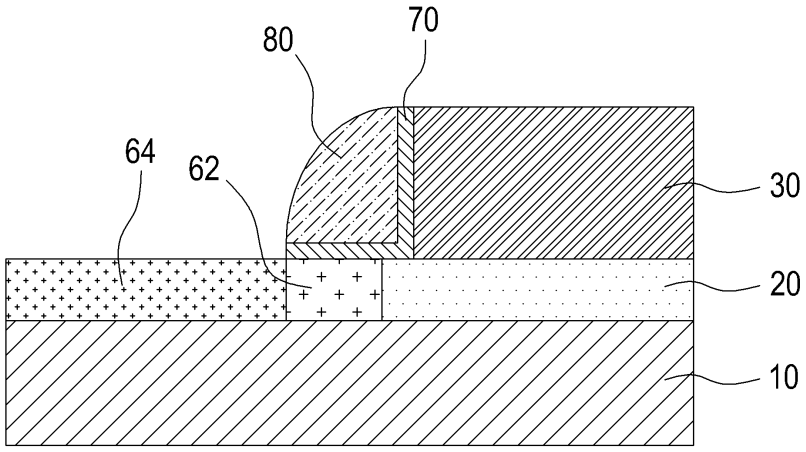
도면10



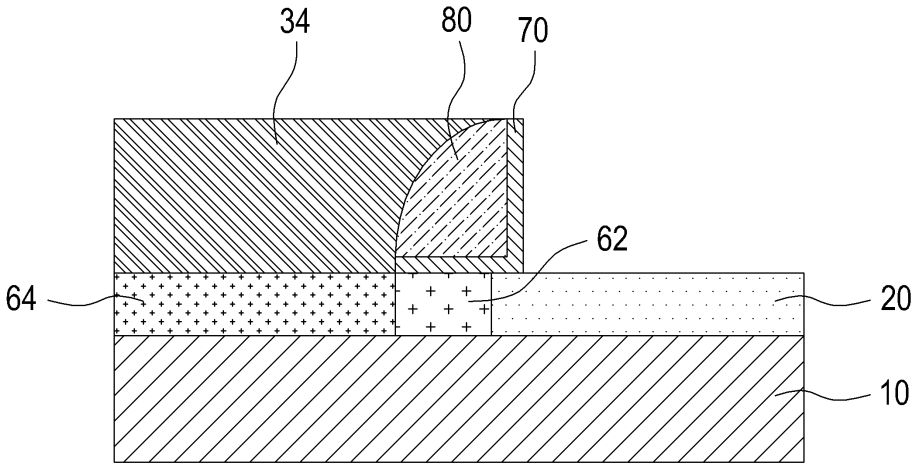
도면11



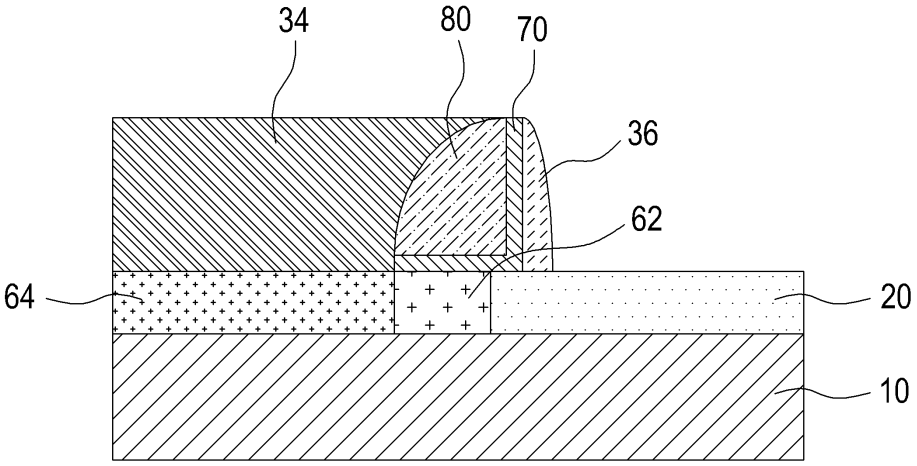
도면12



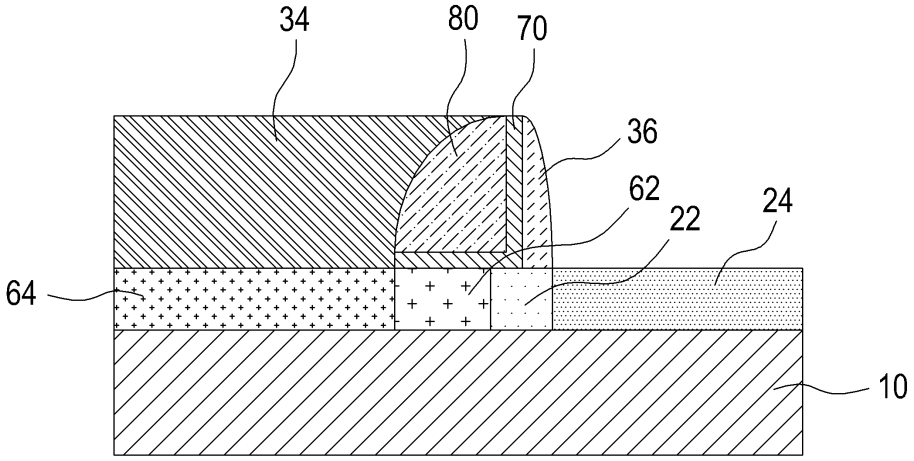
도면13



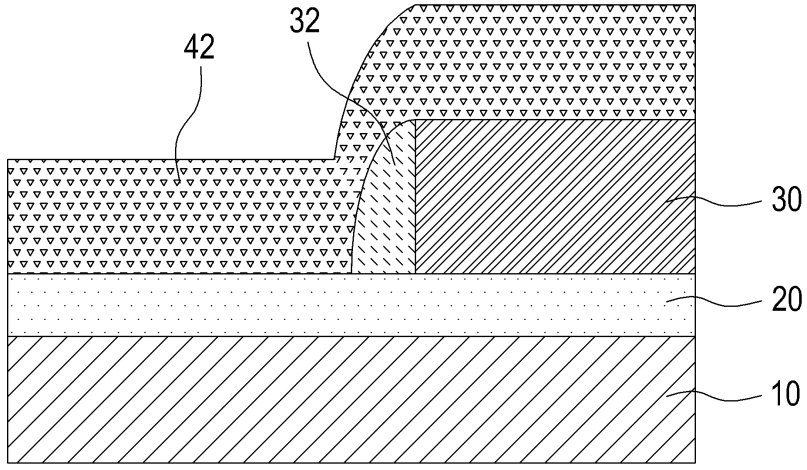
도면14



도면15



도면16



도면17

