(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월23일
(11) 등록번호 10-2091427
(24) 등록일자 2020년03월16일

(51) 국제특허분류(Int. Cl.)
H01L 51/10 (2006.01) *H01L 51/00* (2006.01)
(52) CPC특허분류
H01L 51/102 (2013.01)
H01L 51/0036 (2013.01)
(21) 출원번호 10-2018-0119566
(22) 출원일자 2018년10월08일
심사청구일자 2018년10월08일
(56) 선행기술조사문헌
KR1020160143289 A*
(뒷면에 계속)

(73) 특허권자
한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
이화성
대전광역시 유성구 동서대로 125 한밭대학교
백설희
서울특별시 관악구 대학7길 26 가동 205동
(뒷면에 계속)
(74) 대리인
특허법인오암

전체 청구항 수 : 총 8 항 심사관 : 정미나

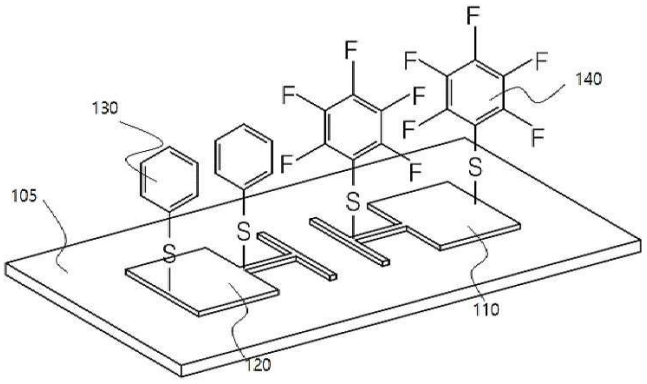
(54) 발명의 명칭 **유기반도체의 전하 주입과 추출 향상을 위한 비대칭 유기반도체층과 전극의 결합 구조와 그 유기전자소자 제조방법**

(57) 요 약

본 발명은 유기 반도체의 전하주입과 추출을 위한 비대칭 유기반도체층과 전극의 결합구조와 그 제조방법에 관한 것이다.

본 발명의 일 실시예에 따른 유기반도체의 전하 주입과 추출을 위한 비대칭 유기반도체층과 전극의 결합구조는, 글래스 기판;과, 상기 글래스 기판 상에 형성된 소스(source) 전극과 드레인(drain) 전극;과, 상기 소스 전극 상에 형성된 2,3,4,5-pentafluorobenzene thiol (PFBT) 형태의 자기조립단분자막(Self-Assembled Monolayer;SAMs);과, 상기 드레인 전극 상에 형성된 thiophenol(TP)형태의 자기조립단분자막(Self-Assembled Monolayers;SAMs); 및 상기 소스 전극과 드레인 전극으로 산소(oxygen)과 수분(moisture)의 침투를 방지하기 위한 DNTT(dinaphtho[2,3-b:2′ ,3′ '-f]thieno[3,2-b]thiophene) 활성층(active layer)을 포함하는 것일 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 51/107 (2013.01)
(72) 발명자
장하영
세종특별시 당산로 290
최기헌
충청남도 보령시 명천중앙길 20
오승택
대전광역시 중구 보문산로245번길 3-18

(56) 선행기술조사문헌
KR1020110008182 A*
KR1020140026374 A*
JP2011517075 A
KR1020130123983 A*
*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업
과제고유번호 2018R1A6A1A03026005
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 기초연구역량강화사업
연구과제명 하이브리드 3D프린팅을 이용한 액티브 인쇄전자 시스템
기 여 율 1/1
주관기관 한밭대학교
연구기간 2018.06.01 ~ 2027.02.28

명 세 서

청구범위

청구항 1

유기반도체의 전하 주입과 추출을 위한 비대칭 유기반도체층과 전극의 결합 구조를 갖는 유기전계효과 트랜지스터에 있어서,

글래스 기판;

상기 글래스 기판 상에 형성된 소스(source) 전극과 드레인(drain) 전극;

상기 소스 전극 상에 형성된 2,3,4,5-pentafluorobenzene thiol (PFBT) 형태의 자기조립단분자막(Self-Assembled Monolayer;SAMs);

상기 드레인 전극 상에 형성된 thiophenol(TP)형태의 자기조립단분자막(Self-Assembled Monolayers;SAMs);

상기 소스 전극과 드레인 전극으로 산소(oxygen)과 수분(moisture)의 침투를 방지하기 위한 폴리머 게이트 유전체층인 parylene 절연체;과 DNTT(dinaphtho[2,3-b:2′ ,3′ '-f]thieno[3,2-b]thiophene) 활성층(active layer)을 포함하는 고분자 및 단분자 활성층(active layer); 및

상기 폴리머 게이트 유전체층 상에 형성된 게이트 전극;

을 포함하여 바닥 접촉-탑 게이트 구조(bottom contact-top gate structure)를 가지는 것을 특징으로 하는

유기전계효과 트랜지스터

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 소스 전극 및 드레인 전극은 금(Au) 재질로 형성된 것을 특징으로 하는

유기전계효과 트랜지스터

청구항 4

제1항에 있어서,

자기조립단분자막(Self-Assembled monolayer)는 소스와 드레인 전극에 화학흡착하여 페르미 준위(fermi level)의 이동을 유도하고, 금속 표면을 향한 쌍극자(dipole)을 유도하여 금속일함수(work function)의 증가 또는 감소에 기여할 수 있는 것을 특징으로 하는

유기전계효과 트랜지스터

청구항 5

제1항에 있어서,

상기 자기조립단분자막의 변형은

활성층과 전극 계면 사이에서의 전하 주입 및 추출을 조절할 수 있는 것을 특징으로 하는

유기전계효과 트랜지스터.

청구항 6

유기반도체의 전하 주입과 추출을 위한 비대칭 유기반도체층과 전극을 포함하는 트랜지스터의 제조 방법에 있

어서,

유리기판 상에 열증착(thermal deposition)의 방법으로 소스 전극과 드레인 전극을 증착하는 단계(s10);

상기 소스 전극 상에 2,3,4,5-pentafluorobenzene thiol (PFBT) 형태의 자기조립단분자막(Self-Assembled Monolayer;SAMs)을 화학흡착시키는 단계(s20);

상기 드레인 전극 상에 thiophenol(TP)형태의 자기조립단분자막(Self-Assembled Monolayers;SAMs)을 화학 흡착시키는 단계(s30);

유기분자 빔 증착시스템(Organic Molecular Beam Deposition;OMBD)을 이용하여 DNTT(dinaphtho[2,3-b:2′,3′-f]thieno[3,2-b]thiophene) 활성층(active layer)을 형성하는 단계(s40);

상기 DNTT 활성층 상에 폴리머 게이트 유전체층을 형성하는 단계(s50): 및

상기 폴리머 게이트 유전체 층 상에 게이트 전극을 형성하는 단계(s60);

를 포함하여 바닥 접촉-탑 게이트 구조(bottom contact-top gate structure)를 가지는 것을 특징으로 하는

유기반도체의 전하 주입과 추출을 위한 비대칭 유기반도체층과 전극을 포함하는 트랜지스터의 제조 방법.

청구항 7

제6항에 있어서,

TP형태의 자기조립 단분자막은, 상기 드레인 전극의 표면에너지를 증가시키는 것을 특징으로 하는,

유기반도체의 전하 주입과 추출을 위한 비대칭 유기반도체층과 전극을 포함하는 트랜지스터의 제조 방법.

청구항 8

제 6항에 있어서,

PFBT형태의 자기조립단분자막은,

할로겐화 페닐기의 형태를 취하고,

상기 소스 전극의 표면에너지를 감소시키는 것을 특징으로 하는

유기반도체의 전하 주입과 추출을 위한 비대칭 유기반도체층과 전극을 포함하는 트랜지스터의 제조 방법.

청구항 9

제6항에 있어서,

상기 비대칭으로 기능화된 S/D전극은

전하이동도를 개선하고,

접촉저항과 채널 저항을 낮추어서 유기전계효과 트랜지스터의 전기적 물성을 향상시킬 수 있는 것을 특징으로 하는

유기반도체의 전하 주입과 추출을 위한 비대칭 유기반도체층과 전극을 포함하는 트랜지스터의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기반도체의 전하의 주입과 추출을 위한 비대칭 유기반도체층과 전극의 결합 구조 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 최근 전세계적으로 용액공정용 유기반도체를 이용해 고성능 유기박막 트랜지스터 개발을 위한 많은 연구가 활발

히 이루어지고 있다. 특히 유기박막 트랜지스터에서 유기반도체 박막의 결정성과 유기반도체층과 금속 전극 사이의 계면은 소자 성능을 결정짓는 중요한 요소이며, 유기반도체 박막의 결정성은 소자내 전하이동도에 중요한 요소이다. 일반적으로 열처리 후처리공정을 통해 유기반도체 박막의 결정화도를 향상시킬 수 있으나, 전극표면에서의 계면 dewetting 현상이 수반되어 계면안정성에 문제가 발생하기 때문에 유기반도체 박막의 미세구조는 향상시키면서 절연체와의 계면에서의 dewetting을 막을 수 있는 새로운 방법의 공정기술개발이 필수적이다.

[0003] 유기반도체층과 금속 전극 사이의 계면은 접촉저항을 결정하는 핵심 요소이며 다양한 유기물 삽입층을 적용하여 접촉저항을 감소시키기 위한 연구가 진행되고 있다.

[0004] 유기반도체 층과 금속 전극 사이 계면에서의 접촉저항에 영향을 미치는 것은 소스전극에서 유기반도체층으로 이루어지는 전하주입과 유기반도체층에서 드레인 전극으로 이루어지는 전하추출이다. 이것은 금속의 페르미 준위 위치에 의존하므로 전하주입장벽을 낮추기 위해서는 먼저 적절한 일함수를 가진 금속을 선정하여야 한다. 일반적으로 P형 반도체의 경우 일함수가 큰 금속일수록 전하주입장벽이 작아져 정공주입에 유리하다. 따라서 금전극의 일함수는 5.1eV이므로 p형트랜지스터의 정공주입이 용이할 것을 예상할 수 있다. 실제로 유기반도체에 대하여 일함수가 다른 여러가지 금속(Au(5.4eV), Ag(4.8eV), Cu(4.7eV), Cr(4.3eV), Al(4.1eV)과의 접촉 저항을 측정해 본 결과, 전극의 일함수가 클수록 접촉 저항이 감소한다는 것이 보고되었다.

[0005] 또한 pentacene 트랜지스터의 성능을 살펴본 연구에서는 일함수가 낮은 금속(Al(4.2eV)) 에 대해 정공주입장벽이 높아 전계효과이동도가 낮게 나타나는 결과를 보고하였다. 하지만 높은 일함수를 가진 금전극(Au) 또한 유기반도체와의 계면에서 interfacial dipole barrier가 생성되어 정공주입 장벽이 높아진다는 결과가 발표되었다. 이처럼 금속의 일함수와 표면 특성에 따라 전하주입장벽은 크게 달라질 수 있고, 전기적 특성에 큰 영향을 미치기 때문에 세계적으로 많은 연구그룹들이 기판 표면에 자발적으로 형성되는 유기단분자막인 자기조립단분자막(Self-Assembled Monolayer;SAMs)을 이용해 금속 전극의 일함수를 변화시키는 연구를 진행해 오고 있다.

[0006] 본 발명에서는 서로 다른 말단기를 가지는 thiol계통의 단분자막을 이용하여 금 전극의 일함수를 소스와 드레인 전극의 역할에 적합하게 조절할 수 있었다. 금전극의 표면 개질을 통해 소스전극의 일함수는 높이고 드레인 전극의 일함수를 낮추어 소스 전극으로부터 유기반도체로의 정공 주입 장벽을 낮추고 유기반도체에서 드레인 전극으로의 정공 추출의 장벽을 낮추어 트랜지스터 소자의 작동성능을 크게 향상시킬 수 있었다.

선행기술문헌

비특허문헌

[0007] (비특허문헌 0001) J. Appl. Phys, 94, 6129(2003), L.Burgi, T,J.Richards, R.H.Friend

(비특허문헌 0002) Proceedings of the IEEE., 93, 1265(2005), T,Zyung, S.H.Kim, H.Y.Chu,

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기와 같은 문제점을 해결하기 위해 개발한 것으로, 대표적인 금속전극인 금을 사용하여 소스와 드레인을 제작하였고, 소스에서 유기반도체층으로 정공 주입과 유기반도체층에서 드레인으로 정공추출 성능을 개선할 수 있도록 서로 다른 SAM 물질을 소스와 드레인 표면에 개질하고, 이러한 소스와 드레인 전극에 대하여 dinaphtho[2,3-b:2′ ,3′ '-f]thieno[3,2-b]thiophene (DNTT)를 대표적인 유기활성층으로 사용하여 전극의 효율성이 극대화되어 소자성능이 향상되는 기술개발을 목적으로 한다.

[0009] 또한 이러한 표면이 개질된 소스와 드레인의 최적의 효율을 발휘하기 위해서는, 반도체 소자로서의 물성을 향상시킬 수 있는 제조방법이 필요하다고 할 수 있는데, 유기물 반도체의 특성을 살리면서도 반도체의 특성을 최적화할 수 있는 표면개질된 소스와 드레인을 포함하는 유기반도체의 제조방법을 제공하는 것을 또 다른 목적으로 한다.

[0010] 한편, 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론 할 수 있는 범위 내에서 추가적으로 고려될 것이다.

과제의 해결 수단

[0011] 이와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 유기반도체의 전하 주입과 추출을 위한 비대칭 유기반도체층과 전극의 결합 구조는, 글래스 기판;과, 상기 글래스 기판 상에 형성된 소스(source) 전극과 드레인(drain) 전극;과, 상기 소스 전극 상에 형성된 2,3,4,5-pentafluorobenzene thiol (PFBT) 형태의 자기조립단분자막(Self-Assembled Monolayer;SAMs);과, 상기 드레인 전극 상에 형성된 thiophenol(TP)형태의 자기조립단분자막(Self-Assembled Monolayers;SAMs); 및 상기 소스 전극과 드레인 전극으로 산소(oxygen)과 수분(moisture)의 침투를 방지하기 위한 페럴린 절연체;와, DNTT(dinaphtho[2,3-b:2′ ,3′ '-f]thieno[3,2-b]thiophene)를 포함한 고분자 및 단분자 활성층(active layer)을 포함하는 것일 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 비대칭 유기반도체층과 전극의 결합구조에는, 게이트 전극을 더 포함하는 것일 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 소스 전극 및 드레인 전극은 금(Au) 재질로 형성된 것일 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 자기조립단분자막(Self-Assembled monolayer)는 소스와 드레인 전극에 화학흡착하여 페르미 준위(fermi level)의 이동을 유도하고, 금속 표면을 향한 쌍극자(dipole)을 유도하여 금속일함수(work function)의 증가 또는 감소에 기여할 수 있는 것일 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 자기조립단분자막의 변형은 활성층과 전극 계면 사이에서의 전하 주입 및 추출을 조절할 수 있는 것일 수 있다.

[0016] 본 발명의 일 실시예에 따른 유기반도체의 전하의 주입과 추출을 위한 비대칭 유기반도체층과 전극을 포함하는 유기반도체 트랜지스터의 제조방법은, 유리기판 상에 열증착(thermal deposition)의 방법으로 소스 전극과 드레인 전극을 증착하는 단계(s10);와, 상기 소스 전극 상에 2,3,4,5-pentafluorobenzene thiol (PFBT) 형태의 자기조립단분자막(Self-Assembled Monolayer;SAMs)을 화학흡착시키는 단계(s20);와, 상기 드레인 전극 상에 thiophenol(TP)형태의 자기조립단분자막(Self-Assembled Monolayers;SAMs)을 화학 흡착시키는 단계(s30);와, 유기분자 빔 증착시스템(Organic Molecular Beam Deposition;OMBD)을 이용하여 DNTT(dinaphtho[2,3-b:2′ ,3′ '-f]thieno[3,2-b]thiophene) 활성층(active layer)을 형성하는 단계(s40);와, 상기 DNTT 활성층 상에 폴리머 게이트 유전체층을 형성하는 단계(s50): 및 상기 폴리머 게이트 유전체 층 상에 게이트 전극을 형성하는 단계(s60)를 포함하는 것일 수 있다.

[0017] 본 발명의 일 실시예에 있어서, TP형태의 자기조립 단분자막은, 상기 드레인 전극의 표면에너지를 증가시키는 것일 수 있다.

[0018] 본 발명의 일 실시예에 있어서, PFBT형태의 자기조립단분자막은, 할로겐화 페닐기의 형태를 취하고, 상기 소스 전극의 표면에너지를 감소시키는 것일 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 비대칭으로 기능화된 S/D전극은 전하이동도를 개선하고, 접촉저항과 채널저항을 낮추어서 상기 유기전계효과 트랜지스터의 전기적 물성을 향상시킬 수 있는 것일 수 있다.

발명의 효과

[0020] 본 발명의 기술적 사상에 따른 유기반도체의 전하의 주입과 추출을 위한 비대칭 유기반도체층과 전극의 결합구조는, 유기 전계효과 트랜지스터의 전기적 물성을 향상시키고 추가적인 홀밀도(hole density), 표면 전위(surface potential) 및 일함수(work function)을 변화시켜서 인버터, 태양전지 및 센서와 같은 다양한 유기전자장치의 전기적 성능을 향상시킬 수 있다.

[0021] 또한 유기전자장치의 소자프로세싱의 급속한 발전으로 인해 유기전계효과 트랜지스터(organic field effect transistor)는 다양한 잠재 응용분야에서 연구되고 사용되고 있는 데, 이러한 응용분야는 평면 패널 디스플레이, 메모리 장치, 보완 회로, 회학 센서 및 생물학적 센서와 같은 유기 전자제품을 포함한다. 또한 이러한 유기 전자제품의 표면 또는 인터페이스 엔지니어링을 통해 게이트 유전체 근처의 막 미세구조를 향상시킴으로써 유기 반도체(organic semiconductor;OSC)의 전하 수용능력을 개선하는 데 기여하여 왔다.

[0022] 본 발명의 일 실시예에 따른 유기반도체의 전하 주입 및 추출 성능 향상을 위한 비대칭 유기반도체층과 전극의 결합구조 역시, 전극 /OSC 계면에 금속 산화물, 이온성 중간층, 유기완충층 또는 그래핀을 삽입하는 것은, 재료의존성, 제한된 조건에서의 적용, 장치 구성, 화학적 반응성등과 관련하여 단점을 보유하고 있는데 이에 대한

개선으로 본 발명의 일 실시예에서는, 자기조립 단일층(self-assembled monolayer)의 표면 기능화를 통한 계면 에너지와 화학반응을 수정함으로써 결정화 공정에 영향을 미칠 수 있었고, 이와 같은 SAM이 소스와 드레인의 전극 표면에 화학 흡착하여 페르미 준위의 이동을 유도하고, 반도체의 최고 점유분자궤도 함수(Highest Occupied Molecular Orbital;HOMO)와 일치하도록 전극의 일함수를 조절할 수 있으므로 금속/유기 반도체 계면에서 오믹 컨택트(ohmic contact)를 갖는 디바이스를 제조함으로써 표면 다이폴(dipole)을 수정함으로써 전극의 일함수를 조절하여 트랜지스터의 전기적 특성을 최적화할 수 있다.

[0023] 상술한 본 발명의 효과들은 예시적으로 기재되었고, 이러한 효과들에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 일 실시예에 따른 티올레이트 SAM과 유기전계효과 트랜지스터(Organic Field Effect Transistor)의 화학 구조를 보여주는 도면이다.

도 2는 본 발명의 일실시예에 따른 DNTT층과 파릴렌 C게이트 유전체층을 포함하는 유기반도체 트랜지스터의 구조를 설명하는 도면이다.

도 3(a), (b), (c), (d), (e)은 다양한 S/D전극에 따른 DNTT OFET의 출력 특성을 보여주는 그래프이이고, 도 4(a), (b), (c), (d)는 게이트 전압에 따른 전달(transfer) 특성을 보여주는 그래프이다..

도 5의 (a)와 (b)는 각각 2차 전자에 대응하는 운동에너지를 보여주는 그래프와 일함수(WF)과 HOMO와 LUMO의 관계를 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하 본 발명에 관하여 상세히 설명한다. 다음에 소개되는 실시예 및 도면들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 또한, 본 발명의 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.

[0026] 이하에서 본 발명의 일 실시예에 따른 유기반도체의 전하의 주입과 추출을 위한 비대칭 유기반도체층과 전극의 결합구조에 대하여 설명한다.

[0027] 본 발명의 일 실시예에 따른 유기반도체의 전하 주입(injectinon)과 추출(extraction)을 위한 비대칭 유기반도체의 결합구조에서는, 먼저 기판(substrate)로서 글래스 기판(105)을 포함할 수 있다.

[0028] 유기 반도체에서는 통상적으로 이러한 기판(105) 상에 소스 전극(110)과 드레인 전극(120)을 포함할 수 있다. 상기 소스 전극(110)은 그라운드(ground) 상태일 수 있고, 드레인전극(120)에는 음의 전압이 걸린 상태일 수 있다.

[0029] 전술한 바와 같이 유기 반도체의 경우 문제가 되는 것이 금속전극과 유기물과의 접촉상태가 문제가 된다고 할 수 있는 데, 이러한 문제를 개선하기 위해서 본 발명의 일 실시예에서는 이러한 접촉의 개선을 위해서 자기 조립 단분자막(Self-Assembled Monolayer)를 포함할 수 있다.

[0030] 자기조립 단분자막(Self-Assembled Monolayer;SAMs)은 전극(예를 들면 소스와 드레인)과 유기반도체층(Organic Semiconductors; OSC)의 계면 특성을 제어하는 도구로서 다목적으로 사용되고 있다. 이와 같이 자기조립 단분자막(130, 140)은 본 발명의 일 실시예에서는 두가지 측면에서 기여할 수 있다.

[0031] 즉, 첫번째로, 표면 기능화 기능을 예로 들 수 있다. 표면 에너지(surface energy)와 화학반응을 수정함으로써, 폴리머 물질의 결정화(crystallization) 공정에 영향을 미친다. 즉 그레인(grain) 내에서의 분자들의 패킹(packing)에 영향을 끼칠 뿐만 아니라, 결정질 막 내에서의 결정립계 주변(grain boundary landscape)에도 영향을 미칠 수 있다.

[0032] 또 하나의 효과로 S/D 전극(110, 120) 상에 상기 SAM이 화학적 흡착(chemical adsorption)하여 페르미(Fermi) 전위(potential)의 이동을 유발하고, 전극(110. 120) 표면을 향하는 다이폴(dipole)을 유도하여 각각의 다이폴이 HOMO(highest occupied molecular orbital)와 전극(110, 120)의 일함수가 일치하도록 할 수 있다. 이와 같이 되는 경우, 전극(110, 120)과 유기 활성층(organic active layer, 150)이 ohmic contact(저항접촉)이 발생

할 수 있다.

[0033] 이러한 원리로 SAM은 전극(110, 120) 표면에 대하여 전하 주입(charge injection)과 전하 추출(charge extraction)의 특성을 변화시킬 수 있다.

[0034] 이러한 특성은 SAM이 전자주는 기(electron donating group)의 성격을 갖는가 또는 전자끄는 기(electron withdrawing group)에 속하는가에 따라 달라질 수 있다.

[0035] 좀더 구체적으로 본 발명의 일 실시예에 따른 TP(thio phenol)의 경우에는 전자 주는 기(electron donating group)의 성격을 갖는다고 할 수 있고, PFBT(2,3,4,5 Pentafluoro benzene)의 경우에는 전자끄는 기(electro withdrawing) 의 성격을 갖는다고 할 수 있다. 이와 같이 전극(110. 120)에 결합되는 자기조립단분자막(self-assembled monolayer)의 경향에 따라서 반도체 전극인 소스(110)와 드레인(120)의 전하 주입과 추출에 대한 성능에서 차이가 발생할 수 있다.

[0036] 예를 들면, 알칸 그룹(alkan group)은 일함수(work function) 를 낮출 수 있고, 할로겐(halogen)기로 종결된 SAM의 경우에는 일함수(work function)을 증가시키는 방향으로 유도할 수 있다.

[0037] 지금까지의 이에 대한 연구를 살펴보면, 전극계면에 이러한 SAM을 주입하려는 노력을 수행하고 있지만, 대분분의 연구는 대칭적인 SAM의 삽입에만 초점이 맞추어져 있었던 것이 현실이다.

[0038] 위에서 상술한 바와 같이, 전극(110)과 유기 활성층(150)의 접촉에 있어서는, 전극(110)의 표면에 대한 비대칭적(asymmetric)인 기능화(functionalization)이 각각의 전극(110, 120)에 대한 홀(hole) 또는 전자(electron)에 대한 유입과 유출에 대한 효율을 강화할 수 있다.

[0039] 지금까지 연구된 바에 따를 때, 전극(110, 120)에 대한 SAM의 부가는 유기반도체에 대하여 전하이동도(field effect mobility)를 10배 이상 상승시킬 수 있고, 접촉 저항(contact resistance)를 4배 이상 줄일 수 있다.

[0040] 예를 들어 잉크젯 프린터(inkjet printer)에 대하여 페놀-SAM, PFBT-SAM을 부가하여 일함수(WF)를 4.90eV(금전극의 경우)에서 각각 4.6eV로 낮추거나, 5.24eV로 높일 수 있음을 보고하였다. 이것은 SH기를 포함하는 SAM을 통해서 Vth(threshold Voltage)를 이동시킬 수 있음을 의미한다.

[0041] 이와 같은 구성은 태양전지(hotovoltic devices), LET(light emitting transistor), 광검출기(photodetector) 및 센서 등에 적용될 수 있다.

[0042] 본원 발명에서는 전하의 주입과 추출의 관점에서 전극(110, 120)으로부터 유기활성층(150)으로의 전하이동, 또는 유기활성층(150)으로부터 전극(110, 120)으로의 전하이동에 초점을 맞추었다. 또한 전극(110. 120)에 형성된 SAM(130, 140)에 대하여 증기 증착 과정을 통해서 SAM(130, 140)이 상기 전극(110, 120) 상에 앵커링(anchoring)하는 효과를 유발하는 용매효과(solvent effect)를 배제하기 위한 구성일 수 있다.

[0043] 본원 발명에서는 이러한 기능을 확보하기 위해서, DNTT(dinaphtho[2,3-b:2′ ,3′ '-f]thieno[3,2-b]thiophene) 활성층(active layer)을 형성하였고, 이를 통해서 전극(110, 120) 상에 형성된 SAM(130. 140)이 산소(oxygen) 또는 수분(moisture)에 노출되어 손상되는 것을 방지할 수 있었다.

[0044] 이와 같은 구성을 위해서 본 발명의 유기반도체 트랜지스터(organic semiconductor transistor)에서는 바닥 접촉과 탑 게이트 구조를 취하도록 설계하였다.

[0045] (실시예 1)

[0046] 도 1은 본 발명의 일 실시예에 따른 티올레이트 SAM과 유기전계효과 트랜지스터(Organic Field Effect Transistor)의 화학 구조를 보여주는 도면이다.

[0047] 도 1을 참조하면 글래스 기판(105) 위에 소스(110)와 드레인 전극(120)이 형성될 수 있다. 글래스 기판(105)은 아세톤, 이소프로필알콜, 및 탈이온수를 사용해서 세정 공정을 거칠 수 있다. 이와 같이 세정된 글래스 기판(105) 위에 쉐도우 마스크(shodow mask)를 사용해서 열증발법으로 3 nm 두께의 Cr층(미도시)과 70 nm 두께의 Au(금)층을 형성할 수 있다. 이와 같은 금 층이 소스 전극(110)과 드레인전극(120)으로 사용될 수 있다.

[0048] 이때 정의된 채널 길이(channel length)와 폭은 각각 200㎛, 1000㎛로 설정하였다. 그리고 본 발명의 일 실시예에 따른 SAM 구조물인 TP 와 PFBT는 흄 후드(fume hood) 안에서 20분 동안 증착의 방법으로 형성하였다.

[0049] 그리고 이와 같이 SAM 형태의 기능기가 장착된 소스(110)와 드레인(120) 전극 상에 진공 챔버에서 열처리하는

과정을 거쳤다.

[0050] 이와 같이 형성된 기판(105), 소스(110) 및 드레인(120) 전극 상에는 유기분자 빔 증착(organic molecular baem deposition)을 사용해서 50nm 두께의 DNTT(dinaphtho[2,3-b:2′ ,3′ '-f]thieno[3,2-b]thiophene) 활성층(active layer)을 약 10^{-7}Torr의 기본 압력 하에서 0.2Å / s의 고정 속도로 형성하였다.

[0051] 증착 두께, 증착 속도 및 기판 온도는 모니터로 관찰하면서 이 과정을 수행하였다.

[0052] 그 후 게이트 전극을 증착하기 위한 폴리머 게이트 유전체층을 형성하였다. 상기 폴리머게이트 유전체층으로는, 600 nm 두께의 Parylene 절연체를 사용해서 형성하였다.

[0053] 이 공정은 화학기상증착법(chemical vapor deposition;CVD)를 사용해서 수행하였다.

[0054] 마지막으로 금 전극층(180)을 상기 parylene 절연체층 상에 3.0 Å / s의 속도로 쉐도우 마스크를 통해 형성하였다.

[0055] (비교예 1 내지 4)

[0056] 이에 대응하는 비교예 1로서 SAM을 형성하지 않은 소스(110)와 드레인(120) 전극, 비교예 2, 3으로서 대칭적인 구조를 갖고 있는 TP가 형성된 소스(110)와 드레인(120) 전극, PFBT(2,3,4,5 Pentafluoro benzene)가 형성된 소스(110)와 드레인 (120) 전극을 사용하였고, 비교예 4로서 TP 가 형성된 소스(110) 전극과 PFBT 가 형성된 드레인 전극(120)을 사용하였다.

[0057] (결과 및 고찰)

[0058] 이와 같이 증착된 각각의 전극(110, 120)에 대하여 표면에너지를 측정하였고, 접촉각 분석기 (Phoenix 300A, SEO Co.)를 사용하여 두 개의 탐침 액, 특히 물과 디 요오도 메탄의 접촉각을 측정하였다.

[0059] 이때 사용한 수학식1 은 Owens Wendt 방정식이다.

[0060] [수학식 1]

[0061] $$(1+\cos\theta)\gamma_{lv} = 2\sqrt{\gamma_s^d \gamma_{lv}^d} + 2\sqrt{\gamma_s^p \gamma_{lv}^p}$$

[0062] (γ_s 와 γ_{lv}는 각각 전극과 탐침이 되는 액체(water, diiodomethane)의 표면 에너지를 나타내고, d와 p는 dispersive와 polar의 의미를 가진다.)

[0063] DNTT 활성층(150)의 표면 모폴로지는 SiNx 캔틸레버와 Si 팁 (42 N /㎡)을 사용하여 ex-situ 탭핑 모드 AFM을 통해 5 x 5 μm2 스캔 영역에서 수행 된 원자 힘 현미경 (AFM, Digital Instruments Multimode) 320kHz, 팁반경 : 10nm)을 사용하여 수행되었고, 데이터 분석은 Nanoscope 5.30, XRD, UPS secondary electron emission 법을 사용하여, 시료의 밸런스 레벨 근처에 있는 전자를 방출시켜 분석을 수행하였다.

[0064] 또한 DNTT OFET(100)의 네거티브 게이트 전압 하에서 상기 DNTT OFET(100)를 동작시킴으로써 조사되었다. 이때 소스 전극(110)은 접지되었고, 드레인 전극(120)은 음으로 바이어스된다. OFET를 특성화하는 전기적 파라미터는 주변 환경 하에서 어두운 환경에서 HP4156A 장비를 사용하여 실온에서 얻어졌다. Agilent 4284 정밀 LCR 미터를 사용하여 측정 한 결과, Au 점 사이에 샌드위치 된 600 nm 두께의 파릴 렌 절연체 게이트 유전체층(170)에 대해 3.70 ± 0.2 nF/㎠의 Ci 값이 산출되었다.

[0065] 이와 같이 제조된 실시예에 따른 소스 전극(110)과 게이트 전극(120)의 에너지레벨은 상당한 차이를 가져왔고, 이에 대하여 상술하면 다음과 같다. 본 발명에서 더 이상 (전기) 화학 탈착 절차없이 간단한 제조 기술을 이용하여 S / D 전극(110, 120)의 티올 레이트 된 SAM을 비대칭 적으로 기능화하기 위한 견고하고 신뢰성있는 접근법을 개발했다.

[0066] 즉 TP처리된 전극의 페닐기의 경우에는 표면에너지를 증가시켰고, PFBT처리된 할로겐화 페닐기는 표면 에너지를 감소시켰다.

표 1

[0067] TP기능화 PFBT기능화 금전극의 표면 특성(접촉각 및 표면 에너지 값)

Electrode	Contact angles (°)			Surface energy (mJm^{-2})		
	Water	Diiodomethane		Polar	Dispersion	Total
Pristine Au	68	12		6.79	44.19	50.98
TP-functionalized Au	96	56		0.88	30.08	30.96
PFBT-functionalized Au	100	52		0.13	33.80	33.93

[0068] 도 2는 본 발명의 일 실시예에 따른 하부 접점 상부 게이트 구조를 갖는 유기전계효과 트랜지스터(100)의 구조를 보여주는 사시도이다.

[0069] 도 2를 참조하면, 파릴렌(parylene 절연체)층을 폴리머 게이트 유전체층(170)으로 사용한 것을 알 수 있고, DNTT 활성층(150)을 통해서 산소와 수분의 침투를 방지할 수 있음을 확인할 수 있다.

[0070] 도 3(a), (b), (c), (d), (e)은 다양한 S/D전극에 따른 DNTT OFET의 출력 특성을 보여주는 그래프이이고, 또한 도 4 (a), (b), (c), (d)는 게이트 전압에 따른 전달(transfer) 특성을 보여주는 그래프이다.

[0071] 먼저 도 3(a), (b), (c), (d) 및 도 4 (a), (b), (c), (d)를 참조하면, S/D 전극(110, 120)의 표면 상태에 따라 드레인 전류와 드레인 전압이 달라짐을 확인할 수 있다.

[0072] 먼저 도 3(a), (b), (c), (d)를 참조하면, 대칭인 경우(도 3의 (a), (b), (c))와 비대칭(도 3의 (d), (e))의 경우에는 낮은 드레인 전압에서 직선적인 거동을 보이고 포화 영역(saturation region)에서 Vd가 Vg(게이트 전압)을 초과하는 사실로부터 구동상태가 양호한 p-형 트랜지스터임을 확인할 수 있다.

[0073] 낮은 드레인 전압(Vd)에서 높은 수준의 선형성(linearity)는 오믹 저항(ohmic resistance)와 낮은 컨택 저항(contact resistance)를 나타낸다. DNTT OFET(100) 중에서 TP-S/PFBT-D(도 3의 (e)와 도 4의 (e) 참조)에서 Vd(드레인 전압)이 -30V에서 가장 낮은 IDs(소스-드레인 사이 전류)가 관찰되었다. 또한 TP-D/PFBT-S(도 3의 (d)와 도 4의 (d) 참조)에서 가장 높은 IDs를 나타내었다. 특히 도 3의 (d)의 출력 곡선은 다른 Vg에서 취한 Ids값에서 큰 분리를 보였다.

[0074] P형 DNTT OFET(100)의 동작 특성을 고려할 때, 접지된 S전극(110)에서 음으로 바이어스된 드레인 전극(120) 쪽으로 활성채널 영역에서의 홀 전하 캐리어 수송은 음으로 바이어스된 Vg(게이트 전압)하에서 S전극(110)으로부터 DNTT 활성층(150)으로의 홀 전하의 주입과 D전극(120)으로부터의 홀 전하의 추출(extraction)이 발생할 수 있다.

[0075] 이것은 TP-D/PFBT-S에 대한 낮은 저항이 계면에서의 주입과 추출 행동을 자연스럽게 유도할 수 있음을 의미할 수 있다.

[0076] 도 4(a), (b), (c), (d)를 참조하면, DNTT OFET(100)의 전달 특성에 대한 포화 영역에서 전달 특성을 관찰할 수 있다.

[0077] 상기 도 4의 (a), (b), (c),(d) 로부터 우리는 on/off 비율, 임계 전압(Vth), 및 대부분의 트랜지스터 소자에 대한 매개변수를 추출할 수 있다.

[0078] 여기서 전하이동도 μ_{FET}는 수학식 2로부터 결정되었다.

[0079] [수학식 2]

[0080] $$\mu_{FET} = 2L/(C_i W)\cdot(\partial I_{SD}^{0.5}/\partial V_G)^2$$

[0081] 수학식 2에서 사용되는 전기적 파라미터는 하기 표 2에 열거되어 있다.

표 2

[0082] DNTT OFET의 대칭 비대칭 조건에 따른 전기적 물성 비교표

Parameter	Pristine S/D	TP-S/D	PFBT-S/D	PFBT-S/TP-D	TP-S/PFBT-D
$\mu_{FET}(m^2V^{-1}s^{-1})$	0.31±0.12	0.23±0.07	0.58±0.19	1.10±0.35	0.18±0.10

V_{th} (V)	-0.92±0.94	-3.72±2.01	-0.27±0.64	0.07±0.01	-2.59±1.21
On/off current ratio	~10^4	~10^4	~10^4	~10^4	~10^3

[0083] 비대칭적으로 생성된 TP-D/PFBT-S(실시예)의 경우, μ_{FET}은 0.86±0.23㎠/V/s로 측정되어 비교예 1 보다 3배 이상 우수한 것으로 판명되었다.

[0084] TP 와 PFBT로 기능화된 금 전극(110, 120)에 대하여 μ_{FET}과, 표면 전위와의 관계를 구하기 위해 표면에 대한 2차 전자 방출 실험을 수행하였다.

[0085] 도 5의 (a)와 (b)는 각각 2차 전자에 대응하는 운동에너지를 보여주는 그래프와 일함수(WF)과 HOMO와 LUMO의 관계를 보여주는 그래프이다.

[0086] 도 5의 (a)에 도시된 바와 같이, 운동에너지는 PFBT 작용기화 > 초기 > PT 작용기화의 순서로 나타났다.

[0087] 또한 도 5의 (b)에 도시된 바와 같이, TP 가 장착된 전극(Au), 원시 전극(비교예 1)의 일함수를 각각 4, 5eV와 4.9eV로 측정되었다. 또한 PFBT SAM이 장착된 전극의 경우에는 5.4eV로 측정이 되어 TP 장착 전극과의 차이가 0.9eV를 초과하였다.

[0088] 이러한 높은 일함수의 차이는 할로겐화된 말단의 작용에 기인한 것으로 판단되었다. 즉 표면에 장착되어 있는 불소기(fluorine 기)가 높은 전기음성도를 나타내기 때문에 이러한 현상이 생기는 것으로 판단되었다.

[0089] 이에 반해 TP 전극의 경우에는 페놀기가 전자밀도가 풍부함에도 불구하고, 벤젠고리의 상대적으로 전자 공여(electron donating)의 특성 때문에 기인한 것으로 판단되었다.

[0090] 이와 같은 특성은 소스 전극(110)에서는 일함수(WF)의 크기가 TP 전극에서는 홀 주입에 대한 장벽으로 작용하고 있지만, PFBT 전극에서는 훨씬 낮은 전하 주입 장벽을 갖게 됨을 의미한다.

[0091] 드레인 전극(120)에서는 이와 반대로 TP전극의 낮은 일함수가 DNTT 활성층(150)으로의 홀 캐리어 추출의 장벽을 낮추고 있음을 확인할 수 있다.

[0092] 도 5의 (b)에서는 S/D 전극(110, 120)과 DNTT활성층(150) 사이의 계면에서 전하 주입 추출의 에너지 다이어그램을 보여 준다. 정공 주입/추출 장벽은 주입 장벽을 전극의 유효 일함수(WF)와 DNTT의 HOMO 수준 차이로 정의하는 Mott-Schottky 모델로부터 추정할 수 있다.

[0093] 초기 Au 경우(비교예 1)에, S 전극(110)으로부터 p 형 DNTT 활성층(150)으로 0.5 eV의 주입 장벽이 얻어졌다. S 전극(110)의 TP 변형 후, 유효 WF는 4.5eV로 감소되어, DNTT 층에 정공을 주입 할 때 0.9eV의 높은 장벽을 초래한다. 반대로, S 전극(120)의 PFBT 변형은 PFBT SAM(140)의 쌍극자 방향이 TP SAM의 반대 방향이므로 홀 주입 장벽을 더 감소시켜 0eV로 감소시켰다.

[0094] 또한 본 발명에서는 또 하나의 매개 변수로서, Vth(임계 전압)을 고려하였다.

[0095] Vth는 SAM(130, 140)의 영구 쌍극자에 의해 생성 된 고유 전계와 표면 작용기와 반도체 분자 사이의 전기 화학 반응에 의해 영향을 받는다. 전극 표면 화학에 대한 초기 연구는 전자에 대한 강한 친 화성을 갖는 표면이 반도체 쪽에서 전자를 우선적으로 끌어 당겨 전하의 균형을 맞추고 Vth를 적극적으로 이동시키는 여분의 hole을 주입 함을 보여 준다. 따라서 전극(110, 120)의 표면 전위를 조절하는 것은 OFET(100)의 충전 및 전기적 성능을 변화시키는 데 중요하다고 할 수 있다.

[0096] 이상과 같이 본 발명에서는 특정된 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0097] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0098] 100: 유기 반도체 트랜지스터 105: 유리 기판(glass substrate)

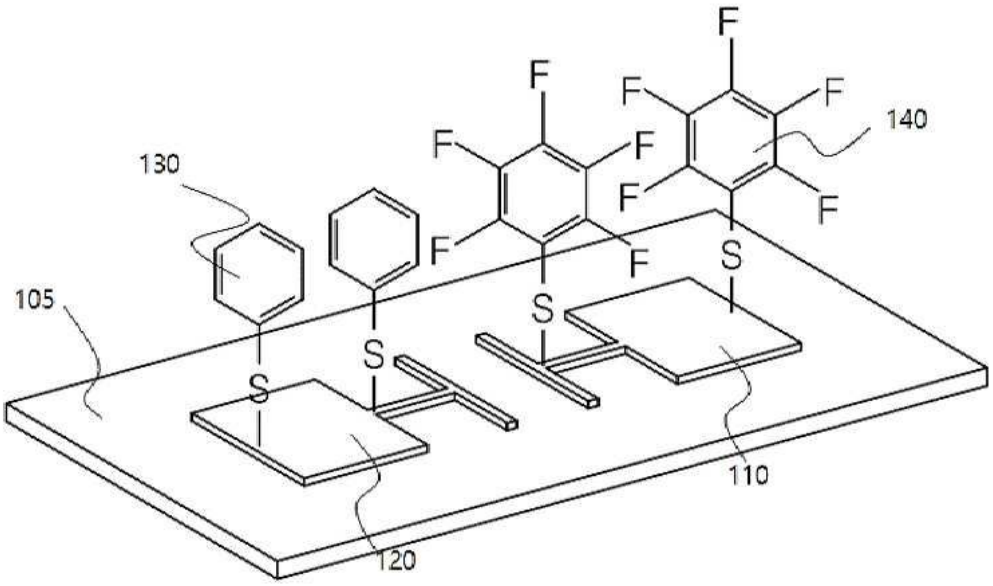
110: 소스 전극 120: 드레인 전극

130: TP(thio phenol) 구조 140: PFBT(2,3,4,5-pentafluorobenzene thiol)

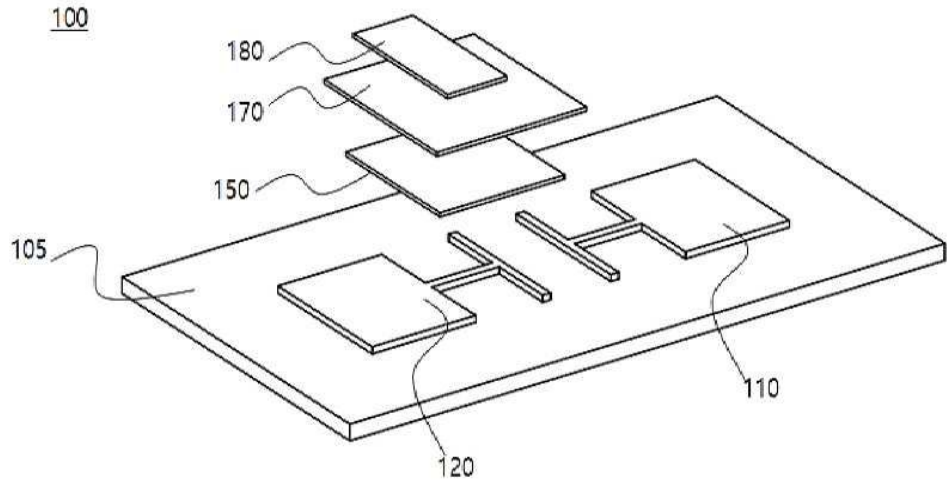
150: 유기활성층(DNTT, dinaphtho[2,3-b:2′ ,3′ '-f]thieno[3,2-b]thiophene)

도면

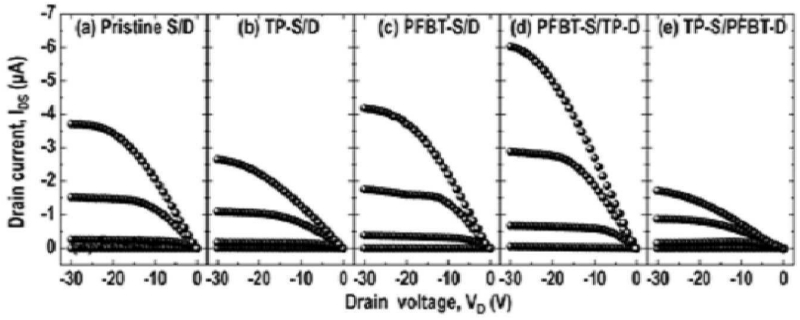
도면1



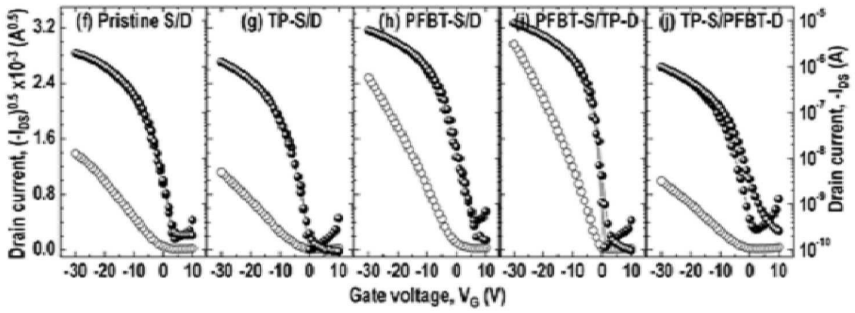
도면2


100
180
170
150
105
110
120

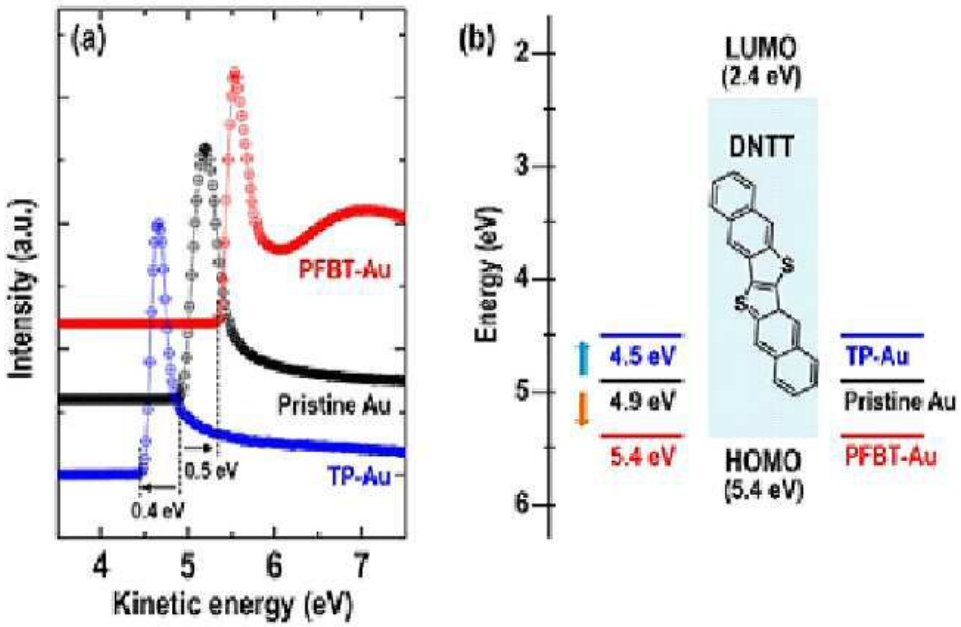
도면3


(a) Pristine S/D
(b) TP-S/D
(c) PFBT-S/D
(d) PFBT-S/TP-D
(e) TP-S/PFBT-D
Drain current, I_{DS} (μA)
Drain voltage, V_D (V)

도면4


(f) Pristine S/D
(g) TP-S/D
(h) PFBT-S/D
(i) PFBT-S/TP-D
(j) TP-S/PFBT-D
Drain current, $(-I_{DS})^{0.5}$ x10^{-3} ($A^{0.5}$)
Drain current, $-I_{DS}$ (A)
Gate voltage, V_G (V)

도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 [청구항 9]

【변경전】

상기 유기전계효과 트랜지스터의

【변경후】

유기전계효과 트랜지스터의