



[12] 发明专利申请公布说明书

[21] 申请号 200710039868.2

[43] 公开日 2007 年 9 月 26 日

[11] 公开号 CN 101042640A

[22] 申请日 2007.4.24

[21] 申请号 200710039868.2

[71] 申请人 上海华龙信息技术开发中心

地址 201203 上海市浦东新区春晓路 439 号
11 号楼[72] 发明人 张达文 李兴仁 金荣伟 刘春晖
林锦麟 杨一茜[74] 专利代理机构 上海天翔知识产权代理有限公司
代理人 孙景宜

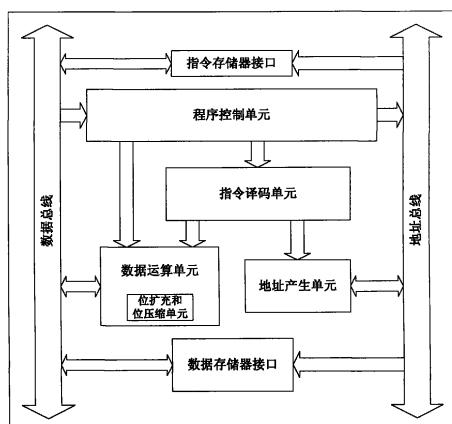
权利要求书 1 页 说明书 7 页 附图 3 页

[54] 发明名称

一种带有位扩充和位压缩单元的数字信号处理器

[57] 摘要

本发明公开了一种带有位扩充和位压缩单元的数字信号处理器，该处理器包含数字信号处理器内核、指令存储器、数据存储器，其中数字信号处理器内核包括程序控制单元、指令译码单元、地址产生单元、数据运算单元。其特征在于，在数据运算单元内部集成了一个位扩充和位压缩单元，且该单元由计数器、移位器以及两个源操作数和一个目的寄存器组成。这样使得本发明在不增加处理器硬件资源的前提下，充分利用现有资源，对原有指令集进行扩展，增加了位扩充和位压缩指令，这两条指令，可以对操作数中的被指定的任意一位或多位作出操作，可以压缩也可以扩充，这克服了原指令集在这方面的不足。并还可以给矩阵扩展、矩阵压缩等数学应用带来诸多便利。



1、一种带有位扩充和位压缩单元的数字信号处理器，包含数字信号处理器内核、指令存储器、数据存储器；所述数字信号处理器内核包括程序控制单元、指令译码单元、地址产生单元、数据运算单元；其中，程序控制单元通过指令总线向指令存储器给出指令地址，并从指令存储器中接收指令将它送到指令译码单元，指令译码单元将译码以后的数据分别发送到数据运算单元和地址产生单元，数据运算单元将其状态信息写入状态寄存器中，程序控制单元通过上述状态寄存器了解数据运算单元的信息，并将运算结果送给数据存储器或者数据寄存器，地址产生单元将地址值送给数据存储器，指定相应的存储和读写的位置；其特征在于，

所述数据运算单元内部集成了一个位扩充和位压缩单元。

2、根据权利要求 1 的带有位扩充和位压缩单元的数字信号处理器，其特征在于，所述数据运算单元内的位扩充和位压缩单元包括：计数器、移位器以及两个源寄存器和一个目标寄存器；这样使得：

当执行位扩充操作时，从源寄存器的最低有效位到最高有效位扫描，根据 16 位屏蔽字段中 1 的个数，从源寄存器的低位取到高位，将这些位按照从低到高的顺序，依次放在目标寄存器中与 16 位屏蔽字段中 1 的位置相对应的位置，其它位用 0 填充，上述结果存在目标寄存器中。

当执行位压缩操作时，根据 16 位屏蔽字段中 1 的个数，从源寄存器的最低有效位到最高有效位扫描，根据 16 位屏蔽字段中 1 的位置，在源寄存器的相应位置，将这些位提取出来，按从低到高的顺序，从目标寄存器的最低有效位开始，依次放在目标寄存器中，目标寄存器的其它位置用 0 填充，上述结果存在目标寄存器中。

一种带有位扩充和位压缩单元的数字信号处理器

技术领域：

本发明涉及的是一种数字信号处理器，特别是一种带有位扩充和位压缩单元的数字信号处理器。

背景技术：

众所周知，微处理器的功能几乎完全取决于指令集，所以一定程度上，指令集的发展也代表了微处理器的发展。在如今微处理器功能不断强大，速度不断增快的发展趋势下，指令集也在不断发展，从简单指令集发展到复杂指令集，又从复杂指令集回归到单条指令功能简单但指令集功能丰富的精简指令集，呈现螺旋上升的状态。

信息化的基础是数字化。数字化的核心技术之一是数字信号处理。数字信号处理的任务在很大程度上需要由 DSP 器件来完成。DSP 技术已成为人们日益关注的并得到迅速发展的前沿技术。DSP 是在模拟信号变换成数字信号以后进行高速实时处理的专用处理器，其处理速度比最快的 CPU 还快 10~50 倍。在当今的数字化时代背景下，DSP 已成为通信、计算机、消费类电子产品等领域的基础器件。业内人士预言，DSP 将是未来集成电路中发展最快的电子产品，并成为电子产品更新换代的决定因素。

在 DSP 出现之前数字信号处理只能依靠 MPU（微处理器）来完成。但 MPU 较低的处理速度无法满足高速实时的要求。因此，70 年代有人提出了 DSP 的理论和算法基础。而 DSP 仅仅停留在教科书上，即便是研制出来的 DSP 系统也是由分立组件组成的，其应用领域仅局限于军事、航空航天等部门。

随着大规模集成电路技术的发展，1982 年世界上诞生了首枚 DSP 芯片。这种 DSP 器件采用微米工艺 NMOS 技术制作，虽功耗和尺寸稍大，但运算速度却比 MPU 快了几十倍，尤其在语音合成和编码解码器中得到了广泛应用。DSP 芯片的问世标志着 DSP 应用系统由大型系统向小型化迈进了

一大步。随着 CMOS 技术的进步与发展，第二代基于 CMOS 工艺的 DSP 芯片应运而生，其存储容量和运算速度成倍提高，成为语音处理、图像硬件处理技术的基础。80 年代后期，第三代 DSP 芯片问世，运算速度进一步提高，其应用于范围逐步扩大到通信、计算机领域。

90 年代 DSP 发展最快，相继出现了第四代和第五代 DSP 器件。现在的 DSP 属于第五代产品，它与第四代相比，系统集成度更高，将 DSP 芯核及外围组件综合集成在单一芯片上。这种集成度极高的 DSP 芯片不仅在通信、计算机领域大显身手，而且逐渐渗透到人们日常消费领域，前景十分可观。

现有 DSP 的特点及优势

1. 硬件特点

(1) DSP 是属于 Modified Harvard 架构，即它具有两条内部总线：数据总线、程序总线。程序与数据存储空间分开，各有独立的地址总线和数据总线，取指和读数可以同时进行，目前已达到 90 亿次浮点运算/秒 (9000MFLOPS)。

(2) 采用流水作业。每条指令的执行划分为取指令、译码、取数、执行等若干步骤，由片内多个功能单元分别完成。相当于多条指令并行执行，从而大大提高了运算速度。

(3) 独立的硬件乘法器。乘法指令在单周期内完成，优化卷积、数字滤波、FFT、相关、矩阵运算等算法中的大量重复乘法。

(4) 循环寻址 (Circular addressing)，位倒序 (bit-reversed) 等特殊指令使 FFT、卷积等运算中的寻址、排序及计算速度大大提高。1024 点 FFT 的时间已小于 $1 \mu s$ 。

(5) 独立的 DMA 总线和控制器。有一组或多组独立的 DMA 总线，与 CPU 的程序、数据总线并行工作，在不影响 CPU 工作的条件下，DMA 速度已达 800Mbyte/s 以上。

(6) 多处理器接口。使多个处理器可以很方便的并行或串行工作以提高处理速度。

(7) JTAG (Joint Test Action Group) 标准测试接口 (IEEE 1149

标准接口)。便于对 DSP 作片上的在线仿真和多 DSP 条件下的调试。

2. 软件特点

(1) 立即数寻址：操作数为立即数，可直接从指令中获取。

(2) 直接寻址：将数据存储器分为 2^m 页，每页 2^n 字。设置一个数据页指针，用 m -bit 指向一个数据页，再加上一个 n -bit 的页内偏移地址，形成 $(m+n)$ -bit 的数据地址。这样有利于加快寻址速度。

(3) 间接寻址：①8 个辅助寄存器，由一个辅助寄存器指针指定一个辅助寄存器算术单元作 16-bit 无符号数运算，决定一个新的地址，装入辅助寄存器中的一个。②8 个辅助寄存器的内容相当灵活，可以装入、加上、减去立即数；可以从数据存储器装入地址；还可以作一些变址寻址。③由于采用反向进位，得以实现位倒序寻址。

(4) 独特的乘法指令：通过一条乘法指令，实际完成一次乘法操作，一次加法操作和一次数据搬移操作

日趋成熟的 DSP 仍然有许多需要改进的地方，同时也面临着诸多挑战。

(1) 如何合理地安排数据流程，使之在 DSP 的各执行单元间无冲突地顺利执行，仍是 DSP 开发人员面临的重要问题。由于设计的复杂性，将算法映射到 DSP 具体目标硬件上时，尚不能采用高层次编程语言，必须使用汇编语言，并对器件的并行执行机制有十分清楚的了解。而这种局限于汇编语言的编程设计，正是提高软件开发效率的瓶颈。

(2) 平行结构方面还存在问题。为了实现更高的吞吐量，就必须在特定单位时间内处理更多的数据位。VLIW 技术代表了指令级的平行度。超标量结构和超管道结构也试图在一个指令周期内得到更多的指令。数据级平行度由更宽的数据字、向量化和数据流结构来表示。由于数据字的宽度更大，因此每个指令周期指令可处理更多的数据，提高了每个时钟周期可处理的数据位数。任务级或事务级平行度体现在多任务、多线程和多处理器设计中。这些结构有望提高数据处理吞吐量，但增加的数据和指令宽度以及随之而来的数据处理吞吐量提高要付出一定的代价。当代码密度和数据宽度与应用相匹配时，它们能起帮助作用，但当数据字宽度与处理器

不相同时，它们反而会带来很多麻烦。

(3) 大量可用的片上高速缓存正变得对系统的总吞吐量越来越重要，因为标准的内存总线和接口已无法为系统中每个 MAC 的千兆字节数据传输率提供支持。系统其余部份能否与高速处理器相配也正成为一个大问题，带有 2 个 ALU 单元的双 MAC 处理器每一时钟周期可能需要 4 个数据字，或每秒需要 4 千兆多个数据字。

发明内容：

本发明的目的是提供一种带有位扩充和位压缩单元的数字信号处理器。其具体技术方案如下：

本发明所述的数字信号处理器，包含数字信号处理器内核、指令存储器、数据存储器；所述数字信号处理器内核包括程序控制单元、指令译码单元、地址产生单元、数据运算单元；其中，程序控制单元通过指令总线向指令存储器给出指令地址，并从指令存储器中接收指令将它送到指令译码单元，指令译码单元将译码以后的数据分别发送到数据运算单元和地址产生单元，数据运算单元将其状态信息写入状态寄存器中，程序控制单元通过上述状态寄存器了解数据运算单元的信息，并将运算结果送给数据存储器或者数据寄存器，地址产生单元将地址值送给数据存储器，指定相应的存储和读写的位置；其特征在于，

所述数据运算单元内部集成了一个位扩充和位压缩单元。

值得指出的是上述发明内容中所提到的位扩充和位压缩单元包括：计数器、移位器以及两个源寄存器和一个目标寄存器；这样使得：

当执行位扩充操作时，从源寄存器的最低有效位到最高有效位扫描，根据 16 位屏蔽字段中 1 的个数，从源寄存器的低位取到高位，将这些位按照从低到高的顺序，依次放在目标寄存器中与 16 位屏蔽字段中 1 的位置相对应的位置，其它位用 0 填充，上述结果存在目标寄存器中。

当执行位压缩操作时，根据 16 位屏蔽字段中 1 的个数，从源寄存器的最低有效位到最高有效位扫描，根据 16 位屏蔽字段中 1 的位置，在源寄存器的相应位置，将这些位提取出来，按从低到高的顺序，从目标寄存

器的最低有效位开始，依次放在目标寄存器中，目标寄存器的其它位置用0填充，上述结果存在目标寄存器中。

依照上述技术方案，本发明的有益效果如下：

(1)本发明在不增加处理器硬件资源的前提下，充分利用现有资源，对原有指令集进行扩展，增加了位扩充和位压缩指令，这两条指令根据屏蔽字段中‘1’的位置，在源操作数中相应的位置挑出一个二进制数，然后对这些被跳出的数或压缩或扩充。这两条指令与一般的处理器中的位操作指令不同。一般的位操作指令只是对每个操作数的每一位作相同的操作，每一位在被操作时是平等的，或者可以指定操作数的某一位进行操作，或清零或置位，但是新增的这两条指令，可以对操作数中的被指定的任意一位或多为作出操作，可以压缩也可以扩充，这克服了原指令集在这方面的不足。

(2)本发明所新增的位扩充和位压缩指令将给矩阵扩展、矩阵压缩等数学应用带来诸多便利。

(3)本发明解决了处理器中两个寄存器中对应位置数据的处理问题。使用相对很少的硬件资源，实现了最少相关操作数条件下，相关寄存器的数据操作，将从前可能是一段汇编指令程序完成的操作，只通过一条指令就可以达到相同的目的，从而提高了处理器性能，实现了更高的数据吞吐量。

附图说明：

图1为含有本发明的数字信号处理器的整体结构框图。

图2为本发明位扩充类指令功能示意图。

图3为本发明位扩充类指令实现流程图。

图4为本发明位压缩类指令功能示意图。

图5为本发明位压缩类指令实现流程图。

具体实施方式：

以下结合附图对本发明的技术方案作进一步描述。

如图 1 所示，本发明应用的数字信号处理器包含数字信号处理器内核、指令存储器、数据存储器，其中数字信号处理器内核包括程序控制单元、指令译码单元、地址产生单元、数据运算单元，在数据运算单元内部集成了一个位扩充和位压缩单元。

如图 2 所示，本发明的位扩充类指令由两个源寄存器和 1 个目标寄存器来实现。源寄存器和目标寄存器均为 16 位。源寄存器 1 中的数据代表 16 位屏蔽数，源寄存器 2 中的数据是被扩充源数据。根据 16 位屏蔽字段中‘1’的个数，从源寄存器的低位取到高位，将这些位按照从低到高的顺序，依次放在目标寄存器中与 16 位屏蔽字段中‘1’的位置相对应的位置，其它位用‘0’填充。结果存入目标寄存器。

如图 3 所示，为减少处理器资源，将 16 位操作数分成两段来操作。首先根据屏蔽数，分别计算出高位屏蔽数和低位屏蔽数中‘1’的个数；根据低位屏蔽数中‘1’的个数，从被扩充源数据的低位开始取出相应个数的数据，将此数据与低位屏蔽数一起送入数据扩充模块；再从剩余数据的低位取与高位屏蔽数中‘1’个数相应的数据，与高位屏蔽数一起送入数据扩充模块。在数据扩充模块中，根据屏蔽数中‘1’的位置，将取出的被扩充数按照从低到高的顺序一次扩充到相应位置，其余位置以‘0’填充。将两个数据扩充模块的结果拼接成 16 位结果。

如图 4 所示，本发明的位压缩类指令由两个源寄存器和一个目标寄存器来实现。源寄存器和目标寄存器均为 16 位。源寄存器 1 中的数据代表 16 位屏蔽数，源寄存器 2 中的数据是被压缩源数据。根据 16 位屏蔽字段中 1 的个数，从源寄存器的最低有效位到最高有效位扫描，根据位字段屏蔽中 1 的位置，在源寄存器的相应位置，将这些位提取出来，按从低到高的顺序，从目标寄存器的最低有效位开始，依次放在目标寄存器中，目标寄存器的其它位置用 0 填充。结果存在目标寄存器中。

如图 5 所示，为减少处理器资源，将 16 位操作数分成两段来操作。将屏蔽数高 8 位和被压缩数据的高 8 位、屏蔽数低 8 位和被压缩数据的低 8 位分别放入两个数据提取模块。在数据提取模块中，根据屏蔽数据中‘1’的位置在被压缩数据的相应位置提取数据，将提取出的数据从低向高放

置，高位不足的以‘0’补足。同时，分别计算出高位屏蔽数和低位屏蔽数中‘1’的个数。根据低位屏蔽数中‘1’的个数，在低位数据提取模块的8位结果中，按从低到高的顺序取出数据，放在结果寄存器的低位，在其上，写入高位数据提取模块的8位结果，16位结果寄存器高位不足的以‘0’补足。

以上是本发明的实施方式之一，对于本领域内的一般技术人员，不花费创造性的劳动，在上述实施例的基础上可以做多种变化，同样能够实现本发明的目的。但是，这种变化显然应该在本发明的权利要求书的保护范围内。

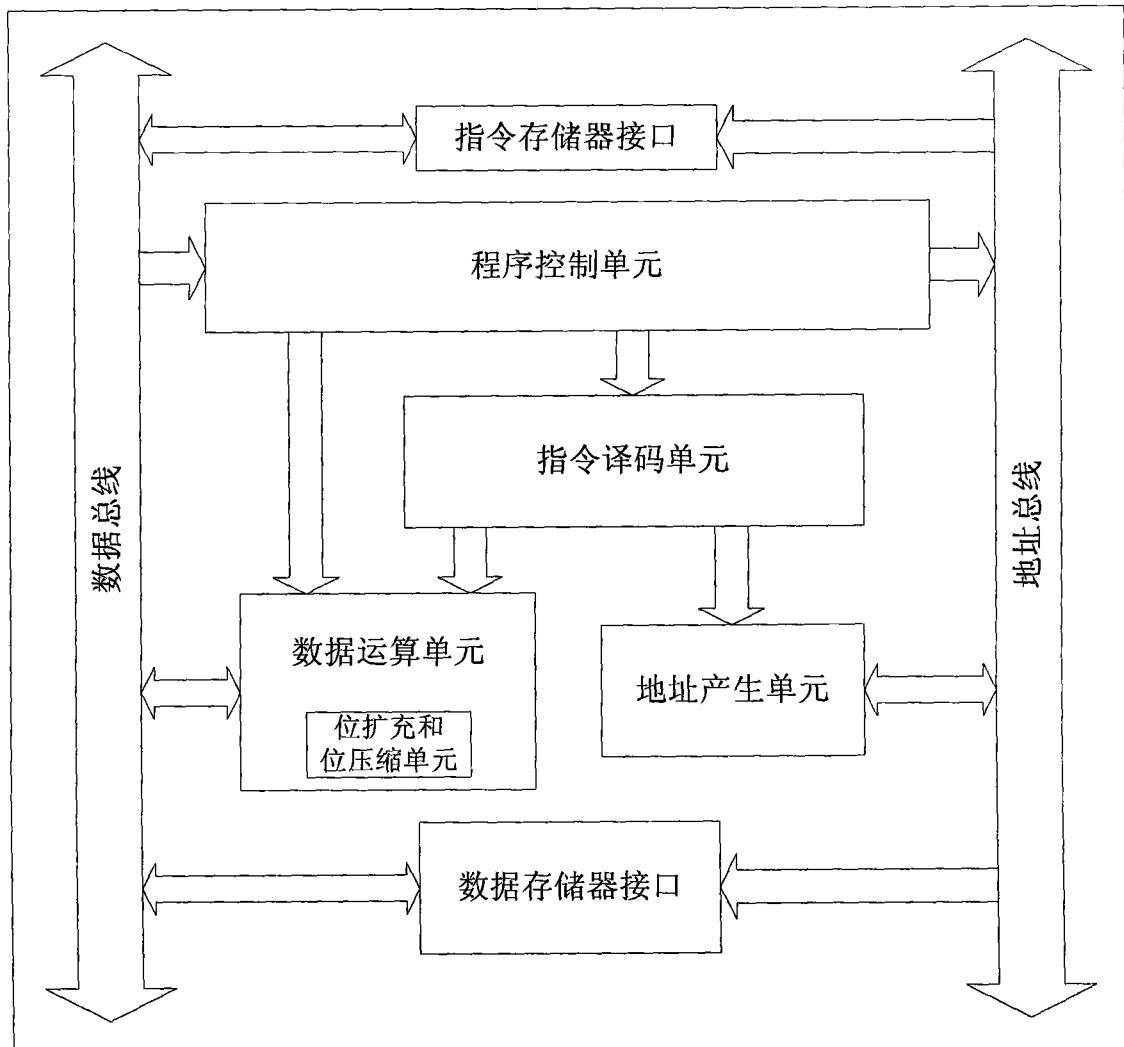


图 1

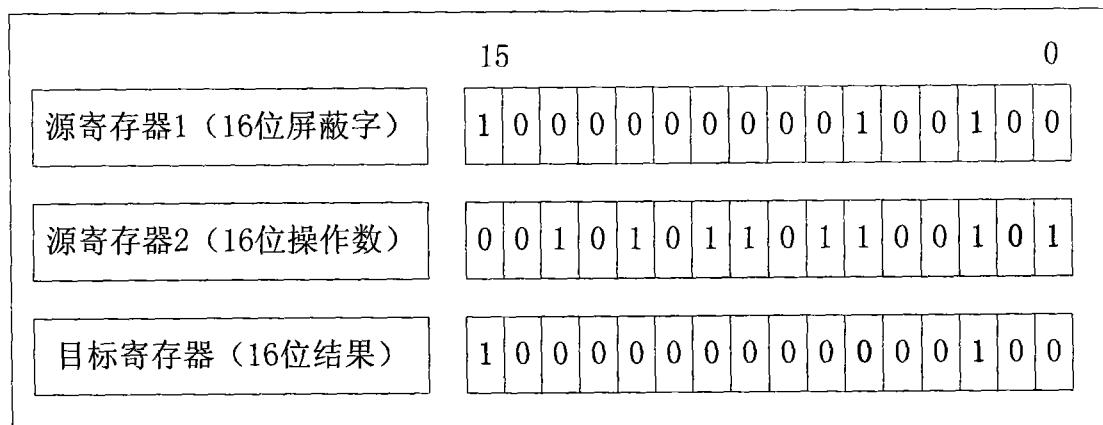


图 2

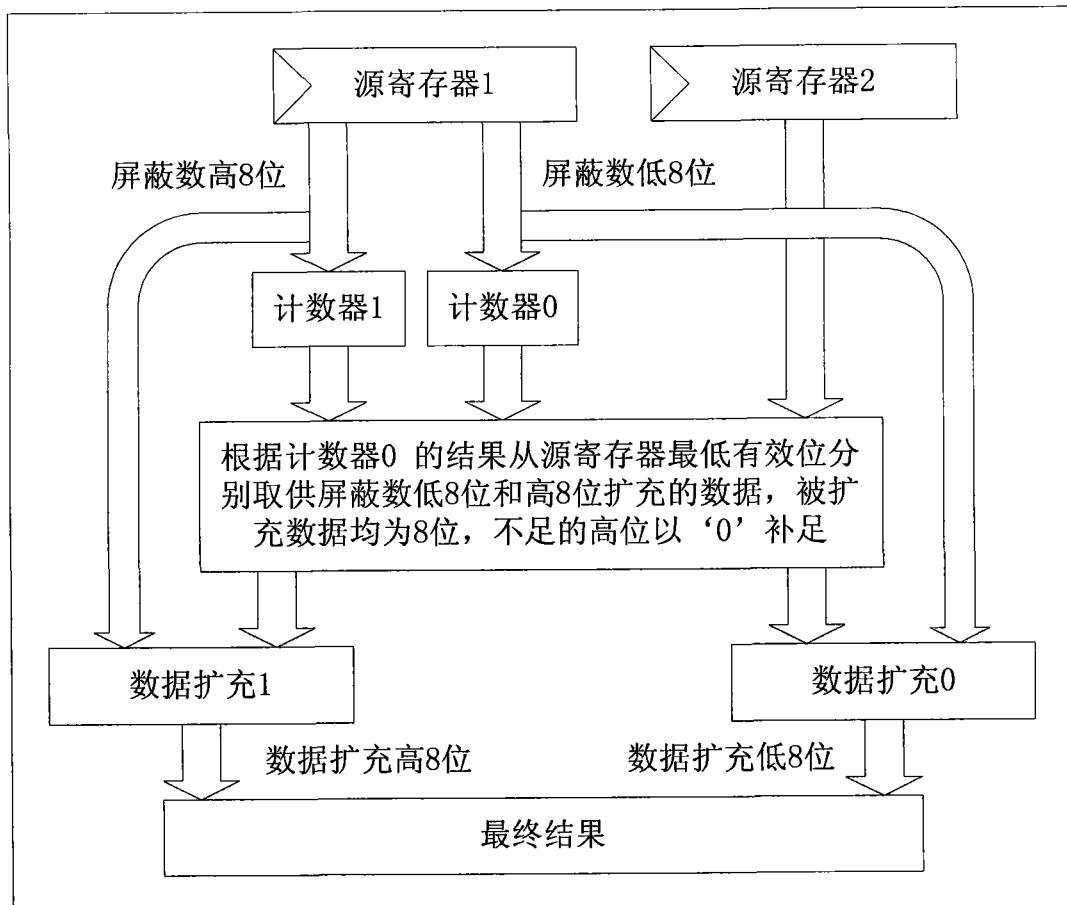


图 3

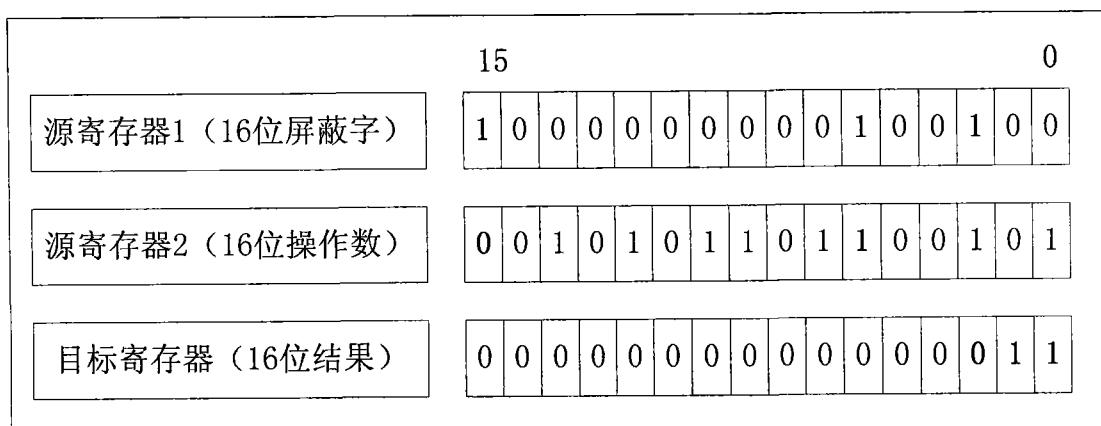


图 4

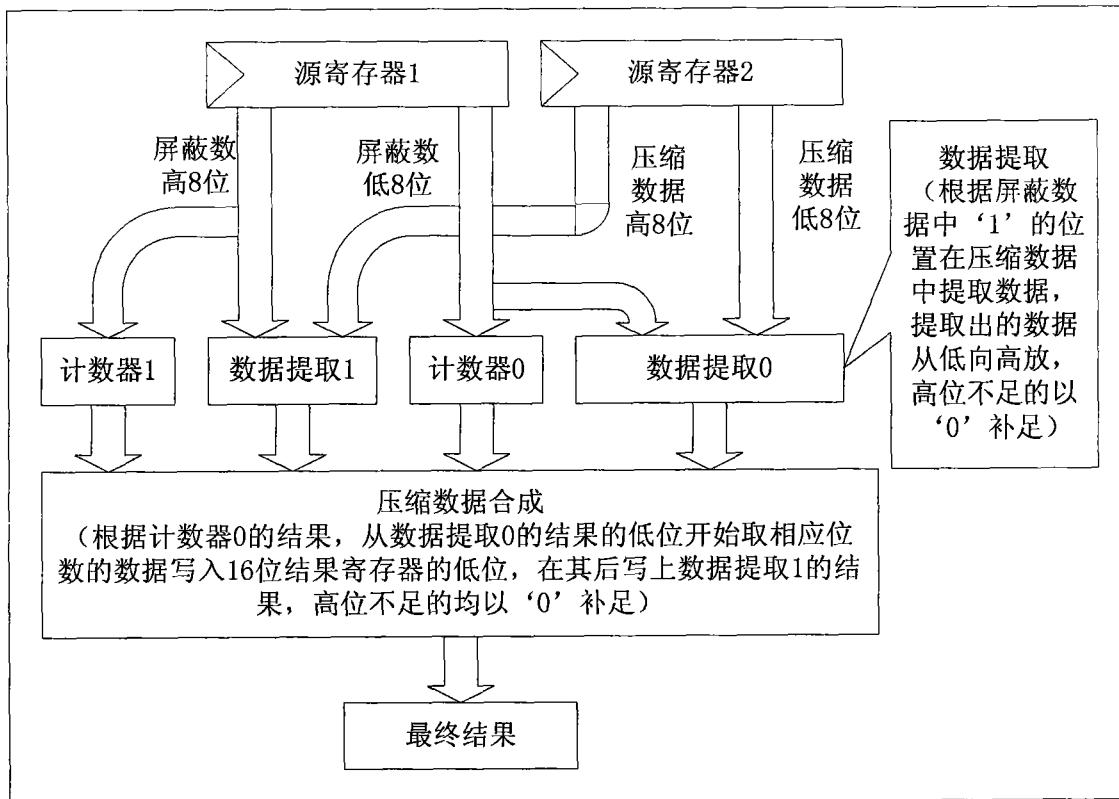


图 5