

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4316473号
(P4316473)

(45) 発行日 平成21年8月19日(2009.8.19)

(24) 登録日 平成21年5月29日(2009.5.29)

(51) Int. Cl. F I
GO 1 R 19/00 (2006.01) GO 1 R 19/00 B
GO 1 R 19/165 (2006.01) GO 1 R 19/165 M

請求項の数 21 (全 34 頁)

(21) 出願番号	特願2004-317237 (P2004-317237)	(73) 特許権者	000005821
(22) 出願日	平成16年10月29日(2004.10.29)		パナソニック株式会社
(65) 公開番号	特開2006-126098 (P2006-126098A)		大阪府門真市大字門真1006番地
(43) 公開日	平成18年5月18日(2006.5.18)	(74) 代理人	100101454
審査請求日	平成18年6月22日(2006.6.22)		弁理士 山田 卓二
		(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100091524
			弁理士 和田 充夫
		(74) 代理人	100062926
			弁理士 東島 隆治
		(72) 発明者	畑中 忠太
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 電圧検出回路、過電流検出回路、充電電流制御システム、及び電圧検出方法

(57) 【特許請求の範囲】

【請求項1】

第1の入力電圧が入力される第1の入力端子と、
 第2の入力電圧が入力される第2の入力端子と、
 接地電位となる第3の入力端子と、
 複数の抵抗を直列に接続して構成され、前記複数の抵抗の間接続点である第1の分圧端子を有する第1の直列抵抗体と、複数の抵抗を直列に接続して構成され、前記複数の抵抗の間接続点である第2の分圧端子を有する第2の直列抵抗体と、を有する分圧回路と、
 、
第1期間にスイッチのオン、オフを切り替える第1の信号と、前記第1期間の期間と異なる第2期間にスイッチのオン、オフを切り替える第2の信号とにより、前記第1期間と前記第2期間とにおいて、前記第1の直列抵抗体と前記第2の直列抵抗体とに対する各入力端子の接続状態を切り換える第1のスイッチ回路と、
 を具備する電圧検出回路であって、
 前記第1のスイッチ回路は、
 前記第1期間のとき、前記第1の信号により、前記第1の直列抵抗体の一端に前記第1の入力端子を接続し、前記第2の直列抵抗体の一端に前記第2の入力端子を接続し、前記第1の直列抵抗体の他端と前記第2の直列抵抗体の他端に前記第3の入力端子を接続するよう構成されており、
 前記第2期間のとき、前記第2の信号により、前記第1の直列抵抗体の一端と前記第2

10

20

の直列抵抗体の一端に前記第 3 の入力端子を接続し、前記第 1 の直列抵抗体の他端に前記第 1 の入力端子を接続し、前記第 2 の直列抵抗体の他端に前記第 2 の入力端子を接続するよう構成された電圧検出回路。

【請求項 2】

前記第 1 の分圧端子と前記第 2 の分圧端子の各電圧が入力され、入力された各電圧を増幅する電圧増幅器と、

前記第 1 期間と前記第 2 期間とにおいて、前記電圧増幅器に対する前記第 1 の分圧端子と前記第 2 の分圧端子の接続状態を反転させる第 2 のスイッチ回路と、

をさらに具備することを特徴とする請求項 1 に記載の電圧検出回路。

【請求項 3】

前記電圧増幅器の電源電圧は、前記第 1 の入力電圧であることを特徴とする請求項 2 に記載の電圧検出回路。

【請求項 4】

前記電圧増幅器の一方の出力端子に接続された第 1 のスイッチ素子と、

前記電圧増幅器の他方の出力端子と前記第 1 のスイッチ素子との間に接続された第 1 の記憶素子と、

を有する第 1 の記憶回路を更に具備することを特徴とする請求項 2 に記載の電圧検出回路。

【請求項 5】

前記電圧増幅器の一方の出力端子の電圧が前記第 1 の記憶素子を介して正極入力端子に入力され、前記電圧増幅器の他方の出力端子の電圧が負極入力端子に入力される比較器と、

前記電圧増幅器と前記比較器との間に設けられ、前記比較器への入力を制御する第 3 のスイッチ回路と、

をさらに具備することを特徴とする請求項 4 に記載の電圧検出回路。

【請求項 6】

前記第 3 のスイッチ回路と前記比較器の負極入力端子との間に接続された第 2 の記憶素子と、前記第 1 期間に前記比較器の出力端子と負極入力端子とを接続する第 2 のスイッチ素子と、を有する第 2 の記憶回路と、

一端を前記第 2 の記憶素子に接続され、他端を前記比較器の正極入力端子に接続されて、前記第 1 期間に閾値電圧を出力する閾値設定回路と、

をさらに具備することを特徴とする請求項 5 に記載の電圧検出回路。

【請求項 7】

データ入力端子とクロック入力端子と出力端子とを有するラッチ回路をさらに具備し、

前記比較器の出力が前記データ入力端子に入力され、前記第 2 期間中に前記データ入力端子に入力された信号をラッチするためのラッチ信号が前記クロック入力端子に入力されるよう構成されたことを特徴とする請求項 5 又は請求項 6 に記載の電圧検出回路。

【請求項 8】

前記ラッチ回路の出力信号が前記閾値設定回路に入力され、前記ラッチ回路の出力信号に基づいて前記閾値電圧の値を換えるよう構成されたことを特徴とする請求項 7 に記載の電圧検出回路。

【請求項 9】

前記第 1 期間と前記第 2 期間は間欠的に交互に繰り返され、前記第 2 期間と前記第 1 期間との間に待機期間を有することを特徴とする請求項 7 に記載の電圧検出回路。

【請求項 10】

2 つの入力端子と 2 つの出力端子を有する第 1 の演算増幅器と、

前記電圧増幅器と前記第 1 の演算増幅器とに接続された第 3 の記憶回路と、

前記第 1 期間において、前記電圧増幅器の各出力端子を前記第 1 の演算増幅器の各入力端子に接続し、且つ前記第 1 の演算増幅器の各出力端子を前記第 3 の記憶回路に接続し、前記第 2 期間において、前記電圧増幅器の一方の出力端子の電圧を前記第 3 の記憶回路を

10

20

30

40

50

介して前記第 1 の演算増幅器の一方の入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記第 1 の演算増幅器の他方の入力端子に入力するよう切り換える第 4 のスイッチ回路と、

前記第 2 期間に前記第 1 の演算増幅器に接続されて前記第 1 の演算増幅器の 2 つの出力端子の電圧差を記憶し、次の前記第 1 期間に基準電圧に前記電圧差を加算した値を外部出力端子に出力する第 4 の記憶回路と、

を有する第 1 のサンプリング回路をさらに具備することを特徴とする請求項 2 に記載の電圧検出回路。

【請求項 1 1】

2 つの入力端子と 2 つの出力端子を有する第 2 の演算増幅器と、

前記電圧増幅器と前記第 2 の演算増幅器とに接続された第 5 の記憶回路と、

前記第 2 期間において、前記電圧増幅器の各出力端子を前記第 2 の演算増幅器の各入力端子に接続し、且つ前記第 2 の演算増幅器の各出力端子を前記第 5 の記憶回路に接続し、前記第 1 期間において、前記電圧増幅器の一方の出力端子の電圧を前記第 5 の記憶回路を介して前記第 2 の演算増幅器の一方の入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記第 2 の演算増幅器の他方の入力端子に入力するよう切り換える第 5 のスイッチ回路と、

前記第 1 期間に前記第 2 の演算増幅器に接続されて前記第 2 の演算増幅器の 2 つの出力端子の電圧差を記憶し、前記第 2 期間に基準電圧に前記電圧差を加算した値を前記外部出力端子に出力する第 6 の記憶回路と、

を有する第 2 のサンプリング回路をさらに具備することを特徴とする請求項 1 0 に記載の電圧検出回路。

【請求項 1 2】

前記第 2 の演算増幅器の各入力端子は、前記第 1 の演算増幅器と同じ接続状態で、前記電圧増幅器の各出力端子と接続され、

前記第 6 の記憶回路は、前記第 4 の記憶回路とは逆の接続状態で、前記基準電圧と前記外部出力端子とに接続される、

ことを特徴とする請求項 1 1 に記載の電圧検出回路。

【請求項 1 3】

前記第 2 の演算増幅器の各入力端子は、前記第 1 の演算増幅器と逆の接続状態で、前記電圧増幅器の各出力端子と接続され、

前記第 6 の記憶回路は、前記第 4 の記憶回路と同じ接続状態で、前記基準電圧と前記外部出力端子とに接続される、

ことを特徴とする請求項 1 1 に記載の電圧検出回路。

【請求項 1 4】

充電電池と前記充電電池から電圧を印加されて駆動する機器との間に設けられた検出抵抗と、

前記検出抵抗と直列に接続された第 3 のスイッチ素子と、

前記抵抗の両端の電圧が入力され、前記第 3 のスイッチ素子の開閉動作を制御する信号を出力する、請求項 1 から請求項 9 のいずれかの請求項に記載の電圧検出回路と、

を具備することを特徴とする過電流検出回路。

【請求項 1 5】

外部電源から充電電流を供給されて充電する充電電池と、

前記外部電源と前記充電電池との間に接続された充電電流制御回路と、

前記充電電流制御回路と直列に接続された検出抵抗と、

前記検出抵抗の両端と接続して前記検出抵抗の電圧に基づく検出信号を前記充電電流制御回路へ出力する、請求項 1 0 から請求項 1 3 のいずれかの請求項に記載の電圧検出回路と、

を具備し、

前記充電電流制御回路は、前記電圧検出回路の前記検出信号に基づいて前記充電電流の

10

20

30

40

50

値を制御することを特徴とする充電電流制御システム。

【請求項 16】

第 1 の入力電圧が入力される第 1 の入力端子と、
第 2 の入力電圧が入力される第 2 の入力端子と、
接地電位となる第 3 の入力端子と、

複数の抵抗を直列に接続して構成され、前記複数の抵抗の中間接続点である第 1 の分圧端子を有する第 1 の直列抵抗体と、複数の抵抗を直列に接続して構成され、前記複数の抵抗の中間接続点である第 2 の分圧端子を有する第 2 の直列抵抗体と、を有する分圧回路と、

第 1 期間にスイッチのオン、オフを切り替える第 1 の信号と、前記第 1 期間の期間と異なる第 2 期間にスイッチのオン、オフを切り替える第 2 の信号とにより、前記第 1 期間と前記第 2 期間とにおいて、前記第 1 の直列抵抗体と前記第 2 の直列抵抗体とに対する各入力端子の接続状態を切り換える第 1 のスイッチ回路と、

を具備する電圧検出回路を用いた電圧検出方法であって、

前記第 1 期間のとき、前記第 1 の信号により、前記第 1 の直列抵抗体の一端に前記第 1 の入力端子を接続し、前記第 2 の直列抵抗体の一端に前記第 2 の入力端子を接続し、前記第 1 の直列抵抗体の他端と前記第 2 の直列抵抗体の他端に前記第 3 の入力端子を接続するステップと、

前記第 2 期間のとき、前記第 2 の信号により、前記第 1 の直列抵抗体の一端と前記第 2 の直列抵抗体の一端に前記第 3 の入力端子を接続し、前記第 1 の直列抵抗体の他端に前記第 1 の入力端子を接続し、前記第 2 の直列抵抗体の他端に前記第 2 の入力端子を接続するステップと、

を有することを特徴とする電圧検出方法。

【請求項 17】

電圧増幅器に前記第 1 の分圧端子と前記第 2 の分圧端子の各電圧を入力して、入力した各電圧を増幅するステップと、

前記第 1 期間と前記第 2 期間とにおいて、第 2 のスイッチ回路で前記電圧増幅器に対する前記第 1 の分圧端子と前記第 2 の分圧端子の接続状態を反転させるステップと、

をさらに有することを特徴とする請求項 16 に記載の電圧検出方法。

【請求項 18】

前記第 1 期間において、前記電圧増幅器の一方の出力端子に接続された第 1 のスイッチ素子が閉じることにより、前記電圧増幅器の出力する電圧を、前記第 1 のスイッチ素子と前記電圧増幅器の他方の出力端子との間に接続された第 1 の記憶素子に記憶するステップをさらに有することを特徴とする請求項 17 に記載の電圧検出方法。

【請求項 19】

前記第 2 期間において、前記電圧増幅器の一方の出力端子の電圧を前記第 1 の記憶素子を介して比較器の正極入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記比較器の負極入力端子に入力するように第 3 のスイッチ回路を切り換えるステップと、

前記比較器により入力された 2 つの電圧を比較するステップと、

をさらに有することを特徴とする請求項 18 に記載の電圧検出方法。

【請求項 20】

前記第 1 期間において、前記電圧増幅器の各出力端子を第 1 の演算増幅器の各入力端子に接続し、且つ前記第 1 の演算増幅器の各出力端子を第 3 の記憶回路に接続するステップと、

前記第 2 期間において、前記電圧増幅器の一方の出力端子の電圧を前記第 3 の記憶回路を介して前記第 1 の演算増幅器の一方の入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記第 1 の演算増幅器の他方の入力端子に入力するよう切り換えるステップと、

前記第 2 期間に第 4 の記憶回路を前記第 1 の演算増幅器に接続して前記第 1 の演算増幅器の前記 2 つの出力端子の電圧差を記憶し、次の前記第 1 期間に基準電圧に前記電圧差を

10

20

30

40

50

加算した値を出力するステップと、

をさらに有することを特徴とする請求項 17 に記載の電圧検出方法。

【請求項 21】

前記第 2 期間において、前記電圧増幅器の各出力端子を第 2 の演算増幅器の各入力端子に接続し、且つ前記第 2 の演算増幅器の各出力端子を第 5 の記憶回路に接続するステップと、

前記第 1 期間において、前記電圧増幅器の一方の出力端子の電圧を前記第 5 の記憶回路を介して前記第 2 の演算増幅器の一方の入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記第 2 の演算増幅器の他方の入力端子に入力するよう切り換えるステップと、

10

前記第 1 期間に第 6 の記憶回路を前記第 2 の演算増幅器に接続して前記第 2 の演算増幅器の前記 2 つの出力端子の電圧差を記憶し、前記第 2 期間に基準電圧に前記電圧差を加算した値を出力するステップと、

をさらに有することを特徴とする請求項 20 に記載の電圧検出方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2 入力間の電圧を高精度に検出する電圧検出回路、電圧検出回路を有する過電流検出回路、電圧検出回路を有する充電電流制御システム、及びそれらの電圧検出方法に関するものである。

20

【背景技術】

【0002】

近年、充電電池で駆動する機器（携帯電話等）の安全性を高めるために、機器の使用時に、充電電池から機器へ異常電流が流れ、機器が過熱するのを防ぐことが求められている。従来は充電電池と機器の部品との間にヒューズを挿入していた。ヒューズは溶断してしまうと元に戻らない。そこで、ヒューズの代わりに、充電電池から機器に流れる電流を高精度に検出する過電流検出回路が必要とされてきている。

充電電池から機器に流れる電流を検出する場合、一般的に充電電池から機器に電流が流れるラインに、電池特性に影響しない程度の微小な抵抗を挿入する。そして電圧検出回路がこの抵抗の両端に発生する微小な電圧を検出する。

30

【0003】

また、ACアダプタを使用して充電電池に充電を行う際に、ACアダプタから充電電池に流れる充電電流を制御することが求められている。そのために、ACアダプタから充電電池に流れる電流を高精度に検出する充電電流制御システムが必要とされてきている。

ACアダプタから充電電池に流れる電流を検出する場合、一般的に、ACアダプタから充電電池に電流が流れるラインに、電池特性に影響しない程度の微小な抵抗を挿入する。そして電圧検出回路がこの抵抗の両端に発生する微小な電圧を検出する。

【特許文献 1】特開 2001 - 337147 号公報

【特許文献 2】特開 2003 - 043123 号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0004】

過電流検出回路及び充電電流制御システムに用いられる電圧検出回路においては、入力電圧を抵抗分割により分圧するための複数の抵抗と、入力された微小な電圧を増幅する電圧増幅器と、増幅された電圧値が一定レベル以上かどうかを比較する比較器とが必要である。

【0005】

電圧検出回路が入力する、抵抗の両端の電圧値は、あまりにも微小である。そのため、入力電圧を分圧するための複数の抵抗の相対誤差成分のバラツキにより、電圧検出回路の出力する検出値がばらつく。入力された微小な電圧を増幅する電圧増幅器の入力オフセッ

50

ト成分のバラツキにより、電圧検出回路の出力する検出値がばらつく。増幅された電圧値が一定レベル以上かどうかを比較する比較器の入力オフセット成分のバラツキにより、電圧検出回路の出力する検出値がばらつく。

【 0 0 0 6 】

これらの原因により、従来の電圧検出回路は正確な検出値を出力することができない、という問題を有していた。従来の電圧検出回路を有する過電流検出回路、従来の電圧検出回路を有する充電電流制御システム、及びそれらの電圧検出方法にも、上記の問題が生じる。

【 0 0 0 7 】

本発明は上記問題を解決し、検出対象となる電圧値が微小であっても、高精度に電圧を検出する電圧検出回路及び電圧検出方法を提供することを目的とする。

本発明は、入力電圧を分圧する分圧回路における抵抗の相対誤差成分に影響されることなく、電圧を高精度に検出する電圧検出回路及び電圧検出方法を提供することを目的とする。

本発明は、入力された微小な電圧を増幅する電圧増幅器の入力オフセット成分に影響されることなく電圧を高精度に検出する電圧検出回路及び電圧検出方法を提供することを目的とする。

本発明は、増幅された電圧値が一定レベル以上かどうかを比較する比較器の入力オフセット成分に影響されることなく、電圧を高精度に検出する電圧検出回路及び電圧検出方法を提供することを目的とする。

本発明は、上記電圧検出回路を有し上記の作用を有する過電流検出回路及び充電電流制御システムを提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

上記課題を解決するため、本発明は下記の構成を有する。

請求項 1 に記載の発明は、第 1 の入力電圧が入力される第 1 の入力端子と、第 2 の入力電圧が入力される第 2 の入力端子と、接地電位となる第 3 の入力端子と、複数の抵抗を直列に接続して構成され、前記複数の抵抗の間接続点である第 1 の分圧端子を有する第 1 の直列抵抗体と、複数の抵抗を直列に接続して構成され、前記複数の抵抗の間接続点である第 2 の分圧端子を有する第 2 の直列抵抗体と、を有する分圧回路と、第 1 期間にスイッチのオン、オフを切り替える第 1 の信号と、前記第 1 期間の期間と異なる第 2 期間にスイッチのオン、オフを切り替える第 2 の信号とにより、前記第 1 期間と前記第 2 期間とにおいて、前記第 1 の直列抵抗体と前記第 2 の直列抵抗体とに対する各入力端子の接続状態を切り換える第 1 のスイッチ回路と、を具備する電圧検出回路であって、前記第 1 のスイッチ回路は、前記第 1 期間のとき、前記第 1 の信号により、前記第 1 の直列抵抗体の一端に前記第 1 の入力端子を接続し、前記第 2 の直列抵抗体の一端に前記第 2 の入力端子を接続し、前記第 1 の直列抵抗体の他端と前記第 2 の直列抵抗体の他端に前記第 3 の入力端子を接続するよう構成されており、前記第 2 期間のとき、前記第 2 の信号により、前記第 1 の直列抵抗体の一端と前記第 2 の直列抵抗体の一端に前記第 3 の入力端子を接続し、前記第 1 の直列抵抗体の他端に前記第 1 の入力端子を接続し、前記第 2 の直列抵抗体の他端に前記第 2 の入力端子を接続するよう構成された電圧検出回路である。

【 0 0 0 9 】

この発明によれば、分圧回路が第 1 期間に出力する電圧差（第 1 の分圧端子の電圧（第 1 の分圧電圧）と第 2 の分圧端子の電圧（第 2 の分圧電圧）との差）と、第 2 期間に出力する電圧差（第 1 の分圧端子の電圧（第 1 の分圧電圧）と第 2 の分圧端子の電圧（第 2 の分圧電圧）との差）を足し合わせると、第 1 の直列抵抗体と第 2 の直列抵抗体のそれぞれを構成する抵抗の相対誤差成分はキャンセルできる。これにより、有効信号成分だけが残り、その有効信号成分は 2 倍となる。第 1 期間と第 2 期間における第 1 の分圧電圧と第 2 の分圧電圧を用いることにより、相対誤差成分を含まない検出信号を生成することができる。この発明によれば、分圧回路の抵抗の相対誤差成分に影響されることなく、電圧を高

10

20

30

40

50

精度に検出する電圧検出回路を実現できる。

【0010】

請求項2に記載の発明は、請求項1に記載の電圧検出回路において、前記第1の分圧端子と前記第2の分圧端子の各電圧が入力され、入力された各電圧を増幅する電圧増幅器と、前記第1期間と前記第2期間とにおいて、前記電圧増幅器に対する前記第1の分圧端子と前記第2の分圧端子の接続状態を反転させる第2のスイッチ回路と、をさらに具備することを特徴とする。

【0011】

電圧増幅器が2つのオペアンプで構成される場合、第1期間において、第1の分圧端子の電圧（第1の分圧電圧）は一方のオペアンプに入力され、第2の分圧端子の電圧（第2の分圧電圧）は他方のオペアンプに入力される。第2期間においては、第2の分圧電圧が一方のオペアンプに入力され、第1の分圧電圧が他方のオペアンプに入力される。電圧増幅器は入力した電圧をそのまま増幅して出力するため、第1期間と第2期間とでゲイン倍された第1の分圧電圧と第2の分圧電圧とが電圧増幅器の逆のオペアンプから出力される。

10

【0012】

電圧増幅器の出力する電圧には、電圧増幅器を構成する2つのオペアンプのそれぞれの入力オフセット成分が含まれる。2つのオペアンプからそれぞれ出力される入力オフセット成分は、第1期間と第2期間とも同じである。

そのため、例えば電圧増幅器が出力する、第1期間の電圧差（一方のオペアンプの出力電圧から他方のオペアンプの出力電圧を差し引いた値）と第2期間の正負を反転させた電圧差（他方のオペアンプの出力電圧から一方のオペアンプの出力電圧を差し引いた値）を足し合わせると、この入力オフセット成分は相殺できる。ゲイン倍された第1の分圧電圧と第2の分圧電圧の差だけが残り、この差の値は2倍となる。

20

この発明によれば、電圧増幅器の入力オフセット成分に影響されることなく、電圧を高精度に検出する電圧検出回路を実現できる。

【0013】

請求項3に記載の発明は、請求項2に記載の電圧検出回路において、前記電圧増幅器の電源電圧は、前記第1の入力電圧であることを特徴とする。

【0014】

この発明は、第1の入力端子から入力した電圧を分圧回路で分圧してから電圧増幅器に入力するため、電圧増幅器の電源電圧を第1の入力電圧とすることができる。

30

【0015】

請求項4に記載の発明は、請求項2に記載の電圧検出回路において、前記電圧増幅器の一方の出力端子に接続された第1のスイッチ素子と、前記電圧増幅器の他方の出力端子と前記第1のスイッチ素子との間に接続された第1の記憶素子と、を有する第1の記憶回路を更に具備することを特徴とする。

【0016】

この発明は、第1のスイッチ素子が第1期間に閉じることにより、電圧増幅器の2出力間の電圧差を第1の記憶素子に記憶する。第2期間に第1のスイッチ素子が開放することにより、電圧増幅器が出力した2出力間の電圧差と第1期間に第1の記憶素子に記憶した電圧とを加算する。これにより、分圧回路の抵抗の相対誤差成分と、電圧増幅器の入力オフセット成分はそれぞれキャンセルできる。第2期間に第1の記憶回路が出力する電圧は、電圧増幅器が第1期間と第2期間に出力した電圧を足し合わせた電圧値となり、有効信号成分が2倍である。

40

【0017】

請求項5に記載の発明は、請求項4に記載の電圧検出回路において、前記電圧増幅器の一方の出力端子の電圧が前記第1の記憶素子を介して正極入力端子に入力され、前記電圧増幅器の他方の出力端子の電圧が負極入力端子に入力される比較器と、前記電圧増幅器と前記比較器との間に設けられ、前記比較器への入力を制御する第3のスイッチ回路と、を

50

さらに具備することを特徴とする。

【0018】

この発明によれば、第1期間に第3のスイッチ回路は開放することにより、第1の記憶回路と比較器とが遮断される。これにより、第1期間に第1の記憶回路の第1の記憶素子に電圧増幅器の出力端子対の電圧差を記憶できる。

第2期間に第3のスイッチ回路が閉じることにより、比較器の正極入力端子には、第2期間に電圧増幅器の一方の出力端子から出力された電圧に第1の記憶素子に記憶された電圧を加算した値が入力される。比較器の負極入力端子には、第2期間に電圧増幅器の他方の出力端子から出力された電圧が入力される。

この発明によれば、比較器において、正極及び負極入力端子から入力された電圧の比較を行う際に、分圧回路の相対誤差成分と、電圧増幅器の入力オフセット成分は、相殺される。この発明によれば、分圧回路の抵抗の相対誤差成分と、電圧増幅器の入力オフセット成分に影響されることなく、電圧を高精度に検出する電圧検出回路を実現できる。

10

【0019】

請求項6に記載の発明は、請求項5に記載の電圧検出回路において、前記第3のスイッチ回路と前記比較器の負極入力端子との間に接続された第2の記憶素子と、前記第1期間に前記比較器の出力端子と負極入力端子とを接続する第2のスイッチ素子と、を有する第2の記憶回路と、一端を前記第2の記憶素子に接続され、他端を前記比較器の正極入力端子に接続されて、前記第1期間に閾値電圧を出力する閾値設定回路と、をさらに具備することを特徴とする。

20

【0020】

第1期間において、閾値設定回路の一端は第2の記憶素子の一端に接続され、閾値設定回路の他端は比較器を介して第2の記憶素子の他端に接続される。これにより、第2の記憶素子は閾値電圧と比較器の入力オフセット成分との和を記憶することができる。

第2期間において、第2の記憶素子に記憶された電圧は比較器の負極入力端子に入力される。この発明によれば、第1期間に第2の記憶素子に記憶した比較器の入力オフセット成分と、第2期間において比較器が比較するときの入力オフセット成分とが、相殺される。

この発明によれば、増幅された電圧値が一定レベル以上かどうかを比較する比較器の入力オフセットに影響されることなく、電圧を高精度に検出する電圧検出回路を実現できる。

30

【0021】

請求項7に記載の発明は、請求項5又は請求項6に記載の電圧検出回路において、データ入力端子とクロック入力端子と出力端子とを有するラッチ回路をさらに具備し、前記比較器の出力が前記データ入力端子に入力され、前記第2期間中に前記データ入力端子に入力された信号をラッチするためのラッチ信号が前記クロック入力端子に入力されるよう構成されたことを特徴とする。

【0022】

この発明によれば、第2期間にラッチした信号を、次にラッチするまでの間出力することができるため、第2期間と第1期間の間、ラッチ回路以外の電圧検出回路内の各回路の動作を停止させることができる。この発明によれば、低消費電力の電圧検出回路を実現できる。

40

【0023】

請求項8に記載の発明は、請求項7に記載の電圧検出回路において、前記ラッチ回路の出力信号が前記閾値設定回路に入力され、前記ラッチ回路の出力信号に基づいて前記閾値電圧の値を換えるよう構成されたことを特徴とする。

【0024】

この発明によれば、比較器の比較レベルにヒステリシスを持たせることができ、安定した動作をすることができる。

【0025】

50

請求項 9 に記載の発明は、請求項 7 に記載の電圧検出回路において、前記第 1 期間と前記第 2 期間は間欠的に交互に繰り返され、前記第 2 期間と前記第 1 期間との間に待機期間を有することを特徴とする。

【 0 0 2 6 】

ここで「待機期間」とは、第 2 期間と次の第 1 期間との間のことである。この待機期間において、ラッチ回路は第 2 期間にラッチした信号を出力している。待機期間において、全てのスイッチ素子は開放状態となり、電圧検出回路内の各回路は動作を停止している。

この発明によれば、第 2 期間と第 1 期間の間にラッチ回路以外の各回路の動作を停止させる間欠動作をすることができ、低消費電力の電圧検出回路を実現できる。

【 0 0 2 7 】

請求項 10 に記載の発明は、請求項 2 に記載の電圧検出回路において、2つの入力端子と2つの出力端子を有する第 1 の演算増幅器と、前記電圧増幅器と前記第 1 の演算増幅器とに接続された第 3 の記憶回路と、前記第 1 期間において、前記電圧増幅器の各出力端子を前記第 1 の演算増幅器の各入力端子に接続し、且つ前記第 1 の演算増幅器の各出力端子を前記第 3 の記憶回路に接続し、前記第 2 期間において、前記電圧増幅器の一方の出力端子の電圧を前記第 3 の記憶回路を介して前記第 1 の演算増幅器の一方の入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記第 1 の演算増幅器の他方の入力端子に入力するよう切り換える第 4 のスイッチ回路と、前記第 2 期間に前記第 1 の演算増幅器に接続されて前記第 1 の演算増幅器の2つの出力端子の電圧差を記憶し、次の前記第 1 期間に基準電圧に前記電圧差を加算した値を外部出力端子に出力する第 4 の記憶回路と、を有する第 1 のサンプリング回路をさらに具備することを特徴とする。

【 0 0 2 8 】

この発明によれば、第 1 の入力端子と第 2 の入力端子から入力した電圧差に比例した電圧を第 1 期間に出力することができる。この発明によれば、分圧回路の相対誤差成分と、電圧増幅器の入力オフセット成分と、第 1 の演算増幅器の入力オフセット成分とを、それぞれ相殺して、電圧を出力することができる。

【 0 0 2 9 】

請求項 11 に記載の発明は、請求項 10 に記載の電圧検出回路において、2つの入力端子と2つの出力端子を有する第 2 の演算増幅器と、前記電圧増幅器と前記第 2 の演算増幅器とに接続された第 5 の記憶回路と、前記第 2 期間において、前記電圧増幅器の各出力端子と前記第 2 の演算増幅器の各入力端子に接続し、且つ前記第 2 の演算増幅器の各出力端子と前記第 5 の記憶回路に接続し、前記第 1 期間において、前記電圧増幅器の一方の出力端子の電圧を前記第 5 の記憶回路を介して前記第 2 の演算増幅器の一方の入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記第 2 の演算増幅器の他方の入力端子に入力するよう切り換える第 5 のスイッチ回路と、前記第 1 期間に前記第 2 の演算増幅器に接続されて前記第 2 の演算増幅器の2つの出力端子の電圧差を記憶し、前記第 2 期間に基準電圧に前記電圧差を加算した値を前記外部出力端子に出力する第 6 の記憶回路と、を有する第 2 のサンプリング回路をさらに具備することを特徴とする。

【 0 0 3 0 】

この発明によれば、第 1 の入力端子と第 2 の入力端子から入力した電圧差に比例した電圧を第 2 期間に出力することができる。この発明によれば、分圧回路の相対誤差成分と、電圧増幅器の入力オフセット成分と、第 2 の演算増幅器の入力オフセット成分とを、それぞれ相殺して、電圧を出力することができる。

電圧検出回路に第 1 のサンプリング回路と第 2 のサンプリング回路の両方を搭載することにより、第 1 の入力端子と第 2 の入力端子から入力した電圧差に比例した電圧を第 1 期間と第 2 の期間の両方で出力することができる。

【 0 0 3 1 】

請求項 12 に記載の発明は、請求項 11 に記載の電圧検出回路において、前記第 2 の演算増幅器の各入力端子は、前記第 1 の演算増幅器と同じ接続状態で、前記電圧増幅器の各出力端子と接続され、前記第 6 の記憶回路は、前記第 4 の記憶回路とは逆の接続状態で、

10

20

30

40

50

前記基準電圧と前記外部出力端子とに接続される、ことを特徴とする。

【0032】

請求項13に記載の発明は、請求項11に記載の電圧検出回路において、前記第2の演算増幅器の各入力端子は、前記第1の演算増幅器と逆の接続状態で、前記電圧増幅器の各出力端子と接続され、前記第6の記憶回路は、前記第4の記憶回路と同じ接続状態で、前記基準電圧と前記外部出力端子とに接続される、ことを特徴とする。

【0033】

請求項14に記載の発明は、充電電池と前記充電電池から電圧を印加されて駆動する機器との間に設けられた検出抵抗と、前記検出抵抗と直列に接続された第3のスイッチ素子と、前記抵抗の両端の電圧が入力され、前記第3のスイッチ素子の開閉動作を制御する信号を出力する、請求項1から請求項9のいずれかの請求項に記載の電圧検出回路と、を具備することを特徴とする過電流検出回路である。

10

【0034】

この発明によれば、電圧検出回路により検出抵抗の両端の電圧差を高精度に検出でき、充電電池から機器に過電流が流れることを防止できる。

【0035】

請求項15に記載の発明は、外部電源から充電電流を供給されて充電する充電電池と、前記外部電源と前記充電電池との間に接続された充電電流制御回路と、前記充電電流制御回路と直列に接続された検出抵抗と、前記検出抵抗の両端と接続して前記検出抵抗の電圧に基づく検出信号を前記充電電流制御回路へ出力する、請求項10から請求項13のいずれかの請求項に記載の電圧検出回路と、を具備し、前記充電電流制御回路は、前記電圧検出回路の前記検出信号に基づいて前記充電電流の値を制御することを特徴とする充電電流制御システムである。

20

【0036】

この発明によれば、電圧検出回路により検出抵抗の両端の電圧差を高精度に検出でき、外部電源から充電電池に充電電流が流れ過ぎることを防止できる。

【0037】

請求項16に記載の発明は、第1の入力電圧が入力される第1の入力端子と、第2の入力電圧が入力される第2の入力端子と、接地電位となる第3の入力端子と、複数の抵抗を直列に接続して構成され、前記複数の抵抗の中間接続点である第1の分圧端子を有する第1の直列抵抗体と、複数の抵抗を直列に接続して構成され、前記複数の抵抗の中間接続点である第2の分圧端子を有する第2の直列抵抗体と、を有する分圧回路と、第1期間にスイッチのオン、オフを切り替える第1の信号と、前記第1期間の期間と異なる第2期間にスイッチのオン、オフを切り替える第2の信号とにより、前記第1期間と前記第2期間において、前記第1の直列抵抗体と前記第2の直列抵抗体とに対する各入力端子の接続状態を切り換える第1のスイッチ回路と、を具備する電圧検出回路を用いた電圧検出方法であって、前記第1期間のとき、前記第1の信号により、前記第1の直列抵抗体の一端に前記第1の入力端子を接続し、前記第2の直列抵抗体の一端に前記第2の入力端子を接続し、前記第1の直列抵抗体の他端と前記第2の直列抵抗体の他端に前記第3の入力端子を接続するステップと、前記第2期間のとき、前記第2の信号により、前記第1の直列抵抗体の一端と前記第2の直列抵抗体の一端に前記第3の入力端子を接続し、前記第1の直列抵抗体の他端に前記第1の入力端子を接続し、前記第2の直列抵抗体の他端に前記第2の入力端子を接続するステップと、を有することを特徴とする電圧検出方法である。

30

40

【0038】

この発明では、第1期間における第1の分圧端子の電圧と第2の分圧端子の電圧との差と、第2期間における第1の分圧端子の電圧と第2の分圧端子の電圧との差を足し合わせると、第1の直列抵抗体と第2の直列抵抗体のそれぞれを構成する抵抗の相対誤差成分がキャンセルできる。

この発明によれば、分圧回路の抵抗の相対誤差に影響されることなく、電圧を高精度に検出する電圧検出方法を実現できる。

50

【 0 0 3 9 】

請求項 1 7 に記載の発明は、請求項 1 6 に記載の電圧検出方法において、電圧増幅器に前記第 1 の分圧端子と前記第 2 の分圧端子の各電圧を入力して、入力した各電圧を増幅するステップと、前記第 1 期間と前記第 2 期間とにおいて、第 2 のスイッチ回路で前記電圧増幅器に対する前記第 1 の分圧端子と前記第 2 の分圧端子の接続状態を反転させるステップと、をさらに有することを特徴とする。

【 0 0 4 0 】

電圧増幅器が 2 つのオペアンプで構成される場合、第 1 期間において、第 1 の分圧端子の電圧（第 1 の分圧電圧）は一方のオペアンプに入力され、第 2 の分圧端子の電圧（第 2 の分圧電圧）は他方のオペアンプに入力される。第 2 期間においては、第 2 の分圧電圧が一方のオペアンプに入力され、第 1 の分圧電圧が他方のオペアンプに入力される。電圧増幅器は入力した電圧をそのまま増幅して出力するため、第 1 期間と第 2 期間とでゲイン倍された第 1 の分圧電圧と第 2 の分圧電圧とが電圧増幅器の逆のオペアンプから出力される。

10

【 0 0 4 1 】

電圧増幅器の出力する電圧には、電圧増幅器を構成する 2 つのオペアンプのそれぞれの入力オフセット成分が含まれる。2 つのオペアンプからそれぞれ出力される入力オフセット成分は、第 1 期間と第 2 期間とも同じである。

そのため、例えば電圧増幅器が出力する、第 1 期間の電圧差（一方のオペアンプの出力電圧から他方のオペアンプの出力電圧を差し引いた値）と第 2 期間の正負を反転させた電圧差（他方のオペアンプの出力電圧から一方のオペアンプの出力電圧を差し引いた値）を足し合わせると、この入力オフセット成分は相殺できる。ゲイン倍された第 1 の分圧電圧と第 2 の分圧電圧の差だけが残り、この差の値は 2 倍となる。

20

この発明によれば、電圧増幅器の入力オフセット成分に影響されることなく、電圧を高精度に検出する電圧検出方法を実現できる。

【 0 0 4 2 】

請求項 1 8 に記載の発明は、請求項 1 7 に記載の電圧検出方法において、前記第 1 期間において、前記電圧増幅器の一方の出力端子に接続された第 1 のスイッチ素子が閉じることにより、前記電圧増幅器の出力する電圧を、前記第 1 のスイッチ素子と前記電圧増幅器の他方の出力端子との間に接続された第 1 の記憶素子に記憶するステップをさらに有することを特徴とする。

30

【 0 0 4 3 】

この発明によれば、第 1 期間における電圧増幅器の 2 出力間の電圧差を第 1 の記憶素子に記憶するため、第 2 期間において電圧増幅器が出力した 2 出力間の電圧差と第 1 期間に第 1 の記憶素子に記憶した電圧とを加算した電圧を出力できる。これにより、第 1 の直列抵抗体と第 2 の直列抵抗体のそれぞれを構成する抵抗の相対誤差成分がキャンセルできる。電圧増幅器の入力オフセット成分がキャンセルできる。

【 0 0 4 4 】

請求項 1 9 に記載の発明は、請求項 1 8 に記載の電圧検出方法において、前記第 2 期間において、前記電圧増幅器の一方の出力端子の電圧を前記第 1 の記憶素子を介して比較器の正極入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記比較器の負極入力端子に入力するように第 3 のスイッチ回路を切り換えるステップと、前記比較器により入力された 2 つの電圧を比較するステップと、をさらに有することを特徴とする。

40

【 0 0 4 5 】

この発明によれば、第 1 の直列抵抗体と第 2 の直列抵抗体のそれぞれを構成する抵抗の相対誤差成分と、電圧増幅器の入力オフセット成分とに影響されることなく、比較器は動作することができる。

更に比較器の入力オフセット成分を記憶する第 2 の記憶素子を、第 3 のスイッチ回路と比較器の負極入力端子との間に設けると、第 1 期間に第 2 の記憶素子に記憶した比較器の入力オフセット成分と、第 2 期間において比較器が比較するときの入力オフセット成分と

50

を、相殺できる。

【0046】

請求項20に記載の発明は、請求項17に記載の電圧検出方法において、前記第1期間において、前記電圧増幅器の各出力端子を第1の演算増幅器の各入力端子に接続し、且つ前記第1の演算増幅器の各出力端子を第3の記憶回路に接続するステップと、前記第2期間において、前記電圧増幅器の一方の出力端子の電圧を前記第3の記憶回路を介して前記第1の演算増幅器の一方の入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記第1の演算増幅器の他方の入力端子に入力するよう切り換えるステップと、前記第2期間に第4の記憶回路を前記第1の演算増幅器に接続して前記第1の演算増幅器の前記2つの出力端子の電圧差を記憶し、次の前記第1期間に基準電圧に前記電圧差を加算した値を出力するステップと、をさらに有することを特徴とする。

10

【0047】

この発明によれば、第1の入力端子と第2の入力端子から入力した電圧差に比例した電圧を第1期間に出力することができる。この発明によれば、分圧回路の相対誤差成分と、電圧増幅器の入力オフセット成分と、第1の演算増幅器の入力オフセット成分とを、それぞれ相殺して、電圧を出力することができる。

【0048】

請求項21に記載の発明は、請求項20に記載の電圧検出方法において、前記第2期間において、前記電圧増幅器の各出力端子を第2の演算増幅器の各入力端子に接続し、且つ前記第2の演算増幅器の各出力端子を第5の記憶回路に接続するステップと、前記第1期間において、前記電圧増幅器の一方の出力端子の電圧を前記第5の記憶回路を介して前記第2の演算増幅器の一方の入力端子に入力し、前記電圧増幅器の他方の出力端子の電圧を前記第2の演算増幅器の他方の入力端子に入力するよう切り換えるステップと、前記第1期間に第6の記憶回路を前記第2の演算増幅器に接続して前記第2の演算増幅器の前記2つの出力端子の電圧差を記憶し、前記第2期間に基準電圧に前記電圧差を加算した値を出力するステップと、をさらに有することを特徴とする請求項20に記載の電圧検出方法である。

20

【0049】

この発明によれば、第1の入力端子と第2の入力端子から入力した電圧差に比例した電圧を第2期間に出力することができる。この発明によれば、分圧回路の相対誤差成分と、電圧増幅器の入力オフセット成分と、第2の演算増幅器の入力オフセット成分とを、それぞれ相殺して、電圧を出力することができる。

30

【発明の効果】

【0050】

本発明によれば、検出対象となる電圧値が微小であっても、高精度に電圧を検出する電圧検出回路及び電圧検出方法を、低消費電流にて実現することができるという有利な効果が得られる。

本発明は、上記電圧検出回路を有し、充電池から機器に流れる過電流を防止する過電流検出回路を実現することができるという有利な効果が得られる。

本発明は、上記電圧検出回路を有し、外部電源から充電池に流れる充電電流の値を制御する充電電流制御システムを実現することができるという有利な効果が得られる。

40

【発明を実施するための最良の形態】

【0051】

本発明の実施をするための最良の形態を具体的に示した実施の形態について、以下に図面と共に記載する。

【0052】

《実施の形態1》

本発明の実施の形態1の電圧検出回路及び電圧検出方法を、図1～4を用いて説明する。図1は、本発明の実施の形態1の電圧検出回路の構成を示すブロック図である。図2は本発明の実施の形態1の電圧検出回路に適用される同期信号のタイミングチャートである

50

。

【 0 0 5 3 】

図 1 に示す本発明の実施の形態 1 の電圧検出回路は、第 1 の入力電圧 (V 1) を入力する入力端子 V I N 1、第 1 の入力電圧より低い電位の第 2 の入力電圧 (V 2) を入力する入力端子 V I N 2、接地電位となる G N D 端子、入力端子 V I N 1、V I N 2 から入力した電圧をそれぞれ分圧する分圧回路 1、入力端子 V I N 1、V I N 2 及び G N D 端子と分圧回路 1 との接続を切り替えるスイッチ回路 2 (第 1 のスイッチ回路)、分圧回路 1 と電圧増幅器 4 の接続状態を切り替えるスイッチ回路 3 (第 2 のスイッチ回路)、スイッチ回路 3 の出力する電圧を入力して増幅する電圧増幅器 4、電圧増幅器 4 の出力電圧を記憶する記憶回路 5 (第 1 の記憶回路)、記憶回路 5 と接続され第 2 の信号に同期してオン/オフを切り換えるスイッチ回路 6 (第 3 のスイッチ回路)、閾値電圧を出力する閾値設定回路 7、電圧増幅器 4 の出力電圧に記憶回路 5 の電圧を加算した値と閾値電圧とを比較して出力する比較器 8、スイッチ回路 6 と比較器 8 の間に接続され閾値電圧を記憶する記憶回路 9 (第 2 の記憶回路)、比較器 8 の出力をラッチして外部出力端子 O U T に出力するラッチ回路 1 0、及びラッチ回路 1 0 の出力信号を外部に出力するための外部出力端子 O U T を有する。

10

【 0 0 5 4 】

図 1 に示す本発明の実施の形態 1 の電圧検出回路の各スイッチ素子は、図 2 に示す第 1 の信号 a 又は第 2 の信号 b に同期して動作する。第 1 の信号 a、第 2 の信号 b、及び L A T C H 信号は信号発生器 (図示していない) から供給される。信号発生器は、例えば電圧検出回路を搭載する I C 上に含まれる。共通の I C 上に搭載される信号発生器に代えて、外部の信号発生器から第 1 の信号 a、第 2 の信号 b、及び L A T C H 信号を供給されても良い。

20

【 0 0 5 5 】

各スイッチ素子は、信号が H i g h の間閉じ、L o w の間開く。図 2 において、第 1 の信号 a が H i g h、第 2 の信号 b が L o w の期間を第 1 期間とし、第 1 の信号 a が L o w、第 2 の信号 b が H i g h の期間を第 2 期間とする。第 2 期間と第 1 期間との間を待機期間とする。

【 0 0 5 6 】

図 1 の電圧検出回路の各構成要素とそれらの接続について説明する。

30

分圧回路 1 は、第 1 の抵抗 1 1 と第 2 の抵抗 1 2 を直列に接続した第 1 の直列抵抗体と、第 3 の抵抗 1 3 と第 4 の抵抗 1 4 を直列に接続した第 2 の直列抵抗体とを有する。実施の形態 1 において、この 4 つの抵抗 1 1 ~ 1 4 の抵抗値は同じである。

【 0 0 5 7 】

第 1 の直列抵抗体 (抵抗 1 1 及び抵抗 1 2) の両端は入力端子 V I N 1 と G N D 端子とに接続され、第 1 の抵抗 1 1 と第 2 の抵抗 1 2 との接続点 (第 1 の分圧端子) から分圧した電圧 (第 1 の分圧電圧) を出力する。

第 2 の直列抵抗体 (抵抗 1 3 及び抵抗 1 4) の両端は入力端子 V I N 2 と G N D 端子とに接続され、第 3 の抵抗 1 3 と第 4 の抵抗 1 4 との接続点 (第 2 の分圧端子) から分圧した電圧 (第 2 の分圧電圧) を出力する。

40

【 0 0 5 8 】

スイッチ回路 2 (第 1 のスイッチ回路) は、分圧回路 1 の第 1 の直列抵抗体 (抵抗 1 1 及び抵抗 1 2) の一端と入力端子 V I N 1 とを接続し、第 1 の直列抵抗体の他端と G N D 端子とを接続する。また、スイッチ回路 2 は、分圧回路 1 の第 2 の直列抵抗体 (抵抗 1 3 及び抵抗 1 4) の一端と入力端子 V I N 2 とを接続し、第 2 の直列抵抗体の他端と G N D 端子とを接続する。

【 0 0 5 9 】

具体的には、スイッチ回路 2 は、8 個のスイッチ素子 2 1 A、2 1 B、2 2 A、2 2 B、2 3 A、2 3 B、2 4 A、2 4 B を有する。8 個のスイッチ素子は、第 1 期間と第 2 期間とでそれぞれ開閉を切り替えることにより、第 1 の直列抵抗体の両端と、入力端子 V I

50

N 1、G N D 端子との接続、及び第 2 の直列抵抗体の両端と、入力端子 V I N 2、G N D 端子との接続を反転させる。

【 0 0 6 0 】

スイッチ素子 2 1 A は、一端が抵抗 1 1 に接続され、他端が入力端子 V I N 1 に接続され、第 1 の信号 a に同期して閉状態となる。スイッチ素子 2 1 B は、一端が抵抗 1 1 に接続され、他端が G N D 端子に接続され、第 2 の信号 b に同期して閉状態となる。

スイッチ素子 2 2 A は、一端が抵抗 1 3 に接続され、他端が入力端子 V I N 2 に接続され、第 1 の信号 a に同期して閉状態となる。スイッチ素子 2 2 B は、一端が抵抗 1 3 に接続され、他端が G N D 端子に接続され、第 2 の信号 b に同期して閉状態となる。

【 0 0 6 1 】

スイッチ素子 2 3 A は、一端が抵抗 1 2 に接続され、他端が G N D 端子に接続され、第 1 の信号 a に同期して閉状態となる。スイッチ素子 2 3 B は、一端が抵抗 1 2 に接続され、他端が入力端子 V I N 1 に接続され、第 2 の信号 b に同期して閉状態となる。

スイッチ素子 2 4 A は、一端が抵抗 1 4 に接続され、他端が G N D 端子に接続され、第 1 の信号 a に同期して閉状態となる。スイッチ素子 2 4 B は、一端が抵抗 1 4 に接続され、他端が入力端子 V I N 2 に接続され、第 2 の信号 b に同期して閉状態となる。

【 0 0 6 2 】

スイッチ回路 3 (第 2 のスイッチ回路) は、4 つのスイッチ素子 3 1 A、3 1 B、3 2 A、3 2 B を有する。

スイッチ素子 3 1 A は、一端が抵抗 1 3 と抵抗 1 4 の接続点に接続され、他端が電圧増幅器用の第 1 のオペアンプ 4 1 の入力端子に接続され、第 1 の信号 a に同期して閉状態となる。

スイッチ素子 3 1 B は、一端が抵抗 1 1 と抵抗 1 2 の接続点に接続され、他端が電圧増幅器用の第 1 のオペアンプ 4 1 の入力端子に接続され、第 2 の信号 b に同期して閉状態となる。

【 0 0 6 3 】

スイッチ素子 3 2 A は、一端が抵抗 1 1 と抵抗 1 2 の接続点に接続され、他端が電圧増幅器用の第 2 のオペアンプ 4 2 の入力端子に接続され、第 1 の信号 a に同期して閉状態となる。

スイッチ素子 3 2 B は、一端が抵抗 1 3 と抵抗 1 4 の接続点に接続され、他端が電圧増幅器用の第 2 のオペアンプ 4 2 の入力端子に接続され、第 2 の信号 b に同期して閉状態となる。

【 0 0 6 4 】

電圧増幅器 4 は、2 つのオペアンプで構成される。

第 1 のオペアンプ 4 1 は、スイッチ素子 3 1 A 及びスイッチ素子 3 1 B をプラス入力端子に接続し、入力した電圧を 倍して出力する。

第 2 のオペアンプ 4 2 は、スイッチ素子 3 2 A 及びスイッチ素子 3 2 B をプラス端子入力端子に接続し、入力した電圧を 倍して出力する。

第 1 のオペアンプ 4 1 と第 2 のオペアンプの電源電圧は、入力端子 V I N 1 が入力した第 1 の入力電圧でも良い。

【 0 0 6 5 】

記憶回路 5 (第 1 の記憶回路) は、記憶素子 5 1 (第 1 の記憶素子) とスイッチ素子 5 2 A (第 1 のスイッチ素子) とを有する。

記憶素子 5 1 は、一端を電圧増幅器用の第 1 のオペアンプ 4 1 の出力端子と接続され、他端をスイッチ素子 6 1 B に接続される。

スイッチ素子 5 2 A は、一端を電圧増幅器用の第 2 のオペアンプ 4 2 の出力端子とスイッチ素子 6 2 B との間に接続され、他端を記憶素子 5 1 とスイッチ素子 6 1 B との間に接続される。記憶回路 5 のスイッチ素子 5 2 A は第 1 の信号 a に同期して閉状態となる。

【 0 0 6 6 】

スイッチ回路 6 (第 3 のスイッチ回路) は、スイッチ素子 6 1 B とスイッチ素子 6 2 B

10

20

30

40

50

とを有する。

スイッチ素子 6 1 B は、一端を記憶回路 5 の記憶素子 5 1 に接続され、他端を比較器 8 に接続される。

スイッチ素子 6 2 B は、一端を電圧増幅器 4 の第 2 のオペアンプの出力端子と接続され、他端を第 2 の記憶素子 7 1 と接続される。

スイッチ回路 6 のスイッチ素子 6 1 B、6 2 B は第 2 の信号 b に同期して閉状態となる。

【 0 0 6 7 】

閾値設定回路 7 は、第 1 の閾値設定電圧源 7 2 ($V_{HY S 1}$)、第 2 の閾値設定電圧源 7 3 ($V_{HY S 2}$)、スイッチ素子 7 4 A、7 5、7 6、第 1 の論理素子 7 7、第 2 の論理素子 7 8 を有する。

第 1 の閾値設定用電圧源 7 2 のマイナス端子と第 2 の閾値設定用電圧源 7 3 のマイナス端子は、スイッチ素子 7 4 A に接続される。スイッチ素子 7 4 A は、第 1 の信号 a に同期して閉状態となり、記憶素子 7 1 と閾値設定用電圧源 7 2、7 3 とを接続する。

第 1 の閾値設定用電圧源 7 2 のプラス端子はスイッチ素子 7 6 の一端に接続される。第 2 の閾値設定用電圧源 7 3 のプラス端子はスイッチ素子 7 5 の一端に接続される。

スイッチ素子 7 5、7 6 の他端は接続され、かつスイッチ素子 6 1 B と比較器 8 のプラス入力端子に接続される。

【 0 0 6 8 】

論理素子 7 7 の一方の入力端子には第 1 の信号 a が入力され、他方の入力端子にはラッチ回路 1 0 の出力 Q が接続される。論理素子 7 7 は、第 1 の信号 a が High 且つラッチ回路 1 0 の出力 Q が High のときに、High を出力する。

スイッチ素子 7 6 は論理素子 7 7 の出力が High の時に閉状態となり、第 1 の閾値設定用電圧源 7 2 のプラス端子と比較器 8 とを接続する。

【 0 0 6 9 】

論理素子 7 8 の一方の入力端子には第 1 の信号 a が入力され、他方の入力端子にはラッチ回路 1 0 の出力 Q の反転信号が接続される。論理素子 7 8 は、第 1 の信号 a が High 且つラッチ回路 1 0 の出力 Q が Low のときに、High を出力する。

スイッチ素子 7 5 は、論理素子 7 8 の出力が High の時に閉状態となり、第 2 の閾値設定用電圧源 7 3 のプラス端子と比較器 8 とを接続する。

【 0 0 7 0 】

記憶回路 9 (第 2 の記憶回路) は、記憶素子 7 1 (第 2 の記憶素子) とスイッチ素子 9 1 A (第 2 のスイッチ素子) を有する。

記憶素子 7 1 の一端は、スイッチ素子 6 2 B とスイッチ素子 7 4 A に接続され、他端は比較器 8 のマイナス入力端子とスイッチ素子 9 1 A に接続される。

スイッチ素子 9 1 A は、第 1 の信号 a に同期して閉状態となり、比較器 8 の出力端子とマイナス入力端子とを接続する。

【 0 0 7 1 】

比較器 8 のプラス入力端子は、第 1 の信号 a が High の間、第 1 の閾値設定用電圧源 7 2 又は第 2 の閾値設定用電圧源 7 3 のプラス側の電圧を入力する。比較器 8 のプラス入力端子は、第 2 の信号 b が High の間スイッチ素子 6 1 B を介して、電圧増幅器用の第 1 のオペアンプ 4 1 の出力電圧と記憶素子 5 1 に記憶された電圧との和を入力する。

【 0 0 7 2 】

比較器 8 のマイナス入力端子は、第 1 の信号 a が High の間スイッチ素子 9 1 A を介して、比較器 8 の出力端子に接続される。比較器 8 はバッファアンプとして動作する。比較器 8 のマイナス入力端子は、第 2 の信号 b が High の間スイッチ素子 6 2 B を介して、電圧増幅器用の第 2 のオペアンプ 4 2 の出力電圧と記憶素子 7 1 に記憶された電圧との和を入力する。

【 0 0 7 3 】

比較器 8 は、プラス入力端子とマイナス入力端子にそれぞれ入力された電圧差を比較し

10

20

30

40

50

て、比較器の出力端子から High 又は Low の 2 値の出力信号を出力する。

比較器 8 の電源電圧は、入力端子 V I N 1 が入力した第 1 の入力電圧でも良い。

【 0 0 7 4 】

第 1 の信号 a が High の間、スイッチ素子 9 1 A の導通により、比較器 8 の出力端子と記憶素子 7 1 とが接続される。比較器 8 は、プラス入力端子に印加される電圧（第 1 の閾値設定用電圧源 7 2 又は第 2 の閾値設定用電圧源 7 3 の電圧）に比較器 8 の入力オフセットを加えた電圧を出力する。

【 0 0 7 5 】

記憶素子 7 1 は両端に、閾値設定電圧源 7 2 又は 7 3 のマイナス側の電圧と、閾値設定電圧源 7 2 又は 7 3 のプラス側の電圧に比較器 8 の入力オフセットを加えた電圧が与えられる。記憶素子 7 1 の両端に印加される電圧は、検出電圧の強度を検出するための閾値に相当する。

10

【 0 0 7 6 】

閾値設定回路 7 がラッチ回路 1 0 の出力信号に応じて、記憶素子 7 1 の両端に印加する閾値電圧を異ならせることにより、比較器 8 の比較レベルにヒステリシスを持たせることができる。

【 0 0 7 7 】

比較器 8 の出力端子は、ラッチ回路 1 0 のデータ入力端子 D に接続される。ラッチ回路 1 0 は、クロック入力端子 C K にラッチ信号を入力する。図 2 に示すように、ラッチ (L A T C H) 信号は、第 2 期間内にラッチするタイミングである。ラッチ回路 1 0 はクロック入力端子 C K に入力される第 3 の信号 L A T C H の立ち上がりエッジに同期して、データ入力端子 D の値を出力端子 Q にラッチする。ラッチ回路 1 0 の出力端子 Q は、外部出力端子 O U T に接続される。

20

外部出力端子 O U T は、ラッチ回路 1 0 の出力信号を出力する。これが電圧検出回路の出力する検出信号となる。

【 0 0 7 8 】

上記のように構成された本発明の実施の形態 1 の電圧検出回路を用いた電圧検出方法を図 3 及び図 4 を用いて説明する。図 3 は本発明の実施の形態 1 の電圧検出方法の第 1 期間におけるフローチャートである。図 4 は本発明の実施の形態 1 の電圧検出方法の第 2 期間におけるフローチャートである。

30

【 0 0 7 9 】

まず、第 1 の信号 a が High である第 1 期間（図 3）について説明する。第 1 の信号 a が High になると、スイッチ素子 2 1 A、2 2 A、2 3 A、2 4 A、3 1 A、3 2 A、5 2 A、7 4 A、9 1 A、およびスイッチ素子 7 5、7 6 のいずれかが導通する（ステップ 3 0 1）。

【 0 0 8 0 】

スイッチ素子 2 1 A とスイッチ素子 2 3 A の導通により、入力端子 V I N 1 と抵抗 1 1 とが接続され、抵抗 1 2 と G N D 端子とが接続される。スイッチ素子 2 2 A とスイッチ素子 2 4 A の導通により、入力端子 V I N 2 と抵抗 1 3 とが接続され、抵抗 1 4 と G N D 端子とが接続される。

40

【 0 0 8 1 】

抵抗 1 1 及び抵抗 1 2 の接続点から第 1 の分圧電圧 $V_{(1)11-12}$ が出力され、抵抗 1 3 と抵抗 1 4 の接続点から第 2 の分圧電圧 $V_{(1)13-14}$ が出力される（ステップ 3 0 2）。

第 1 の分圧電圧 $V_{(1)11-12}$ は、スイッチ素子 3 2 A の導通により、第 2 の電圧増幅用オペアンプ 4 2 に入力される。第 2 の分圧電圧 $V_{(1)13-14}$ は、スイッチ素子 3 1 A の導通により、第 1 の電圧増幅用オペアンプ 4 1 に入力される。

【 0 0 8 2 】

抵抗 1 1、1 2、1 3、1 4 は同じ抵抗値であるが、実際は抵抗値にばらつきが生じる。抵抗 1 1 と抵抗 1 2 により分圧された電圧 $V_{(1)11-12}$ 、又は / 及び抵抗 1 3 と

50

抵抗 1 4 により分圧された電圧 $V_{(1)13-14}$ には、相対誤差成分が含まれる。電圧 $V_{(1)11-12}$ は、有効信号成分と抵抗 1 1 と抵抗 1 2 の相対誤差成分との和である。電圧 $V_{(1)13-14}$ は、有効信号成分と抵抗 1 3 と抵抗 1 4 の相対誤差成分との和である。相対誤差成分を含んだ値の電圧が、第 1 期間において電圧増幅器 4 のオペアンプ 4 1、4 2 にそれぞれ入力される。

【 0 0 8 3 】

電圧増幅器 4 のオペアンプ 4 1、4 2 は、入力した電圧を増幅して出力する（ステップ 3 0 3）。オペアンプ 4 1、4 2 が出力する電圧には、入力オフセット成分 V_{off1} 、 V_{off2} が含まれる。

【 0 0 8 4 】

スイッチ素子 5 2 A が閉じ、スイッチ素子 6 1 B、6 2 B が開いていることから、電圧増幅器 4 のオペアンプ 4 1、4 2 の出力電圧は記憶素子 5 1 の両端に与えられる。

記憶素子 5 1 は、両端に与えられた電圧差 $(V_{(1)11-12} + V_{off2}) - (V_{(1)13-14} + V_{off1})$ を記憶する（ステップ 3 0 4）。ここでは、式の簡略化のため、電圧増幅器 4 の増幅率 = 1、相対誤差成分は $V_{(1)11-12}$ 又は / 及び $V_{(1)13-14}$ に含まれているとする。

【 0 0 8 5 】

スイッチ素子 6 1 B、6 2 B が開き、スイッチ素子 7 4 A が閉じていることから、記憶素子 7 1 の一端には閾値設定電圧源 7 2 (V_{HYS1})、7 3 (V_{HYS2}) のマイナス側が接続される。スイッチ素子 9 1 A が閉じていることから、記憶素子 7 1 の他端には比較器 8 の出力電圧が与えられる。

この時、比較器 8 の出力端子とマイナス入力端子が接続されてることから、比較器 8 はバッファ動作し、プラス入力端子に印加される電圧 V_{HYS} (V_{HYS} は V_{HYS1} 又は V_{HYS2}) に比較器 8 の入力オフセット V_{off3} を加えた電圧が記憶素子 7 1 に与えられる（ステップ 3 0 5）。

【 0 0 8 6 】

ラッチ回路 1 0 は、先の第 2 期間にラッチした出力信号 Q を出力している。ラッチ回路 1 0 の出力端子が High の時は、論理素子 7 7 の出力が High となり、ラッチ回路 1 0 の出力端子が Low の時は論理素子 7 8 の出力が High となる。第 1 期間において論理素子 7 7、7 8 のいずれかが High となって、スイッチ素子 7 5、7 6 のいずれかが閉じ、閾値設定電圧源 7 2、7 3 のいずれかのプラス端子が比較器 8 のプラス入力端子に与えられる。

【 0 0 8 7 】

第 1 の信号 a が High から Low に切り替わると、スイッチ素子 2 1 A、2 2 A、2 3 A、2 4 A、3 1 A、3 2 A、5 2 A、7 4 A、7 5、7 6、9 1 A が開放状態となる（ステップ 3 0 6）。

【 0 0 8 8 】

次に、第 2 の信号 b が High である第 2 期間（図 4）について説明する。第 2 の信号 b が High になると、スイッチ素子 2 1 B、2 2 B、2 3 B、2 4 B、3 1 B、3 2 B、6 1 B、6 2 B が導通する（ステップ 4 0 1）。

【 0 0 8 9 】

スイッチ素子 2 1 B とスイッチ素子 2 3 B の導通により、GND 端子と抵抗 1 1 とが接続され、抵抗 1 2 と入力端子 V_{IN1} とが接続される。スイッチ素子 2 2 B とスイッチ素子 2 4 B の導通により、GND 端子と抵抗 1 3 とが接続され、抵抗 1 4 と入力端子 V_{IN2} とが接続される。

【 0 0 9 0 】

抵抗 1 1 と抵抗 1 2 の接続点から第 1 の分圧電圧 $V_{(2)11-12}$ が出力され、抵抗 1 3 と抵抗 1 4 の接続点から第 2 の分圧電圧 $V_{(2)13-14}$ が出力される（ステップ 4 0 2）。

第 1 の分圧電圧 $V_{(2)11-12}$ は、スイッチ素子 3 1 B の導通により、第 1 の電圧

10

20

30

40

50

増幅用オペアンプ 4 1 に入力される。第 2 の分圧電圧 $V_{(2)13-14}$ は、スイッチ素子 3 2 B の導通により、第 2 の電圧増幅用オペアンプ 4 2 に入力される。

【 0 0 9 1 】

第 1 の分圧電圧又は / 及び第 2 の分圧電圧には、抵抗の相対誤差成分が含まれる。その相対誤差成分を含んだ値の電圧が、第 2 期間において電圧増幅器 4 のオペアンプ 4 1、4 2 に入力される。

【 0 0 9 2 】

電圧増幅器 4 のオペアンプ 4 1、4 2 は、入力した電圧を増幅して出力する（ステップ 4 0 3）。この時、オペアンプ 4 1、4 2 は、それぞれオペアンプの有する入力オフセット成分 V_{off1} 、 V_{off2} を加えた電圧を出力する。

10

【 0 0 9 3 】

電圧増幅器 4 のオペアンプ 4 1 の出力電圧は、記憶素子 5 1 の一端に与えられる。スイッチ素子 5 2 A が開き、スイッチ素子 6 2 B が閉じていることから、電圧増幅器 4 のオペアンプ 4 2 の出力電圧は、記憶素子 7 1 に与えられる。

【 0 0 9 4 】

電圧増幅器用オペアンプ 4 1 の出力と記憶素子 5 1 との接続部の電圧が、記憶素子 5 1 とスイッチ素子 5 2 A との接続部に対して、相対的に正の値になっているとする。この状態で更に電圧増幅器用オペアンプ 4 1 の出力電圧の極性は、電圧増幅器用オペアンプ 4 2 の出力に対して、正の値となって出力される。従って、第 2 期間において、スイッチ素子 5 2 A の両端には、第 1 期間の信号と第 2 期間の信号とが足されて出力される。

20

記憶素子 5 1 とスイッチ素子 5 2 A とスイッチ素子 6 1 B との接続点の電圧は、電圧増幅器用オペアンプ 4 2 の出力とスイッチ素子 5 2 A の他端とスイッチ素子 6 2 B との接続点の電圧よりも高い。

【 0 0 9 5 】

記憶素子 5 1 は、第 1 期間に記憶した電圧 $(V_{(1)11-12} + V_{off2}) - (V_{(1)13-14} + V_{off1})$ と第 2 期間に与えられた電圧 $(V_{(2)11-12} + V_{off1} + V_r)$ との和を出力する（ここでは、式の簡略化のため、電圧増幅器 4 の増幅率 = 1 とする）。その電圧は、比較器 8 のプラス入力端子に入力される。

【 0 0 9 6 】

記憶素子 7 1 は、第 1 期間に記憶した電圧 $(V_{HY5} + V_{off3})$ と第 2 期間に与えられた電圧 $(V_{(2)13-14} + V_{off2} + V_r)$ との和を出力する。その電圧は、比較器 8 のマイナス入力端子に入力される。

30

【 0 0 9 7 】

比較器 8 は、入力端子対に与えられた電圧（プラス入力端子の電圧からマイナス入力端子の電圧を差し引いた電圧値）がゼロ以上か否かを比較する。

言い換えると、比較器 8 は、第 1 期間に記憶素子 5 1 に記憶した電圧と、第 2 期間に検出した電圧（第 1 のオペアンプ 4 1 の出力電圧から第 2 のオペアンプ 4 2 の出力電圧を差し引いた値）の和が、閾値電圧以上か否かを比較する（ステップ 4 0 4）。

【 0 0 9 8 】

比較器 8 は入力オフセット成分 V_{off3} を持っているため、比較器 8 の入力オフセット成分 V_{off3} を比較器 8 のプラス入力端子の入力電圧 $(V_{(1)11-12} + V_{off2}) - (V_{(1)13-14} + V_{off1}) + (V_{(2)11-12} + V_{off1} + V_r)$ に加算した値から、比較器 8 のマイナス入力端子の入力電圧 $(V_{HY5} + V_{off3} + (V_{(2)13-14} + V_{off2} + V_r))$ を差し引いた電圧値が、ゼロ以上か否かを比較することになる。

40

【 0 0 9 9 】

これを式で表すと、比較器 8 に与えられた電圧 V （プラス端子の電圧からマイナス端子の電圧を差し引いた電圧）は、下記（1）となる。

【 0 1 0 0 】

$$V = V_{off3} + ((V_{(1)11-12} + V_{off2}) - (V_{(1)13-14} + V_{off1}) + (V_{(2)11-12} + V_{off1} + V_r) - (V_{HY5} + V_{off3} + (V_{(2)13-14} + V_{off2} + V_r)))$$

50

$$\begin{aligned} & \text{o f f } 1) + (V_{(2)11-12} + V_{\text{o f f } 1}) - (V_{\text{HYS}} + V_{\text{o f f } 3} + (V_{(2)13-14} + V_{\text{o f f } 2})) \\ & = V_{(1)11-12} + V_{(2)11-12} \\ & \quad - (V_{(1)13-14} + V_{(2)13-14}) - V_{\text{HYS}} \end{aligned} \quad (1)$$

【0101】

V = 0 とすると、式(1)は下記式(2)になる。

$$\begin{aligned} & V_{(1)11-12} + V_{(2)11-12} \\ & \quad - (V_{(1)13-14} + V_{(2)13-14}) = V_{\text{HYS}} \end{aligned} \quad (2)$$

【0102】

式(2)に、第1のオペアンプ41と第2のオペアンプの入力オフセット成分 $V_{\text{o f f } 1}$ 、 $V_{\text{o f f } 2}$ は含まれていない。電圧増幅器4の入力端子対の電圧を増幅して出力端子対から取り出す電圧に、電圧増幅器4の入力オフセット成分が常時存在すると、スイッチ回路3が第1期間と第2期間とで、分圧回路1と第1のオペアンプ41及び第2のオペアンプとの接続状態を反転させるため、その入力オフセット成分は第1期間と第2期間とでスイッチ素子52Aの両端に対して逆極性となる。第1のオペアンプ41と第2のオペアンプの入力オフセット成分 $V_{\text{o f f } 1}$ 、 $V_{\text{o f f } 2}$ は、比較器8においてキャンセルされる。

10

本発明の電圧検出回路は、第2期間において電圧増幅器4の入力オフセット成分 $V_{\text{o f f } 1}$ 、 $V_{\text{o f f } 2}$ をキャンセルして、正確に比較動作を行うことができる。

【0103】

20

式(2)に、比較器8の入力オフセット成分 $V_{\text{o f f } 3}$ は含まれていない。第1期間に記憶素子71に比較器8の入力オフセット成分を記憶させておくことにより、第2期間において比較器8がプラス入力端子とマイナス入力端子から入力される電圧を比較するとき、比較器8の入力オフセット成分はキャンセルされる。

本発明の電圧検出回路は、第2期間において比較器8のオフセットをキャンセルして、正確に閾値に対する比較動作を行うことができる。

【0104】

スイッチ回路2が、第1期間と第2期間とで分圧回路1と入力端子 $V_{\text{IN}1}$ 、 $V_{\text{IN}2}$ 及び GND 端子との接続の極性を反転させているため、抵抗11、12、13、14の相対誤差成分は第1期間と第2期間とで極性を反転された状態で、電圧増幅器4にて増幅して出力される。相対誤差成分は第1期間と第2期間とでスイッチ素子52Aの両端に対して逆極性となる。比較器8において検出電圧 ($V_{(1)11-12}$ 、 $V_{(1)13-14}$ 、 $V_{(2)11-12}$ 、 $V_{(2)13-14}$) に含まれる相対誤差成分はキャンセルされる。このことを下記で証明する。

30

【0105】

例えば、抵抗11と抵抗12の抵抗値がRで、抵抗11が相対誤差成分 R を持っていたとすると、第1期間の第1の分圧電圧 $V_{(1)11-12}$ と、第2期間の第1の分圧電圧 $V_{(2)11-12}$ は下記のようなになる。ここで、 V_1 は入力端子 $V_{\text{IN}1}$ から入力した電圧である。

$$\begin{aligned} & V_{(1)11-12} = V_1 / (2 + R/R) \\ & V_{(2)11-12} = V_1 \{ (1 + R/R) / (2 + R/R) \} \end{aligned} \quad 40$$

【0106】

第1の直列抵抗体(抵抗11と抵抗12)の第1期間の第1の分圧電圧と第2期間の第1の分圧電圧の和は下記のようなになり、相対誤差成分はキャンセルことがわかる。

$$\begin{aligned} & V_{(1)11-12} + V_{(2)11-12} \\ & = V_1 / (2 + R/R) + V_1 \{ (1 + R/R) / (2 + R/R) \} \\ & = V_1 \end{aligned}$$

【0107】

第2の直列抵抗体(抵抗13と抵抗14)においても同様に、相対誤差成分があった場合であっても、その相対誤差成分はキャンセルされ、($V_{(1)13-14} + V_{(2)13-14}$)

50

3 - 1 4) を $V 2$ で表すことができる。ここで、 $V 2$ は入力端子 $V I N 2$ から入力した電圧である。

【 0 1 0 8 】

従って、式 (2) から下記式 (3) が導き出せる。

$$V 1 - V 2 = V_{H Y S} \quad (3)$$

【 0 1 0 9 】

式 (3) で示すように、第 2 期間において比較器 8 が入力した電圧を比較するとき、分圧回路 1 の検出した電圧の有効信号成分 ($V 1 - V 2$) は、2 倍 (第 1 期間の検出電圧値 + 第 2 期間の検出電圧値) になる。

【 0 1 1 0 】

実際には、電圧増幅器 4 は入力した電圧を 倍して出力するため式 (3) は下記式 (4) のようになる。

$$\times (V 1 - V 2) = V_{H Y S} \quad (4)$$

【 0 1 1 1 】

比較器 8 は、入力端子対に与えられた電圧がゼロ以上の時に (つまり閾値以上の検出電圧を検出した時に)、比較器 8 の 2 値電圧の一方の値である $H i g h$ の値を出力する。比較器 8 に与えられた電圧がゼロより小さい場合 (つまり検出電圧が閾値以下の場合)、 $L o w$ の値を出力する。

【 0 1 1 2 】

ラッチ回路 1 0 は $L A T C H$ 信号の立ち上がり時に、比較器 8 の出力信号をラッチして、外部出力端子 $O U T$ に出力する (ステップ 4 0 5)。

【 0 1 1 3 】

ラッチ回路 1 0 の出力信号に基づいて、スイッチ素子 7 6 又はスイッチ素子 7 5 のいずれかが閉じ、第 1 の閾値設定用電圧源 7 2 又は第 2 の閾値設定用電圧源 7 3 のいずれかが選択される (ステップ 4 0 6)

【 0 1 1 4 】

第 2 の信号 b が $H i g h$ から $L o w$ に切り替わると、スイッチ素子 2 1 B、2 2 B、2 3 B、2 4 B、3 1 B、3 2 B、6 1 B、6 2 B が開放状態となる (ステップ 4 0 7)。

【 0 1 1 5 】

図 2 に示すように、第 1 期間 (図 3 の動作) と第 2 期間 (図 4 の動作) は間欠的に交互に繰り返される。第 2 期間と第 1 期間の間には、待機期間を設ける。この待機期間、ラッチ回路 1 0 は第 2 期間にラッチした出力信号を保持する。全てのスイッチ素子は開放し、電圧検出回路内のラッチ回路以外の動作を停止させることにより、電力の消費を低減することができる。

【 0 1 1 6 】

このように本発明の実施の形態 1 の電圧検出回路によれば、分圧回路 1 を構成する抵抗 1 1 ~ 1 4 の相対誤差成分、電圧増幅器 4 の入力オフセット成分、及び比較器 8 の入力オフセット成分に影響されることなく、検出電圧の強度が閾値より大きいか否かを表す 2 進値を高精度に出力できる。

【 0 1 1 7 】

なお、電圧増幅器 4 で電圧を増幅しない場合は、電圧増幅器 4 を具備しない構成としても良い。

【 0 1 1 8 】

《実施の形態 2》

本発明の実施の形態 2 の電圧検出回路及び電圧検出方法を、図 5 ~ 7 を用いて説明する。図 5 は、本発明の実施の形態 2 の電圧検出回路の構成を示すブロック図である。実施の形態 2 の電圧検出回路において、入力端子 $V I N 1$ 、 $V I N 2$ から電圧検出回路 4 までの間に接続される各回路は実施の形態 1 と同一である。実施の形態 2 の電圧検出回路において、電圧増幅器 4 から外部出力端子 $O U T$ までの間に接続される回路が実施の形態 1 と異なる。

10

20

30

40

50

【 0 1 1 9 】

図 5 において、図 1 と同じ構成要素には同一番号を付し、詳細な説明を省略する。実施の形態 2 の電圧検出回路において、実施の形態 1 と異なる構成要素及び動作を説明する。

実施の形態 2 の電圧検出回路は、電圧増幅器 4 と外部出力端子 O U T との間に、サンプリング回路 5 0 1 を有する。

【 0 1 2 0 】

サンプリング回路 5 0 1 (第 1 のサンプリング回路) は、電圧増幅器 4 に接続されたスイッチ回路 5 1 1、スイッチ回路 5 1 1 に接続された記憶回路 5 0 5 (第 3 の記憶回路)、記憶回路 5 0 5 に接続されたスイッチ回路 5 0 6、スイッチ回路 5 0 6 に接続された演算増幅器 5 1 4 (第 1 の演算増幅器)、スイッチ回路 5 1 1 の入力側と演算増幅器 5 1 4 10 の入力側及びスイッチ回路 5 1 1 の出力側と演算増幅器 5 1 4 の出力側とをそれぞれ接続するスイッチ回路 5 1 2 と 5 1 3、演算増幅器 5 1 4 と外部出力端子 O U T との間に接続される記憶回路 5 1 5 (第 4 の記憶回路) を有する。スイッチ回路 5 0 6、5 1 1、5 1 2、及び 5 1 3 は、第 4 のスイッチ回路を構成する。

【 0 1 2 1 】

スイッチ回路 5 1 1 は、第 2 期間に閉じて第 1 のオペアンプ 4 1 の出力端子と記憶素子 5 5 1 とを接続するスイッチ素子 5 1 1 1 B と、第 2 期間に閉じて第 2 のオペアンプ 4 2 とスイッチ素子 5 5 2 A 及び 5 6 2 B とを接続するスイッチ素子 5 1 1 2 B とで構成される。

【 0 1 2 2 】

記憶回路 5 0 5 (第 3 の記憶回路) は、一端をスイッチ素子 5 1 2 2 A と 5 1 1 1 B に接続され、他端をスイッチ素子 5 5 2 A と 5 6 1 B とに接続された記憶素子 5 5 1 と、一端をスイッチ素子 5 1 1 2 B と 5 6 2 B との間に接続され、他端を記憶素子 5 5 1 とスイッチ素子 5 6 1 B とに接続されたスイッチ素子 5 5 2 A とを有する。

【 0 1 2 3 】

スイッチ回路 5 0 6 は、第 2 期間に閉じる、2 つのスイッチ素子で構成される。スイッチ素子 5 6 1 B は記憶素子 5 5 1 とオペアンプ 5 1 4 1 のプラス入力端子との間に接続される。スイッチ素子 5 6 2 B は、スイッチ素子 5 1 1 2 B とオペアンプ 5 1 4 2 のプラス入力端子との間に接続される。

【 0 1 2 4 】

スイッチ回路 5 1 2 及び 5 1 3 は、第 1 の信号 a に同期して第 1 期間に閉じる 2 つのスイッチ素子でそれぞれ構成される。

スイッチ素子 5 1 2 1 A は、オペアンプ 4 1 の出力端子と、オペアンプ 5 1 4 1 のプラス入力端子と接続する。スイッチ素子 5 1 2 2 A は、スイッチ素子 5 1 1 1 B と記憶素子 5 5 1 の間と、オペアンプ 5 1 4 1 の出力端子とを接続する。

スイッチ素子 5 1 3 1 A は、オペアンプ 4 2 の出力端子と、オペアンプ 5 1 4 2 のプラス入力端子と接続する。スイッチ素子 5 1 3 2 A は、スイッチ素子 5 1 1 2 B とスイッチ素子 5 5 2 A の間と、オペアンプ 5 1 4 2 の出力端子とを接続する。

【 0 1 2 5 】

演算増幅器 5 1 4 は、2 つのオペアンプ 5 1 4 1、5 1 4 2 で構成される。

オペアンプ 5 1 4 1 のプラス入力端子は、スイッチ素子 5 1 2 1 A とスイッチ素子 5 6 1 B に接続される。プラス入力端子は、第 1 期間にスイッチ素子 5 1 2 1 A を介してオペアンプ 4 1 の出力電圧を入力する。プラス入力端子は、第 2 期間にスイッチ素子 5 1 1 1 B とスイッチ素子 5 6 1 B を介して、オペアンプ 4 1 の出力電圧に記憶素子 5 5 1 の電圧を加算した電圧を入力する。

【 0 1 2 6 】

オペアンプ 5 1 4 1 のマイナス入力端子は、オペアンプ 5 1 4 1 の出力端子と接続され、バッファ動作する。

オペアンプ 5 1 4 1 の出力端子は、スイッチ素子 5 1 2 2 A に接続され、第 1 期間にスイッチ素子 5 1 2 2 A を介して記憶素子 5 5 1 の一端に出力電圧を印加する。

【 0 1 2 7 】

オペアンプ 5 1 4 2 のプラス入力端子は、スイッチ素子 5 1 3 1 A とスイッチ素子 5 6 2 B とに接続される。プラス入力端子は、第 1 期間にスイッチ素子 5 1 3 1 A を介してオペアンプ 4 2 の出力電圧を入力する。オペアンプ 5 1 4 2 のプラス入力端子は、第 2 期間にスイッチ素子 5 1 1 2 B とスイッチ素子 5 6 2 B を介して、オペアンプ 4 2 の出力電圧を入力する。

【 0 1 2 8 】

オペアンプ 5 1 4 2 のマイナス入力端子は、オペアンプ 5 1 4 2 の出力端子と接続され、バッファ動作する。

オペアンプ 5 1 4 2 の出力端子は、スイッチ素子 5 1 3 2 A に接続され、第 1 期間にスイッチ素子 5 1 3 2 A とスイッチ素子 5 5 2 A を介して記憶素子 5 5 1 の他端に出力電圧を印加する。

10

【 0 1 2 9 】

このように、記憶素子 5 5 1 は、第 1 期間にオペアンプ 5 1 4 1 とオペアンプ 5 1 4 2 の出力電圧を両端に印加され、その電圧差を記憶する。記憶素子 5 5 1 が記憶する電圧には、第 1 期間における、分圧回路 1 の抵抗 1 1 ~ 1 4 の相対誤差成分、電圧増幅器 4 のオペアンプ 4 1、4 2 の入力オフセット成分、演算増幅器 5 1 4 のオペアンプ 5 1 4 1、5 1 4 2 の入力オフセット成分が含まれる。

【 0 1 3 0 】

記憶回路 5 1 5 (第 4 の記憶回路) は、4 つのスイッチ素子と 1 つの記憶素子とで構成される。

20

スイッチ素子 5 1 5 1 B とスイッチ素子 5 1 5 4 A は、オペアンプ 5 1 4 1 と外部出力端子 O U T との間に直列に接続される。

スイッチ素子 5 1 5 2 B とスイッチ素子 5 1 5 5 A は、オペアンプ 5 1 4 2 と基準電圧 V_r との間に直列に接続される。

記憶素子 5 1 5 3 は、一端をスイッチ素子 5 1 5 1 B とスイッチ素子 5 1 5 4 A の間に接続され、他端をスイッチ素子 5 1 5 2 B とスイッチ素子 5 1 5 5 A の間に接続される。

【 0 1 3 1 】

スイッチ素子 5 1 5 1 B は第 2 期間に閉じて、オペアンプ 5 1 4 1 の出力端子から出力される電圧を記憶素子 5 1 5 3 の一端に印加する。

30

スイッチ素子 5 1 5 2 B は第 2 期間に閉じて、オペアンプ 5 1 4 2 の出力端子から出力される電圧を記憶素子 5 1 5 3 の他端に印加する。

これにより、記憶素子 5 1 5 3 は、第 2 期間に両端に印加された電圧差を記憶する。

【 0 1 3 2 】

スイッチ素子 5 1 5 5 A は、第 1 期間に閉じて、基準電圧 V_r と接続される。

スイッチ素子 5 1 5 4 A は、第 1 期間に閉じて、基準電圧 V_r に記憶素子 5 1 5 3 に記憶された電圧を加算した値を外部出力端子 O U T に出力する。

【 0 1 3 3 】

上記のように構成された実施の形態 2 の電圧検出回路を用いた電圧検出方法を図 6 及び図 7 を用いて説明する。図 6 は本発明の実施の形態 2 の電圧検出方法の第 1 期間におけるフローチャートである。図 7 は本発明の実施の形態 2 の電圧検出方法の第 2 期間におけるフローチャートである。図 6 及び図 7 において、実施の形態 1 の図 1 及び図 2 と同じステップには同じ番号を付し、詳細な説明を省略する。

40

【 0 1 3 4 】

まず、第 1 の信号 a が H i g h である第 1 期間 (図 6) について説明する。第 1 の信号 a が H i g h になると、スイッチ素子 5 1 2 1 A、5 1 2 2 A、5 1 3 1 A、5 1 3 2 A、5 5 2 A、5 1 5 4 A、5 1 5 5 A は導通する (ステップ 3 0 1)。スイッチ素子 5 1 1 1 B、5 1 1 2 B、5 6 1 B、5 6 2 B、5 1 5 1 B、5 1 5 2 B は開放する。

【 0 1 3 5 】

オペアンプ 5 1 4 1 は、オペアンプ 4 1 の出力電圧をプラス端子に入力する。オペアン

50

プ5141は入力した電圧にオペアンプ5141の入力オフセット成分が加えられた電圧を出力端子から出力し、その電圧が記憶素子551の一端に印加される。記憶素子551の他端には、オペアンプ42の出力電圧にオペアンプ5142の入力オフセット成分が加えられた電圧が印加される(ステップ304)。

【0136】

記憶素子551が記憶する電圧には、第1期間における、分圧回路1の抵抗11~14の相対誤差成分、電圧増幅器4のオペアンプ41、42の入力オフセット成分、演算増幅器514のオペアンプ5141、5142の入力オフセット成分が含まれる。

【0137】

第2の信号bがHighの期間において、スイッチ素子5111B、5112B、561B、562B、5151B、5152Bは導通する。スイッチ素子5121A、5122A、5131A、5132A、552A、5154A、5155Aは開放する(ステップ401)。

【0138】

オペアンプ5141は、プラス入力端子にオペアンプ41の出力電圧と記憶素子551に記憶された電圧との和を印加される。オペアンプ5141の出力する電圧には、入力した電圧にオペアンプ5141の入力オフセット成分が加算されている。オペアンプ5141が出力した電圧は、記憶素子5153の一端に印加される。

【0139】

オペアンプ5142は、オペアンプ42の出力電圧を入力し、オペアンプ5142の入力オフセット成分が加算された電圧を出力する。オペアンプ5142の出力電圧は、記憶素子5153の他端に印加される。

記憶素子5153は、オペアンプ5141とオペアンプ5142の出力電圧を両端に印加され、その電圧差を記憶する(ステップ704)。

【0140】

図5の構成とすることにより、第1期間と第2期間とで、分圧回路1の抵抗11~14の相対誤差成分、電圧増幅器4のオペアンプ41、42の入力オフセット成分、演算増幅器514のオペアンプ5141、5142の入力オフセット成分の極性は反転する。

つまり、記憶素子5153に記憶される電圧には、分圧回路1の抵抗11~14の相対誤差成分、電圧増幅器4のオペアンプ41、42の入力オフセット成分、演算増幅器514のオペアンプ5141、5142の入力オフセット成分は含まれない。

記憶素子5153が記憶する電圧は、 $\times(V1 - V2)$ となる(\times は電圧増幅器4の増幅率、V1は入力端子VIN1から入力した電圧、V2は入力端子VIN2から入力した電圧を示す)。

【0141】

次の第1期間において、スイッチ素子5151B及び5152Bが開放し、スイッチ素子5154A及び5155Aが導通する。これにより、基準電圧Vrに記憶素子5153の記憶した電圧を加算した値の電圧が、外部出力端子OUTから出力される(ステップ605)。

【0142】

このように実施の形態2の電圧検出回路は、分圧回路1により検出した電圧差に比例した電圧(検出信号)を第1期間に出力することができる。

【0143】

《実施の形態3》

本発明の実施の形態3の電圧検出回路及び検出方法を、図8~10を用いて説明する。図8は、本発明の実施の形態3の電圧検出回路の構成を示すブロック図である。実施の形態3の電圧検出回路において、入力端子VIN1、VIN2から電圧検出回路4までの間に接続される各回路は実施の形態1及び実施の形態2と同一である。実施の形態3の電圧検出回路において、電圧増幅器4から外部出力端子OUTまでの間に接続される回路が実施の形態1及び実施の形態2と異なる。

10

20

30

40

50

【 0 1 4 4 】

実施の形態 3 の図 8 において、実施の形態 1 の図 1 又は実施の形態 2 の図 5 と同じ構成要素には同一番号を付し、詳細な説明を省略する。実施の形態 3 の電圧検出回路において、実施の形態 1 及び実施の形態 2 と異なる構成要素及び動作を説明する。

実施の形態 3 の電圧検出回路は、サンプリング回路 5 0 1 と並列に接続されたサンプリング回路 8 0 1 を追加したことが、実施の形態 2 の電圧検出回路と異なる。

【 0 1 4 5 】

サンプリング回路 8 0 1 (第 2 のサンプリング回路) は、電圧増幅器 4 に接続されたスイッチ回路 8 1 1、スイッチ回路 8 1 1 に接続された記憶回路 8 0 5 (第 5 の記憶回路)、記憶回路 8 0 5 に接続されたスイッチ回路 8 0 6、スイッチ回路 8 0 6 に接続された演算増幅器 8 1 4 (第 2 の演算増幅器)、スイッチ回路 8 1 1 の入力側と演算増幅器 8 1 4 の入力側及びスイッチ回路 8 1 1 の出力側と演算増幅器 8 1 4 の出力側とをそれぞれ接続するスイッチ回路 8 1 2 と 8 1 3、演算増幅器 8 1 4 と外部出力端子 O U T との間に接続される記憶回路 8 1 5 (第 6 の記憶回路) を有する。スイッチ回路 8 0 6、8 1 1、8 1 2、8 1 3 は、第 5 のスイッチ回路を構成する。

10

【 0 1 4 6 】

サンプリング回路 8 0 1 内の演算増幅器 8 1 4 の各入力端子は、サンプリング回路 5 0 1 の演算増幅器 5 1 4 と同じ接続状態で、電圧増幅器 4 の各出力端子と接続される。サンプリング回路 8 0 1 の記憶回路 8 1 5 は、サンプリング回路 5 0 1 の記憶回路 5 1 5 と逆の接続状態で、外部出力端子 O U T と接続される。

20

【 0 1 4 7 】

スイッチ回路 8 1 1 は、第 1 期間に閉じて第 1 のオペアンプ 4 1 の出力端子と記憶素子 8 5 1 とを接続するスイッチ素子 8 1 1 1 A、第 1 期間に閉じて第 2 のオペアンプ 4 2 とスイッチ素子 8 5 2 B 及び 8 6 2 A とを接続するスイッチ素子 8 1 1 2 A とを有する。

【 0 1 4 8 】

記憶回路 8 0 5 (第 5 の記憶回路) は、スイッチ素子 8 1 1 1 A とスイッチ素子 8 6 1 A との間に接続された記憶素子 8 5 1 と、一端をスイッチ素子 8 1 1 2 A と 8 6 2 A との間に接続され、他端を記憶素子 8 5 1 とスイッチ素子 8 6 1 A との間に接続されたスイッチ素子 8 5 2 B とを有する。スイッチ素子 8 5 2 B は、第 2 の信号 b に同期して第 2 期間に閉じる。

30

【 0 1 4 9 】

スイッチ回路 8 0 6 は、第 1 期間に閉じる 2 つのスイッチ素子で構成される。スイッチ素子 8 6 1 A は記憶素子 8 5 1 とオペアンプ 8 1 4 1 のプラス入力端子との間に接続される。スイッチ素子 8 6 2 A は、スイッチ素子 8 1 1 2 A とオペアンプ 8 1 4 2 のプラス入力端子との間に接続される。

【 0 1 5 0 】

スイッチ回路 8 1 2 及び 8 1 3 は、第 2 の信号 b に同期して第 2 期間に閉じる 2 つのスイッチ素子でそれぞれ構成される。

スイッチ素子 8 1 2 1 B は、オペアンプ 4 1 の出力端子と、オペアンプ 8 1 4 1 のプラス入力端子とを接続する。スイッチ素子 8 1 2 2 B は、スイッチ素子 8 1 1 1 A と記憶素子 8 5 1 の間と、オペアンプ 8 1 4 1 の出力端子とを接続する。

40

【 0 1 5 1 】

スイッチ素子 8 1 3 1 B は、オペアンプ 4 2 の出力端子と、オペアンプ 8 1 4 2 のプラス入力端子と接続する。スイッチ素子 8 1 3 2 B は、スイッチ素子 8 1 1 2 A とスイッチ素子 8 5 2 B の間と、オペアンプ 8 1 4 2 の出力端子とを接続する。

これにより記憶回路 8 0 5 の記憶素子 8 5 1 は、第 2 期間にオペアンプ 4 1 とオペアンプ 4 2 の出力電圧の差を記憶する。

【 0 1 5 2 】

演算増幅器 8 1 4 (第 2 の演算増幅器) は、2 つのオペアンプ 8 1 4 1、8 1 4 2 で構成される。

50

オペアンプ 8 1 4 1 のプラス入力端子は、スイッチ素子 8 1 2 1 B とスイッチ素子 8 6 1 A に接続される。プラス入力端子は、第 1 期間にスイッチ素子 8 1 1 1 A とスイッチ素子 8 6 1 A を介して、オペアンプ 4 1 の出力電圧に記憶素子 8 5 1 の出力電圧を加算した電圧を入力する。プラス入力端子は、第 2 期間にスイッチ素子 8 1 2 1 B を介してオペアンプ 4 1 の出力電圧を入力する。

【 0 1 5 3 】

オペアンプ 8 1 4 1 のマイナス入力端子は、オペアンプ 8 1 4 1 の出力端子と接続され、バッファ動作する。

オペアンプ 8 1 4 1 の出力端子は、スイッチ素子 8 1 2 2 B に接続され、第 2 期間にスイッチ素子 8 1 2 2 B を介して記憶素子 8 5 1 の一端に出力電圧を印加する。

10

【 0 1 5 4 】

オペアンプ 8 1 4 2 のプラス入力端子は、スイッチ素子 8 1 3 1 B とスイッチ素子 8 6 2 A とに接続される。オペアンプ 8 1 4 2 のプラス入力端子は、第 1 期間にスイッチ素子 8 1 1 2 A とスイッチ素子 8 6 2 A を介して、オペアンプ 4 2 の出力電圧を入力する。プラス入力端子は、第 2 期間にスイッチ素子 8 1 3 1 B を介してオペアンプ 4 2 の出力電圧を入力する。

【 0 1 5 5 】

オペアンプ 8 1 4 2 のマイナス入力端子は、オペアンプ 8 1 4 2 の出力端子と接続され、バッファ動作する。

オペアンプ 8 1 4 2 の出力端子は、スイッチ素子 8 1 3 2 B に接続され、第 2 期間にスイッチ素子 8 1 3 2 B とスイッチ素子 8 5 2 B を介して記憶素子 8 5 1 の他端に出力電圧を印加する。

20

【 0 1 5 6 】

このように、記憶素子 8 5 1 は、第 2 期間にオペアンプ 8 1 4 1 とオペアンプ 8 1 4 2 の出力電圧を両端に印加され、その電圧差を記憶する。

記憶素子 8 5 1 が記憶する電圧には、第 2 期間における、分圧回路 1 の抵抗 1 1 ~ 1 4 の相対誤差成分、電圧増幅器 4 のオペアンプ 4 1、4 2 の入力オフセット成分、演算増幅器 8 1 4 のオペアンプ 8 1 4 1、8 1 4 2 の入力オフセット成分が含まれる。

【 0 1 5 7 】

記憶回路 8 1 5 (第 6 の記憶回路) は、4 つのスイッチ素子と 1 つの記憶素子とで構成される。

30

スイッチ素子 8 1 5 1 A とスイッチ素子 8 1 5 4 B は、オペアンプ 8 1 4 1 と基準電圧 V_r との間に直列に接続される。

スイッチ素子 8 1 5 2 A とスイッチ素子 8 1 5 5 B は、オペアンプ 8 1 4 2 と外部出力端子 OUT との間に直列に接続される。

記憶素子 8 1 5 3 は、一端をスイッチ素子 8 1 5 1 A とスイッチ素子 8 1 5 4 B の間に接続され、他端をスイッチ素子 8 1 5 2 A とスイッチ素子 8 1 5 5 B の間に接続される。

【 0 1 5 8 】

スイッチ素子 8 1 5 1 A は第 1 期間に閉じて、オペアンプ 8 1 4 1 の出力端子から出力される電圧を記憶素子 8 1 5 3 の一端に印加する。

40

スイッチ素子 8 1 5 2 A は第 1 期間に閉じて、オペアンプ 8 1 4 2 の出力端子から出力される電圧を記憶素子 8 1 5 3 の他端に印加する。

これにより、記憶素子 8 1 5 3 は、第 1 期間に両端に印加された電圧差を記憶する。

【 0 1 5 9 】

スイッチ素子 8 1 5 4 B は、第 2 期間に閉じて、基準電圧 V_r と接続される。

スイッチ素子 8 1 5 5 B は、第 2 期間に閉じて、基準電圧 V_r に記憶素子 8 1 5 3 に記憶された電圧を加算させた電圧値を外部出力端子 OUT に出力する。

【 0 1 6 0 】

上記のように構成された実施の形態 3 の電圧検出回路を用いた電圧検出方法を説明する。図 9 は本発明の実施の形態 3 の電圧検出方法の第 1 期間におけるフローチャートである

50

。図10は本発明の実施の形態3の電圧検出方法の第2期間におけるフローチャートである。図9及び図10において、実施の形態2の図6及び図7と同じステップには同じ番号を付し、詳細な説明を省略する。

【0161】

まず、第1の信号aがHighである第1期間(図9)について説明する。第1の信号aがHighの期間において、サンプリング回路801では、スイッチ素子861A、862A、8111A、8112A、8151A、8152Aが導通する(ステップ301)。スイッチ素子8121B、8122B、8131B、8132B、852B、8154B、8155Bは開放する。

【0162】

オペアンプ8141は、プラス入力端子にオペアンプ41の出力電圧と記憶素子851に記憶された電圧とを印加される。オペアンプ8141が出力した電圧は、記憶素子8153の一端に印加される。オペアンプ8141が出力する電圧には、オペアンプ8141の入力オフセット成分が含まれる。

【0163】

オペアンプ8142は、プラス入力端子にオペアンプ42の出力電圧を印加される。オペアンプ8142の出力電圧は、記憶素子8153の他端に印加される。オペアンプ8142が出力する電圧には、オペアンプ8142の入力オフセット成分が含まれる。

第1期間に、サンプリング回路801において、記憶素子8153はオペアンプ8141とオペアンプ8142の出力する電圧の差を記憶する(ステップ904)。

【0164】

図8の構成とすることにより、第1期間と第2期間とで、分圧回路1の抵抗11~14の相対誤差成分、電圧増幅器4のオペアンプ41、42の入力オフセット成分、演算増幅器814のオペアンプ8141、8142の入力オフセット成分の極性は反転する。

つまり、記憶素子8153に記憶される電圧には、分圧回路1の抵抗11~14の相対誤差成分、電圧増幅器4のオペアンプ41、42の入力オフセット成分、演算増幅器814のオペアンプ8141、8142の入力オフセット成分は含まれない。

記憶素子8153が記憶する電圧は、 $\times(V1 - V2)$ となる(は電圧増幅器4の増幅率を示す)。

【0165】

実施の形態2で説明したように、サンプリング回路501は、第1期間に、基準電圧Vrに記憶素子5153に記憶された電圧を加算させた値の電圧値を外部出力端子OUTから出力する(ステップ605)。

【0166】

第2の信号bがHighの期間において、サンプリング回路801では、8121B、8122B、8131B、8132B、852B、8154B、8155Bが導通する(ステップ401)。スイッチ素子861A、862A、8111A、8112A、8151A、8152Aは開放する。

【0167】

記憶素子8153が第1期間に記憶した電圧は基準電圧Vrに加算されて、外部出力端子OUTから出力される(ステップ1005)。

記憶素子851の両端には、オペアンプ8141とオペアンプ8142の出力電圧が印加される(ステップ1004)。この記憶素子851に印加された電圧は、次の第1期間に、オペアンプ41の出力電圧と共に、記憶素子8153の一端に印加される。

実施の形態2で説明したように、サンプリング回路501は、第2期間に記憶素子5153に電圧を記憶する(ステップ704)。

【0168】

このように実施の形態3の電圧検出回路は、第1期間にサンプリング回路501から電圧を出力し(ステップ605)、第2期間にサンプリング回路801から電圧を出力する(ステップ1005)。実施の形態3の電圧検出回路は、第1期間と第2期間の両方とも

10

20

30

40

50

外部出力端子OUTから電圧（検出信号）を出力することができる。

【0169】

《実施の形態4》

本発明の実施の形態4の電圧検出回路及び電圧検出方法を、図11を用いて説明する。図11は、本発明の実施の形態4の電圧検出回路の構成を示すブロック図である。実施の形態4の電圧検出回路は、サンプリング回路801の入力と出力における接続が実施の形態3と異なる。実施の形態4において、それ以外の電圧検出回路の構成は、実施の形態3と同じである。

【0170】

実施の形態4の図11において、実施の形態1の図1、実施の形態2の図5、及び実施の形態3の図8と同じ構成要素には同一番号を付し、詳細な説明を省略する。実施の形態4の電圧検出回路において、実施の形態3と異なる構成要素及び動作を説明する。

10

【0171】

実施の形態4において、サンプリング回路801内の演算増幅器814の各入力端子は、サンプリング回路501の演算増幅器514と逆の接続状態で、電圧増幅器4の各出力端子と接続される。オペアンプ8141はオペアンプ42の出力電圧を入力し、オペアンプ8142はオペアンプ41の出力電圧を入力するように、スイッチ回路811、812及び813は接続される。

【0172】

実施の形態4において、サンプリング回路801の記憶回路115は、サンプリング回路501の記憶回路515と同じ接続状態で、外部出力端子OUTと接続される。つまり、実施の形態4の電圧検出回路は、サンプリング回路501とサンプリング回路801において、スイッチ回路515の記憶素子5153及びスイッチ回路115の記憶素子8153の両端に接続する外部出力端子OUTと基準電圧Vrの、接続の向きが同じである。スイッチ素子1154Bが外部出力端子OUTに接続され、スイッチ素子1155Bが基準電圧Vrに接続される。

20

【0173】

実施の形態4の電圧検出回路は、実施の形態3の電圧検出方法の図9（第1期間）及び図10（第2期間）と同じ動作をする。実施の形態4の電圧検出回路及び電圧検出方法は、実施の形態3と同一の効果をもつ。

30

【0174】

《実施の形態5》

本発明の実施の形態5の過電流検出回路を、図12を用いて説明する。図12は、本発明の実施の形態5の過電流検出回路の構成を示すブロック図である。実施の形態5の過電流検出回路は、充電電池1203と携帯電話の各部品1204との間に直列に接続された検出抵抗1201とスイッチ素子1202と、検出抵抗1201の両端の電圧を検出する図1（実施の形態1）の電圧検出回路と、を有する。

実施の形態5の過電流検出回路は、充電電池1203から各部品1204に過電流が流れ、各部品が破壊されることを防止するための回路である。この過電流検出回路は携帯電話に組み込まれる。

40

【0175】

検出抵抗1201の抵抗値は微小である。図1の電圧検出回路は、この検出抵抗1201の両端の電圧を入力端子VIN1と入力端子VIN2に入力される。実施の形態1で説明したように電圧検出回路は抵抗11～14の相対誤差成分、オペアンプ41、42と比較器8の入力オフセット成分をキャンセルして、High又はLowの2値の出力信号を出力する。

【0176】

スイッチ素子1202は、電圧検出回路の出力信号に基づいてオン/オフを切り換える。出力信号がHighのときにスイッチ素子1202はオフする。出力信号がLowのときにスイッチ素子1202はオンする。これにより、充電電池1203から各部品1204

50

に過電流が流れることを防止できる。

【0177】

《実施の形態6》

本発明の実施の形態6の充電電流制御システムを、図13を用いて説明する。図13は、本発明の実施の形態6の充電電流制御システムの構成を示すブロック図である。実施の形態6の充電電流制御システムは、外部電源1304と充電電池1303との間に直列に接続された充電電流制御回路1302と検出抵抗1301と、図5（実施の形態2）の電圧検出回路を有する。

【0178】

検出抵抗1301の抵抗値は小さい。図5に示す電圧検出回路は、検出抵抗1301の両端の電圧を入力端子VIN1と入力端子VIN2に入力される。実施の形態2で説明したように図5の電圧検出回路は抵抗11～14の相対誤差成分、オペアンプ41、42とオペアンプ5141、5142の入力オフセット成分をキャンセルして、入力した電圧差に比例する電圧（検出信号）を出力する。

【0179】

充電電流制御回路1302は入力端子VIN1に満充電に相当する電圧が与えられ一定に保たれるように、電圧検出回路の検出信号の値に基づいて、外部電源から充電電池に流れる充電電流の値を制御する。

入力端子VIN2の電池電圧が上昇すると、電圧検出回路の出力する検出信号の値（VIN1 - VIN2間の差電圧）が小さくなり、充電電流制御回路1302は充電電流の値を小さくする。充電電流制御回路1302は、VIN1 - VIN2間の差電圧がゼロになると充電電流もゼロになって充電動作が完了するように、充電電流を徐々に絞って行く。これにより、充電電池1303が過充電されることを防止できる。

【0180】

なお、実施の形態6の充電電流制御システムは、図5（実施の形態2）の電圧検出回路に代えて、図8（実施の形態3）又は図11（実施の形態4）の電圧検出回路を用いても良い。この場合であっても、充電電流制御回路1302は、電圧検出回路の検出信号の値に基づいて、外部電源から充電電池に流れる充電電流を制御できる。

【産業上の利用可能性】

【0181】

本発明は、微小な電圧値を高精度に検出する電圧検出回路、過電流検出回路、充電電流制御システム、及び電圧検出方法として有用である。

【図面の簡単な説明】

【0182】

【図1】本発明の実施の形態1の電圧検出回路の構成を示すブロック図

【図2】本発明の実施の形態1～4の電圧検出回路に適用される同期信号のタイミングチャート

【図3】本発明の実施の形態1の電圧検出方法の第1期間のフローチャート

【図4】本発明の実施の形態1の電圧検出方法の第2期間のフローチャート

【図5】本発明の実施の形態2の電圧検出回路の構成を示すブロック図

【図6】本発明の実施の形態2の電圧検出方法の第1期間のフローチャート

【図7】本発明の実施の形態3の電圧検出方法の第2期間のフローチャート

【図8】本発明の実施の形態3の電圧検出回路の構成を示すブロック図

【図9】本発明の実施の形態3の電圧検出方法の第1期間のフローチャート

【図10】本発明の実施の形態3の電圧検出方法の第2期間のフローチャート

【図11】本発明の実施の形態4の電圧検出回路の構成を示すブロック図

【図12】本発明の実施の形態5の過電流検出回路の構成を示すブロック図

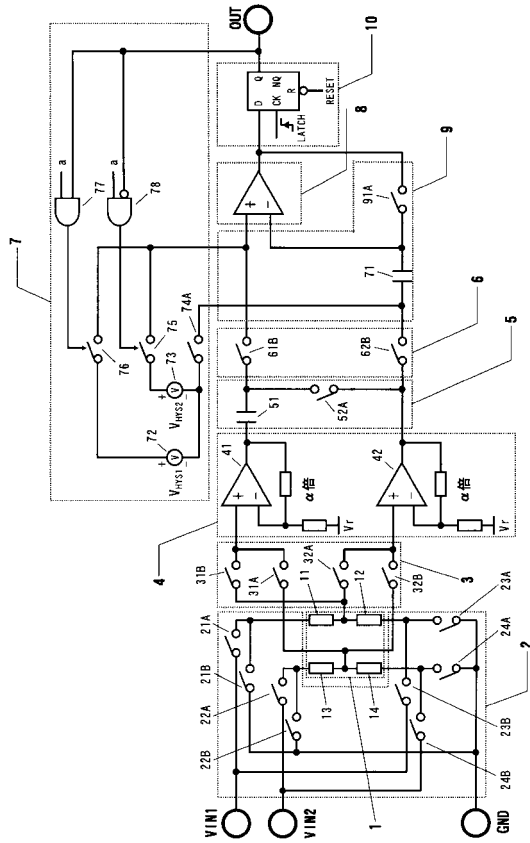
【図13】本発明の実施の形態6の充電電流制御システムの構成を示すブロック図

【符号の説明】

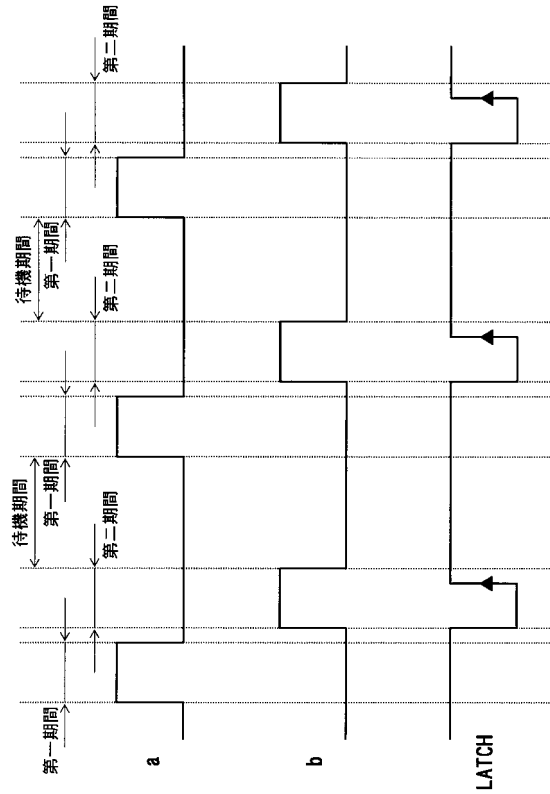
【0183】

1	分圧回路	
2	第1のスイッチ回路	
3	第2のスイッチ回路	
4	電圧増幅器	
5	第1の記憶回路	
6	第3のスイッチ回路	
7	閾値設定回路	
8	比較器	
9	第2の記憶回路	
10	ラッチ回路	10
11、12、13、14	抵抗	
21A、21B、22A、22B、23A、23B、24A、24B	スイッチ素子	
31A、31B、32A、32B、52A、61B、62B、74A	スイッチ素子	
75、76、91A	スイッチ素子	
41	第1のオペアンプ	
42	第2のオペアンプ	
51	第1の記憶素子	
71	第2の記憶素子	
72	第1の閾値設定電圧源	
73	第2の閾値設定電圧源	20
77	第1の論理素子	
78	第2の論理素子	
501	第1のサンプリング回路	
505	第3の記憶回路	
506、511、512、513	スイッチ回路	
514	第1の演算増幅器	
515	第4の記憶回路	
801	第2のサンプリング回路	
805	第5の記憶回路	
806、811、812、813	スイッチ回路	30
814	第2の演算増幅器	
815	第6の記憶回路	
1201、1301	検出抵抗	
1202	スイッチ素子	
1203、1303	充電電池	
1302	充電電流制御回路	

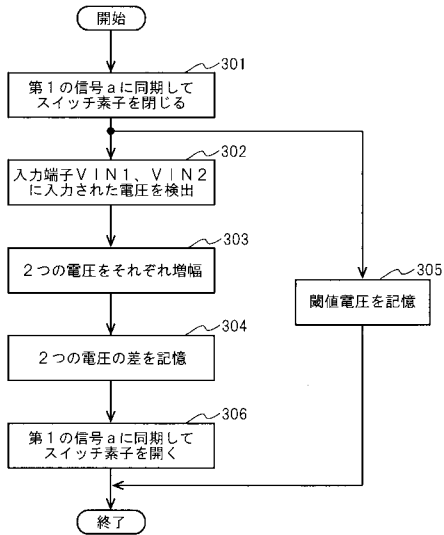
【図1】



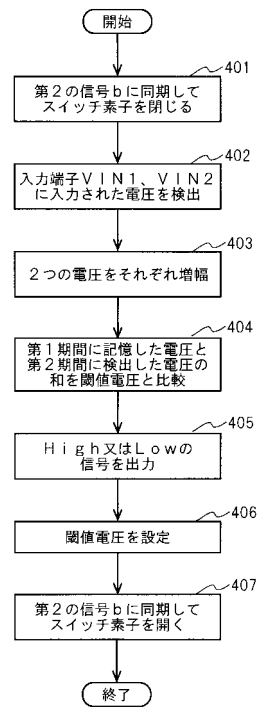
【図2】



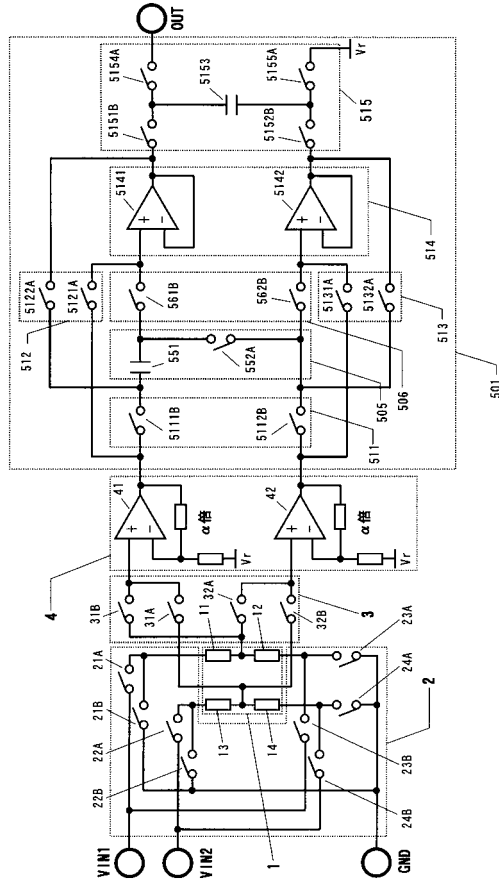
【図3】



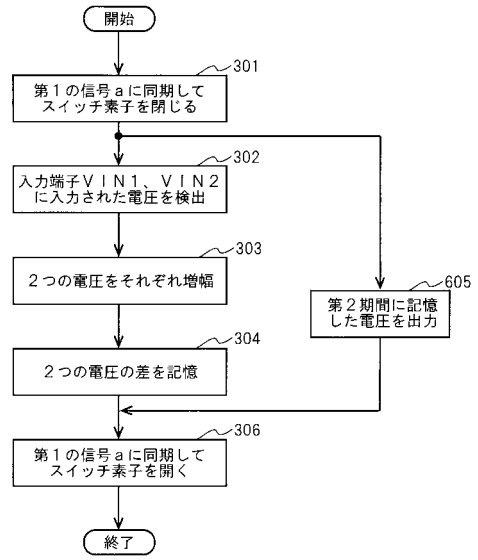
【図4】



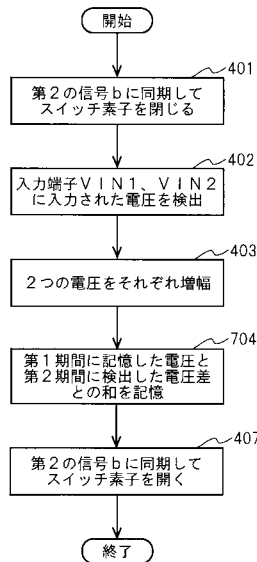
【図5】



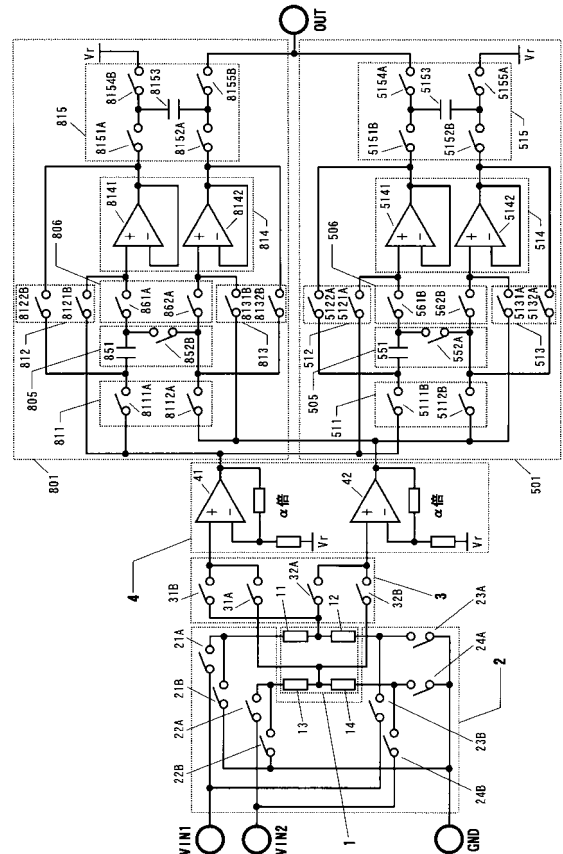
【図6】



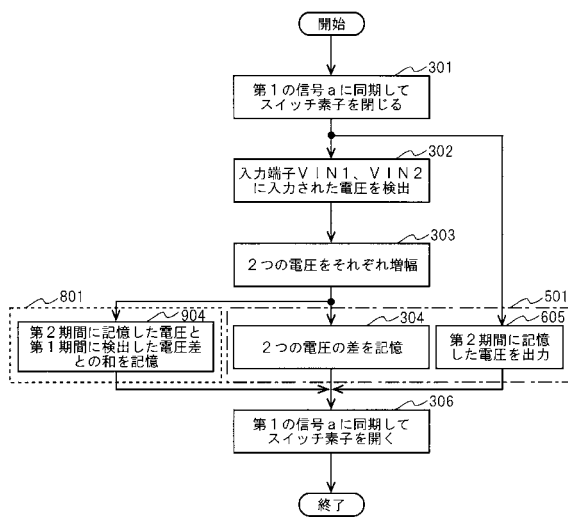
【図7】



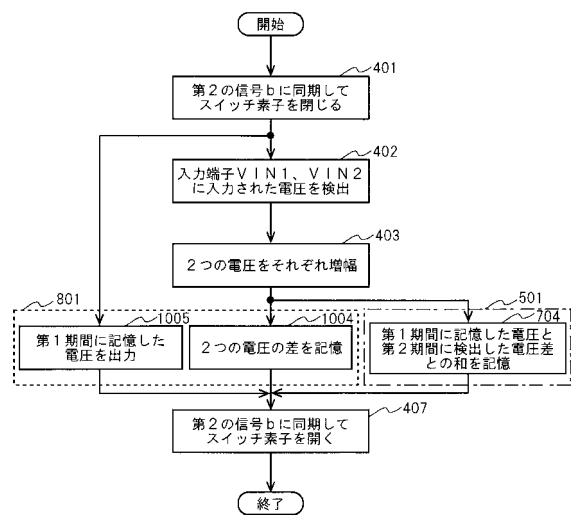
【図8】



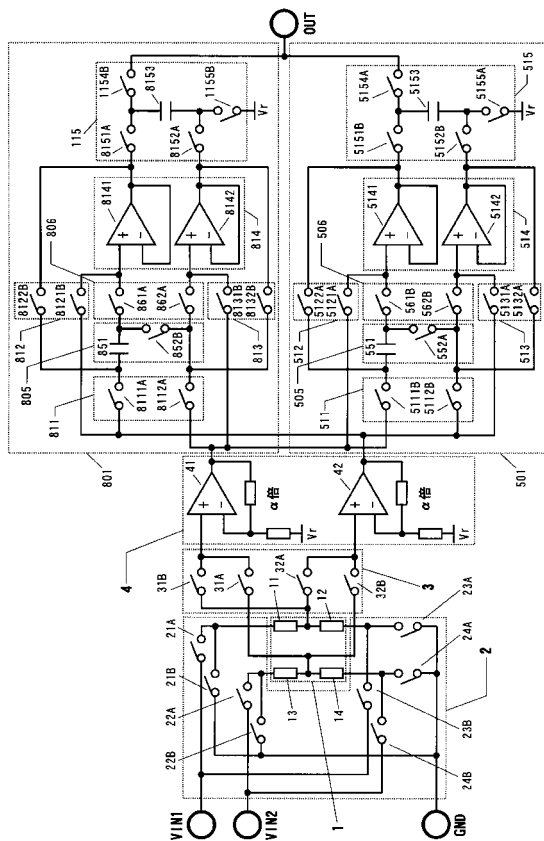
【図 9】



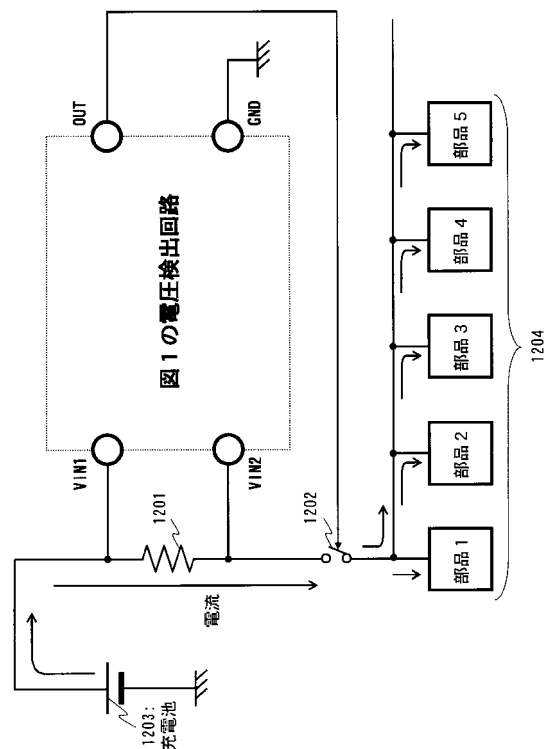
【図 10】



【図 11】



【図 12】



フロントページの続き

審査官 藤原 伸二

- (56)参考文献 特開平05 - 142268 (JP, A)
特開2002 - 286766 (JP, A)
特開2002 - 257869 (JP, A)
特開昭55 - 001702 (JP, A)
実開昭56 - 052276 (JP, U)
特開平04 - 247705 (JP, A)
特開2001 - 044771 (JP, A)
特開平10 - 040770 (JP, A)
特開2004 - 245743 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G01R 19/00 - 19/32
G01R 15/00 - 17/22
H02J 7/00 - 7/12
H01M 10/42
H01M 10/48