

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 82 00156

(54) Machine informatique comportant une antémémoire.

(51) Classification internationale (Int. Cl.³). G 11 C 7/00; G 06 F 9/00, 13/00; G 11 C 9/06.

(22) Date de dépôt..... 7 janvier 1982.

(33) (32) (31) Priorité revendiquée : *EUA, 7 janvier 1981, n° 223 154.*

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 27 du 9-7-1982.

(71) Déposant : Société dite : WANG LABORATORIES INC., résidant aux EUA.

(72) Invention de : Horace H. Tsiang.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Plasseraud,
84, rue d'Amsterdam, 75009 Paris.

MACHINE INFORMATIQUE COMPORTANT UNE ANTEMEMOIRE

La présente invention concerne des perfectionnements à la gestion des accès en mémoire au cours du fonctionnement des machines informatiques qui emploient une
5 antémémoire ou "cache".

La machine informatique de l'invention comporte un processeur central, une mémoire centrale qui est commandée par un contrôleur de mémoire, et un certain nombre de processeurs périphériques (qui commandent le fonctionnement
10 d'équipements tels que des terminaux, des imprimantes, des dispositifs de télécommunications, etc). La machine comporte en outre une antémémoire. Une antémémoire est une mémoire rapide qui fait partie de l'unité centrale et qui contient un sous-ensemble, variable au cours du temps, du contenu de
15 la mémoire centrale.

Une antémémoire peut réduire considérablement le temps d'accès en mémoire moyen pour les opérations de mémoire du processeur central, du fait qu'une proportion très élevée des lectures en mémoire peut être satisfaite
20 au moyen de l'antémémoire rapide. Pour une minorité de tentatives de lecture en mémoire, il est nécessaire d'arrêter temporairement le fonctionnement du processeur central de façon à charger les données nécessaires, à partir de la mémoire centrale. Dans la machine décrite ici, la lecture
25 dans l'antémémoire est effectuée directement par le processeur central et l'écriture est effectuée par un circuit d'écriture d'antémémoire, sous l'effet soit d'une absence de données dans l'antémémoire, soit d'une opération d'écriture en mémoire centrale par le processeur central. Les
30 processeurs périphériques lisent et écrivent dans la mémoire centrale par l'intermédiaire du contrôleur de mémoire, mais ils ne lisent ni n'écrivent dans l'antémémoire, qui est réservée aux opérations du processeur central.

Trois problèmes, entre autres, se manifestent
35 lorsqu'on utilise une telle antémémoire, et tous trois diminuent la vitesse de fonctionnement de la machine informatique.

Premièrement, bien que les processeurs périphéri-

ques n'écrivent pas dans l'antémémoire, lorsqu'ils écrivent à une position dans la mémoire centrale, il est nécessaire de contrôler l'antémémoire pour déterminer si le contenu de cette position de la mémoire centrale a été chargé dans
5 l'antémémoire et, dans l'affirmative, il est nécessaire d'invalider la rubrique de l'antémémoire (en positionnant un bit valide/invalide dans un état indiquant "invalide"), du fait que la rubrique ne correspond plus exactement au contenu de la mémoire centrale. Ceci signifie qu'à un
10 instant particulier il peut y avoir un conflit entre l'opération qui consiste à tenter de lire dans l'antémémoire et l'opération qui consiste à tenter de contrôler le contenu de l'antémémoire après une opération d'écriture en mémoire centrale par un processeur périphérique (contrôle d'éti-
15 quette).

Secondement, du fait qu'on ne peut pas écrire et lire simultanément dans l'antémémoire, il peut y avoir à n'importe quel instant particulier un conflit entre le processeur central, qui tente de lire dans l'antémémoire, et
20 le circuit logique d'écriture dans l'antémémoire, qui tente d'écrire dans l'antémémoire sous l'effet d'une absence de données antérieure dans l'antémémoire (mise à jour de l'antémémoire). Il peut également y avoir un conflit si le circuit logique d'écriture dans l'antémémoire tente d'écrire
25 un bit d'état invalide après qu'un contrôle d'étiquette précédent a fait apparaître une condition de correspondance d'étiquette.

Enfin, il peut y avoir un conflit à n'importe quel instant particulier si le processeur central tente de
30 lire dans l'antémémoire pendant que le contrôleur de mémoire écrit dans l'antémémoire pour la mettre à jour, après une écriture antérieure en mémoire centrale par le processeur central.

Dans les machines de l'art antérieur, on a fait
35 fonctionner l'antémémoire d'une manière imposant les contraintes suivantes : (1) du temps-système doit être consacré à la résolution des conflits, en particulier dans le premier cas ; (2) en cas de mise à jour de l'antémémoire

après une absence antérieure de données dans l'antémémoire, il est nécessaire de maintenir le processeur central à l'arrêt pendant un cycle d'antémémoire consacré à la mise à jour du contenu de l'antémémoire ; et (3) il est nécessaire
5 d'arrêter le processeur central pendant des cycles de mémoire consacrés à la mise à jour du contenu de l'antémémoire, après une écriture effectuée par le processeur central. Toutes ces situations entraînent des retards dans l'accès en mémoire et une dégradation résultante du fonctionnement du
10 processeur central.

L'invention évite tous ces inconvénients.

Une antémémoire a généralement un cycle de fonctionnement de même longueur que le cycle de micro-instruction d'une opération de mémoire du processeur central. Dans
15 la machine informatique de l'invention, le cycle de fonctionnement de l'antémémoire est divisé en deux sous-cycles qui sont consacrés à des opérations mutuellement exclusives. Le premier sous-cycle est consacré à la réception d'une demande de lecture en mémoire du processeur central, avec
20 son adresse. Le second sous-cycle est consacré à n'importe quel autre genre d'opération de l'antémémoire. Ces opérations consistent en particulier soit (a) à recevoir une adresse à partir d'un processeur périphérique pour contrôler le contenu de l'antémémoire après une opération d'écriture en mémoire centrale par un processeur périphérique,
25 soit (b) à écrire n'importe quoi dans l'antémémoire, y compris un bit d'état invalide, après une condition de correspondance pour le contrôle de l'antémémoire, ou des données après une absence de données dans l'antémémoire, ou une opération d'écriture par le processeur central dans la mémoire
30 centrale. Par ce moyen, on élimine tout conflit, ce qui fait qu'il n'est pas nécessaire de consacrer du temps-système pour résoudre les conflits, et les opérations d'écriture deviennent "transparentes" pour le processeur central
35 qui lit dans l'antémémoire. Du point de vue du processeur central, l'antémémoire est toujours disponible pour des opérations de lecture. Le processeur central peut continuer à lire dans l'antémémoire de façon ininterrompue au cours de

cycles de micro-instruction successifs du processeur central, indépendamment du fait que le contenu de l'antémémoire est "simultanément" contrôlé, invalidé ou mis à jour après des opérations d'écriture du processeur central. Après une
5 absence de données dans l'antémémoire, bien que le processeur central doive être arrêté pour permettre la mise à jour, il peut reprendre son fonctionnement un cycle plus tôt qu'il est possible sans le cycle d'antémémoire divisé.

En outre, la réalisation d'une structure de gestion de mémoire conforme à l'invention est particulièrement
10 économique en ce qui concerne les circuits, et elle réduit les exigences de coût comme d'espace.

Conformément à l'invention, une machine informatique comporte un processeur central ayant un registre
15 d'adresse de mémoire destiné à fournir des signaux d'adresse de mémoire et un registre de données de mémoire destiné à recevoir et à fournir des signaux de données, et une mémoire de contrôle qui est connectée au processeur central et qui lui fournit des signaux de commande représentant des micro-
20 instructions. Des signaux particuliers parmi les signaux de commande faisant partie d'une micro-instruction représentent des opérations d'accès en mémoire pour la lecture ou l'écriture ; et le processeur central réagit aux signaux de commande d'accès en mémoire en générant des signaux d'adresse de mémoire et en les plaçant dans le registre d'adresse
25 de mémoire. La machine informatique comporte en outre une mémoire physique qui peut être adressée par les signaux d'adresse de mémoire et qui est capable d'enregistrer des signaux de données.

30 La mémoire physique comprend une mémoire principale à accès relativement lent et une antémémoire à accès relativement rapide. Le registre d'adresse de mémoire du processeur central est connecté à la mémoire physique de façon à lui appliquer des signaux d'adresse de mémoire. Le processeur central applique en outre les signaux de commande
35 d'accès en mémoire à la mémoire physique. La machine informatique comporte de plus une horloge mère qui est connectée au processeur central et à la mémoire physique et qui leur

applique des impulsions d'horloge. Des impulsions d'horloge particulières définissent un cycle de fonctionnement du processeur central, qui a une longueur fixe pour des opérations comprenant un accès en mémoire. Au moins un processeur périphérique est connecté à la mémoire physique pour y accéder, pour les opérations de lecture et d'écriture ; et le processeur périphérique applique à la mémoire physique des signaux d'adresse de mémoire, des signaux de commande d'accès en mémoire et des signaux de données, et il reçoit d'elle des signaux de données.

L'antémémoire comporte une horloge d'antémémoire qui fonctionne sous la dépendance de l'horloge mère et qui fournit un ensemble d'impulsions d'horloge définissant un cycle de fonctionnement d'antémémoire. L'antémémoire comporte des moyens d'enregistrement de signaux de données destinés à enregistrer des signaux de données, des moyens d'adressage destinés à appliquer les signaux d'adresse de mémoire reçus par la mémoire physique de façon à adresser les moyens d'enregistrement de signaux de données, des moyens de comparaison qui réagissent aux signaux d'adresse appliqués et aux signaux de données enregistrés de façon à générer un signal de sortie représentatif de la présence ou de l'absence de données particulières dans l'antémémoire, et des moyens de génération de signaux qui réagissent au signal de sortie des moyens de comparaison en générant un signal de condition qui présente un état parmi deux et qui est représentatif de la présence ou de l'absence des données particulières.

Les moyens d'adressage de l'antémémoire réagissent à l'horloge d'antémémoire de façon à consacrer une première partie du cycle de fonctionnement de l'antémémoire à la seule opération consistant à appliquer aux moyens d'enregistrement de signaux de données de l'antémémoire et aux moyens de comparaison de l'antémémoire les signaux d'adresse reçus à partir du processeur central ; et les moyens d'adressage de l'antémémoire réagissent à l'horloge d'antémémoire de façon à consacrer une seconde partie du cycle de fonctionnement de l'antémémoire à une opération parmi plu-

sieurs, comprenant l'application aux moyens d'enregistrement de signaux de données et aux moyens de comparaison de l'antémémoire des signaux d'adresse reçus à partir d'un processeur périphérique.

5 L'horloge mère réagit à un premier état du signal de condition, représentatif de l'absence des données particulières provenant des moyens d'enregistrement de données de l'antémémoire, en bloquant les impulsions d'horloge du processeur central et en arrêtant ainsi le processeur cen-
10 tral. La mémoire physique réagit au premier état du signal de condition, ainsi qu'aux signaux de commande d'accès en mémoire reçus à partir du processeur central, en accomplissant une opération d'accès en mémoire centrale qui comprend l'application à la mémoire centrale des signaux d'adresse
15 de mémoire reçus à partir du processeur central, pour adresser les données particulières, et l'application des données particulières au processeur central. Les moyens de génération de signaux de l'antémémoire réagissent à l'achèvement de l'opération d'accès en mémoire centrale en géné-
20 rant le signal de condition avec son second état, et l'horloge mère réagit au second état du signal de condition en validant les impulsions d'horloge du processeur central et en faisant redémarrer le processeur central.

La mémoire physique comprend en outre des moyens
25 d'écriture dans l'antémémoire. L'antémémoire comporte en outre des moyens d'enregistrement d'information de validité qui sont associés aux moyens d'enregistrement de données et qui comprennent un ensemble de bits de validité ayant chacun deux états, et qui sont adressables par les signaux
30 d'adresse de mémoire. Les moyens d'écriture dans l'antémémoire réagissent au signal de sortie des moyens de comparaison, généré sous l'effet de l'application des signaux d'adresse de mémoire de processeur périphérique aux moyens d'enregistrement de données et aux moyens de comparaison de
35 l'antémémoire, en accomplissant une première opération d'écriture qui comprend l'application des signaux d'adresse de mémoire de processeur périphérique, pour adresser une position dans les moyens d'enregistrement d'information de

validité, et le positionnement du bit de validité dans cette position à un premier état qui est représentatif de la condition d'invalidité. Les moyens d'écriture dans l'antémémoire fonctionnent sous la dépendance de l'horloge d'antémémoire de façon à effectuer la première opération d'écriture pendant la seconde partie d'un cycle de fonctionnement suivant de l'antémémoire.

Les moyens de génération de signaux de l'antémémoire réagissent également à un premier état du bit de validité en générant le signal de condition avec le premier état.

Les moyens d'écriture dans l'antémémoire réagissent à l'achèvement de l'opération d'accès en mémoire centrale, ainsi qu'aux signaux d'adresse de mémoire et aux signaux de commande d'accès en mémoire reçus à partir du processeur central, en effectuant une seconde opération d'écriture qui comprend l'application des signaux d'adresse de mémoire pour adresser une position dans les moyens d'enregistrement de données de l'antémémoire, et l'écriture à cette position des données particulières obtenues, les moyens d'écriture dans l'antémémoire réagissant à l'horloge d'antémémoire de façon à effectuer la seconde opération d'écriture pendant la seconde partie d'un cycle de fonctionnement de l'antémémoire.

L'invention sera mieux comprise à la lecture de la description qui va suivre d'un mode de réalisation, donné à titre d'exemple non limitatif. La suite de la description se réfère aux dessins annexés sur lesquels :

La figure 1 est une représentation schématique simplifiée d'un système informatique qui comporte une machine informatique conforme à l'invention ;

La figure 2 montre les chemins de données et d'adresse dans la machine informatique ;

La figure 3 montre certaines caractéristiques du processeur central de la machine informatique ;

Les figures 4 à 9 montrent les formats de diverses données et adresses qui interviennent dans l'invention ;

La figure 10 montre des caractéristiques de la

mémoire de contrôle qui interviennent dans l'invention ;

La figure 11 montre l'horloge mère ;

La figure 12 montre les signaux d'horloge fondamentaux du système que génère l'horloge mère de la figure 11 ;

5 La figure 13 montre une partie de l'antémémoire liée aux fonctions d'adressage ;

La figure 14 montre une partie de l'antémémoire liée à l'enregistrement des données ;

10 La figure 15 montre certaines parties de l'antémémoire liées à la commande de la mémoire et à d'autres fonctions de commande ;

La figure 16 montre certaines parties des circuits liés à la priorité d'accès en mémoire ;

15 La figure 17 montre des circuits de l'antémémoire qui génèrent un signal de commande pour des opérations de mémoire d'un processeur périphérique ;

La figure 18 montre des circuits de l'antémémoire liés à l'utilisation par l'antémémoire de certains signaux de la mémoire de contrôle ;

20 La figure 19 montre la mémoire centrale ou principale ;

La figure 20 montre le circuit logique d'écriture dans l'antémémoire ; et

25 Les figures 21, 22 et 23 sont des diagrammes séquentiels qui montrent certaines parties du fonctionnement de la machine informatique de l'invention.

On va maintenant considérer les dessins, et en particulier la figure 1, qui représente le système complet sous forme simplifiée. La machine informatique 10 comprend un processeur central 12, une mémoire de contrôle 14 et une 30 horloge mère 20. Il existe en outre une mémoire centrale 16 dont l'accès est placé sous la commande d'un contrôleur de mémoire 18. Divers dispositifs périphériques (terminaux, imprimantes, unités de disques, dérouleurs de bandes, dispositifs de télécommunications, etc) sont associés à la 35 machine informatique 10 et constituent avec elle le système.

Chaque dispositif périphérique contient un processeur qu'on appelle un processeur périphérique. Plusieurs processeurs périphériques sont connectés à un des adapta-

teurs de bus 22, qui est lui-même connecté au contrôleur de mémoire 18. Il peut y avoir plusieurs adaptateurs de bus. L'adaptateur de bus 22 a pour but de constituer une mémoire tampon entre les lignes de données à 64 bits établies à l'intérieur de la machine informatique et les lignes de données à 16 bits qui connectent les dispositifs périphériques à la machine 10. Le contrôleur de mémoire 18 permet au processeur central et aux processeurs périphériques d'accéder à la mémoire centrale 16 ; et il peut également transmettre des instructions du processeur central 12 vers les processeurs périphériques, d'une manière qui ne fait pas partie de l'invention.

Le processeur central 12 est connecté à une mémoire locale rapide, ou antémémoire, 24, qui contient un sous-ensemble variable au cours du temps des données enregistrées dans la mémoire centrale. L'antémémoire 24 est également connectée au contrôleur de mémoire 18. Dans le mode de réalisation préféré, l'antémémoire particulière est à correspondance directe et contient 32K multiplets. Elle emploie une stratégie de mise à jour qui consiste à mettre à jour l'antémémoire chaque fois que le processeur central écrit dans la mémoire centrale.

L'antémémoire 24, la mémoire centrale 16 et le contrôleur de mémoire 18 constituent ensemble la mémoire physique de la machine informatique.

Les chemins de données et d'adresse dans tout le système sont représentés particulièrement sur la figure 2. Le processeur central 12 comporte un bus d'adresse à 24 bits, 26, qui achemine vers l'antémémoire 24 les lignes d'adresse "MA 0-23" (adresse de mémoire). Le processeur central 12 comporte un bus de données d'entrée à 32 bits, 28, qui achemine les lignes de données désignées par "MM 0-31" (mémoire centrale), et un bus de données de sortie à 32 bits, 30, qui achemine les lignes de données désignées par "WD 0-31" (données d'écriture).

L'antémémoire 24 reçoit les lignes d'adresse MA 0-23 sur le bus 26, à partir du processeur central 12, et elle est en outre connectée au bus 32 qui achemine à

partir de l'adaptateur de bus 22 des lignes d'adresse désignées par "BMA 0-23" (adresse de mémoire d'adaptateur de bus). On utilise cette information d'adresse pour maintenir à jour l'information présente dans l'antémémoire, lorsque
5 l'information correspondante dans la mémoire centrale est changée par l'un des processeurs périphériques, comme on le décrira en détail par la suite.

L'antémémoire 24 est connectée au bus d'adresse de sortie 34, qui achemine vers le contrôleur de mémoire
10 18 les lignes d'adresse désignées par "CMA 0-23" (adresse d'antémémoire). En outre, l'antémémoire 24 est connectée au bus 36 qui achemine vers la mémoire centrale 16 les lignes d'adresse désignées par "BMAR 3-20" (registre de mémoire avec tampon).

15 L'antémémoire 24 comporte un bus de données d'entrée et un bus de données de sortie. Le bus de données d'entrée 38 achemine les lignes de données qui proviennent du contrôleur de mémoire 18 et qui sont désignées par "CAWD 0-63" (données d'écriture dans l'antémémoire). Le
20 contrôleur de mémoire 18 utilise le bus de données 38 pour écrire des données dans l'antémémoire après une absence de données dans l'antémémoire, ou sous l'effet d'une opération d'écriture en mémoire centrale du processeur central, comme on le décrira par la suite de façon plus détaillée. Le bus
25 38 est également utilisé, d'une manière étrangère à l'invention, pour transmettre des données vers l'adaptateur de bus 22. Le bus de données de sortie 40 achemine les lignes de données provenant de l'antémémoire 24 et désignées par MM 0-31, pour les appliquer à l'entrée du processeur cen-
30 tral 12, par le bus 28. Le bus de données 40 applique des données au processeur central 12 après la détermination de présence de données dans l'antémémoire, sous l'effet d'une demande de lecture du processeur central, comme on le décrira de façon plus détaillée par la suite.

35 La mémoire centrale 16 reçoit les lignes d'adresse BMAR 3-20 à partir de l'antémémoire 24, par le bus 36, comme décrit précédemment, en compagnie de signaux de sélection de module de mémoire qui ne sont pas représentés

sur les figures et qui sont étrangers à l'invention. La mémoire centrale 16 comporte un bus de données d'entrée à 64 bits, 42, connecté au contrôleur de mémoire 18, qui achemine les lignes de données désignées par "MMWD 0-63"

5 (données d'écriture en mémoire centrale). Toutes les données écrites dans la mémoire centrale 16 sont appliquées en entrée par le bus 42. La mémoire centrale 16 comporte un bus de données de sortie à 64 bits, 44, qui est connecté au contrôleur de mémoire 18 et qui achemine les lignes de
10 données désignées par "MMRD 0-63" (données de lecture en mémoire centrale). Toutes les données lues dans la mémoire centrale 16 sont présentées en sortie sur le bus 44.

L'adaptateur de bus 22 émet des bits d'adresse vers l'antémémoire 24 par le bus 32, décrit précédemment,
15 sous l'effet de demandes d'accès en mémoire de processeurs périphériques, d'une manière étrangère à l'invention.

L'adaptateur de bus 22 comporte un bus de données de sortie à 64 bits, 46, qui est connecté au contrôleur de mémoire 18 et qui achemine les lignes de données désignées par "BARD
20 0-63" (données de lecture d'adaptateur de bus), et un bus de données d'entrée à 64 bits, 48, qui est connecté par une mémoire tampon 50 au bus 38 et qui achemine les lignes de données désignées par "BAWD 0-63" (données d'écriture d'adaptateur de bus). On notera que l'expression "données
25 de lecture d'adaptateur de bus" se rapporte aux données lues dans le processeur périphérique et acheminées vers la mémoire centrale 16, tandis que l'expression "données d'écriture d'adaptateur de bus" se rapporte aux données lues dans la mémoire centrale 16 et écrites dans un proces-
30 seur périphérique.

De plus, l'adaptateur de bus 22 émet certains signaux de commande vers l'antémémoire 24. Il s'agit des signaux MRBA (signal de demande d'accès en mémoire pour l'adaptateur de bus), et BAC 0-2 (signaux de commande
35 d'adaptateur de bus). Les signaux BAC 0-2 sont enregistrés dans un verrouillage, pratiquement, un réseau de bascules qui fait partie de l'antémémoire, pour la commodité d'utilisation. Sous leurs formes enregistrées dans le réseau de bascules, ils

sont désignés par BBAC 0-2.

Comme il a été décrit, le contrôleur de mémoire 18 reçoit des données par le bus 44, à partir de la mémoire centrale 16, par le bus 46 à partir de l'adaptateur de bus 5 22, ou par le bus 30 à partir du processeur central 12. Le contrôleur de mémoire 18 reçoit des données d'adresse par le bus 34 à partir de l'antémémoire 24. Le contrôleur de mémoire 18 émet des données par le bus 38 vers l'antémémoire 24 et vers le réseau de bascules de données 50, en vue de leur 10 émission vers l'adaptateur de bus 22. Le contrôleur de mémoire 18 émet en outre des données vers le processeur central 12 (par le réseau de bascules 54) sur le bus 52 qui achemine les lignes de données désignées par "DIRD 0-31" (données de lecture ou de diagnostic). Comme on l'explique- 15 ra plus complètement par la suite, à l'occasion d'une lecture en mémoire centrale faisant suite à une absence de données dans l'antémémoire, un signal d'indication d'absence, MISS EXT, produit sous l'effet d'une condition d'absence de données dans l'antémémoire, d'une manière 20 qu'on décrira ultérieurement, permet aux données provenant du bus 52 de traverser le réseau de bascules 54 vers le bus 28, et donc vers le processeur central.

On voit sur la figure 3 les deux seuls éléments appartenant au processeur central 12 qui interviennent dans 25 l'invention. Ce sont le registre de données de mémoire 56, qui reçoit des données par les lignes acheminées par le bus 28 (MM 0-31), et le registre d'adresse de mémoire 58, dans lequel est chargé (d'une manière étrangère à l'invention) l'adresse destinée à être émise vers l'antémémoire par le 30 bus 26 (MA 0-23).

Si le processeur central n'est pas arrêté (c'est-à-dire en présence de l'état haut du signal $\overline{\text{STCP}}$ dont on décrira ultérieurement l'élaboration), les signaux d'adresse provenant du registre d'adresse de mémoire 58 sont transfé- 35 rés vers l'antémémoire 24 à l'instant L0; les signaux d'horloge comprenant le signal L0 seront décrits en relation avec la figure 12 .

On va maintenant considérer les figures 4 à 9 qui

montrent divers formats de données et d'adresses qui interviennent dans le fonctionnement de la machine informatique.

La figure 4 représente un multiplet de données qui est défini comme étant formé par 8 bits, et qu'on appellera
5 un octet. La figure 5 représente un mot de données qui est défini comme étant formé par quatre octets, soit trente-deux bits. La figure 6 représente un double mot défini comme étant formé par un mot pair et un mot impair, de trente-deux bits chacun. Les données sont enregistrées dans la mémoire
10 centrale en éléments consistant en un double mot.

On va maintenant considérer la figure 7 qui montre l'adresse physique à 24 bits telle que la voit la mémoire centrale. L'adresse comprend un numéro de cadre de page à 12 bits (extensible dans un rapport deux si la mémoire
15 est agrandie), et un décalage à 11 bits qui localise l'octet à l'intérieur de la page.

La figure 8 montre la même adresse physique à 24 bits telle qu'elle est interprétée par l'antémémoire. L'adresse comprend une étiquette à 9 bits et un index à
20 12 bits. Les deux bits de rang inférieur sont ignorés du fait qu'ils sont utilisés pour sélectionner un octet à l'intérieur d'un mot, alors que l'antémémoire transmet toujours un mot vers le processeur central qui doit ensuite sélectionner l'octet particulier qui est désiré. Le troisième
25 bit à partir de la droite sélectionne le mot pair ou impair d'une paire consistant en un double mot. La figure 9 montre le format des données qui sont enregistrées dans l'antémémoire. Les mots pair et impair d'une paire consistant en un double mot sont enregistrés en compagnie de
30 l'étiquette à 9 bits pour chacun d'eux. L'ensemble de cet élément à 72 bits est adressé par l'index à 12 bits de l'adresse physique.

L'utilisation d'un index et d'une étiquette pour adresser une antémémoire à correspondance directe est bien
35 connue dans le domaine de la conception des machines informatiques. Les aspects généraux de la gestion des antémémoires sont décrits, par exemple, dans l'ouvrage intitulé Computer Engineering, par Bell, Mudge et McNamara (Digital

Press, 1978).

On va maintenant considérer la figure 10 qui montre que la mémoire de contrôle 14 contient des signaux de commande auxquels on accède par groupes de quarante-huit signaux 5 qui sont présentés en sortie sur quarante-huit lignes parallèles. Le signal présent sur chaque ligne peut être à l'état haut (1) ou bas (0) et il est appliqué directement aux circuits constituant le matériel du processeur central 12 pour commander le fonctionnement de celui-ci.

10 Parmi les quarante-huit signaux présents sur les lignes, qui constituent une micro-instruction, certains seulement interviennent dans l'invention. Ce sont les signaux 0-6 (appelés "micro-code d'opération"), qui sont décodés en groupe pour fournir un signal parmi un certain 15 nombre de signaux qui indiquent l'opération à accomplir (comme par exemple addition, transfert, comparaison, décalage) et les signaux 22 à 29, qui sont décodés en groupe pour fournir un signal parmi un certain nombre de signaux indiquant une opération de mémoire (lecture ou écriture, 20 avec des détails concernant la sélection du registre d'adresse de mémoire, la sélection du registre de données de mémoire et d'autres sujets étrangers à l'invention). Ces signaux sont désignés sur la figure 2 par "signaux de commande de mémoire". Des signaux particuliers parmi les signaux de 25 commande auxquels accède le processeur central sont appliqués directement par le processeur central à l'antémémoire et au contrôleur de mémoire, comme on l'envisagera de façon plus détaillée par la suite. L'accès et le décodage de tels groupes de signaux de commande (micro-instructions) pendant le fonctionnement d'une machine informatique sont bien 30 connus et ne seront pas décrits ici.

On va maintenant considérer la figure 11 qui représente les parties de l'horloge mère du système, 20, qui interviennent dans l'invention. L'horloge mère pour la 35 machine informatique est attaquée par un oscillateur à quartz à 50 MHz dont le signal de sortie est appliqué à l'entrée de circuits de génération de signaux d'horloge 60 qui, d'une manière bien connue, génèrent des signaux d'hor-

loge appropriés pour le système. Le signal d'horloge de base (CLCK) a une période de 40 ns et une largeur d'impulsion de 20 ns. Les signaux TA, TO, T1, T2 ; LA, LO, L1, L2 ; CLCK ; et CLCK sont représentés dans le diagramme séquentiel de la figure 12. Ces impulsions sont appliquées au processeur central 12.

Les signaux LA, LO, L1, L2 existent en permanence, tandis que les signaux TA, TO, T1, T2 dépendent de conditions de fonctionnement dans le processeur central et ailleurs. Des impulsions L et T supplémentaires peuvent être générées, dans des conditions qu'on décrira, mais elles ne sont pas représentées sur la figure 11 et n'entrent pas dans le cadre de l'invention.

Deux signaux de transmission sélective, GT1 et GT2, sont générés d'une manière qu'on décrira plus particulièrement par la suite. Le signal GT1 transmet sélectivement (c'est-à-dire qu'il valide ou invalide) les signaux d'horloge du processeur central TA et TO ; le signal GT2 transmet sélectivement les signaux d'horloge T1 et T2. On considère par définition que le cycle du processeur central commence avec une impulsion TA. Le fonctionnement du processeur central peut ainsi être arrêté après TO ou après T2. Le signal GT2 est normalement asservi au signal GT1, mais à l'apparition d'un signal d'absence de données MIS, d'une manière qu'on décrira par la suite, le signal GT2 est invalidé, ce qui fait que les impulsions T1 et T2 n'apparaissent pas, bien que les impulsions TA et TO soient apparues.

La longueur du cycle de micro-instruction du processeur central varie en fonction de la nature de la micro-instruction. Le cycle du processeur central (de n'importe quelle longueur) commence par définition à TA. La plupart des micro-instructions, parmi lesquelles celles qui font intervenir des opérations de mémoire et qui entrent dans le cadre de l'invention, nécessitent 160 ns pour l'exécution. Pour ces micro-instructions, le cycle est formé par les impulsions TA, TO, T1 et T2, comme on le voit sur la figure 12. D'autres instructions peuvent nécessiter plus de 160 ns

pour l'exécution. Pour de telles instructions, des impulsions T supplémentaires doivent être générées (T5 à T8, non représentées). Pour déterminer le nombre d'impulsions T à générer, les signaux de commande 0-6 (le "micro-code d'opération") de la micro-instruction courante qui commande le processeur central 12 sont appliqués par le processeur central 12 à un décodeur/compteur 62, en compagnie du signal CLCK qui provient des circuits 60. Le compteur est positionné conformément à la nature de l'opération, déterminée par le décodeur, et à l'instant approprié le signal "COB" (fin de cycle) est généré pour marquer la fin du cycle d'instruction. Ce signal restaure les circuits 60 et fait commencer le cycle suivant avec une impulsion TA.

Le signal CLCK est appliqué directement à l'antémémoire 24 et au contrôleur de mémoire 18, dans lequel il existe des circuits d'horloge similaires destinés à générer des impulsions L et T synchrones. Cependant, à moins que les signaux de transmission sélective GT1 et GT2 soient spécifiquement représentés, les impulsions T dans l'antémémoire et le contrôleur de mémoire ne s'arrêtent pas lorsque le processeur central s'arrête.

Le cycle de l'antémémoire a la même longueur que le cycle de lecture ou d'écriture du processeur central, c'est-à-dire 160 ns. Cependant, il commence par définition avec l'impulsion L1 et il comprend les impulsions L1, L2, LA, LO, ce qui signifie, comme le montre la figure 12, que le cycle de l'antémémoire est décalé de 60 ns par rapport au cycle du processeur central. Le cycle du contrôleur de mémoire est décalé de 40 ns par rapport au cycle du processeur central et il comprend les impulsions T0, T1, T2, TA.

De plus, certaines impulsions d'horloge provenant du processeur central sont appliquées directement à l'antémémoire 24 pour produire des événements synchronisés avec des événements particuliers du processeur central. De tels événements de l'antémémoire ne peuvent pas avoir lieu lorsque le processeur central est arrêté, bien que l'antémémoire ne soit pas arrêtée.

En considérant les figures 13, 14, 15, 17, 18 et

20, on voit que l'antémémoire 24 comprend de façon générale une partie d'adressage (figure 13), une partie de circuits d'enregistrement de données et de comparaison d'étiquettes (figure 14), et divers circuits de décodage de signaux de 5 commande (figures 15, 17, 18 et 20). Les circuits de la figure 16, et certaines parties des circuits de la figure 15, sont situés physiquement dans l'antémémoire mais font théoriquement partie du contrôleur de mémoire, du fait que leurs fonctions concernent la gestion de la mémoire centra- 10 le.

En considérant tout d'abord la figure 18, on note que l'adresse du processeur central (non représentée sur cette figure) atteint l'antémémoire 24 en compagnie des signaux de commande CM 22-29 du groupe de 48 signaux qui 15 commande les opérations courantes du processeur central. Comme décrit précédemment, les signaux de commande 22-29 sont des signaux de commande d'accès en mémoire qui commandent la nature de l'opération de mémoire à effectuer à l'adresse spécifiée par le processeur central. Pour la 20 commodité d'utilisation dans l'antémémoire 24, certains de ces signaux sont retardés en étant enregistrés dans un réseau de bascules ou une mémoire tampon, et les signaux retardés sont désignés par "CCM", "BCM", "LCM" ou "MCM", conformément à leurs retards, comme le montre la figure.

25 En considérant maintenant la figure 16, on voit que le contrôleur de mémoire 18 comporte un circuit de détermination de priorité d'accès en mémoire centrale, 140. Ce circuit est conçu de façon à donner la priorité d'accès en mémoire centrale à toute demande d'adaptateur de bus 30 (pour le compte d'un processeur périphérique). C'est seulement lorsque aucune demande de mémoire émise par un adaptateur de bus n'est en attente que le processeur central 12 accède à la mémoire centrale, pour effectuer une écriture ou une lecture après une absence de données dans l'antémé- 35 moire. Le signal d'entrée LC (dernier cycle) provient des circuits d'horloge du contrôleur de mémoire de la figure 15, qu'on décrira ultérieurement, et il est généré à la fin d'une opération d'accès en mémoire. A l'achèvement de toute

opération de mémoire courante, si aucune demande de mémoire émise par un adaptateur de bus n'est en attente, le signal BA passe à l'état bas par défaut, et l'adresse en attente qui est émise par le processeur central est transmise vers la mémoire centrale 16. Ainsi, après une absence de données dans l'antémémoire, il peut y avoir un retard de quelques cycles avant que la mémoire centrale soit disponible pour le processeur central. Pendant ce temps, le processeur central demeure arrêté, comme on le décrira.

10 Cette affectation de priorité pour l'accès en mémoire centrale entre le processeur central et l'adaptateur de bus, conditionnée par la présence ou l'absence de demandes de mémoire émises par l'adaptateur de bus, doit être clairement distinguée de la division du cycle de l'antémémoire entre les lectures en mémoire par le processeur central et d'autres opérations, qu'on décrira de façon plus détaillée par la suite. Le circuit relatif à la division du cycle de l'antémémoire fonctionne en permanence et il travaille de la manière décrite, indépendamment de la présence 20 ou de l'absence d'une demande en attente quelconque provenant du processeur central ou d'un adaptateur de bus.

En considérant la figure 17, on voit qu'un signal "BA ENBLE" (validation d'adaptateur de bus) est généré par une bascule appartenant à un circuit de validation 142, à 25 l'instant TA, sous l'effet de n'importe quelle demande de mémoire émise par un adaptateur de bus (MRBA), à condition que le circuit de commande de mémoire soit prêt (R/B). Le signal BA ENBLE est appliqué aux circuits de la figure 13 de façon à introduire l'adresse de l'opération de mémoire de l'adaptateur de bus, en vue d'une procédure d'invalidation ou de contrôle d'antémémoire, qu'on décrira ultérieurement.

Les signaux d'horloge pour la mémoire centrale 16 sont générés dans une large mesure par les circuits de la 35 figure 15, dont la majeure partie appartient, au point de vue fonctionnel, au contrôleur de mémoire 18. Les procédés pour définir les caractéristiques temporelles du fonctionnement d'une mémoire centrale et pour faire fonctionner une

telle mémoire, pour une machine informatique du type décrit ici, sont de façon générale bien connus et ne font pas partie de l'invention. De ce fait, on ne décrira pas en détail la génération de ces signaux d'horloge. On indiquera seulement les parties qui interviennent dans le fonctionnement de l'invention.

En considérant maintenant la figure 15, on voit que les signaux de commande CCM 22-29 (provenant de la figure 18) sont décodés dans des circuits de décodage 138 pour déterminer si l'opération de mémoire du processeur central est une écriture ou une lecture. Si l'opération est une lecture, le décodage des signaux de commande conduit à la génération d'un signal de lecture REA, indiquant que l'opération de mémoire du processeur central est une lecture, qui doit être traitée dans l'antémémoire. Ce signal est nécessaire dans l'antémémoire 24 pour permettre la génération d'un signal d'absence de données dans l'antémémoire, comme on l'expliquera.

Si l'opération de mémoire du processeur central est une écriture (dans la mémoire centrale), le décodage des signaux de commande CCM 22-29 fait apparaître les signaux d'écriture WRTE 8 (c'est-à-dire écriture de 8 bits), WRTE 32 et WRTE 64, qui spécifient les opérations d'écriture d'un octet, d'un mot ou d'un double mot. Contrairement aux processeurs périphériques, le processeur central n'écrit pas un demi-mot ; le signal WRTE 16 n'est donc pas généré par les signaux de commande du processeur central. Les signaux BAC 0-2 (signaux de commande d'accès en mémoire) provenant de l'adaptateur de bus 22 sont décodés de façon similaire au cours du fonctionnement du décodeur 139 pour générer des signaux de lecture ou d'écriture qui sont appliqués aux circuits 138. Les signaux d'écriture de l'adaptateur de bus peuvent être WRTE 8, WRTE 16, WRTE 32 et WRTE 64. Le signal MRBA (demande de mémoire émise par un adaptateur de bus) est également appliqué à partir de l'adaptateur de bus 22.

Le signal d'entrée CP/BA (provenant de la figure 16) représente l'affectation de priorité pour l'accès en

mémoire centrale. CP est à l'état haut lorsque le proces-
 seur central a la priorité ; BA est à l'état haut lorsqu'un
 processeur périphérique a la priorité. Le signal CLR MISS
 est généré dans l'antémémoire 24 d'une manière qu'on décrira,
 5 lorsque l'absence de données dans l'antémémoire a été trai-
 tée par une opération faisant intervenir la mémoire cen-
 trale et lorsque les données demandées ont été placées dans
 le registre de données de mémoire du processeur central, 56
 (figure 3). Comme on le voit sur la figure, le signal "MOP"
 10 (opération de mémoire) représente soit une opération de
 mémoire pour un adaptateur de bus (BBAC1, BBAC2 et priorité
 à un adaptateur de bus (BA)), soit une opération de mémoire
 pour le processeur central (MCM 24 et 25, et priorité au
 processeur central (CP)).

15 Les circuits 138 génèrent des signaux appropriés
 de commande de mémoire et d'horloge, à partir des signaux
 d'entrée décrits. On a décrit la génération des signaux de
 commande "WRTE 8", "WRTE 16", "WRTE 32", et "WRTE 64" ; et
 le signal "REA 64 B" spécifie l'opération de lecture d'un
 20 double mot. Le signal R/W (signal de lecture/écriture ; R
 est à l'état haut pour la lecture, W est à l'état haut pour
 l'écriture) et l'impulsion d'écriture sont des signaux d'en-
 trée classiques dirigés vers la mémoire centrale 16. Les
 signaux d'horloge de mémoire comprennent les signaux CAS
 25 (validation d'adresse de colonne), CEN (validation de
 colonne) et RAS (validation d'adresse de ligne) qui sont
 tous classiques et sont appliqués à la mémoire centrale 16
 pour l'adresser d'une manière connue.

Les signaux C1, C2 et C3 sont destinés à être
 30 utilisés de façon interne dans l'antémémoire et à suivre
 le déroulement des trois cycles d'instruction (de 160 ns
 chacun) qui sont nécessaires pour une opération de la mémoi-
 re centrale. On expliquera leur utilisation par la suite. Le
 signal LC (dernier cycle) a une durée de 160 ns et il est
 35 généralement synchronisé avec le dernier cycle de l'opéra-
 tion de mémoire. Le signal LC est appliqué de façon à res-
 taurer une bascule 141, qui retarde le signal de priorité
 CP (provenant de la figure 16), pour donner un signal CP

mémorisé (LCP) dont on expliquera ultérieurement l'utilisation. On utilise une bascule 137 pour retarder le signal d'absence de données dans l'antémémoire pendant une opération de lecture du processeur central, ce qui donne un
5 signal de sortie "MISS EXT", dont on décrira ultérieurement l'utilisation.

Le signal d'absence de données dans l'antémémoire inversé est normalement à l'état haut et il maintient normalement à l'état haut le signal STCP (arrêt du processeur
10 central), qui est émis par une bascule 135. Le signal STCP est appliqué à l'horloge mère (figure 11) et il est également appliqué au registre d'adresse de mémoire du processeur central, 58 (figure 3). Aussi longtemps que le signal STCP demeure à l'état haut, le processeur central n'est pas
15 arrêté ; les impulsions d'horloge TA, TO, T1, T2 sont générées ; et les adresses de mémoire du processeur central sont transmises sélectivement à partir de la sortie du registre d'adresse de mémoire 58. Lorsqu'un signal d'absence de données dans l'antémémoire est généré, d'une manière
20 qu'on décrira en relation avec la figure 14, la version inversée (MISS) du signal d'absence de données dans l'antémémoire passe à l'état bas, et à l'impulsion d'horloge L1 suivante (L0 est à l'état bas), le signal de sortie STCP passe à l'état bas. Ce signal arrête la génération des
25 impulsions T pour le processeur central et il empêche également que l'adresse de mémoire suivante soit émise vers l'antémémoire, à partir du réseau de bascules dans lequel elle est enregistrée.

On va maintenant considérer la figure 13 qui
30 représente la partie de l'antémémoire 24 qui concerne plus particulièrement l'adressage de l'antémémoire et l'adressage de la mémoire centrale. Ces circuits divisent le cycle de l'antémémoire et affectent des sous-cycles alternés de l'antémémoire à des fonctions particulières. Le premier
35 sous-cycle de l'antémémoire est consacré au traitement d'une adresse de lecture du processeur central, le second sous-cycle de l'antémémoire est consacré soit au traitement d'une adresse de lecture d'un adaptateur de bus, pour effec-

tuer un contrôle de l'antémémoire, soit à l'écriture dans l'antémémoire. L'écriture dans l'antémémoire peut impliquer soit l'écriture du bit d'état invalide d'une rubrique particulière de l'antémémoire, après qu'un contrôle de l'antémémoire (accompli au cours d'un cycle précédent) a déterminé qu'il existe une condition de correspondance d'étiquettes, soit l'écriture dans la mémoire de données de l'antémémoire et l'écriture de l'étiquette, pour mettre à jour l'antémémoire après qu'une absence de données dans l'antémémoire a été traitée à partir de la mémoire centrale 16, ou après une écriture en mémoire centrale par le processeur central.

Les circuits de la figure 13 reçoivent des adresses à partir de deux sources. Une adresse (MA 0-23) est reçue à partir du processeur central 12 pour une opération de mémoire (lecture ou écriture), et l'autre adresse (BMA 0-23) est reçue à partir de l'adaptateur de bus 22 pour une opération d'invalidation ou de contrôle de l'antémémoire (à la suite d'une opération d'écriture en mémoire centrale par un adaptateur de bus). Les circuits de la figure 13 déterminent quelle adresse doit aller vers les circuits de comparaison de la figure 14 pour être comparée, et également quelle adresse doit aller vers la mémoire centrale 16 pour l'opération de mémoire. Ces circuits comprennent généralement des multiplexeurs 102 et 104 destinés à sélectionner l'index et l'étiquette à appliquer à la mémoire de données de l'antémémoire et au comparateur de la figure 14; des réseaux de bascules 110 et 108 destinés à conserver l'adresse d'entrée du processeur central pour l'appliquer à la mémoire centrale 16 en cas d'une absence de données dans l'antémémoire ; et un multiplexeur 112 destiné à sélectionner l'adresse à émettre vers la mémoire centrale 16 pour une opération de mémoire.

On notera que les circuits de la figure 13 fonctionnent sans se préoccuper si l'opération de mémoire du processeur central est une lecture ou une écriture. Le signal de lecture REA provenant de la figure 15 est appliqué aux circuits de la figure 14, dans lesquels le signal d'absence de données dans l'antémémoire ne sera

généralisé que pour une opération de lecture. Pour une opération d'écriture du processeur central, toutes les opérations jusqu'à la génération du signal d'absence de données dans l'antémémoire sont accomplies, mais aucun signal d'absence de données n'est généré. Du fait que, conformément à l'invention, ce sous-cycle est consacré au traitement d'une adresse d'opération de mémoire du processeur central, aucune autre opération n'aurait pu être effectuée pendant ce sous-cycle et, par conséquent, ces opérations "gaspillées" ne
10 font pas perdre de temps.

En considérant toujours la figure 13, on voit que le bus 26 achemine les lignes d'adresse MA 0-23 à partir du registre d'adresse de mémoire 58 du processeur central 12 (figure 3), dont l'information est enregistrée dans un verrouillage
15 (réseau de bascules) à l'instant L0, à condition que le processeur central ne soit pas arrêté (signal $\overline{\text{STCP}}$ à l'état haut). Le bus 32 achemine des lignes d'adresse BMA 0-23 à partir de l'adaptateur de bus 22. L'adresse provenant de l'adaptateur de bus 22 est enregistrée dans le réseau de
20 bascules 100, qui est validé (à l'instant TA) par le signal de validation d'adaptateur de bus BA ENBLE, provenant de la figure 17.

Parmi les lignes du bus entrant 26 qui correspondent à l'adresse du processeur central, les lignes 9-20 (qui
25 acheminent les signaux qui constituent l'index, voir la figure 8) sont appliquées au multiplexeur de sélection d'index 102, tandis que les lignes 0-8 (c'est-à-dire l'étiquette, voir la figure 8) sont appliquées au multiplexeur de sélection d'étiquette 104. Le bus entrant 32 qui correspond à l'adresse d'adaptateur de bus entre en passant par
30 une mémoire tampon 106, validée par un signal d'écriture d'adaptateur de bus (BBAC 1) qui provient de l'adaptateur de bus 22, et ce bus est divisé de façon similaire : les lignes 0-8 (l'étiquette) sont appliquées au multiplexeur
35 de sélection d'étiquette 104, tandis que les lignes 9-20 sont appliquées au multiplexeur de sélection d'index 102.

Les signaux d'entrée appliqués au multiplexeur 102 sont sélectionnés par le signal d'horloge T12, tandis

que les signaux appliqués au multiplexeur 104 sont sélectionnés par le signal d'horloge $\overline{T12}$. Ainsi, les multiplexeurs 102 et 104 sont connectés au même instant mais dans des sens opposés ; l'index du processeur central est transmis par le multiplexeur 102 lorsque l'étiquette de l'adaptateur de bus est transmise par le multiplexeur 104. En considérant le diagramme séquentiel de la figure 12, on voit que T12 est à l'état haut pendant T1 et T2 ; par conséquent T12 est une impulsion de 80 ns de largeur.

10 Les multiplexeurs 102 et 104 sont ainsi commutés deux fois au cours de chaque cycle (160 ns). Pendant la première moitié du cycle, les signaux d'entrée A (index du processeur central) dirigés vers le multiplexeur de sélection d'index 102 sont transmis vers le réseau de bascules
15 d'adresse d'antémémoire, 114 ; pendant la seconde moitié du cycle, ce sont les signaux d'entrée B qui sont transmis. Les signaux d'entrée B peuvent être soit l'adresse d'adaptateur de bus provenant de la mémoire tampon 106, pour un contrôle de l'antémémoire (dans le cas de la priorité à
20 l'adaptateur de bus, pendant une écriture en mémoire centrale par un processeur périphérique); la même adresse d'adaptateur de bus (conservée dans la mémoire tampon 106) pour l'écriture d'un bit d'état invalide (après qu'un contrôle précédent de l'antémémoire ait donné une condition
25 de correspondance d'étiquettes) ; ou une adresse du processeur central appliquée précédemment (à partir du réseau de bascules 108). L'adresse du processeur central appliquée précédemment est soit une adresse pour une opération de lecture en mémoire qui a fait apparaître une absence de
30 données dans l'antémémoire, soit une adresse pour une opération d'écriture en mémoire par le processeur central ; dans un cas comme dans l'autre, l'adresse va maintenant être utilisée en tant qu'adresse pour une opération d'écriture de mise à jour de l'antémémoire.

35 Pendant la première moitié du cycle, les signaux d'entrée B appliqués au multiplexeur de sélection d'étiquette 104 sont transmis au réseau de bascules de sélection d'étiquette 116, pour être appliqués à l'entrée du compara-

teur d'étiquettes (figure 14) ; pendant la seconde moitié du cycle, les signaux d'entrée A appliqués au multiplexeur 104 sont transmis au réseau de bascules 116. Le but de cette configuration temporelle sera expliqué par la suite.

- 5 Le réseau de bascules d'adresse d'antémémoire 114 est chargé par le signal "d'horloge d'adresse" ADDR CLK ($L1$, LA) ; et le réseau de bascules de sélection d'étiquette 116 est chargé par le signal "d'horloge de chargement d'étiquette" IN TG CLOCK($\overline{L1}$, $\overline{LA}$).
- 10 Pour chaque opération de la mémoire centrale (y compris une mise à jour de l'antémémoire après une condition d'absence de données), il faut sélectionner une adresse qui doit être appliquée à la mémoire centrale 16 pour l'opération de mémoire. Pour chaque opération du processeur cen-
- 15 tral, qu'il s'agisse d'une opération de mémoire ou de tout autre genre d'opération, l'adresse du processeur central (MA 0-23) est transmise sélectivement par le réseau de bascules 110, sous l'action du signal d'horloge T2 (à condition que le processeur central 12 ne soit pas arrêté ; signal
- 20 GT2 à l'état haut), et elle est appliquée au multiplexeur d'adresse de la mémoire centrale, 112, et au réseau de bascules 108. Si l'opération n'est pas une opération de mémoire, ou si c'est une lecture en mémoire alors qu'il y a une condition de présence de données dans l'antémémoire, le
- 25 contenu du réseau de bascules 108 n'est jamais utilisé. S'il y a une condition d'absence de données dans l'antémémoire, les signaux CP (cycle d'accès en mémoire du processeur central, provenant de la figure 16), T1 et C1 (provenant de la figure 15 ; cycle 1, c'est-à-dire le premier cycle
- 30 de l'opération de mémoire pour traiter la condition d'absence de données) transmettent l'adresse vers le multiplexeur 102, par le réseau de bascules 108, pour indexer la position considérée dans la mémoire de données 124 de l'antémémoire, pour l'écriture de mise à jour après l'achèvement du
- 35 cycle de mémoire. La partie d'étiquette de l'adresse est émise sous la forme TWO-8 pour écriture dans l'antémémoire, comme on le décrira ultérieurement.

Du fait que sous l'effet d'une condition d'absence

de données dans l'antémémoire, le processeur central est arrêté après l'intervalle d'horloge T0 de son cycle, il peut déjà (pendant les intervalles TA, T0) avoir émis une autre adresse vers l'antémémoire pour une lecture en mémoire, avant d'être arrêté par le signal d'absence de données dans l'antémémoire (comme on le décrira). Cette adresse ne sera pas perdue, du fait qu'elle sera conservée dans le réseau de bascules 110, dont le contenu ne sera pas transmis avant le signal d'horloge T2 suivant, après que le signal d'absence de données dans l'antémémoire a été effacé. Par conséquent, pendant une opération de la mémoire centrale destinée à traiter une absence de données dans l'antémémoire, le réseau de bascules 110 conserve l'adresse pour l'opération de mémoire suivante, tandis que le réseau de bascules 108 conserve l'adresse qui a fait apparaître la condition d'absence de données et qui vient juste d'être dirigée vers la mémoire centrale pour l'opération courante. Lorsque l'opération de mémoire a été achevée et que les données doivent être écrites dans l'antémémoire, l'index pour l'écriture dans l'antémémoire est fourni par le réseau de bascules d'adresse d'antémémoire 108. L'étiquette est émise sous la forme du signal TWO-8 (écriture d'étiquette) qui est destiné à être écrit simultanément dans la mémoire d'étiquette 120 de l'antémémoire.

Les signaux d'entrée alternés appliqués au multiplexeur d'adresse de la mémoire centrale 112 sont sélectionnés par le signal BA (à l'état haut ou bas), provenant des circuits de priorité de la figure 16. Les signaux d'adresse sélectionnés (BMAR 3-20, avec des signaux de sélection de module qui sont étrangers à l'invention) sont émis de façon à adresser la mémoire centrale 16 (figure 19) et vers le contrôleur de mémoire 18 (CMA 0-23). Le contrôleur de mémoire emploie les signaux d'adresse pour conserver un enregistrement chronologique des transactions sur les bus et pour d'autres buts, qui sont tous étrangers à l'invention.

On va maintenant considérer la figure 14 qui représente la partie d'enregistrement de l'antémémoire. On a simplifié ce schéma en ne montrant pas la division réelle

de l'antémémoire en parties paire et impaire, qui est étrange au fonctionnement relatif à l'invention. En fait, une moitié seulement de la partie d'enregistrement est représentée. Pour se représenter la configuration partie paire/partie impaire de l'antémémoire, on peut considérer que la partie de la figure 14 allant jusqu'à la bascule 130 représente soit la partie paire, soit la partie impaire de l'antémémoire; et la partie restante est alors représentée par une autre structure similaire, qui n'est pas montrée, dont le signal de sortie est également appliqué à la bascule à un bit 130, pour donner un seul signal d'absence de données dans l'antémémoire.

La mémoire de données 124 est une mémoire vive qui enregistre les rubriques de l'antémémoire, tandis que la mémoire d'étiquette 120 enregistre les étiquettes à 9 bits associées, et la mémoire de bit d'invalidité 122 enregistre les bits d'invalidité associés. Les éléments 124, 122 et 120 sont tous adressés par l'index à 12 bits provenant du réseau de bascules d'adresse d'antémémoire 114 (figure 13), introduit par le signal d'horloge d'adresse "ADDR CLK" (L1, LA) (figure 13). La partie d'étiquette de la rubrique d'antémémoire est lue et appliquée au réseau de bascules d'étiquette 134. Simultanément, la partie de mot de la rubrique d'antémémoire est lue et appliquée au réseau de bascules de données 126.

Le réseau de bascules d'étiquette 134 est commandé par le signal de validation de réseau de bascules d'étiquette "TG LTCH ENBLE" (signaux d'horloge L0 + L2, le front arrière de l'impulsion étant actif) de façon à émettre l'étiquette enregistrée vers le comparateur d'étiquette 132. La partie d'étiquette d'adresse sélectionnée par le multiplexeur 104, représentée par CWA 0-8, est appliquée au comparateur d'étiquettes 132 à partir du réseau de bascules 116 (figure 13), par le signal d'horloge d'étiquette "IN TG CLCK" ($\overline{L1}$, $\overline{LA}$) pour la comparaison. Le signal de sortie "absence/présence" du comparateur est à l'état bas si les étiquettes sont égales, ou à l'état haut si elles sont différentes. Ce signal de sortie est appliqué à une bascule à

1 bit 130 qui est échantillonnée par le signal d'horloge d'absence de données "MIS CLCK" ($\overline{LA}$) pour une opération de lecture en mémoire du processeur central, seulement, sous la commande du signal de lecture "REA" qui provient de la figure 15. Dans le cas d'une opération d'écriture en mémoire par le processeur central, ou d'un sous-cycle d'adresse d'adaptateur de bus, aucun signal MISS ou $\overline{MISS}$ n'est généré. Le bit d'absence/présence MISS/HI provenant du comparateur 132 est combiné par une porte OU avec le bit d'invalidité enregistré qui provient de la mémoire 122, avant d'être appliqué à la bascule 130. Ainsi, pour une lecture du processeur central, une condition d'absence de correspondance d'étiquettes ou un bit d'invalidité entraîne une condition d'absence de données dans l'antémémoire, ce qui est représenté par le signal MISS (signal de condition).

Le signal d'absence/présence MISS/HI est appliqué à la bascule 137 de la figure 15, comme décrit précédemment, qui génère un signal d'absence prolongé " $\overline{MISS\ EXT}$ " (pendant une opération de lecture seulement).

Les données provenant de la mémoire de données 124 sont émises par le réseau de bascules de données 126 sous l'effet du signal de validation de réseau de bascules de données "DTA LTCH ENBLE" (L1, L2) et sont dirigées vers la mémoire tampon 128. Si les étiquettes sont égales et si le bit provenant de la mémoire 122 indique que la rubrique est valide, les données provenant de la mémoire tampon 128 passent directement sur le bus 40 vers le registre de données de mémoire 56 du processeur central 12 (figure 13); et le signal $\overline{MISS\ EXT}$ provenant de la bascule 137 valide le réseau de bascules 54 (figure 2) et invalide la mémoire tampon 128.

Le bit d'absence/présence MISS/HI provenant du comparateur d'étiquettes 132 est également appliqué de façon à positionner la bascule 146. Pendant un cycle d'antémémoire suivant, comme on le décrira de façon plus détaillée en relation avec la figure 22, le signal de sortie d'invalidité est appliqué à l'accès d'entrée de données de la mémoire d'invalidité 122 de l'antémémoire, pour être écrit à l'adres-

se courante qui est appliquée à la mémoire à partir du réseau de bascules d'adresse d'antémémoire 108.

Du fait que le signal de validation du réseau de bascules de données "DTA LTCH ENBLE" n'est à l'état haut que pendant le premier sous-cycle du cycle de fonctionnement de l'antémémoire, le réseau de bascules n'émet pas de données vers le processeur central 12 pendant le second sous-cycle, pour une opération de contrôle d'antémémoire, d'écriture d'invalidation ou d'écriture de données dans l'antémémoire.

10 En retournant à la figure 11, on note que, comme décrit précédemment, le signal d'absence de données dans l'antémémoire, MISS, arrête le processeur central en inversant le signal GT2, ce qui invalide les impulsions d'horloge T1 et T2. Le processeur central est donc arrêté après l'im-
15 pulsion d'horloge T0. Si aucun adaptateur de bus ne demande l'accès à la mémoire centrale, le circuit de priorité de la figure 16 génère le signal $CP/\overline{BA}$. La condition d'absence de données dans l'antémémoire peut être immédiatement traitée.

20 Pour satisfaire la demande de lecture du processeur central dans le cas d'une absence de données dans l'antémémoire, les bits de sélection de module (non représentés) et les signaux d'adresse BMAR 3-20 (provenant de la figure 13) sont émis vers la mémoire centrale 16 (figure
25 19), en compagnie de signaux d'horloge et de commande qui proviennent de la figure 15, pour sélectionner le double mot adressé. Trois cycles d'instruction sont nécessaires pour exécuter entièrement l'accès en mémoire centrale. Le double mot est acheminé par le contrôleur de mémoire 18
30 sur le bus 44, après quoi il est émis sur le bus 52 vers le réseau de bascules de données du processeur central, 54 (figure 2) ; et le signal MISS EXT charge les données dans le registre de données de mémoire 56 (figure 13).

Le signal d'absence de données dans l'antémémoire, MISS, est effacé (figure 14) à l'instant L0, lorsque les
35 circuits d'horloge de mémoire de la figure 15 ont déterminé que le dernier cycle des trois cycles de fonctionnement nécessaires de la mémoire centrale a été atteint, pour une

opération de lecture en mémoire concernant le processeur central (LC, LCM 24, et LCP ; LCM 24 est le signal de commande de mémoire CM 24 provenant de la figure 18 qui a été enregistré dans une bascule et qui est toujours à l'état haut pour une opération de lecture). Ces signaux d'entrée sont appelés conjointement signal d'effacement d'absence de données "CLR MISS", et ce signal est également appliqué aux circuits de la figure 15, dans lesquels il efface le signal de lecture REA.

10 Sous l'effet de l'effacement du signal d'absence de données dans l'antémémoire (le signal $\overline{\text{MISS}}$ passe à l'état haut), le signal "STCP" (arrêt du processeur central) s'inverse à l'instant L0 (bascule 135, figure 15). En retournant à la figure 11, on voit que lorsque le signal $\overline{\text{MISS}}$ 15 passe à l'état haut, le signal GT2 autorise l'émission des impulsions T1, T2 vers le processeur central, ce qui fait redémarrer le processeur en milieu de cycle. Le signal GT1 autorise alors l'émission des impulsions TA, TO. Le processeur central continue alors à fonctionner jusqu'à ce qu'une 20 autre condition d'absence de données dans l'antémémoire survienne (à moins qu'une opération d'écriture en mémoire centrale ait lieu, ce qui ne concerne pas l'invention).

De façon plus détaillée, et en considérant maintenant le diagramme séquentiel de la figure 23, on voit que 25 le signal $\overline{\text{STCP}}$ est normalement à l'état haut. Il passe à l'état bas soit dans le cas où le processeur central écrit dans la mémoire centrale, ce qui n'est pas décrit ici, soit sous l'effet du signal MISS provenant de la bascule 130 (figure 14), comme le montre la figure 15. Le signal $\overline{\text{STCP}}$ 30 passe à l'état bas à l'instant L1. Comme le montre la figure 11, le signal $\overline{\text{STCP}}$ est appliqué à l'entrée de restauration C de la bascule 61 relative au signal GT1. Lorsque le signal $\overline{\text{STCP}}$ passe à l'état bas, le signal $\overline{\text{GT1}}$ est porté à l'état bas, ce qui invalide les impulsions TA, TO suivantes dirigées vers le processeur central 12, et le signal GT1 est 35 forcé à l'état haut.

En l'absence du signal d'absence de données dans l'antémémoire, MISS, (c'est-à-dire dans le cas d'une opéra-

tion d'écriture en mémoire centrale par le processeur central), le signal GT1 est appliqué sur l'entrée D de la bascule 63, relative au signal GT2 ; ensuite, au moment de l'impulsion L0 suivante, le signal $\overline{\text{GT2}}$ passe à l'état bas, ce qui invalide les impulsions T1, T2 suivantes dirigées vers le processeur central 12. Lorsque le signal $\overline{\text{STCP}}$ passe à nouveau à l'état haut (après que l'opération d'écriture a été déclenchée), au moment de l'impulsion L1, le signal GT1 passe à l'état haut au moment de l'impulsion L2 (les impulsions d'horloge TA, T0 sont validées), et le signal $\overline{\text{GT2}}$ passe à l'état haut au moment de l'impulsion L0 suivante (les impulsions d'horloge T1, T2 sont validées). Ainsi, dans le cas de l'écriture en mémoire centrale, le processeur central 12 est arrêté à l'impulsion TA et il reprend son fonctionnement à cette impulsion.

Dans le cas de l'arrêt du processeur central à cause d'une condition d'absence de données dans l'antémémoire, le signal d'absence de données dans l'antémémoire n'est pas généré avant l'apparition de l'impulsion L0, à la moitié de l'impulsion TA. On doit donc établir dans ce cas un temps d'arrêt différent (et une séquence temporelle différente pour la reprise des opérations). Dans ce but, le signal $\overline{\text{MISS}}$ est combiné dans une porte ET avec le signal GT1 pour être appliqué sur l'entrée D de la bascule 63, relative au signal GT2, et le signal $\overline{\text{MISS}}$ est également combiné dans une porte ET avec le signal de sortie $\overline{\text{GT2}}$ qui est issu de la bascule 63. Par conséquent, le signal de validation GT2 est forcé à l'état haut lorsque le signal $\overline{\text{MISS}}$ passe à l'état bas ce qui invalide les impulsions T1, T2 et arrête le processeur central au milieu du cycle d'instruction. Le signal $\overline{\text{GT1}}$ est ensuite forcé à l'état bas (au moment de l'impulsion L1) par le signal STCP.

Une fois que la mise à jour de l'antémémoire a été achevée, avec écriture dans la mémoire de données de l'antémémoire (comme on le décrira ultérieurement) pendant le temps TA du second sous-cycle d'antémémoire dans le dernier cycle de la mémoire centrale, le signal MISS provenant de la bascule 130 est effacé (figure 14). Le signal $\overline{\text{MISS}}$

passe à l'état haut au moment de l'impulsion L0 ; et le
 signal $\overline{\text{STCP}}$ passe à l'état haut au moment de l'impulsion L1
 (figure 15). La transition du signal $\overline{\text{MISS}}$ force le signal
 GT2 à l'état bas à L0, ce qui permet l'émission des impul-
 5 sions d'horloge T1, T2 vers le processeur central 12 ;
 ensuite, au moment de l'impulsion L2, le signal $\overline{\text{GT1}}$ passe à
 l'état haut et valide les impulsions TA, T0. Le cycle
 d'instruction du processeur central reprend donc en milieu
 de cycle, au point auquel il avait été suspendu.

10 La mémoire de données de l'antémémoire est mise à
 jour après une condition d'absence de données dans l'anté-
 mémoire, ou pendant une opération d'écriture en mémoire cen-
 trale par le processeur central, sous l'effet d'une opéra-
 tion d'écriture dans l'antémémoire.

15 On va maintenant considérer la figure 20 sur
 laquelle on voit les circuits d'écriture dans l'antémémoire,
 150, qui commandent l'écriture du contenu de l'antémémoire
 après une condition d'absence de données dans l'antémémoire,
 et qui commandent également l'écriture du bit d'invalidité
 20 de l'antémémoire après une correspondance d'étiquettes à la
 suite d'une comparaison d'adresse d'adaptateur de bus. Pour
 écrire le bit d'invalidité, désigné par INV, le bit $\overline{\text{INV}}$
 (provenant de la bascule 146 de la figure 14), est appli-
 qué aux circuits 150. Pour effectuer une opération d'écrit-
 25 ture dans la mémoire de données de l'antémémoire, les
 signaux de commande LCM 24 et MCM 24, et les signaux de
 commande d'écriture WRTE 8, WRTE 16, WRTE 32 ou WRTE 64
 (provenant de la figure 15) sont appliqués en entrée.

L'écriture dans la mémoire de données de l'anté-
 30 mémoire s'effectue à des instants différents pour une opé-
 ration d'écriture et une opération de lecture en mémoire
 centrale, comme il ressortira de l'examen de la figure 23.
 Toutes les opérations d'écriture ont lieu à l'instant TA,
 c'est-à-dire pendant le sous-cycle B du cycle de fonction-
 35 nement de l'antémémoire. Pour une opération d'écriture en
 mémoire centrale, les impulsions d'écriture sont émises à
 l'instant TA des cycles de mémoire C1 et C2 (figure 15),
 tandis que pour une opération de lecture en mémoire centra-

le (mise à jour de l'antémémoire), l'impulsion d'écriture est émise à l'instant TA du cycle de mémoire 3 (LC, dernier cycle). Des opérations d'écriture du bit d'invalidité ont également lieu à l'instant TA, pendant n'importe quel cycle 5 de la mémoire centrale. Du fait que toutes les opérations d'écriture ont lieu pendant le second sous-cycle du cycle de fonctionnement de l'antémémoire, les opérations d'écriture dans l'antémémoire ne peuvent pas gêner l'acceptation d'une demande de lecture en mémoire par le processeur cen- 10 tral pendant le premier sous-cycle de l'antémémoire.

Les impulsions d'écriture dans l'antémémoire (WCP) sont appliquées à l'entrée de la mémoire d'étiquette 120, de la mémoire d'invalidité 122 et de la mémoire de données 124 (figure 14), de manière appropriée.

15 Le fait de consacrer les sous-cycles de l'antémémoire à des fonctions particulières, de la manière décrite, et en particulier le fait de consacrer exclusivement le premier sous-cycle à l'acceptation d'une demande de lecture en mémoire par le processeur central, entraîne qu'une adres- 20 se du processeur central pour une opération de lecture en mémoire est toujours acceptée, une fois par cycle d'antémémoire, dans le but de comparer son étiquette avec le contenu de l'antémémoire. S'il y a une condition de présence de données dans l'antémémoire, les données demandées sont 25 retournées vers le processeur central au cours de la période TA du cycle de micro-instruction suivant du processeur central. Le processeur central est ainsi capable de poursuivre son fonctionnement sans pause.

S'il y a une condition d'absence de données dans 30 l'antémémoire, le processeur central est arrêté et il peut être obligé d'attendre pendant plusieurs cycles jusqu'à ce qu'il obtienne l'accès en mémoire centrale, ce qui ne se produit que lorsque aucun adaptateur de bus ne réclame l'accès. Lorsque les données sont obtenues à partir de la mémoire 35 centrale, elles sont appliquées immédiatement au processeur central, pendant le second sous-cycle du cycle de l'antémémoire, et lorsque le processeur central redémarre sous l'effet du passage à l'état haut du signal MISS (signal

d'absence de données dans l'antémémoire inversé), le processeur central commence une phase de fonctionnement comme s'il y avait eu une condition de présence de données dans l'antémémoire. La mémoire de données de l'antémémoire fait
5 l'objet d'une opération d'écriture pendant le second sous-cycle de l'antémémoire, après le redémarrage du processeur central.

L'antémémoire ne fait l'objet de contrôles de correspondance d'étiquettes d'adaptateur de bus que pendant
10 un second sous-cycle du cycle de fonctionnement de l'antémémoire. En cas de condition de correspondance d'étiquettes, la bascule 146 est positionnée et, au moment du second sous-cycle suyvant (après que le processeur central a eu
l'opportunité d'introduire une demande de lecture en mémoire), le bit d'invalidité correspondant à l'adresse qui a
15 donné lieu à une correspondance est écrit par le circuit logique d'écriture dans l'antémémoire 150 (figure 20).
Toute tentative ultérieure faite par le processeur central pour lire à cette position dans l'antémémoire fera apparaître un signal d'absence de données dans l'antémémoire
20 (MISS) et l'antémémoire sera mise à jour de la manière décrite.

Du fait de cette spécialisation des sous-cycles de fonctionnement de l'antémémoire, l'écriture dans l'antémémoire (pour écrire un bit d'invalidité, pour mettre à jour
25 un double mot sous l'effet d'une condition d'absence de données dans l'antémémoire, ou pour mettre à jour l'antémémoire après une opération d'écriture en mémoire centrale par le processeur central), est "transparente" pour les opérations de lecture en mémoire qu'effectue le processeur central.
30 Le processeur central ne doit jamais attendre pendant l'accomplissement d'une telle opération d'écriture. En particulier, contrairement à la configuration de nombreuses machines informatiques qui emploient une antémémoire, il
n'est pas nécessaire qu'il y ait un cycle d'antémémoire
35 "spécialisé" pour mettre à jour l'antémémoire après une condition d'absence de données dans l'antémémoire, avant que le processeur central puisse reprendre son fonctionnement. De

plus, le processeur central peut lire immédiatement (pendant son cycle de micro-instruction suivant) une position qui vient d'être mise à jour après une condition d'absence de données dans l'antémémoire. Lorsque le processeur central
5 tente de lire une position qui vient juste d'être la position d'une opération d'écriture en mémoire centrale, des anomalies peuvent apparaître, mais on évite aisément cette situation en prenant des précautions appropriées dans la micro-programmation du processeur central.

10 On va maintenant décrire le fonctionnement de la machine de l'invention en considérant les diagrammes séquentiels des figures 21, 22 et 23.

On va tout d'abord considérer la figure 21 qui représente les événements correspondant à une opération de
15 lecture en mémoire par le processeur central.

La micro-instruction de lecture en mémoire par le processeur central commence à l'instant TA et se poursuit pendant l'impulsion T2. Au niveau du front positif du signal $\overline{LA}$, l'adresse est appliquée à l'antémémoire 24 à
20 partir du registre d'adresse de mémoire 58 (figure 3). Pendant que T12 est à l'état bas, les signaux d'entrée A du multiplexeur d'index 102 (figure 13) sont sélectionnés, de façon à transmettre l'index du processeur central au réseau de bascules d'adresse d'antémémoire 114. Le signal d'horloge d'adresse "ADDR CLK" (L1, LA) passe à l'état haut à L1
25 et il transmet l'index du processeur central du réseau de bascules 114 vers l'antémémoire (figure 14). Dans ces conditions, la mémoire de données 124 émet les données qui apparaissent en sortie du réseau de bascules de données 126
30 pendant le temps L1, L2 (80 ns). Ces données sont enregistrées dans le registre de données de mémoire du processeur central, 56 (figure 3), à l'instant TA. Dans le cas d'une condition de présence de données dans l'antémémoire, le processeur central continue sans faire de pause et passe à
35 son cycle de micro-instruction suivant.

Lorsque T12 passe à l'état haut, $\overline{T12}$ passe à l'état bas, et les signaux d'entrée A (étiquette du processeur central) dirigés vers le multiplexeur de sélection

d'étiquette 104 sont sélectionnés et transmis au réseau de bascules de sélection d'étiquette 116. Le signal d'horloge d'étiquette "IN TG CLCK" ($\overline{L1}$, $\overline{LA}$) fait apparaître l'étiquette en sortie du réseau de bascules pour l'appliquer au comparateur 132 (figure 14). L'étiquette enregistrée est émise par la mémoire d'étiquette 120 en même temps que les données enregistrées, sous l'effet de l'index d'entrée provenant du réseau de bascules 114 ; et le front de sens négatif du signal de validation de réseau de bascules d'étiquette

10 "TG LTCH ENBLE" ($L0$, $L2$) transmet l'étiquette enregistrée au comparateur 132. Le signal de sortie d'absence/présence du comparateur 132 est appliqué à l'entrée de la bascule 130 qui est échantillonnée au moment du signal $\overline{LA}$ (horloge d'absence de données, "MISS CLCK"). Dans le cas d'une con-

15 dition d'absence de données dans l'antémémoire, le signal correspondant MISS qui est appliqué à la bascule 135 (figure 15) provoque l'inversion du signal STCP au moment de l'impulsion $\overline{L0}$.

Comme le montre la figure 21, le signal d'absence

20 de données dans l'antémémoire n'est généré qu'après que les données de l'antémémoire ont déjà été transférées vers le registre de données de mémoire du processeur central 12. S'il n'y a pas de condition d'absence de données, le processeur central continue à fonctionner avec ces données.

25 S'il y a une condition d'absence, le processeur central est arrêté après $T0$ (comme on le décrira en relation avec la figure 23) ; et les données sont remplacées par celles résultant de l'opération de lecture en mémoire centrale, avant que le processeur central recommence à fonctionner.

30 On va maintenant considérer la figure 22 qui représente les opérations de contrôle et d'invalidation de l'antémémoire. Ces opérations ne sont déclenchées qu'en présence d'une opération d'écriture d'adaptateur de bus (processeur périphérique) dans la mémoire centrale. Pour

35 une telle opération, l'adaptateur de bus émet le signal MRBA vers les circuits des figures 16 et 17, qui génèrent le signal de priorité d'adaptateur de bus BA et le signal de validation d'adaptateur de bus BA ENBLE. Le signal BA

ENBLE passe à l'état haut au moment de l'impulsion TA. Les circuits de la figure 15 déclenchent une opération de mémoire centrale, en commençant par le cycle 1 (C1) à T0. Le signal de commande d'accès en mémoire BAC 1 est chargé dans une bascule pour donner le signal BBAC1, lorsque l'opération de mémoire commence. Lorsque T1, T2 est à l'état haut, les signaux d'entrée B du multiplexeur 102 (index d'adaptateur de bus) sont sélectionnés et sont émis vers le réseau de bascules d'adresse d'antémémoire 114. Le signal d'horloge d'adresse "ADDR CLCK" (L1, LA) émet l'index d'adaptateur de bus vers l'antémémoire (figure 14). Aucune donnée n'est émise vers le processeur central.

Les signaux d'entrée B du multiplexeur 104 (étiquette d'adaptateur de bus) sont sélectionnés lorsque $\overline{T1}$, $\overline{T2}$ passe à l'état haut ; et l'étiquette d'adaptateur de bus est émise vers le réseau de bascules de sélection d'étiquette 116. Le signal d'horloge d'étiquette "IN TG CLCK" ($\overline{L1}$, $\overline{LA}$) fait apparaître l'étiquette en sortie du réseau de bascules pour l'appliquer au comparateur 132. L'étiquette enregistrée est présentée en sortie du réseau de bascules d'étiquette 134 par le signal de validation de réseau de bascules d'étiquette "TG LTCH ENBLE" (L0, L2) pour être appliquée au comparateur 134. Le bit d'absence/présence est appliqué à l'entrée de la bascule d'invalidité 146 (figure 14), qui est échantillonnée par le signal d'horloge d'invalidité "INV CLK" au moment du signal L2. Dans le cas d'une condition de correspondance d'étiquettes, le signal de sortie $\overline{INV}$ (qui est normalement à l'état haut) passe à l'état bas.

Le signal $\overline{INV}$ est appliqué à l'entrée des circuits d'écriture d'antémémoire de la figure 20, dans lesquels il fait apparaître en sortie une impulsion d'écriture dans l'antémémoire WCP, au moment de l'impulsion TA. Le signal de sortie INV de la bascule 146 constitue le signal d'entrée de données de la mémoire de bit d'invalidité 122 (figure 14) lorsque l'impulsion d'écriture dans l'antémémoire, WCP est appliquée en entrée. L'adresse à laquelle le signal INV est écrit est la même que celle à

laquelle la condition de correspondance d'étiquettes a été trouvée, du fait que l'adresse est conservée dans la mémoire tampon 106 pendant toute l'opération d'écriture en mémoire centrale pour un adaptateur de bus (aucune autre adresse d'adaptateur de bus ne peut être introduite jusqu'à ce que l'opération de mémoire soit terminée, ce qui peut se produire après plusieurs cycles de fonctionnement de l'antémémoire). L'opération d'écriture d'invalidité peut en fait être répétée au cours de chaque cycle de l'antémémoire, pendant toute l'opération de la mémoire centrale ; ceci ne crée aucune difficulté. On notera que pendant toute l'opération de mémoire centrale pour un adaptateur de bus, y compris les opérations d'écriture d'invalidité, le processeur central conserve la possibilité de lire dans l'antémémoire, à chaque cycle de l'antémémoire. Si l'une des opérations de lecture du processeur central conduit à une condition d'absence de données dans l'antémémoire, le processeur central doit être arrêté jusqu'à ce que l'opération de mémoire centrale pour un adaptateur de bus soit achevée. Si aucune autre opération de mémoire pour un adaptateur de bus n'est en attente, les circuits de la figure 16 donneront la priorité au processeur central pour l'accès en mémoire, et les opérations de lecture en mémoire centrale et de mise à jour de l'antémémoire pourront avoir lieu.

On va maintenant considérer la figure 23 qui montre les événements concernant une condition d'absence de données et de mise à jour de l'antémémoire. Le signal $\overline{\text{MISS}}$ passe à l'état bas à L0 (figure 14) ; et le signal $\overline{\text{STCP}}$ passe à l'état bas à L1 (figure 15). Le processeur central 12 est arrêté après T0. L'opération de mémoire centrale est déclenchée avec le cycle 1 (C1) à T0. L'opération de mémoire centrale comprend trois cycles ; l'écriture en mémoire s'effectue pendant les cycles 1 et 2 et la lecture s'effectue pendant le cycle 3. L'impulsion d'écriture dans l'antémémoire destinée à la mise à jour de l'antémémoire après une condition d'absence de données est générée pendant le dernier cycle (C3), du fait que la lecture en mémoire centrale doit être effectuée avant que l'écriture dans l'anté-

mémoire puisse avoir lieu. Le signal $\overline{\text{MISS}}$ passe à nouveau à l'état haut à L0 pendant le dernier cycle de la mémoire centrale ; et le signal $\overline{\text{STCP}}$ passe à l'état haut à L1. Le processeur central redémarre au moment de l'impulsion T1.

5 Pour une opération d'écriture en mémoire par le processeur central, les impulsions d'écriture dans l'antémémoire sont émises au moment de l'impulsion TA pendant les cycles 1 et 2 ; et le processeur central redémarre après que l'opération de mémoire a commencé. Le processeur central 12
10 peut donc lire dans l'antémémoire pendant chaque sous-cycle A tandis que l'opération d'écriture dans l'antémémoire se poursuit pendant le sous-cycle B.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif décrit et représenté,
15 sans sortir du cadre de l'invention.

REVENDEICATIONS

1. Machine informatique, comprenant _____
_____ un processeur central (12) comportant un registre
d'adresse de mémoire (58) destiné à fournir des signaux
5 d'adresse de mémoire et un registre de données de mémoire
(56) destiné à recevoir et à fournir des signaux de données ;
une mémoire de contrôle (14) connectée au processeur central
et fournissant à ce dernier des signaux de commande qui
représentent des micro-instructions, des signaux de commande
10 particuliers à l'intérieur d'une micro-instruction représen-
tant des opérations d'accès en mémoire pour la lecture ou
l'écriture, et le processeur central réagissant à ces signaux
de commande d'accès en mémoire en générant des signaux
d'adresse de mémoire et en les plaçant dans le registre
15 d'adresse de mémoire ; une mémoire physique qui peut être
adressée par les signaux d'adresse de mémoire et qui est
capable d'enregistrer des signaux de données, cette mémoire
comprenant une mémoire centrale (16) à accès relativement
lent, et une antémémoire (24) à accès relativement rapide,
20 le registre d'adresse de mémoire (58) du processeur central
étant connecté à cette mémoire physique de façon à lui
appliquer des signaux d'adresse de mémoire et le processeur
central appliquant en outre les signaux de commande d'accès
en mémoire à la mémoire physique ; une horloge mère (20)
25 qui est connectée au processeur central et à la mémoire
physique et qui leur applique des impulsions d'horloge, des
impulsions particulières parmi ces impulsions d'horloge
définissant un cycle de fonctionnement du processeur cen-
tral et ce cycle de fonctionnement du processeur central
30 ayant une longueur fixe pour des opérations comprenant un
accès en mémoire ; et au moins un processeur périphérique
connecté à la mémoire physique pour effectuer des accès de
lecture et d'écriture dans cette mémoire, ce processeur
périphérique appliquant à la mémoire physique des signaux
35 d'adresse de mémoire, des signaux de commande d'accès en
mémoire et des signaux de données, tandis qu'il reçoit des
signaux de données à partir de la mémoire physique ; carac-
térisée en ce que _____

l'antémémoire (24) comporte une horloge d'antémémoire qui fonctionne sous la dépendance de l'horloge mère et qui produit un ensemble d'impulsions d'horloge définissant un cycle de fonctionnement de l'antémémoire ; l'antémémoire 5 comporte des moyens d'enregistrement de signaux de données (124) destinés à enregistrer des signaux de données, des moyens d'adressage destinés à appliquer les signaux d'adresse de mémoire reçus à partir de la mémoire physique, pour adresser les moyens d'enregistrement de signaux de données, 10 des moyens de comparaison (132) qui réagissent aux signaux d'adresse appliqués et aux signaux de données enregistrés de façon à générer un signal de sortie représentatif de la présence ou de l'absence de données particulières dans l'antémémoire, et des moyens de génération de signaux qui 15 réagissent au signal de sortie des moyens de comparaison en générant un signal de condition ayant un état parmi deux états représentatifs de la présence ou de l'absence des données particulières ; les moyens d'adressage de l'antémémoire fonctionnent sous la dépendance de l'horloge d'antémémoire de façon à consacrer une première partie du cycle 20 de fonctionnement de l'antémémoire à l'application exclusive des signaux d'adresse reçus à partir du processeur central aux moyens d'enregistrement de signaux de données et aux moyens de comparaison de l'antémémoire ; et les moyens 25 d'adressage de l'antémémoire fonctionnent sous la dépendance de l'horloge d'antémémoire de façon à consacrer une seconde partie du cycle de fonctionnement de l'antémémoire à une opération parmi plusieurs comprenant l'application des signaux d'adresse reçus à partir d'un processeur périphérique aux moyens d'enregistrement de signaux de données 30 et aux moyens de comparaison de l'antémémoire.

2. Machine informatique selon la revendication 1, caractérisée en ce que l'horloge mère (20) réagit à un premier état du signal de condition, représentatif de l'absence 35 de données particulières dans les moyens d'enregistrement de données de l'antémémoire, en invalidant les impulsions d'horloge du processeur central et en arrêtant ainsi le processeur central (12) ; la mémoire physique réagit au

premier état du signal de condition, ainsi qu'aux signaux de commande d'accès en mémoire reçus à partir du processeur central, en accomplissant une opération d'accès en mémoire centrale qui comprend l'application à la mémoire centrale (16) des signaux d'adresse de mémoire reçus à partir du processeur central, pour adresser les données particulières, et l'application de ces données particulières au processeur central ; les moyens de génération de signaux de l'antémémoire réagissent à l'achèvement de l'opération d'accès en mémoire centrale en générant le signal de condition ayant le second état ; et l'horloge mère (20) réagit au second état du signal de condition en validant les impulsions d'horloge du processeur central et en faisant ainsi redémarrer le processeur central.

3. Machine informatique selon la revendication 2, caractérisé en ce que la mémoire physique comprend en outre des moyens d'écriture dans l'antémémoire (150) ; l'antémémoire comprend en outre des moyens d'enregistrement d'information de validité (122) qui sont associés aux moyens d'enregistrement de données (124) et qui comprennent un ensemble de bits de validité, chacun d'eux ayant deux états et pouvant être adressé par les signaux d'adresse de mémoire ; les moyens d'écriture dans l'antémémoire (150) réagissent au signal de sortie des moyens de comparaison, généré sous l'effet de l'application des signaux d'adresse de mémoire de processeur périphérique aux moyens d'enregistrement de données de l'antémémoire et aux moyens de comparaison, en effectuant une première opération d'écriture qui comprend l'application des signaux d'adresse de mémoire de processeur périphérique de façon à adresser une position dans les moyens d'enregistrement d'information de validité, et le positionnement du bit de validité se trouvant à cette position, à un premier état représentatif de l'invalidité ; et les moyens d'écriture dans l'antémémoire fonctionnent sous la dépendance de l'horloge d'antémémoire en effectuant la première opération d'écriture pendant la seconde partie d'un cycle de fonctionnement suivant de l'antémémoire.

4. Machine informatique selon la revendication 3, caractérisée en ce que les moyens de génération de signaux de l'antémémoire réagissent également au premier état du bit de validité en générant le signal de condition avec le premier état.

5. Machine informatique selon la revendication 4, caractérisée en ce que les moyens d'écriture dans l'antémémoire (150) réagissent à l'achèvement de l'opération d'accès en mémoire centrale, et aux signaux d'adresse de mémoire ainsi qu'aux signaux de commande d'accès en mémoire reçus à partir du processeur central, en effectuant une seconde opération d'écriture qui comprend l'application des signaux d'adresse de mémoire de façon à adresser une position dans les moyens d'enregistrement de données (124) de l'antémémoire, et l'écriture à cette position des données particulières obtenues, et les moyens d'écriture dans l'antémémoire fonctionnent sous la dépendance de l'horloge d'antémémoire de façon à effectuer la seconde opération d'écriture pendant la seconde partie d'un cycle de fonctionnement de l'antémémoire.

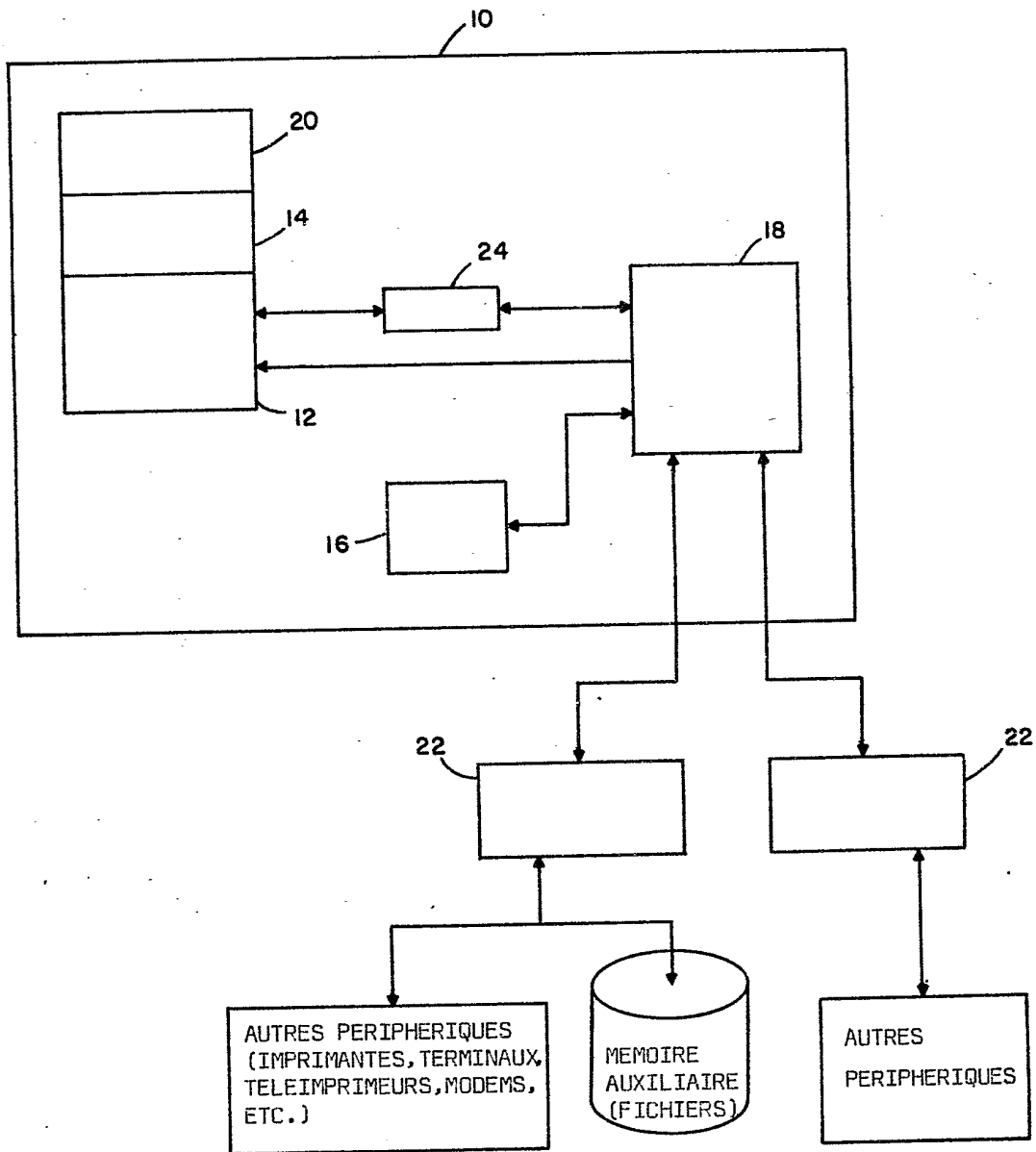


FIG. 1

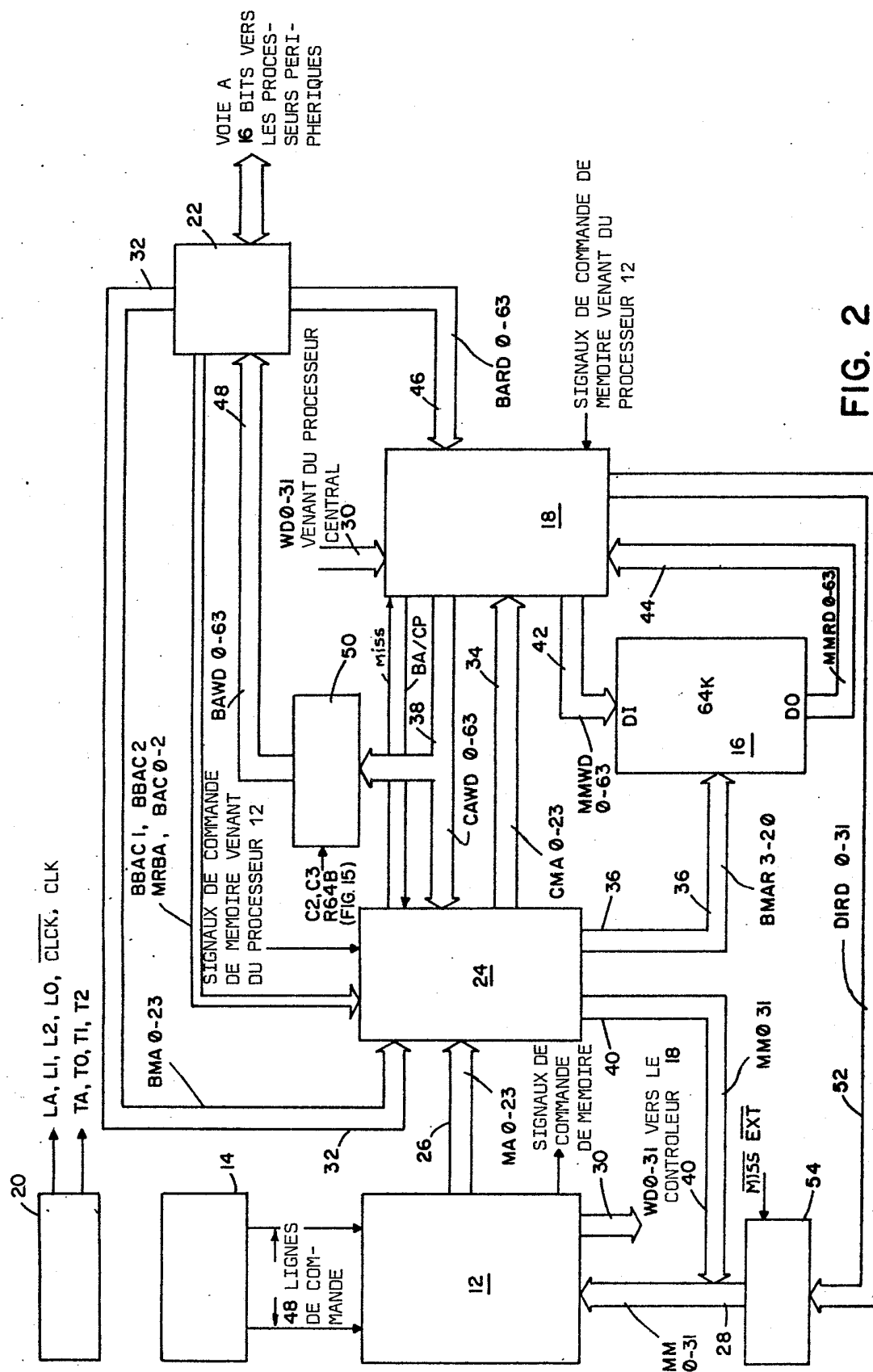
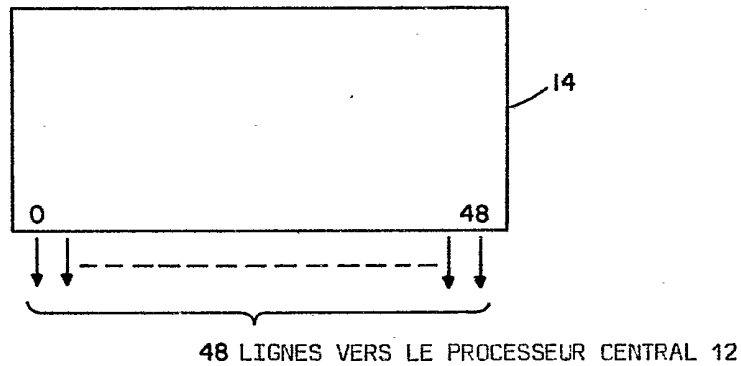
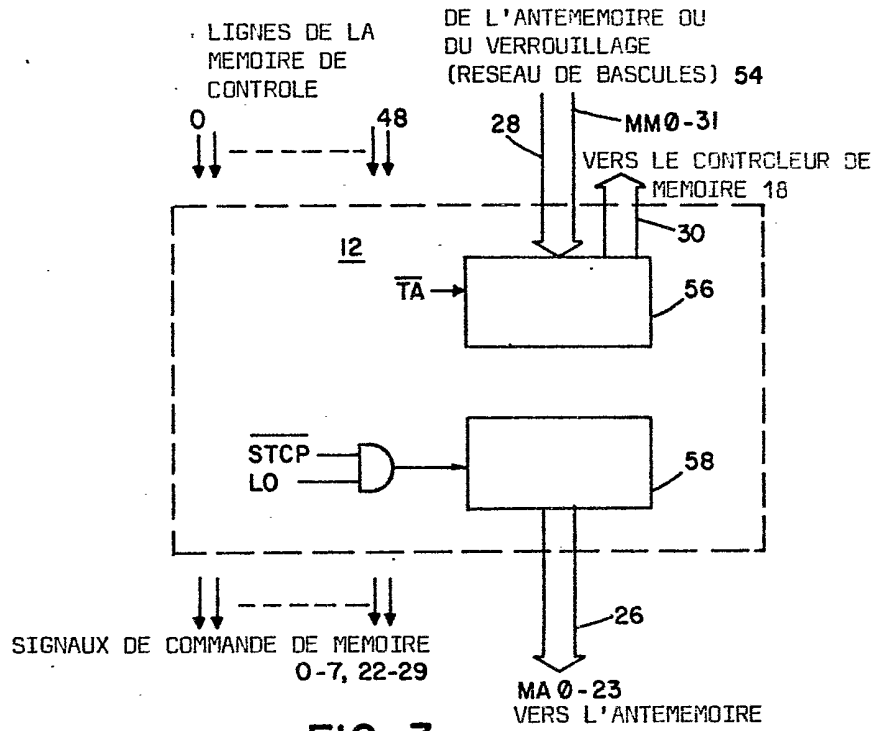
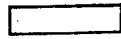


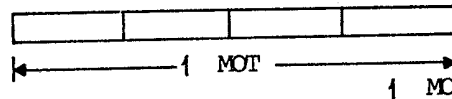
FIG. 2





1 OCTET = 8 BITS

FIG. 4



= 4 OCTETS = 32 BITS

FIG. 5

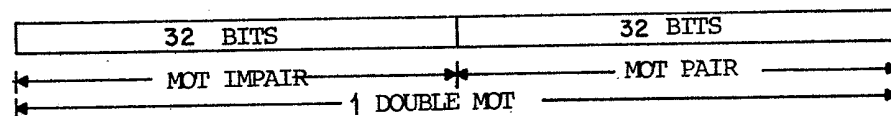


FIG. 6

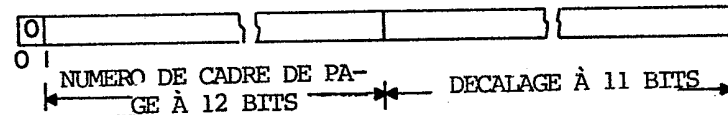


FIG. 7

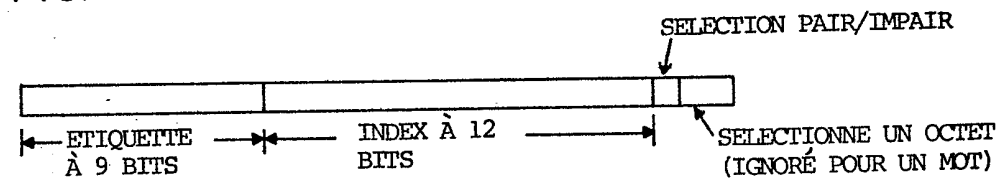


FIG. 8

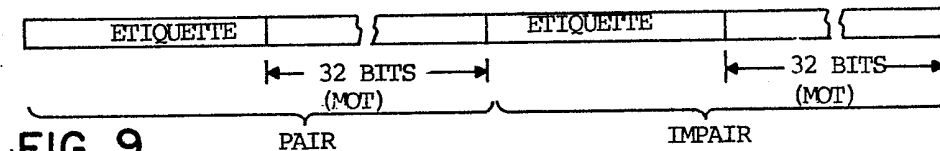


FIG. 9

FIG. II

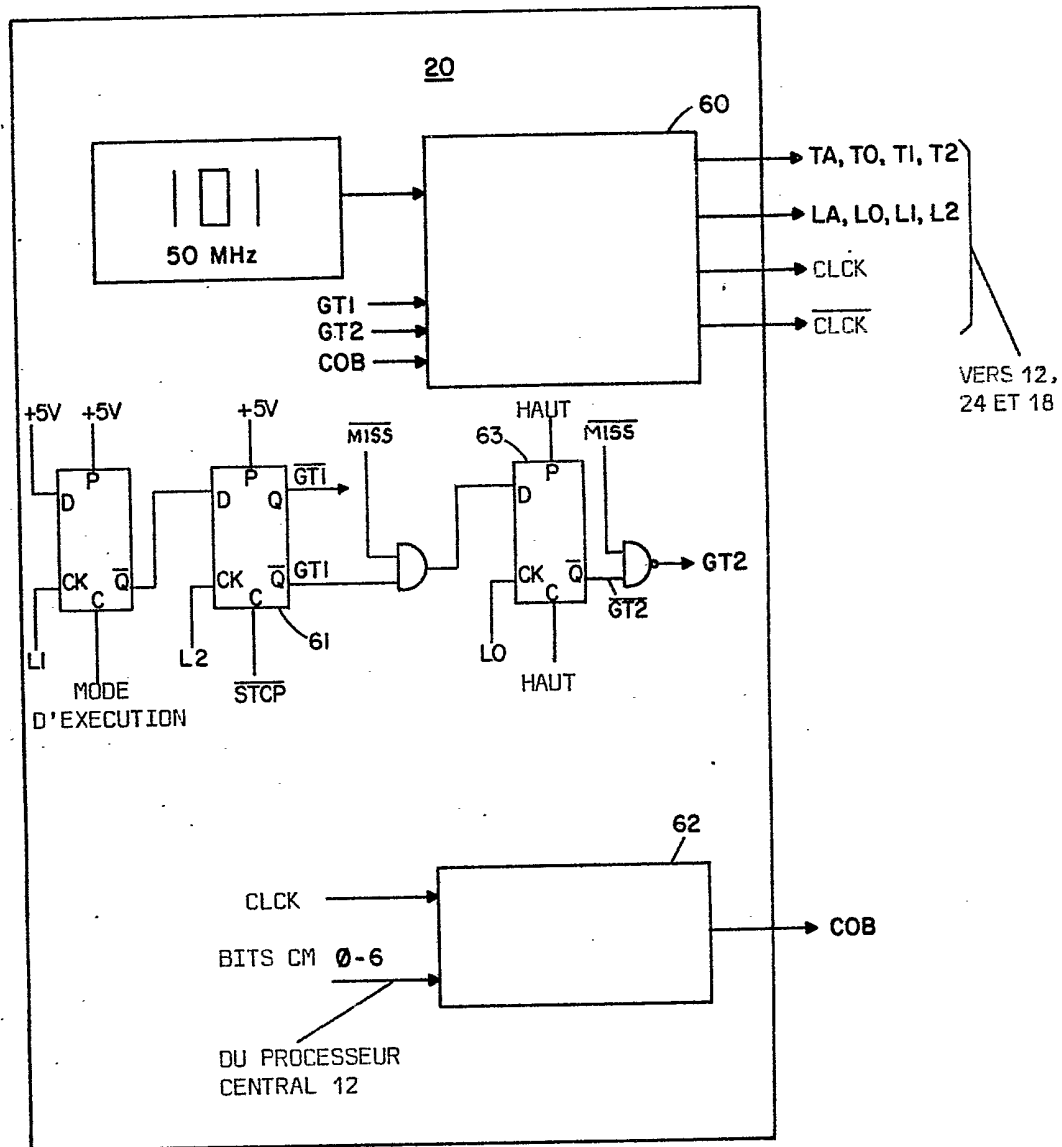


FIG 12

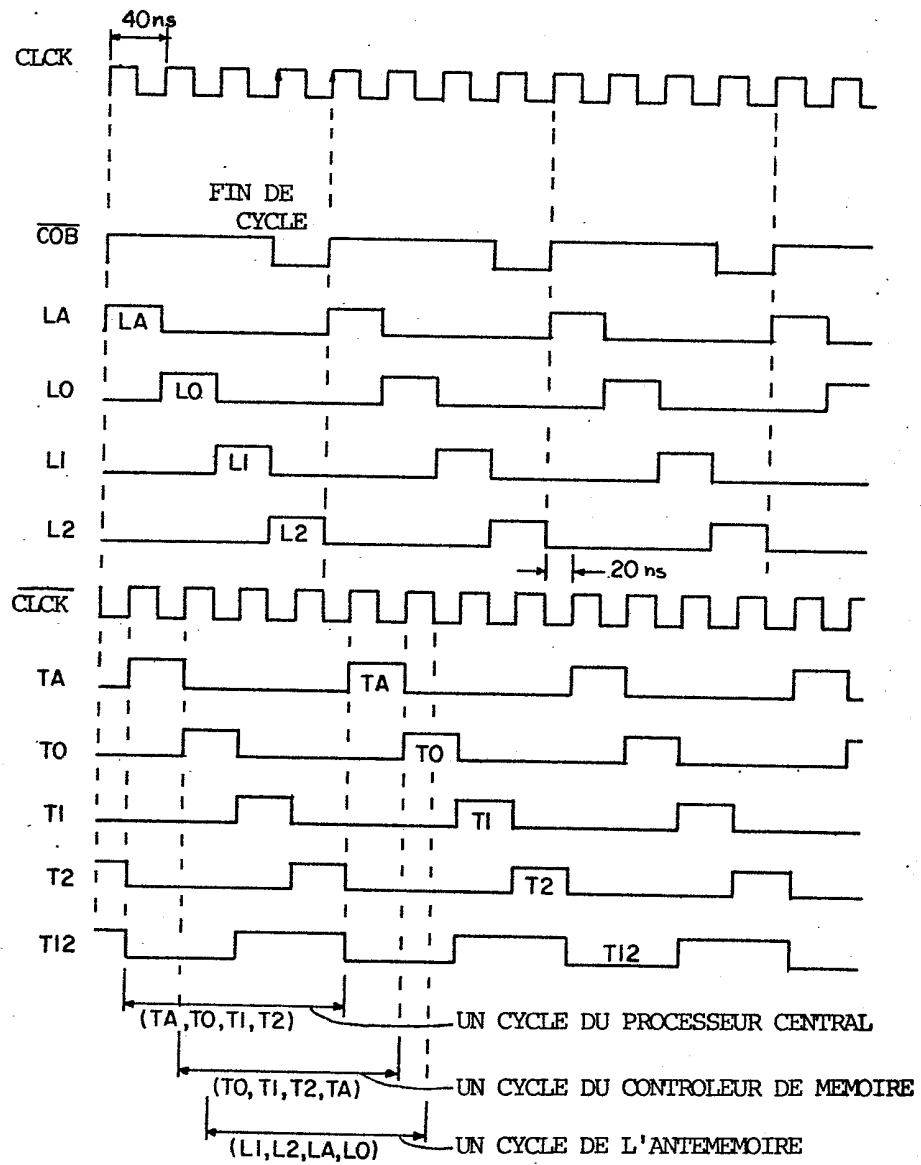
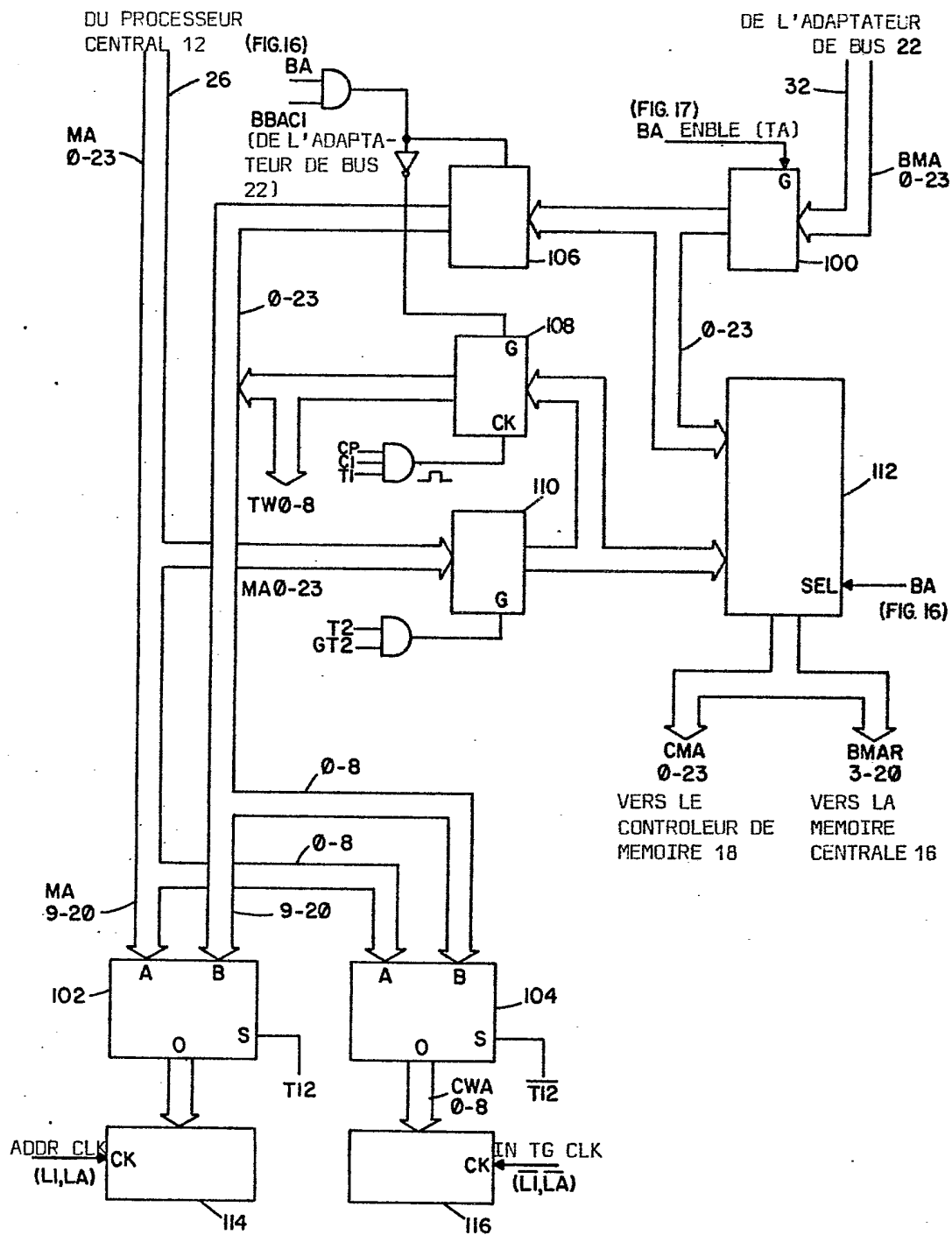
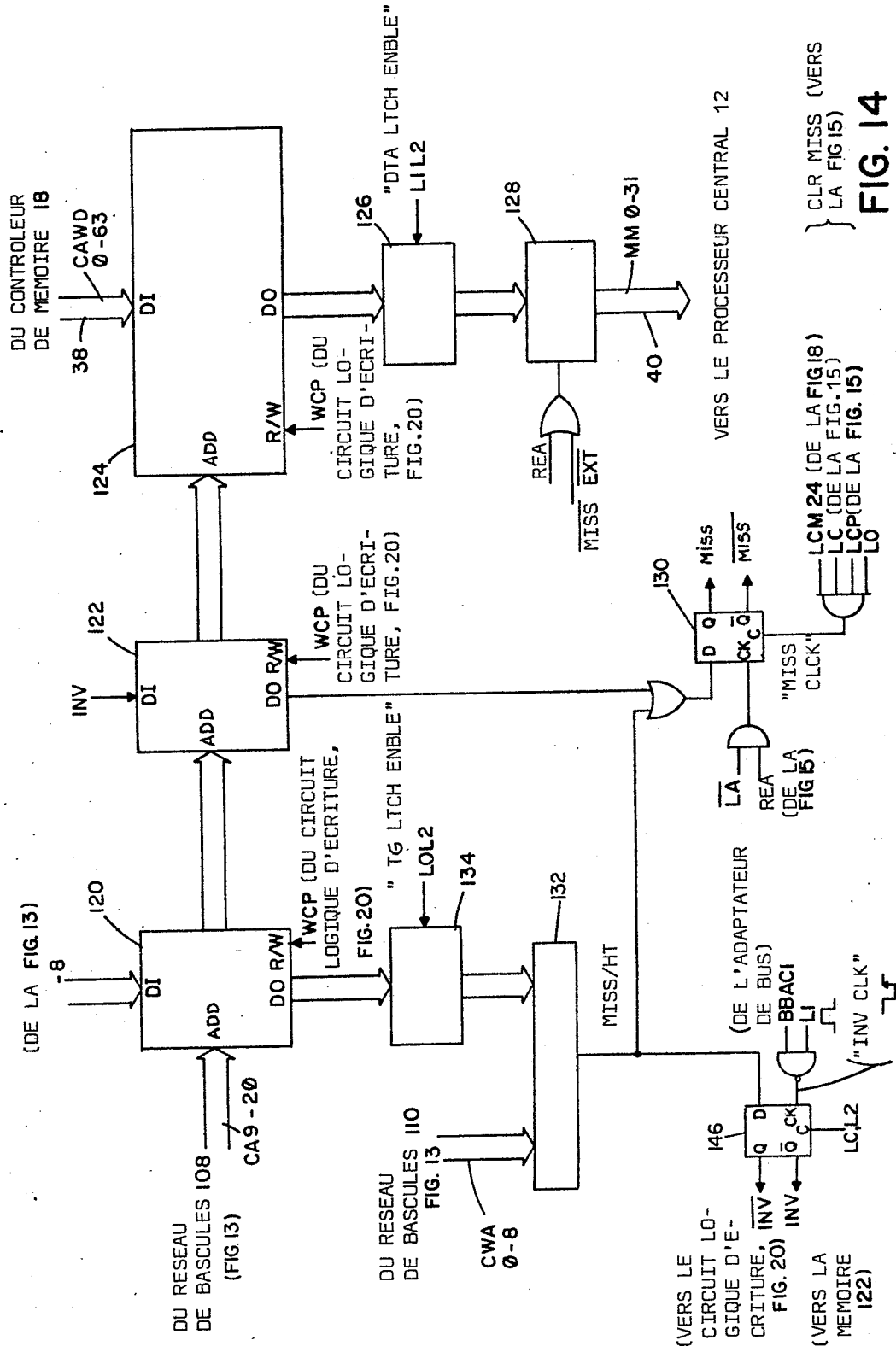


FIG. 13





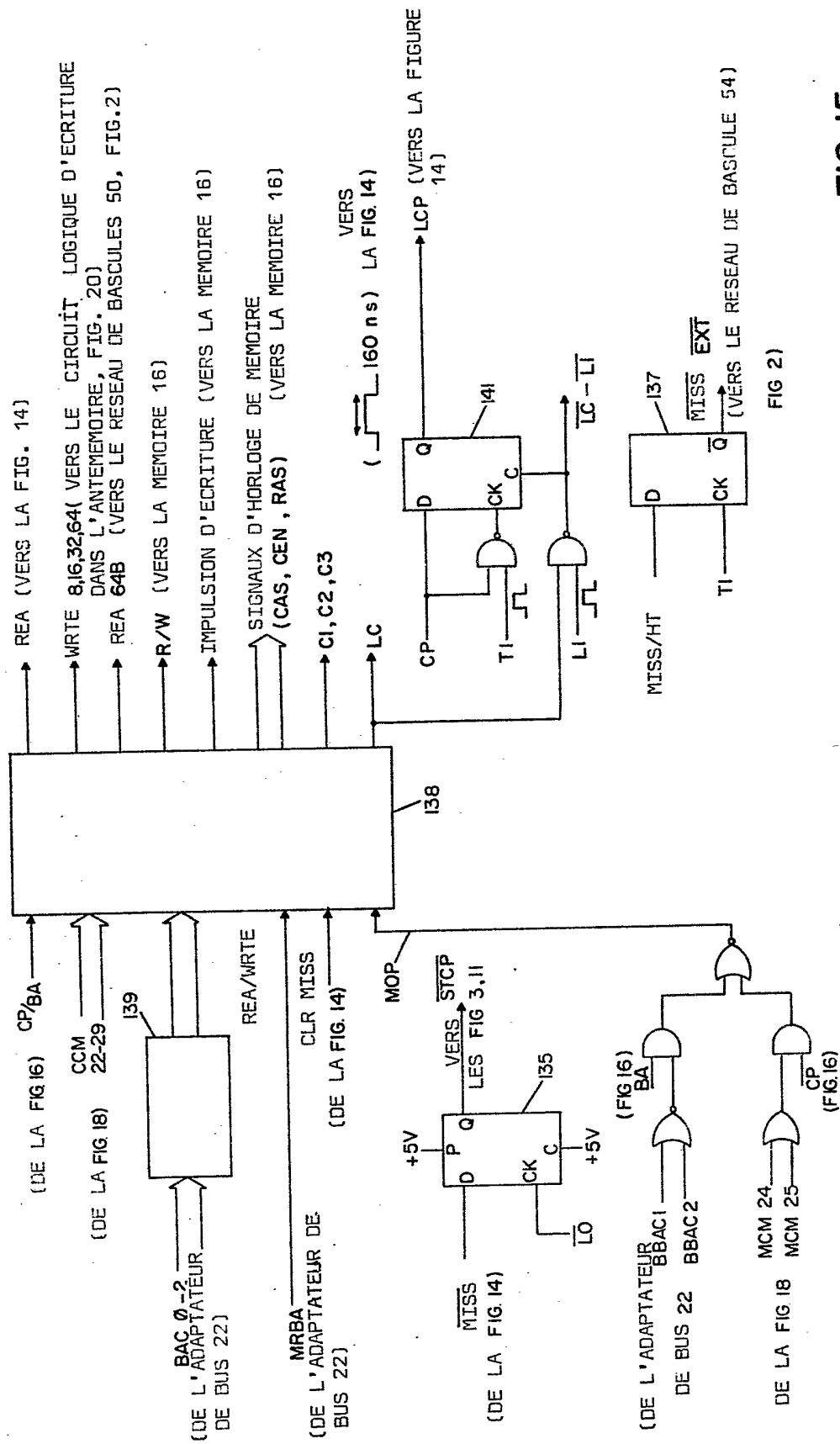


FIG 15

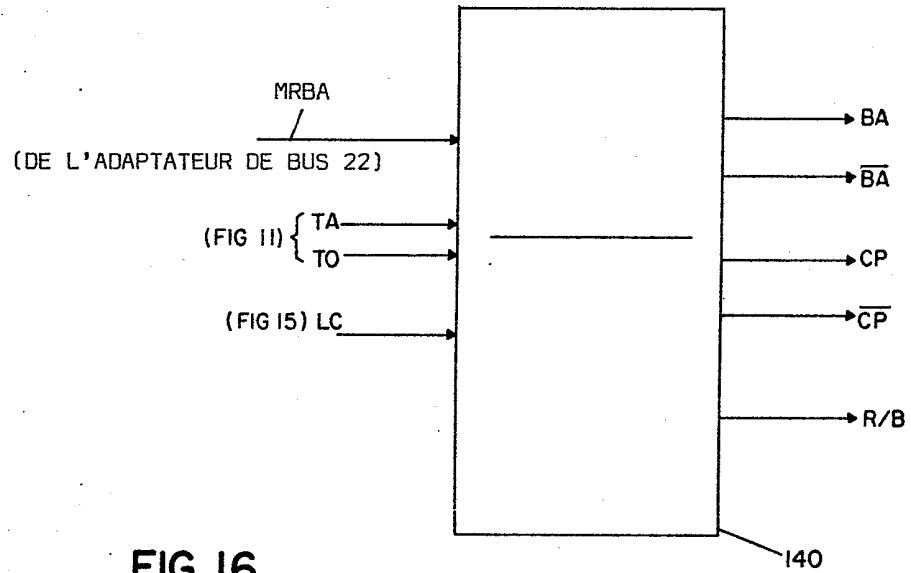


FIG 16

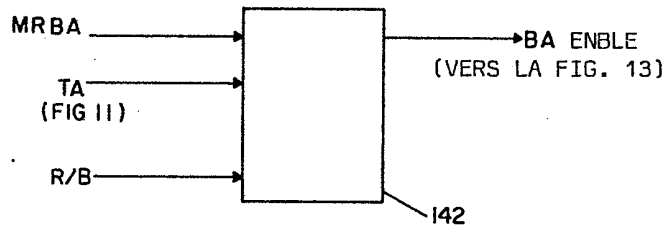
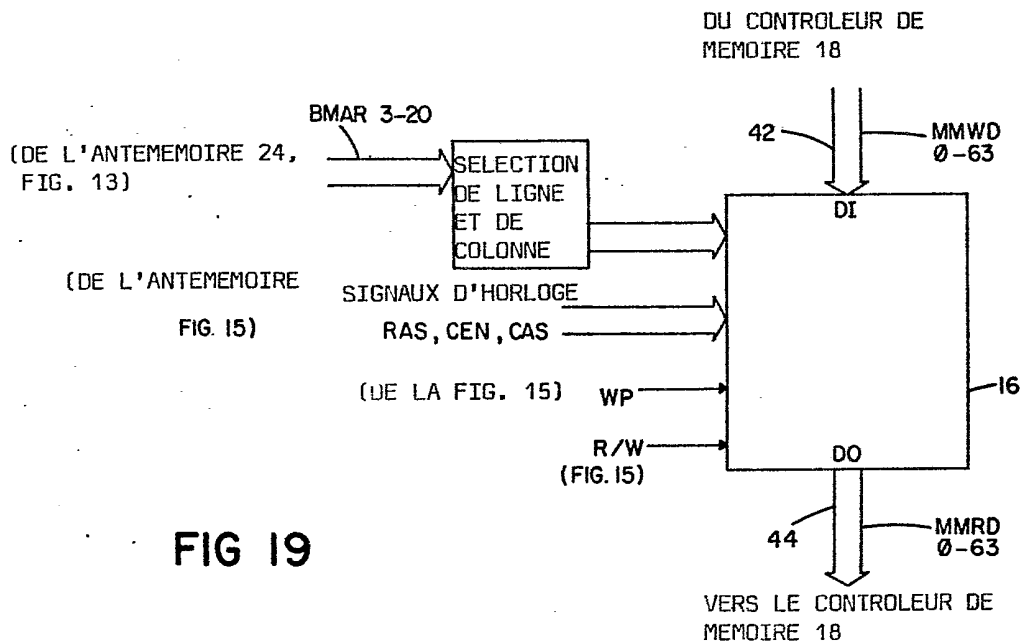
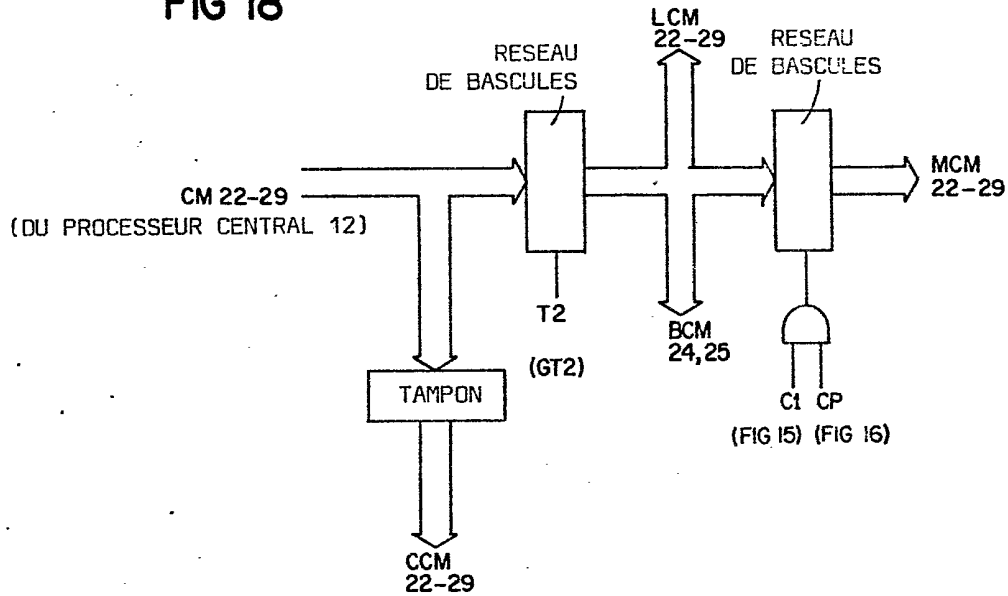


FIG 17

FIG 18



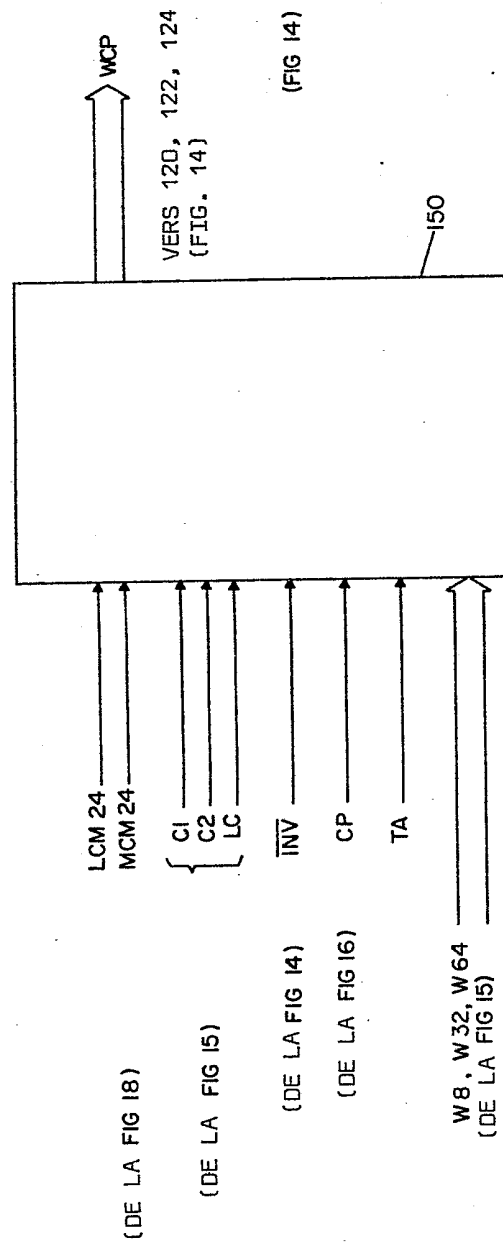


FIG 20

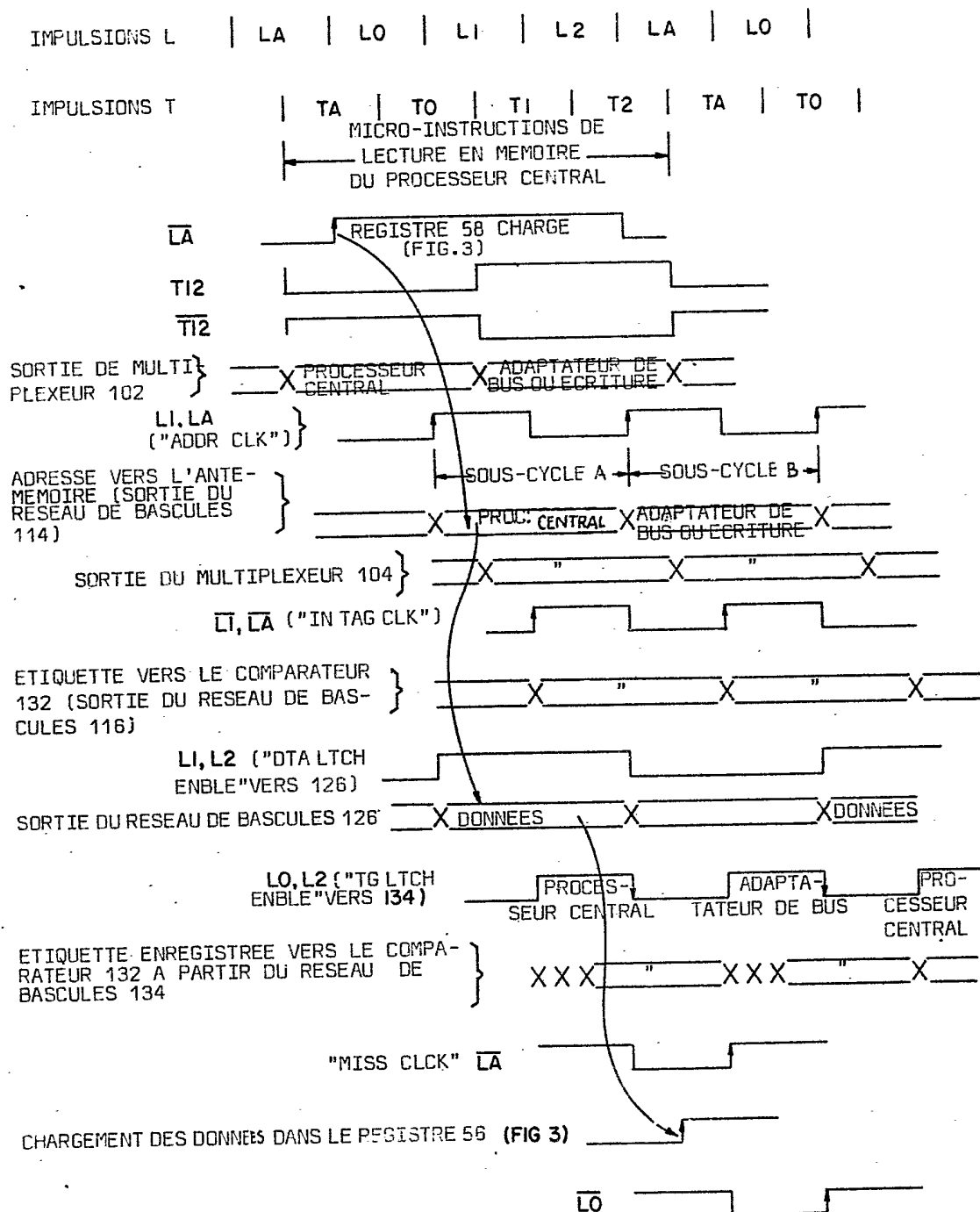


FIG 21

