

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-114890

(P2007-114890A)

(43) 公開日 平成19年5月10日(2007.5.10)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/08 (2006.01)	G06F 12/08 511Z	5B005
	G06F 12/08 513	
	G06F 12/08 515Z	
	G06F 12/08 523B	
	G06F 12/08 531B	
審査請求 有 請求項の数 3 O L (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2005-303540 (P2005-303540)
 (22) 出願日 平成17年10月18日 (2005.10.18)

(特許庁注：以下のものは登録商標)
 1. L i n u x

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100094134
 弁理士 小山 廣毅
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実

最終頁に続く

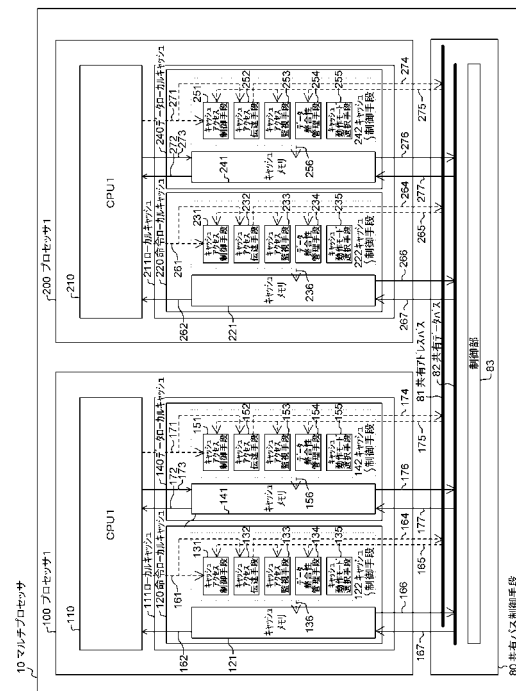
(54) 【発明の名称】 演算処理装置およびキャッシュ動作方法

(57) 【要約】

【課題】 マルチプロセッサ構成の演算処理装置において、シングルプロセッサとして利用した場合に、キャッシュヒット率の低下を回避する。

【解決手段】 キャッシュアクセス伝達手段132はCPU110からローカルキャッシュアクセスアドレス入力手段161を介して取得したアクセスアドレスを、リモートキャッシュアクセスアドレス出力手段164を介して共有アドレスバス81に出力する。キャッシュアクセス制御手段231は共有アドレスバス81からリモートキャッシュアクセスアドレス入力手段265を介して取得したアクセスアドレスを用いて、キャッシュメモリ221へのアクセスを行う。すなわち、プロセッサ100のCPU110から出力されたアクセスアドレスは、キャッシュアクセス伝達手段132から出力され、キャッシュアクセス制御手段231によって取得されて、プロセッサ200のキャッシュメモリ221へのアクセスに利用可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

CPUとローカルキャッシュとをそれぞれ有する複数のプロセッサを備えた演算処理装置であって、

前記各プロセッサは、共有バスとその制御を行う制御部とを有する共有バス制御手段に、共通に接続されており、

前記各プロセッサが有するローカルキャッシュは、キャッシュメモリと、キャッシュ制御手段とを備え、

前記キャッシュ制御手段は、それぞれ、

前記CPUからのアクセスアドレスを受けるローカルキャッシュアクセスアドレス入力手段と、前記共有バスからのアクセスアドレスを受けるリモートキャッシュアクセスアドレス入力手段とに接続されており、前記ローカルキャッシュアクセスアドレス入力手段または前記リモートキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて、前記キャッシュメモリへのアクセスを行うキャッシュアクセス制御手段と、 10

前記ローカルキャッシュアクセスアドレス入力手段と、前記共有バスにアクセスアドレスを出力するリモートキャッシュアクセスアドレス出力手段とに接続されており、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを、前記リモートキャッシュアクセスアドレス出力手段により前記共有バスに出力する機能を有するキャッシュアクセス伝達手段と、

シングルキャッシュ動作モードとして動作するか、または、スヌープキャッシュ動作モードとして動作するかを、設定可能に構成されたキャッシュ動作モード選択手段とを備えている 20

ことを特徴とする演算処理装置。

【請求項 2】

請求項 1 において、

前記キャッシュ動作モード選択手段が、シングルキャッシュ動作モードを設定している場合において、

前記複数のプロセッサのうち、動作する第 1 のプロセッサにおいて、

前記ローカルキャッシュアクセスアドレス入力手段は有効化されるとともに、前記リモートキャッシュアクセスアドレス入力手段は無効化され、 30

前記キャッシュアクセス制御手段は、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて、前記キャッシュメモリへのアクセスを行い、

前記キャッシュアクセス伝達手段は、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを、前記リモートキャッシュアクセスアドレス出力手段により前記共有バスに出力し、

前記複数のプロセッサのうち、前記第 1 のプロセッサ以外のプロセッサにおいて、

前記ローカルキャッシュアクセスアドレス入力手段は無効化されるとともに、前記リモートキャッシュアクセスアドレス入力手段は有効化され、

前記キャッシュアクセス制御手段は、前記リモートキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて、前記キャッシュメモリへのアクセスを行い、 40

前記キャッシュアクセス伝達手段は、前記共有バスにアクセスアドレスを出力しないことを特徴とする演算処理装置。

【請求項 3】

請求項 1 記載の演算処理装置において、キャッシュ動作を行う方法であって、

前記キャッシュ動作モード選択手段に、シングルキャッシュ動作モード、または、スヌープキャッシュ動作モードを設定する第 1 の工程と、

前記第 1 の工程でシングルキャッシュ動作モードが設定された場合に、前記複数のプロセッサのうち、動作する第 1 のプロセッサにおいて、

前記ローカルキャッシュアクセスアドレス入力手段を有効化するとともに、前記リモートキャッシュアクセスアドレス入力手段は無効化し、 50

前記キャッシュアクセス制御手段が、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて、前記キャッシュメモリへのアクセスを行い、

前記キャッシュアクセス伝達手段が、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを、前記リモートキャッシュアクセスアドレス出力手段により前記共有バスに出力する第2の工程と、

前記第1の工程でシングルキャッシュ動作モードが設定された場合に、前記複数のプロセッサのうち、前記第1のプロセッサ以外のプロセッサにおいて、

前記ローカルキャッシュアクセスアドレス入力手段を無効化するとともに、前記リモートキャッシュアクセスアドレス入力手段を有効化し、

前記キャッシュアクセス制御手段が、前記リモートキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて、前記キャッシュメモリへのアクセスを行い、

前記キャッシュアクセス伝達手段が、前記共有バスにアクセスアドレスを出力しない第3の工程とを備えた

ことを特徴とするキャッシュ動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マルチプロセッサ構成の演算処理装置に関し、特に、プロセッサからローカルキャッシュを効率的に使用するために有効な技術に関する。

【背景技術】

【0002】

従来、製造プロセス技術の進歩やスーパーパイプライン技術による動作周波数の向上や、スーパスケーラやその効率を上げるレジスタ・リネーム、OUT OF ORDER実行、分岐予測、投機実行技術によるCPI (CLOCK CYCLES PER INSTRUCTION) の減少による、並列処理技術によるプロセッサの性能向上が行われてきた。さらに、昨今では、上述したような高速実装技術に加えて、マルチプロセッサ技術による処理性能の向上も多く取り入れられている。

【特許文献1】特開昭63-240649号公報 (第一図)

【特許文献2】特開平5-197622号公報 (第一図)

【非特許文献1】John L. Hennessy & David A. Patterson “Computer Architecture A Quantitative Approach Third Edition” Chapter Six Multiprocessors and Thread-Level Parallelism Snooping Protocols [P.551]

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、マルチプロセッサを使用する場合は、従来から使用しているソフトウェアをそのまま流用することはできない。たとえば、Linux OSを採用している組み込みソフトウェアでは、マルチプロセッサに対応したLinuxなどのOSとPOSIXマルチスレッドライブラリ対応などにより、ソフトウェアの改変を最小限にした上でマルチプロセッサを使用することは可能である。しかしながら、OSをもたない組み込みソフト、μITRONのようにマルチプロセッサ対応が少し遅れていたOSなどを採用している場合、ソフトウェア開発工数を考慮する必要がある。

【0004】

また、将来的にはマルチプロセッサ対応が考えられる場合であっても、ソフトウェア開発工数を鑑み、シングルプロセッサでソフトウェア開発を行った後、そのプラットフォームで継続的にマルチプロセッサ対応を行っていくなどの開発方法がとられることもあり得る。さらに、ハードウェアの不良箇所によっては、すべてのキャッシュは使用可能であるが使用できないプロセッサがある場合もあり、このような場合にも、マルチプロセッサをシングルプロセッサとして利用することが考えられる。

【0005】

10

20

30

40

50

以上のように、マルチプロセッサ技術によって性能向上されたチップにおいても、マルチプロセッサを搭載した演算処理装置をシングルプロセッサとして利用する場合について、考慮する必要がある。

【0006】

ところが、マルチプロセッサ構成の演算処理装置において、シングルプロセッサのみを使用する場合、キャッシュの容量がローカルキャッシュ分しかないため、キャッシュ容量が低下し、キャッシュヒット率が低下する、という問題が生じる。

【0007】

前記の問題に鑑み、本発明は、マルチプロセッサの構成をもった演算処理装置において、シングルプロセッサとして利用した場合に、マルチプロセッサが有しているキャッシュ容量を有効に活用し、キャッシュヒット率の低下を回避することを課題とする。 10

【課題を解決するための手段】

【0008】

本発明では、マルチプロセッサをシングルプロセッサとして利用する場合、利用しないプロセッサに接続されたローカルキャッシュを、スヌープキャッシュ機能の資源を有効に用いることによって、動作させるプロセッサのローカルキャッシュとして活用する。

【0009】

すなわち、本発明は、CPUとローカルキャッシュとをそれぞれ有する複数のプロセッサを備えた演算処理装置として、前記各プロセッサは共有バスとその制御を行う制御部とを有する共有バス制御手段に共通に接続されており、前記各プロセッサが有するローカルキャッシュは、キャッシュメモリと、キャッシュ制御手段とを備え、前記キャッシュ制御手段は、それぞれ、前記CPUからのアクセスアドレスを受けるローカルキャッシュアクセスアドレス入力手段と、前記共有バスからのアクセスアドレスを受けるリモートキャッシュアクセスアドレス入力手段とに接続されており、前記ローカルキャッシュアクセスアドレス入力手段または前記リモートキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて、前記キャッシュメモリへのアクセスを行うキャッシュアクセス制御手段と、前記ローカルキャッシュアクセスアドレス入力手段と、前記共有バスにアクセスアドレスを出力するリモートキャッシュアクセスアドレス出力手段とに接続されており、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを、前記リモートキャッシュアクセスアドレス出力手段により前記共有バスに出力する機能を有するキャッシュアクセス伝達手段と、シングルキャッシュ動作モードとして動作するかまたはスヌープキャッシュ動作モードとして動作するかを設定可能に構成されたキャッシュ動作モード選択手段とを備えたものである。 20 30

【0010】

本発明によると、ローカルキャッシュのキャッシュ制御手段において、キャッシュアクセス伝達手段は、CPUからローカルキャッシュアクセスアドレス入力手段を介して取得したアクセスアドレスを、リモートキャッシュアクセスアドレス出力手段を介して、共有バスに出力することができる。また、キャッシュアクセス制御手段は、CPUからローカルキャッシュアクセスアドレス入力手段を介して取得したアクセスアドレスを用いて、キャッシュメモリへのアクセスを行うことができるとともに、共有バスからリモートキャッシュアクセスアドレス入力手段を介して取得したアクセスアドレスを用いて、キャッシュメモリへのアクセスを行うことができる。すなわち、あるプロセッサのCPUから出力されたアクセスアドレスは、そのプロセッサのキャッシュアクセス伝達手段から共有バスに出力され、他のプロセッサのキャッシュアクセス制御手段によって共有バスから取得されて、他のプロセッサのキャッシュメモリへのアクセスに利用可能となる。したがって、あるプロセッサが単独で動作する場合に、他のプロセッサのキャッシュメモリを、当該プロセッサのローカルキャッシュとして利用することができる。 40

【0011】

そして、本発明に係る演算処理装置において、前記キャッシュ動作モード選択手段が、シングルキャッシュ動作モードを設定している場合において、前記複数のプロセッサのう 50

ち動作する第1のプロセッサにおいて、前記ローカルキャッシュアクセスアドレス入力手段は有効化されるとともに、前記リモートキャッシュアクセスアドレス入力手段は無効化され、前記キャッシュアクセス制御手段は、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて前記キャッシュメモリへのアクセスを行い、前記キャッシュアクセス伝達手段は、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを前記リモートキャッシュアクセスアドレス出力手段により前記共有バスに出力し、前記複数のプロセッサのうち前記第1のプロセッサ以外のプロセッサにおいて、前記ローカルキャッシュアクセスアドレス入力手段は無効化されるとともに前記リモートキャッシュアクセスアドレス入力手段は有効化され、前記キャッシュアクセス制御手段は、前記リモートキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて前記キャッシュメモリへのアクセスを行い、前記キャッシュアクセス伝達手段は前記共有バスにアクセスアドレスを出力しないものとする。

10

【0012】

また、本発明は、前記本発明に係る演算処理装置において、キャッシュ動作を行う方法として、前記キャッシュ動作モード選択手段にシングルキャッシュ動作モードまたはスヌープキャッシュ動作モードを設定する第1の工程と、前記第1の工程でシングルキャッシュ動作モードが設定された場合に、前記複数のプロセッサのうち動作する第1のプロセッサにおいて、前記ローカルキャッシュアクセスアドレス入力手段を有効化するとともに前記リモートキャッシュアクセスアドレス入力手段を無効化し、前記キャッシュアクセス制御手段が、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて前記キャッシュメモリへのアクセスを行い、前記キャッシュアクセス伝達手段が、前記ローカルキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを前記リモートキャッシュアクセスアドレス出力手段により前記共有バスに出力する第2の工程と、前記第1の工程でシングルキャッシュ動作モードが設定された場合に、前記複数のプロセッサのうち前記第1のプロセッサ以外のプロセッサにおいて、前記ローカルキャッシュアクセスアドレス入力手段を無効化するとともに前記リモートキャッシュアクセスアドレス入力手段を有効化し、前記キャッシュアクセス制御手段が、前記リモートキャッシュアクセスアドレス入力手段から取得したアクセスアドレスを用いて前記キャッシュメモリへのアクセスを行い、前記キャッシュアクセス伝達手段が、前記共有バスにアクセスアドレスを出力しない第3の工程とを備えたものである。

20

30

【発明の効果】

【0013】

本発明によると、マルチプロセッサ構成の演算処理装置をシングルプロセッサとして利用する場合、動作しない他のプロセッサのキャッシュメモリを、動作するプロセッサのローカルキャッシュとして利用することができる。これにより、キャッシュ容量低下によるキャッシュヒット率の低下を回避することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0015】

図1は本実施形態に係る演算処理装置としてのマルチプロセッサ10の機能ブロック構成図である。マルチプロセッサ10は、2つのプロセッサ100、200と、共有バスとしての共有アドレスバス81、共有データバス82およびその制御を行う制御部83を有する共有バス制御手段80を備えており、プロセッサ100、200はそれぞれ共有バス制御手段80に共通に接続されている。

40

【0016】

プロセッサ100(200)は、CPU110(210)とローカルキャッシュ111(211)とを備えており、ローカルキャッシュ111(211)は、命令ローカルキャッシュ120(220)とデータローカルキャッシュ140(240)から構成されている。命令ローカルキャッシュ120(220)は、キャッシュメモリ121(221)と

50

キャッシュ制御手段122(222)からなり、データローカルキャッシュ140(240)は、キャッシュメモリ141(241)とキャッシュ制御手段142(242)からなる。なお、本実施形態では、プロセッサ200の各構成要素について、プロセッサ100と同様である場合には、その符号を括弧書きで示すものとする。

【0017】

キャッシュ制御手段122, 142(222, 242)は、CPU110(210)からキャッシュメモリ121, 141(221, 241)へのアクセス要求を伝達するキャッシュアクセス制御手段131, 151(231, 251)と、他ローカルキャッシュにアクセス内容を伝達するキャッシュアクセス伝達手段132, 152(232, 252)と、他ローカルキャッシュがアクセスした内容を監視するキャッシュアクセス監視手段133, 153(233, 253)と、CPU110(210)と外部メモリとのデータ転送およびそのデータ整合性の管理を行い、かつ、各キャッシュ間のデータ転送およびそのデータ整合性の管理を行うデータ整合性管理手段134, 154(234, 254)と、マルチプロセッサ10のそれぞれのローカルキャッシュ111(211)がスヌープキャッシュとして動作するか、シングルキャッシュとして動作するかを示すキャッシュ動作モードを記憶するキャッシュ動作モード選択手段135, 155(235, 255)を備えている。

【0018】

キャッシュ動作モード選択手段135, 155, 235, 255は、例えばレジスタによって構成されるものであり、スヌープキャッシュ動作モード、または、シングルキャッシュ動作モードのいずれかを、外部からの設定信号によって、共通に、設定可能に構成されている。

【0019】

命令ローカルキャッシュ120(220)は、CPU110(210)と共有バス制御手段80とに接続されている。命令ローカルキャッシュ120(220)とCPU110(210)との間には、CPU110(210)からのフェッチアドレスを伝達するローカルキャッシュアクセスアドレス入力手段161(261)と、CPU110(210)からのフェッチアドレスに対応する命令を伝達するローカルキャッシュアクセスデータ出力手段162(262)とが設けられている。

【0020】

また、命令ローカルキャッシュ120(220)と共有バス制御手段80との間には、命令ローカルキャッシュ120(220)からのフェッチアドレスを伝達するリモートキャッシュアクセスアドレス出力手段164(264)と、命令ローカルキャッシュ120(220)からのフェッチアドレスに対応する命令や、他ローカルキャッシュ140, 220, 240(120, 140, 240)からの共有データを伝達するリモートキャッシュアクセスデータ入力手段167(267)とが、設けられている。リモートキャッシュアクセスアドレス出力手段164(264)は共有バス制御手段80の共有アドレスバス81と接続されており、リモートキャッシュアクセスデータ入力手段167(267)は共有バス制御手段80の共有データバス82に接続されている。さらに、他ローカルキャッシュ140, 220, 240(120, 140, 240)とのデータ転送のために、他ローカルキャッシュ140, 220, 240(120, 140, 240)のアクセス内容を伝達するリモートキャッシュアクセスアドレス入力手段165(265)と、命令ローカルキャッシュ120(220)から共有バス制御手段80にデータを転送するリモートキャッシュアクセスデータ出力手段166(266)とが、設けられている。リモートキャッシュアクセスアドレス入力手段165(265)は共有バス制御手段80の共有アドレスバス81に接続されており、リモートキャッシュアクセスデータ出力手段166(266)は共有バス制御手段80の共有データバス82に接続されている。

【0021】

データローカルキャッシュ140(240)は、CPU110(210)と共有バス制御手段80とに接続されている。データローカルキャッシュ140(240)とCPU1

10 (210)との間には、CPU110 (210)からの読み出しおよび書き込みアドレスを伝達するローカルキャッシュアクセスアドレス入力手段171 (271)と、CPU110 (210)からの読み出しアドレスに対応するデータを伝達するローカルキャッシュアクセスデータ出力手段172 (272)と、CPU110 (210)からの書き込みアドレスに対応するデータを伝達するローカルキャッシュアクセスデータ入力手段173 (273)とが設けられている。

【0022】

また、データローカルキャッシュ140 (240)と共有バス制御手段80の間では、データローカルキャッシュ140 (240)からのデータ読み出しおよび書き込みアドレスを伝達するリモートキャッシュアクセスアドレス出力手段174 (274)と、データローカルキャッシュ140 (240)からの読み出しアドレスに対応するデータや、他ローカルキャッシュ120, 220, 240 (120, 140, 220)からの共有データを伝達するリモートキャッシュアクセスデータ入力手段177 (277)とが設けられている。リモートキャッシュアクセスアドレス出力手段174 (274)は共有バス制御手段80の共有アドレスバス81に接続されており、リモートキャッシュアクセスデータ入力手段177 (277)は共有バス制御手段80の共有データバス82に接続されている。さらに、他ローカルキャッシュ120, 220, 240 (120, 140, 220)とのデータ転送のために、他ローカルキャッシュ120, 220, 240 (120, 140, 220)のアクセス内容を伝達するリモートキャッシュアクセスアドレス入力手段175 (275)と、データローカルキャッシュ140 (240)から外部メモリ等へデータを転送するリモートキャッシュアクセスデータ出力手段176 (276)とが設けられている。リモートキャッシュアクセスアドレス入力手段175 (275)は共有バス制御手段80の共有アドレスバス81に接続されており、リモートキャッシュアクセスデータ出力手段176 (276)は共有バス制御手段80の共有データバス82に接続されている。

【0023】

キャッシュアクセス制御手段131, 151 (231, 251)は、CPU110 (210)からのアクセスアドレスを受けるローカルキャッシュアクセスアドレス入力手段161, 171 (261, 271)と、共有アドレスバス81からのアクセスアドレスを受けるリモートキャッシュアクセスアドレス入力手段165, 175 (265, 275)とに接続されている。そして、ローカルキャッシュアクセスアドレス入力手段161, 171 (261, 271)、またはリモートキャッシュアクセスアドレス入力手段165, 175 (265, 275)から取得したアクセスアドレスを用いて、キャッシュメモリ121, 141 (221, 241)へのアクセスを行う。

【0024】

キャッシュアクセス伝達手段132, 152 (232, 252)は、ローカルキャッシュアクセスアドレス入力手段161, 171 (261, 271)と、共有アドレスバス81にアクセスアドレスを出力するリモートキャッシュアクセスアドレス出力手段164, 174 (264, 274)とに接続されている。そして、ローカルキャッシュアクセスアドレス入力手段161, 171 (261, 271)からアクセスアドレスを取得したとき、このアクセスアドレスをリモートキャッシュアクセスアドレス出力手段164, 174 (264, 274)により、共有アドレスバス81に出力可能に構成されている。

【0025】

キャッシュアクセス監視手段133, 153 (233, 253)は、リモートキャッシュアクセスアドレス入力手段165, 175 (265, 275)と接続されている。

【0026】

データ整合性管理手段134, 154 (234, 254)は、リモートキャッシュアクセスアドレス入力手段165, 175 (265, 275)と接続されている。

【0027】

そして、キャッシュ動作モード選択手段135, 155 (235, 255)は、キャッ

10

20

30

40

50

シユアクセス制御手段 1 3 1, 1 5 1 (2 3 1, 2 5 1)、キャッシュアクセス伝達手段 1 3 2, 1 5 2 (2 3 2, 2 5 2)、キャッシュアクセス監視手段 1 3 3, 1 5 3 (2 3 3, 2 5 3)、およびデータ整合性管理手段 1 3 4, 1 5 4 (2 3 4, 2 5 4)と接続されている。すなわち、キャッシュアクセス制御手段 1 3 1, 1 5 1 (2 3 1, 2 5 1)、キャッシュアクセス伝達手段 1 3 2, 1 5 2 (2 3 2, 2 5 2)、キャッシュアクセス監視手段 1 3 3, 1 5 3 (2 3 3, 2 5 3)、およびデータ整合性管理手段 1 3 4, 1 5 4 (2 3 4, 2 5 4)は、キャッシュ動作モード選択手段 1 3 5, 1 5 5 (2 3 5, 2 5 5)に設定された動作モードに応じて、動作を行う。

【0028】

なお、本実施形態では、共有バス制御手段 8 0 に設けられた共有アドレスバス 8 1 および共有データバス 8 2 は、外部メモリへのアクセスとキャッシュ間のアクセスとで兼用されているが、バス競合状態をできるだけ回避するために、外部メモリ用のバスとキャッシュ間アクセス用のバスを個別に備えるなどの方法もあり、この限りではない。

【0029】

また、図 1 において実線または破線の矢印で示した各入力手段および出力手段は、信号を伝達するバスと、その制御機構とによって、実現される。

【0030】

以下、図 1 の演算処理装置の動作について、動作モード毎に、説明を行う。

【0031】

まず、キャッシュ動作モード選択手段 1 3 5, 1 5 5 (2 3 5, 2 5 5)において、スヌープキャッシュ動作モードが設定されている場合について説明する。

【0032】

CPU 1 1 0 (2 1 0)から命令ローカルキャッシュ 1 2 0 (2 2 0)およびデータローカルキャッシュ 1 4 0 (2 4 0)へのメモリアクセスにおいて、キャッシュアクセス制御手段 1 3 1, 1 5 1 (2 3 1, 2 5 1)は、自CPU 1 1 0 (2 1 0)のローカルキャッシュアクセスを行うために、ローカルキャッシュアクセスアドレス入力手段 1 6 1, 1 7 1 (2 6 1, 2 7 1)により、キャッシュメモリ 1 2 1, 1 4 1 (2 2 1, 2 4 1)へのアクセスアドレスを取得し、キャッシュメモリアドレス出力手段 1 3 6, 1 5 6 (2 3 6, 2 5 6)を介してキャッシュメモリ 1 2 1, 1 4 1 (2 2 1, 2 4 1)へのアクセスを行う。

【0033】

またこのとき、キャッシュアクセス伝達手段 1 3 2, 1 5 2 (2 3 2, 2 5 2)は、キャッシュを使用しない(非キャッシュ)読み出しアクセスの場合、キャッシュを使用しない(非キャッシュ)書き込みアクセスの場合、キャッシュを使用する(キャッシュ)書き込みアクセスの場合、および、キャッシュを使用する(キャッシュ)読み出しアクセスのキャッシュミスアクセスの場合に、ローカルキャッシュアクセスアドレス入力手段 1 6 1, 1 7 1 (2 6 1, 2 7 1)により取得したアクセスアドレスを、伝達信号として、リモートキャッシュアクセスアドレス出力手段 1 6 4, 1 7 4 (2 6 4, 2 7 4)を介して共有バス制御手段 8 0 に伝達する。この伝達信号によって、他のローカルキャッシュは、データ整合性を維持するための処理が必要か否かを判定することができる。

【0034】

キャッシュアクセス監視手段 1 3 3, 1 5 3 (2 3 3, 2 5 3)は、他のローカルキャッシュ 2 2 0 (1 2 0)のキャッシュアクセス伝達手段 2 3 2, 2 5 2 (1 3 2, 1 5 2)から伝達信号が伝達されたとき、自ローカルキャッシュ 1 2 0 (2 2 0)のキャッシュメモリ 1 2 1, 1 4 1 (2 2 1, 2 4 1)を検索する。

【0035】

そして、伝達信号が、非キャッシュ読み出しアクセス、または、キャッシュ読み出しのキャッシュミスアクセスによるものであるとき、データ整合性管理手段 1 3 4, 1 5 4 (2 3 4, 2 5 4)は、次のように動作する。すなわち、自ローカルキャッシュ 1 2 0 (2 2 0)が他ローカルキャッシュ 2 2 0 (1 2 0)のアクセス対象データを記憶している場

10

20

30

40

50

合に、自ローカルキャッシュ120(220)が共有バス制御手段80に、対象データ、または、対象エントリのデータを出力するよう制御する。

【0036】

伝達信号が、キャッシュ書き込みのキャッシュヒットアクセスによるものであるとき、データ整合性管理手段134, 154(234, 254)は次のように動作する。すなわち、自ローカルキャッシュ120(220)が他ローカルキャッシュ220(120)のアクセス対象データを記憶している場合に、自ローカルキャッシュ120(220)が、共有バス制御手段80に他ローカルキャッシュ220(120)から出力されている対象データを記憶情報として更新するか、または、対象エントリの記憶情報を無効化するよう制御する。

10

【0037】

伝達信号が、キャッシュ書き込みのキャッシュミスアクセスによるものであるとき、データ整合性管理手段134, 154(234, 254)は次のように動作する。すなわち、自ローカルキャッシュ120(220)が他ローカルキャッシュ220(120)のアクセス対象データを記憶している場合に、自ローカルキャッシュ120(220)が、共有バス制御手段80に他ローカルキャッシュ220(120)から出力されている対象データを記憶情報として更新し、対象エントリのデータを共有バス制御手段80に出力するよう制御する。そして、他ローカルキャッシュ220(120)のデータ整合性管理手段234, 254(134, 154)は、共有バス制御手段80に出力された対象データを記憶情報として更新するか、または、対象エントリの記憶情報を無効化する。

20

【0038】

伝達信号が、非キャッシュ書き込みアクセスによるものであるとき、データ整合性管理手段134, 154(234, 254)は次のように動作する。すなわち、自ローカルキャッシュ120(220)が他ローカルキャッシュ220(120)のアクセス対象データを記憶している場合、自ローカルキャッシュ120(220)が、共有バス制御手段80に他ローカルキャッシュ220(120)から出力されている対象データを記憶情報として更新するか、または、対象エントリの記憶情報を無効化するよう制御する。

【0039】

また、データ整合性管理手段134, 154(234, 254)は、外部メモリとのデータ転送および、そのデータ整合性の管理についても行う。なお、本実施形態では、非キャッシュアクセスにおいてもデータ整合性管理手段による対象データを記憶情報として更新するか、または、対象エントリの記憶情報を無効化する制御を行うように記載したが、非キャッシュアクセスは、データ整合性管理を行わないと考えることも可能であり、この限りではない。

30

【0040】

次に、キャッシュ動作モード選択手段135, 155(235, 255)において、シングルキャッシュ動作モードが設定されている場合について説明する。なお、ここでは、第1のプロセッサとしてのプロセッサ100がシングルプロセッサとして動作するものとする。動作するプロセッサの選択は、例えばレジスタ設定によって行えばよく、動作させるプロセッサを切り替えることも可能である。

40

【0041】

プロセッサ100のローカルキャッシュ111において、ローカルキャッシュアクセスアドレス入力手段161, 171は有効化されるとともに、リモートキャッシュアクセスアドレス入力手段165, 175は無効化される。一方、プロセッサ200のローカルキャッシュ211において、ローカルキャッシュアクセスアドレス入力手段261, 271は無効化されるとともに、リモートキャッシュアクセスアドレス入力手段265, 275は有効化される。

【0042】

プロセッサ100において、キャッシュアクセス制御手段131, 151は、CPU110のローカルキャッシュアクセスを行うために、ローカルキャッシュアクセスアドレス

50

入力手段161, 171によりキャッシュメモリ121, 141へのアクセスアドレスを取得し、取得したアクセスアドレスを、キャッシュメモリアドレス出力手段136, 156を介してキャッシュメモリ121, 141に出力する。また、キャッシュアクセス伝達手段132, 152は、ローカルキャッシュアクセスアドレス入力手段161, 171により取得したアクセスアドレスを、伝達信号として、常に、リモートキャッシュアクセスアドレス出力手段164, 174を介して共有バス制御手段80の共有アドレスバス81に伝達する。この伝達信号によって、プロセッサ100以外のプロセッサすなわちプロセッサ200におけるローカルキャッシュ220は、CPU110のローカルキャッシュとして動作することができる。

【0043】

10

一方、プロセッサ200において、キャッシュアクセス制御手段231, 251は、CPU110のローカルキャッシュアクセスを行うために、リモートキャッシュアクセスアドレス入力手段265, 275によりキャッシュメモリ221, 241へのアクセスアドレスを取得し、取得したアクセスアドレスを、キャッシュメモリアドレス出力手段236, 256を介してキャッシュメモリ221, 241に出力する。また、キャッシュアクセス伝達手段232, 252は、常に、取得したアクセスアドレスを、リモートキャッシュアクセスアドレス出力手段264, 274を介して共有バス制御手段80の共有アドレスバス81に、伝達しない。

【0044】

また、シングルキャッシュ動作モードにおいて、キャッシュアクセス監視手段133, 153(233, 253)は、動作しない。また、データ整合性管理手段134, 154(234, 254)は、各キャッシュ間のデータ転送およびデータ整合性の管理に関しては動作せず、外部メモリとのデータ転送およびデータ整合性の管理に関してのみ、動作する。

20

【0045】

以上説明したように、キャッシュ動作モード選択手段135, 155, 235, 255がスヌープキャッシュ動作モードを選択している場合は、プロセッサ100におけるローカルキャッシュ111とプロセッサ200におけるローカルキャッシュ211は、それぞれのCPU110, 210のローカルキャッシュとして動作するとともに、他CPU210, 110のリモートキャッシュとして、スヌープ動作をすることができる。

30

【0046】

また、キャッシュ動作モード選択手段135, 155, 235, 255がシングルキャッシュ動作モードを選択している場合は、プロセッサ100におけるローカルキャッシュ111とプロセッサ200におけるローカルキャッシュ211がともに、CPU110からローカルキャッシュアクセスアドレス入力手段161, 171を介して取得されたアクセスアドレスによって、キャッシュメモリアドレス出力手段136, 156, 236, 256を介してアクセスされる。すなわち、ローカルキャッシュ111, 211がともに、CPU110のローカルキャッシュとして動作できる。これにより、キャッシュ容量低下によるキャッシュヒット率の低下を回避することができる。

【0047】

40

なお、本実施形態では、2つのプロセッサを備えたマルチプロセッサを例にとって説明を行ったが、本発明はこれに限られるものではなく、3つ以上のプロセッサを備えたマルチプロセッサの場合であっても、本実施形態と同様に実現可能である。この場合、シングルキャッシュ動作モードにおいて、全てのキャッシュメモリを、動作するCPUのシングルキャッシュとして利用することができ、本実施形態と同様の効果が得られる。

【0048】

なお、本実施形態では、説明を容易にするため、一部、データローカルキャッシュ間のキャッシュ間転送のみを説明しているが、この限りではなく、命令ローカルキャッシュ間のキャッシュ間転送についても、同様にして実現できる。

【産業上の利用可能性】

50

【0049】

本発明では、マルチプロセッサ構成の演算処理装置をシングルプロセッサとして利用する場合に、キャッシュヒット率の低下を回避することができるので、例えば、シングルプロセッサとしての利用時における演算処理装置の性能向上に有効である。

【図面の簡単な説明】

【0050】

【図1】本発明の一実施形態に係る演算処理装置としてのマルチプロセッサの構成を示す図である。

【符号の説明】

【0051】

10 マルチプロセッサ（演算処理装置）
80 共有バス制御手段
81 共有アドレスバス（共有バス）
82 共有データバス（共有バス）
100 プロセッサ（第1のプロセッサ）
200 プロセッサ
110, 210 CPU
111, 211 ローカルキャッシュ
121, 141, 221, 241 キャッシュメモリ
122, 142, 222, 242 キャッシュ制御手段
131, 151, 231, 251 キャッシュアクセス制御手段
132, 152, 232, 252 キャッシュアクセス伝達手段
135, 155, 235, 255 キャッシュ動作モード選択手段
161, 171, 261, 271 ローカルキャッシュアクセスアドレス入力手段
164, 174, 264, 274 リモートキャッシュアクセスアドレス出力手段
165, 175, 265, 275 リモートキャッシュアクセスアドレス入力手段

10

20

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 6 F 12/08	5 5 1 Z
	G 0 6 F 12/08	5 7 7
(74)代理人 100115691 弁理士 藤田 篤史		
(74)代理人 100117581 弁理士 二宮 克也		
(74)代理人 100117710 弁理士 原田 智雄		
(74)代理人 100121728 弁理士 井関 勝守		
(74)代理人 100124671 弁理士 関 啓		
(74)代理人 100131060 弁理士 杉浦 靖也		
(72)発明者 掛田 雅英 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内		
(72)発明者 中島 雅逸 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内		
(72)発明者 山本 崇夫 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内		
(72)発明者 尾崎 伸治 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内		
Fターム(参考) 5B005 JJ13 JJ23 KK14 MM05 PP03 PP26 UU41		