

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6677594号
(P6677594)

(45) 発行日 令和2年4月8日 (2020. 4. 8)

(24) 登録日 令和2年3月17日 (2020. 3. 17)

(51) Int. Cl.

F I

HO 4 N 5/369 (2011. 01)

HO 1 L 27/146 (2006. 01)

HO 4 N 5/374 (2011. 01)

HO 4 N 5/369

HO 1 L 27/146 F

HO 1 L 27/146 D

HO 4 N 5/374

請求項の数 20 (全 14 頁)

(21) 出願番号	特願2016-131040 (P2016-131040)	(73) 特許権者	000001007
(22) 出願日	平成28年6月30日 (2016. 6. 30)		キヤノン株式会社
(65) 公開番号	特開2018-7000 (P2018-7000A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成30年1月11日 (2018. 1. 11)	(74) 代理人	100076428
審査請求日	令和1年5月16日 (2019. 5. 16)		弁理士 大塚 康德
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 光電変換装置

(57) 【特許請求の範囲】

【請求項 1】

第1基板と第2基板とを積層して構成された光電変換装置であって、
前記第1基板は、所定の面に沿って複数の画素が配置された画素アレイを有し、前記第2基板は、前記画素アレイから信号を読み出す読出回路を有し、
前記読出回路は、前記画素アレイから複数の第1信号線に出力される複数の第1信号をそれぞれAD変換して複数の第1デジタル信号を生成する第1AD変換回路と、前記複数の第1デジタル信号をパラレルシリアル変換して第1シリアル信号を出力する第1パラレルシリアル変換回路と、前記第1シリアル信号を処理する処理回路とを含み、
前記面に対する正射影において、前記画素アレイの少なくとも一部と前記処理回路の少なくとも一部とが重なり合い、
前記第2基板の第1端部と前記処理回路との間に前記第1AD変換回路が配置され、前記第1AD変換回路と前記処理回路との間に前記第1パラレルシリアル変換回路が配置されている、
ことを特徴とする光電変換装置。

【請求項 2】

前記第1AD変換回路は、前記複数の第1信号線にそれぞれ対応する複数の第1列AD変換器を有し、各第1列AD変換器は、前記画素アレイから前記複数の第1信号線のうち対応する第1信号線に出力される第1信号と参照信号とを比較する第1比較器を含み、前記第1比較器による比較結果が反転するタイミングに応じた信号を第1デジタル信号とし

10

20

て発生する、

ことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

各第 1 列 A D 変換器は、前記第 1 デジタル信号を保持する第 1 メモリを更に含み、

前記第 1 メモリは、前記第 1 比較器と前記第 1 パラレルシリアル変換回路との間に配置されている、

ことを特徴とする請求項 2 に記載の光電変換装置。

【請求項 4】

前記面に対する正射影において、前記第 1 A D 変換回路は、前記画素アレイと重なっていない、

10

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の光電変換装置。

【請求項 5】

前記面に対する正射影において、前記第 1 パラレルシリアル変換回路は、前記画素アレイと重なっていない、

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の光電変換装置。

【請求項 6】

前記複数の第 1 信号線のそれぞれは、前記面に平行に配置された第 1 導電パターンを有し、前記第 1 導電パターンは、前記第 1 基板に配置されている、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換装置。

【請求項 7】

20

前記複数の第 1 信号線のそれぞれは、前記面に平行に配置された第 1 導電パターンを有し、前記第 1 導電パターンは、前記第 2 基板に配置されている、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記面に対する正射影において、前記第 1 導電パターンは、前記第 1 A D 変換回路および前記第 1 パラレルシリアル変換回路と重なっている、

ことを特徴とする請求項 6 又は 7 に記載の光電変換装置。

【請求項 9】

前記複数の第 1 信号線は、前記複数の画素のうち第 1 グループに属する複数の画素の信号を前記複数の第 1 信号として出力し、

30

前記読出回路は、前記複数の画素のうち第 2 グループに属する複数の画素の信号から複数の第 2 信号線に出力される複数の第 2 信号をそれぞれ A D 変換して複数の第 2 デジタル信号を生成する第 2 A D 変換回路と、前記複数の第 2 デジタル信号をパラレルシリアル変換して第 2 シリアル信号を出力する第 2 パラレルシリアル変換回路とを更に有し、

前記第 2 基板の第 2 端部と前記処理回路との間に前記第 2 A D 変換回路が配置され、前記第 2 A D 変換回路と前記処理回路との間に前記第 2 パラレルシリアル変換回路が配置され、

前記第 2 端部は、前記第 1 端部の反対側の端部である、

ことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の光電変換装置。

【請求項 10】

40

前記第 2 A D 変換回路は、前記複数の第 2 信号線にそれぞれ対応する複数の第 2 列 A D 変換器を有し、各第 2 列 A D 変換器は、前記画素アレイから前記複数の第 2 信号線のうち対応する第 2 信号線に出力される第 2 信号と参照信号とを比較する第 2 比較器を含み、前記第 2 比較器による比較結果が反転するタイミングに応じた信号を第 2 デジタル信号として発生する、

ことを特徴とする請求項 9 に記載の光電変換装置。

【請求項 11】

各第 2 列 A D 変換器は、前記第 2 デジタル信号を保持する第 2 メモリを更に含み、

前記第 2 メモリは、前記第 2 比較器と前記第 2 パラレルシリアル変換回路との間に配置されている、

50

ことを特徴とする請求項 10 に記載の光電変換装置。

【請求項 12】

前記複数の第 2 信号線は、前記面に平行に配置された複数の第 2 導電パターンを有し、前記複数の第 2 導電パターンは、前記第 1 基板に配置されている、

ことを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の光電変換装置。

【請求項 13】

前記面に対する正射影において、前記第 2 AD 変換回路は、前記画素アレイと重なっていない、

ことを特徴とする請求項 9 乃至 12 のいずれか 1 項に記載の光電変換装置。

【請求項 14】

前記面に対する正射影において、前記第 2 パラレルシリアル変換回路は、前記画素アレイと重なっていない、

ことを特徴とする請求項 9 乃至 13 のいずれか 1 項に記載の光電変換装置。

【請求項 15】

前記複数の第 2 信号線のそれぞれは、前記面に平行に配置された第 2 導電パターンを有し、前記第 2 導電パターンは、前記第 1 基板に配置されている、

ことを特徴とする請求項 9 乃至 14 のいずれか 1 項に記載の光電変換装置。

【請求項 16】

前記複数の第 2 信号線のそれぞれは、前記面に平行に配置された第 2 導電パターンを有し、前記第 2 導電パターンは、前記第 2 基板に配置されている、

ことを特徴とする請求項 9 乃至 14 のいずれか 1 項に記載の光電変換装置。

【請求項 17】

前記面に対する正射影において、前記第 2 導電パターンは、前記第 2 AD 変換回路および前記第 2 パラレルシリアル変換回路と重なっている、

ことを特徴とする請求項 15 又は 16 に記載の光電変換装置。

【請求項 18】

前記読出回路は、クロック信号を生成するクロック発生回路を更に有し、

前記面に対する正射影において、前記画素アレイの少なくとも一部と前記クロック発生回路の少なくとも一部とが重なり合っている、

ことを特徴とする請求項 1 乃至 17 のいずれか 1 項に記載の光電変換装置。

【請求項 19】

前記複数の画素は、複数の光電変換素子と、前記複数の光電変換素子の信号を増幅する複数の増幅トランジスタとを含み、

前記第 1 基板は、複数のサブ導電ラインと、前記複数のサブ導電ラインが接続されたメイン導電ラインとを有し、前記複数のサブ導電ラインおよび前記メイン導電ラインは、前記第 1 信号線を構成し、

前記複数のサブ導電ラインの各々は、前記複数の増幅トランジスタのうち少なくとも 2 つの増幅トランジスタから信号が出力されるように配置されている、

ことを特徴とする請求項 1 乃至 18 のいずれか 1 項に記載の光電変換装置。

【請求項 20】

前記第 1 基板と前記第 2 基板との電気的な接続は、マイクロバンプによってなされる、

ことを特徴とする請求項 1 乃至 19 のいずれか 1 項に記載の光電変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置に関する。

【背景技術】

【0002】

近年、2 枚の基板を結合して構成された固体撮像装置が提供されている。このような固体撮像装置では、画素を構成する複数の素子の一部が 1 つの基板に配され、該複数の素子

10

20

30

40

50

他の一部が他の基板に配されうる。このような構成は、画素数の向上または光電変換部の大型化に有利である。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-119946号公報

【特許文献2】特開2012-15277号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

しかしながら、上記のような構成は、画素を構成する複数の素子の一部と該複数の素子の他の一部とを2つの基板間で接続する必要があるので、高いプロセス技術を要求し、また、画素間の特性ばらつきを生じさせうる。

【0005】

本発明は、基板を積層して構成される光電変換装置の構造を単純化することによって製造を容易化するとともに、画素間の特性ばらつきを抑えるために有利な技術を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の1つの側面は、第1基板と第2基板とを積層して構成された光電変換装置に係り、前記第1基板は、所定の面に沿って複数の画素が配置された画素アレイを有し、前記第2基板は、前記画素アレイから信号を読み出す読出回路を有し、前記読出回路は、前記画素アレイから複数の第1信号線に出力される複数の第1信号をそれぞれAD変換して複数の第1デジタル信号を生成する第1AD変換回路と、前記複数の第1デジタル信号をパラレルシリアル変換して第1シリアル信号を出力する第1パラレルシリアル変換回路と、前記第1シリアル信号を処理する処理回路とを含み、前記面に対する正射影において、前記画素アレイの少なくとも一部と前記処理回路の少なくとも一部とが重なり合い、前記第2基板の第1端部と前記処理回路との間に前記第1AD変換回路が配置され、前記第1AD変換回路と前記処理回路との間に前記第1パラレルシリアル変換回路が配置されている。

20

30

【発明の効果】

【0007】

本発明によれば、基板を積層して構成される光電変換装置の構造を単純化することによって製造を容易化するとともに、画素間の特性ばらつきを抑えるために有利な技術が提供される。

【図面の簡単な説明】

【0008】

【図1】本発明の一つの実施形態の固体撮像装置の回路構成を示す図。

【図2】図1に示された画素アレイの1つの画素、第1列AD変換器および第2列AD変換器の構成例を示す図。

40

【図3】本発明の一つの実施形態の固体撮像装置を構成する第1基板(a)および第2基板(b)のレイアウト構成例を示す図。

【図4】本発明の一つの実施形態の固体撮像装置のレイアウト構成例を示す図。

【図5】本発明の一つの実施形態の固体撮像装置のレイアウト構成例を示す図。

【図6】第1信号線および第2信号線のレイアウト例を示す図。

【図7】第1信号線および第2信号線の他のレイアウト例を示す図。

【図8】第1基板と第2基板との電気的な接続のための構造の例を示す図。

【図9】第1信号線および第2信号線の構成例を示す図。

【発明を実施するための形態】

【0009】

50

以下、添付図面を参照しながら本発明をその例示的な実施形態を通して説明する。本発明は好適には固体撮像装置に適用されるが、他にも撮像以外を目的とする光電変換装置に適用可能である。たとえば、測距、光量測定などの用途にも用いることができる。以下では、固体撮像装置を例に説明する。

【 0 0 1 0 】

図 1 には、本発明の一つの実施形態の固体撮像装置 1 の回路構成が示されている。固体撮像装置 1 は、画素アレイ 1 0 と、画素アレイ 1 0 から信号を読み出す読出回路 R D とを含む。画素アレイ 1 0 は、所定の面に沿って配置された複数の画素 1 1 を有する。複数の画素 1 1 は、複数の行および複数の列を構成するように配置される。画素アレイ 1 0 は、第 1 グループ（例えば奇数列）を構成する複数の画素 1 1 および第 2 グループ（例えば偶数列）を構成する複数の画素 1 1 を含みうる。複数の画素 1 1 の各々は、光電変換素子を含む。よって、画素アレイ 1 0 は、第 1 グループを構成する複数の光電変換素子および第 2 グループを構成する複数の光電変換素子を含みうる。

10

【 0 0 1 1 】

読出回路 R D は、例えば、A D 変換回路 3 0、パラレルシリアル変換回路 4 0、垂直走査回路 2 0、処理回路 7 0、タイミング発生回路 8 0、クロック発生回路 9 0 を含みうる。

【 0 0 1 2 】

A D 変換回路 3 0 は、画素アレイ 1 0 から複数の信号線 Y D i、Y U i (i = 1 ~ n) に出力される複数の信号をそれぞれ A D 変換して複数のデジタル信号を生成する。A D 変換回路 3 0 は、第 1 A D 変換回路 3 1 および第 2 A D 変換回路 3 2 を含みうる。第 1 A D 変換回路 3 1 は、画素アレイ 1 0 の第 1 グループを構成する複数の画素 1 1 から複数の第 1 信号線 Y D i に出力される複数の第 1 信号をそれぞれ A D 変換して複数の第 1 デジタル信号を生成する。第 2 A D 変換回路 3 2 は、画素アレイ 1 0 の第 2 グループを構成する複数の画素 1 1 から複数の第 1 信号線 Y U i に出力される複数の第 2 信号をそれぞれ A D 変換して複数の第 2 デジタル信号を生成する。

20

【 0 0 1 3 】

第 1 A D 変換回路 3 1 は、例えば、複数の第 1 信号線 Y D i にそれぞれ対応する複数の第 1 列 A D 変換器 1 1 3 と、第 1 信号発生器 1 1 1 と、カウンタ 1 1 2 とを含みうる。第 1 信号発生器 1 1 1 は、ランプ信号等のように、経過時間に対して電圧が線形に変化する参照信号 V r a m p を発生する。カウンタ 1 1 2 は、カウント動作を行って、経過時間に対応するカウント値 C N T を出力する。第 1 列 A D 変換器 1 1 3 は、第 1 信号と参照信号 V r a m p とを比較し、比較結果が反転するタイミングに応じた信号を第 1 デジタル信号として発生する。

30

【 0 0 1 4 】

第 2 A D 変換回路 3 2 は、第 1 A D 変換回路 3 2 と同様の構成を有しうる。即ち、第 2 A D 変換回路 3 2 は、例えば、複数の第 2 信号線 Y U i にそれぞれ対応する複数の第 2 列 A D 変換器 1 2 3 と、第 2 信号発生器 1 2 1 と、カウンタ 1 2 2 とを含みうる。第 2 信号発生器 1 2 1 は、ランプ信号等のように、経過時間に対して電圧が線形に変化する参照信号 V r a m p を発生する。カウンタ 1 2 2 は、カウント動作を行って、経過時間に対応するカウント値 C N T を出力する。第 2 列 A D 変換器 1 2 3 は、第 2 信号と参照信号 V r a m p とを比較し、比較結果が反転するタイミングに応じた信号を第 2 デジタル信号として発生する。

40

【 0 0 1 5 】

パラレルシリアル変換回路 4 0 は、第 1 パラレルシリアル変換回路 4 1 および第 2 パラレルシリアル変換回路 4 2 を含みうる。第 1 パラレルシリアル変換回路 4 1 は、第 1 A D 変換回路 3 1 からの複数の第 1 デジタル信号をパラレルシリアル変換して第 1 シリアル信号を出力する。第 2 パラレルシリアル変換回路 4 2 は、第 2 A D 変換回路 3 2 からの複数の第 2 デジタル信号をパラレルシリアル変換して第 2 シリアル信号を出力する。第 1、第 2 パラレルシリアル変換回路 4 1、4 2 は、水平走査回路を含みうる。シリアル化された

50

各々の信号は複数ビットの信号を含んでいる。例えば、各 A D 変換回路が 1 2 b i t の分解能を有していればシリアル化されたデジタル信号の各々は 1 2 b i t のデジタル信号を含んでいる。

【 0 0 1 6 】

垂直走査回路 2 0 は、画素アレイ 1 0 の複数の行を走査する。具体的には、垂直走査回路 2 0 は、画素アレイ 1 0 の複数の行にそれぞれ対応する複数の行制御信号 X_j ($j = 1 \sim m$) を所定の順で選択 (活性化) する。垂直走査回路 2 0 は、例えば、シフトレジスタ等で構成される走査回路 S C と、走査回路 S C から出力される信号をバッファリングして複数の行制御信号 X_j を生成するバッファ 2 2 とを含みうる。

【 0 0 1 7 】

処理回路 7 0 は、デジタルシグナルプロセッサで構成され、パラレルシリアル変換回路 4 0 (4 1、4 2) から供給されるシリアル信号を処理 (例えば、ノイズ低減、色処理、補正、圧縮) する。シリアル化された各信号は、例えば、1 2 b i t のデジタル信号である。タイミング発生回路 8 0 は、クロック発生回路 9 0 から供給されるクロック信号 C L K に基づいて、垂直走査回路 2 0、A D 変換回路 3 0、パラレルシリアル変換回路 4 0 および処理回路 7 0 を制御する制御信号を生成する。クロック発生回路 9 0 は、例えば、D L L (ディレイ・ロック・ループ) を含み、外部から供給されるクロック信号に同期したクロック信号 C L K を発生してタイミング発生回路 8 0 に供給する。もしくは、外部から基準クロックが供給され、この基準クロックをタイミング発生回路 8 0 および処理回路 7 0 が直接受けるような構成としてもよい。この場合には、タイミング発生回路 8 0 から出力されたクロックをクロック発生回路 9 0 が逡倍することによって、より高い周波数を有するクロックを発生し、クロック発生回路 9 0 から出力されたクロックがカウンタ 1 1 2 に供給されてもよい。

【 0 0 1 8 】

図 2 には、図 1 に示された画素アレイ 1 0 の 1 つの画素 1 1、第 1 列 A D 変換器 1 1 3 および第 2 列 A D 変換器 1 2 3 の構成例が示されている。画素 1 1 は、光電変換素子 P E C を含み、光電変換素子 P E C で光電変換によって発生した信号に応じた信号を出力端子 P O から信号線 Y D i、Y U i に出力する。

【 0 0 1 9 】

画素 1 1 は、光電変換素子 P E C と、フローティングディフュージョン F D と、光電変換素子 P E C に蓄積された電荷をフローティングディフュージョン F D に転送する転送トランジスタ T T を含みうる。転送トランジスタ T T は、垂直走査回路 2 0 によって制御される転送信号 $\phi T X$ の活性化に応じてオンし、光電変換素子 P E C に蓄積された電荷をフローティングディフュージョン F D に転送する。フローティングディフュージョン F D には、光電変換素子 P E C から転送された電荷に応じた電圧が現れる。画素 1 1 は、フローティングディフュージョン F D の電圧に応じた信号を信号線 Y D i、Y U i に出力する増幅トランジスタ A T を含みうる。増幅トランジスタ A T は、信号線 Y D i、Y U i に接続された電流源 C S とともにソースフォロワ回路を構成する。

【 0 0 2 0 】

画素 1 1 は、フローティングディフュージョン F D の電圧をリセットするリセットトランジスタ R T を含みうる。リセットトランジスタ R T は、垂直走査回路 2 0 によって制御されるリセット信号 $\phi R E S$ の活性化に応じてオンし、フローティングディフュージョン F D の電圧をリセットする。画素 1 1 は、選択トランジスタ S T を含んでもよい。選択トランジスタ S T は、垂直走査回路 2 0 によって制御される選択信号 $\phi S E L$ の活性化に応じてオンし、増幅トランジスタ A T の出力を信号線 Y D i、Y U i に出力する。制御信号 $\phi T X$ 、 $\phi R E S$ 、 $\phi S E L$ は、上記の説明では、代表的に、行制御信号 X_j として説明されている。

【 0 0 2 1 】

上記の例では、1 つの光電変換素子 P E C に対して 1 つの増幅トランジスタ A T が設けられているが、複数の光電変換素子 P E C に対して 1 つの増幅トランジスタ A T が設けら

10

20

30

40

50

れてもよい。この場合、リセットトランジスタ R T および選択トランジスタ S L も複数の光電変換素子 P E C によって共用されうる。また、上記の例では、選択トランジスタ S T が設けられているが、選択トランジスタ S T を設ける代わりに、フローティングディフュージョン F D のリセット電圧を調整することによって画素を選択する構成が採用されてもよい。

【 0 0 2 2 】

第 1 列 A D 変換器 1 1 3 は、画素アレイ 1 0 から複数の第 1 信号線 Y D i のうち対応する第 1 信号線に出力される第 1 信号と参照信号 V r a m p とを比較する第 1 比較器 1 3 1 を含む。第 1 列 A D 変換器 1 1 3 は、第 1 比較器 1 3 1 による比較結果が反転するタイミングに応じた信号を第 1 デジタル信号として発生する。第 1 列 A D 変換器 1 1 3 は、第 1 デジタル信号を保持する第 1 メモリ 1 4 1 を含む。ここで、第 1 比較器 1 3 1 は、第 1 信号と参照信号 V r a m p との比較結果が反転するタイミングでラッチ信号 L T 1 を活性化する。第 1 メモリ 1 4 1 は、カウンタ 1 1 2 から供給されるカウント値 C N T をラッチ信号 L T 1 が活性化されたタイミングで取り込む。

10

【 0 0 2 3 】

同様に、第 2 列 A D 変換器 1 2 3 は、画素アレイ 1 0 から複数の第 2 信号線 Y U i のうち対応する第 2 信号線に出力される第 2 信号と参照信号 V r a m p とを比較する第 2 比較器 1 3 2 を含む。第 2 列 A D 変換器 1 2 3 は、第 2 比較器 1 3 2 による比較結果が反転するタイミングに応じた信号を第 2 デジタル信号として発生する。第 2 列 A D 変換器 1 2 3 は、第 2 デジタル信号を保持する第 2 メモリ 1 4 2 を含む。ここで、第 2 比較器 1 3 2 は、第 2 信号と参照信号 V r a m p との比較結果が反転するタイミングでラッチ信号 L T 2 を活性化する。第 2 メモリ 1 4 2 は、カウンタ 1 2 2 から供給されるカウント値 C N T をラッチ信号 L T 2 が活性化されたタイミングで取り込む。

20

【 0 0 2 4 】

なお、説明の簡単化のために図示されていないが、列 A D 変換器 1 1 3、1 2 3 は、画素アレイ 1 0 から信号線 Y D i、Y U i に出力されるリセットレベルおよび光信号レベルをそれぞれ保持するように構成されてもよい。この場合、第 1 デジタル信号は、リセットレベルのデジタル信号と、光信号レベルのデジタル信号とを含む。処理回路 7 0 は、光信号レベルとリセットレベルとの差分を演算 (C D S 演算) するように構成されうる。あるいは、列 A D 変換器 1 1 3、1 2 3 は、光信号レベルとリセットレベルとの差分に応じたデジタル信号を出力するように構成されてもよい。リセットレベルは、フローティングディフュージョン F D をリセットトランジスタ R T をリセットした状態あるいはリセットを解除した直後に信号線 Y D i、Y U i に出力されるレベルである。光信号レベルは、光の入射によって光電変換素子 P E C で生じた電荷を転送トランジスタ T T によってフローティングディフュージョン F D に転送した状態で信号線 Y D i、Y U i に出力されるレベルである。

30

【 0 0 2 5 】

固体撮像装置 1 は、図 3 (a) に例示される第 1 基板 S 1 と図 3 (b) に例示される第 2 基板 S 2 とを積層して構成される。第 1 基板 S 1 は、所定面に沿って複数の画素 1 1 が配置された画素アレイ 1 0 を有する。所定面は、第 1 基板 S 1 の 2 つの面のうちの一方の面でありうる。所定面は、図 3 (a) における紙面に相当する面として理解されてもよい。第 1 基板 S 1 全体の面積に対する画素アレイ 1 0 の占める割合は、例えば 5 % である。好ましくは、画素アレイ 1 0 が 3 % よりも大きく 1 0 % よりも小さい領域を占めるのがよい。このような構成とすることで求められる光学フォーマットを満たしつつ、第 2 基板 S 2 において高速な信号処理を行うことが可能となる。第 2 基板 S 2 は、画素アレイ 1 0 からの信号を読み出す読出回路 R D を有する。第 1 基板 S 1 と第 2 基板 S 2 の面積は同じであることが好ましい。あるいは、両者の差が 1 0 % 以内であることが好ましい。

40

【 0 0 2 6 】

図 4 には、第 1 基板 S 1 と第 2 基板 S 2 とが積層されて構成された固体撮像装置 1 が模式的に示されている。ここで、第 1 基板 S 1 の画素アレイ 1 0 は、点線で示され、第 2 基

50

板 S 2 の読出回路 R D の構成要素は、実線で示されている。前記所定面に対する正射影において（あるいは図 4 において）、画素アレイ 1 0 の少なくとも一部と処理回路 7 0 の少なくとも一部とが重なり合っている。また、前記所定面に対する正射影において、画素アレイ 1 0 の少なくとも一部とクロック発生回路 9 0 の少なくとも一部とが重なり合っている。

【 0 0 2 7 】

また、前記所定面に対する正射影において（あるいは図 4 において）、第 2 基板 S 1 の第 1 端部 E 1 と処理回路 7 0 との間に第 1 A D 変換回路 3 1 が配置され、第 1 A D 変換回路 3 1 と処理回路 7 0 との間に第 1 パラレルシリアル変換回路 4 1 が配置されている。また、第 2 基板 S 2 の第 2 端部 E 2 と処理回路 7 0 との間に第 2 A D 変換回路 3 2 が配置され、第 2 A D 変換回路 3 2 と処理回路 7 0 との間に第 2 パラレルシリアル変換回路 4 2 が配置されている。ここで、第 2 端部 E 2 は、第 1 端部 E 1 の反対側の端部である。

10

【 0 0 2 8 】

また、図 5 に示されるように、前記所定面に対する正射影において、複数の第 1 メモリ 1 4 1 で構成されるブロックは、複数の第 1 比較器 1 3 1 で構成されるブロックと第 1 パラレルシリアル変換回路 4 1 との間に配置されうる。同様に、前記所定面に対する正射影において、複数の第 2 メモリ 1 4 2 で構成されるブロックは、複数の第 2 比較器 1 3 2 で構成されるブロックと第 2 パラレルシリアル変換回路 4 2 との間に配置されうる。

【 0 0 2 9 】

図 4、図 5 に例示的に示されるように、第 1 基板に配置された画素アレイ 1 0 の第 1 グループに属する画素 1 1 の信号は、第 1 信号線 Y D i によって第 1 端部 E 1 側に伝達される。そして、該信号は、第 2 基板 S 2 において第 1 端部 E 1 から処理回路 7 0 に向かって並んだ第 1 A D 変換回路 3 1、第 1 パラレルシリアル変換回路 4 1 を順に経由して、画素アレイ 1 0 に対面するように第 2 基板 S 2 に配置された処理回路 7 0 に提供される。また、第 1 基板 S 1 に対置された画素アレイ 1 0 の第 2 グループに属する画素 1 1 の信号は、第 2 信号線 Y U i によって第 2 端部 E 2 側に伝達される。そして、該信号は、第 2 基板 S 2 において第 2 端部 E 2 から処理回路 7 0 に向かって並んだ第 2 A D 変換回路 3 2、第 2 パラレルシリアル変換回路 4 2 を順に経由して、画素アレイ 1 0 に対面するように第 2 基板 S 2 に配置された処理回路 7 0 に提供される。このような構成によれば、画素の構造が単純化されることにより固体撮像装置 1 の製造が容易化されるとともに画素間の特性ばらつきが抑えられる。また、図 4、図 5 では図示していないが、電流源 C S は第 2 基板 S 2 に配されうる。

20

30

【 0 0 3 0 】

第 1 A D 変換回路 3 1 は、前記所定面に対する正射影において、画素アレイ 1 0 と重ならないように配置されうる。同様に、第 2 A D 変換回路 3 2 は、前記所定面に対する正射影において、画素アレイ 1 0 と重ならないように配置されうる。第 1 パラレルシリアル変換回路 4 1 は、前記所定面に対する正射影において、画素アレイ 1 0 と重ならないように配置されうる。同様に、第 2 パラレルシリアル変換回路 4 2 は、前記所定面に対する正射影において、画素アレイ 1 0 と重ならないように配置されうる。

【 0 0 3 1 】

図 6 には、第 1 信号線 Y D i および第 2 信号線 Y U i のレイアウト例が示されている。図 6 では、第 1 基板 S 1 の構成要素が実線で示され、第 2 基板 S 2 の構成要素が点線で示されている。図 6 に示された例では、第 1 信号線 Y D i のそれぞれは、前記所定面に平行に配置された（紙面に平行に配置された）第 1 導電パターン C P A T 1 を有し、第 1 導電パターン C P A T 1 は、第 1 基板 S 1 に配置されている。同様に、第 2 信号線 Y U i のそれぞれは、前記所定面に平行に配置された（紙面に平行に配置された）第 2 導電パターン C P A T 2 を有し、第 2 導電パターン C P A T 2 は、第 1 基板 S 1 に配置されている。前記所定面に対する正射影において、第 1 導電パターン C P A T 1 は、第 1 A D 変換回路 3 1 および第 1 パラレルシリアル変換回路 4 1 と重なっている。また、前記所定面に対する正射影において、第 2 導電パターン C P A T 2 は、第 2 A D 変換回路 3 2 および第 2 パラ

40

50

レルシリアル変換回路 4 2 と重なっている。

【 0 0 3 2 】

図 7 には、第 1 信号線 Y D i および第 2 信号線 Y U i の他のレイアウト例が示されている。図 7 では、第 1 基板 S 1 の構成要素が点線で示され、第 2 基板 S 2 の構成要素が実線で示されている。図 7 に示された例では、第 1 信号線 Y D i のそれぞれは、前記所定面に平行に配置された（紙面に平行に配置された）第 1 導電パターン C P A T 1 を有し、第 1 導電パターン C P A T 1 は、第 2 基板 S 2 に配置されている。同様に、第 2 信号線 Y U i のそれぞれは、前記所定面に平行に配置された（紙面に平行に配置された）第 2 導電パターン C P A T 2 を有し、第 2 導電パターン C P A T 2 は、第 2 基板 S 2 に配置されている。前記所定面に対する正射影において、第 1 導電パターン C P A T 1 は、第 1 A D 変換回路 3 1 および第 1 パラレルシリアル変換回路 4 1 と重なっている。また、前記所定面に対する正射影において、第 2 導電パターン C P A T 2 は、第 2 A D 変換回路 3 2 および第 2 パラレルシリアル変換回路 4 2 と重なっている。

10

【 0 0 3 3 】

図 6、図 7 においては、電流源 C S は明示されていないが、上述したように、電流源 C S は第 2 基板 S 2 に配されうる。図 6、図 7 の構成においては、第 1 信号線 Y D i に接続される電流源 C S は、第 1 A D 変換回路 3 1 と第 2 基板 S 2 における第 1 A D 変換回路 3 1 が配される側の端部（第 1 端部）との間に配されうる。また、第 2 信号線 Y U i に接続される電流源 C S は、第 2 A D 変換回路 3 2 と第 2 基板 S 2 における第 2 A D 変換回路 3 2 側の端部（第 2 端部）との間に配されうる。もしくは、第 1 導電パターン C P A T 1、第 2 導電パターン C P A T 2 の両者が、第 1 端部と第 1 A D 変換回路 3 1 との間から第 2 端部と第 2 A D 変換回路 3 2 との間まで延在して配されてもよい。この場合には、第 1 信号線 Y D i に接続される電流源 C S が第 2 端部と第 2 A D 変換回路 3 2 との間に配され、第 2 信号線 Y U i に接続される電流源 C S が第 1 端部と第 1 A D 変換回路 3 1 との間に配されうる。

20

【 0 0 3 4 】

図 8 には、第 1 基板 S 1 と第 2 基板 S 2 との電氣的な接続のための構造が例示されている。第 1 基板 S 1 は、互いに反対側の第 1 面 S 1 1 および第 2 面 S 1 2 を有する。前記所定面は、第 1 面 S 1 1 または第 2 面 S 1 2 でありうる。第 1 基板 S 1 は、複数の配線層 2 1 1、2 1 3 と、配線層 2 1 1、2 1 3 間の電氣的接続のためのビアプラグ 2 1 2 と、マイクロバンプ M B 1 とを含みうる。マイクロバンプ M B 1 は、配線層 2 1 3 と第 1 基板 S 1 の第 2 面 S 1 2 の接続領域とを電氣的に接続する。マイクロバンプ M B 1 は、第 1 基板 S 1 の第 2 面 S 1 2 に露出したパッド 2 1 5 と、パッド 2 1 5 と配線層 2 1 3 とを接続するビアプラグ 2 1 4 とを含む。

30

【 0 0 3 5 】

第 2 基板 S 2 は、互いに反対側の第 1 面 S 2 1 および第 2 面 S 2 2 を有する。第 2 基板 S 2 は、複数の配線層 2 2 1、2 2 3 と、配線層 2 2 1、2 2 3 間の電氣的接続のためのビアプラグ 2 2 2 と、マイクロバンプ M B 2 とを含みうる。マイクロバンプ M B 2 は、配線層 2 2 3 と第 2 基板 S 2 の第 2 面 S 2 2 の接続領域とを電氣的に接続する。マイクロバンプ M B 2 は、第 2 基板 S 2 の第 2 面 S 2 2 に露出したパッド 2 2 5 と、パッド 2 2 5 と配線層 2 2 3 とを接続するビアプラグ 2 2 4 とを含む。

40

【 0 0 3 6 】

第 1 基板 S 1 と第 2 基板 S 2 は、第 1 基板 S 1 の第 2 面 S 1 2 と第 2 基板 S 2 の第 2 面 S 2 とが対面するように、相互に結合される。第 1 基板 S 1 のパッド 2 1 5 と第 2 基板 S 2 のパッド 2 2 5 とが電氣的に接続される。

【 0 0 3 7 】

第 1 基板 S 1 の第 1 面 S 1 1 は、通常は、第 1 基板 S 1 の製造時に裏面（基板チャックによってチャックされる面）となる面である。第 1 基板 S 1 に形成される画素アレイ 1 0 の画素 1 1 は、裏面照射型の画素でありうる。第 2 基板 S 2 の第 1 面 S 2 1 は、通常は、第 2 基板 S 2 の製造時に裏面（基板チャックによってチャックされる面）となる面である

50

。

【 0 0 3 8 】

図 6 に示された例のように第 1 導電パターン C P A T 1 および第 2 導電パターン C P A T 2 が第 1 基板 S 1 に配置される場合、第 1 導電パターン C P A T 1 および第 2 導電パターン C P A T 2 は、配線層 2 1 3 および / または配線層 2 1 1 に配置されうる。第 1 基板 S 1 に配置された第 1 導電パターン C P A T 1 および第 2 導電パターン C P A T 2 は、第 1 A D 変換回路 3 1、第 2 A D 変換回路 3 2 またはそれらの近傍において、マイクロポンプ M B 1、M B 2 を介して第 2 基板 S 2 側の配線層に接続されうる。

【 0 0 3 9 】

図 7 に示された例のように第 1 導電パターン C P A T 1 および第 2 導電パターン C P A T 2 が第 2 基板 S 2 に配置される場合、第 1 導電パターン C P A T 1 および第 2 導電パターン C P A T 2 は、配線層 2 2 3 および / または配線層 2 2 1 に配置されうる。第 2 基板 S 2 に配置された第 1 導電パターン C P A T 1 および第 2 導電パターン C P A T 2 は、画素アレイ 1 0 において、マイクロポンプ M B 1、M B 2 を介して第 1 基板 S 1 側の画素 1 1 の配線層に接続されうる。

10

【 0 0 4 0 】

図 9 には、第 1 信号線 Y D i および第 2 信号線 Y U i の構成例が示されている。この構成例では、第 1 信号線 Y D i および第 2 信号線 Y U i が第 1 基板 S 1 に配置されている。画素 1 1 は、前述のように光電変換素子および増幅トランジスタを含みうる。

【 0 0 4 1 】

20

第 1 基板 S 1 は、第 1 グループの画素 1 1 のために、複数のサブ導電ライン 3 1 1 と、複数のサブ導電ライン 3 1 1 が接続されたメイン導電ライン 3 1 2 とを有し、複数のサブ導電ライン 3 1 1 およびメイン導電ライン 3 1 2 は、第 1 信号線 Y D i を構成する。複数のサブ導電ライン 3 1 1 の各々は、複数の画素 1 1 (の増幅トランジスタ) のうち少なくとも 2 つの画素 1 1 (の増幅トランジスタ) から信号が出力されるように配置されている。

【 0 0 4 2 】

また、第 1 基板 S 1 は、第 2 グループの画素 1 1 のために、複数のサブ導電ライン 3 2 1 と複数のサブ導電ライン 3 2 1 が接続されたメイン導電ライン 3 2 2 とを有し、複数のサブ導電ライン 3 2 1 およびメイン導電ライン 3 2 2 は、第 2 信号線 Y U i を構成する。複数のサブ導電ライン 3 2 1 の各々は、複数の画素 1 1 (の増幅トランジスタ) のうち少なくとも 2 つの画素 1 1 (の増幅トランジスタ) から信号が出力されるように配置されている。

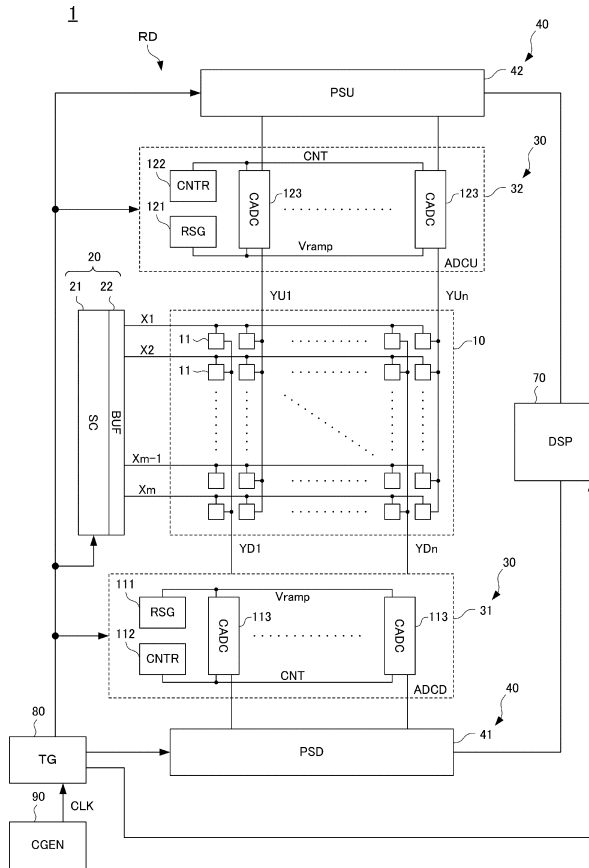
30

【 符号の説明 】

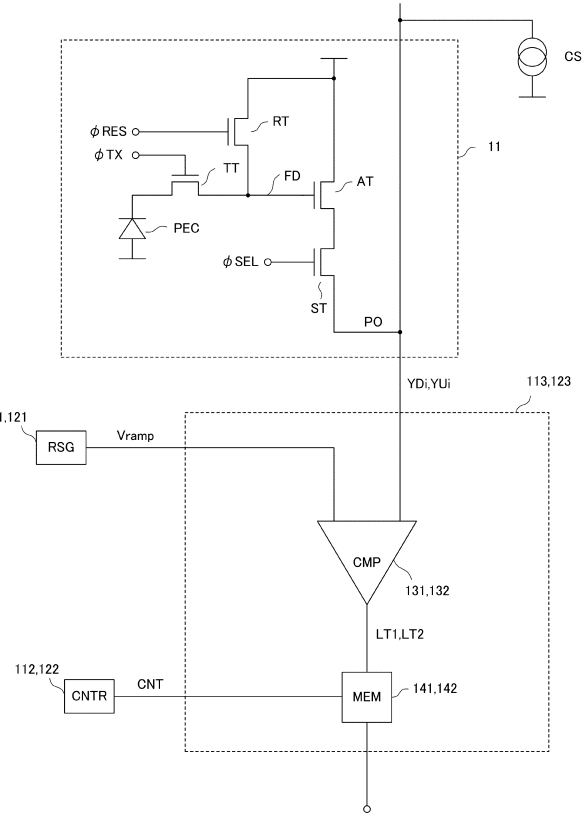
【 0 0 4 3 】

1 : 固体撮像装置、 1 0 : 画素アレイ、 2 0 : 垂直走査回路、 R D : 読出回路、 3 1 : 第 1 A D 変換回路、 3 2 : 第 2 A D 変換回路、 4 1 : 第 1 パラレルシリアル変換回路、 4 2 : 第 2 パラレルシリアル変換回路、 7 0 : 処理回路、 8 0 : タイミング発生回路

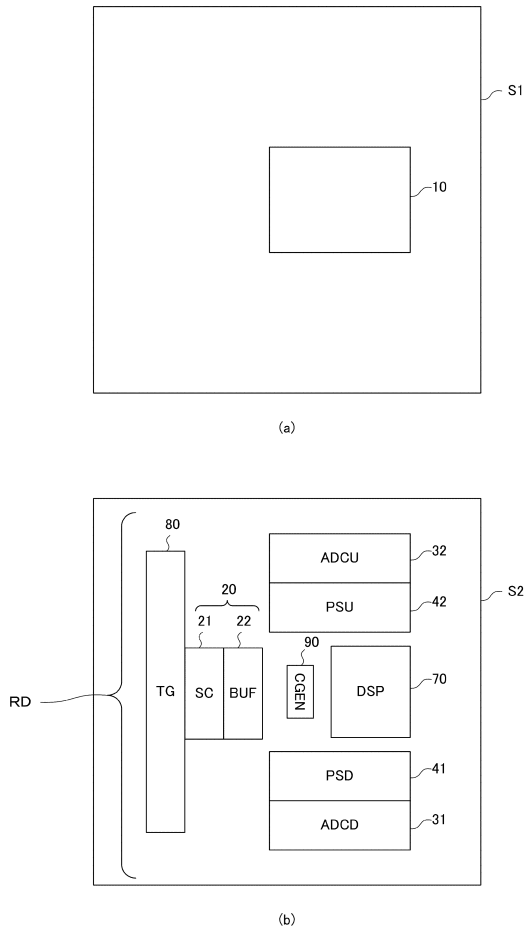
【図 1】



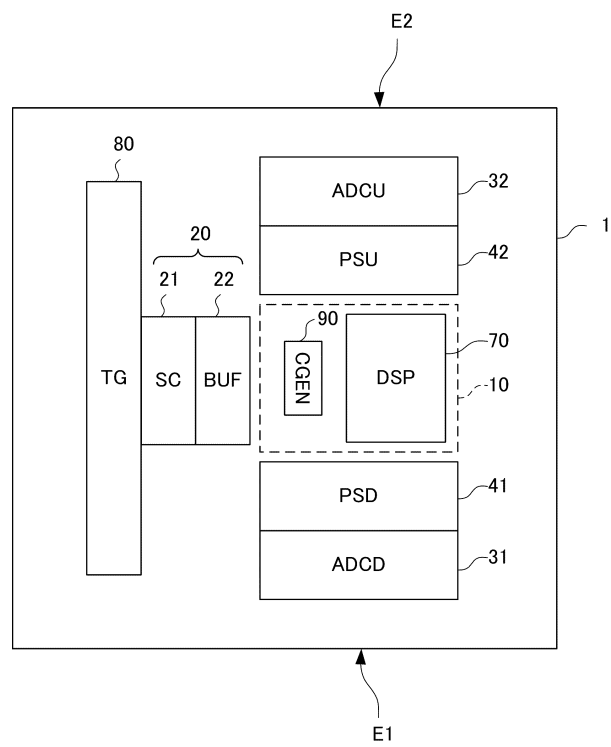
【図 2】



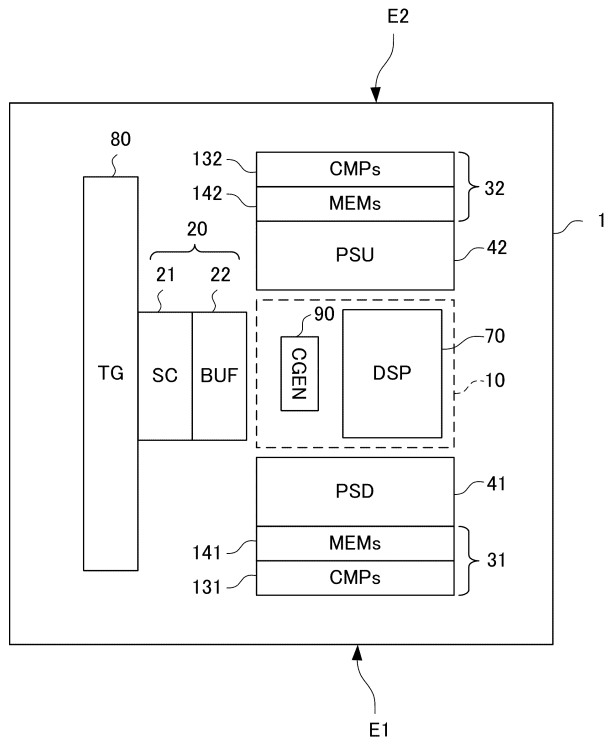
【図 3】



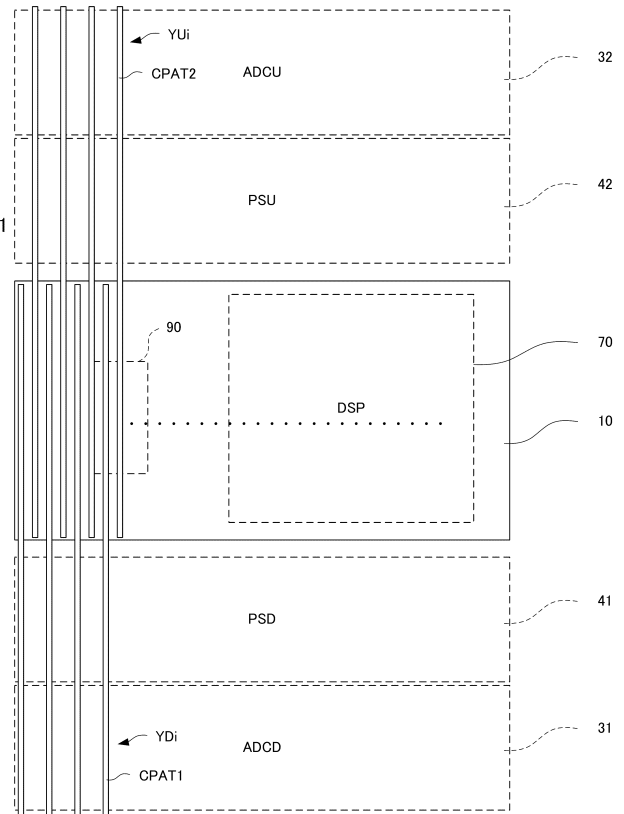
【図 4】



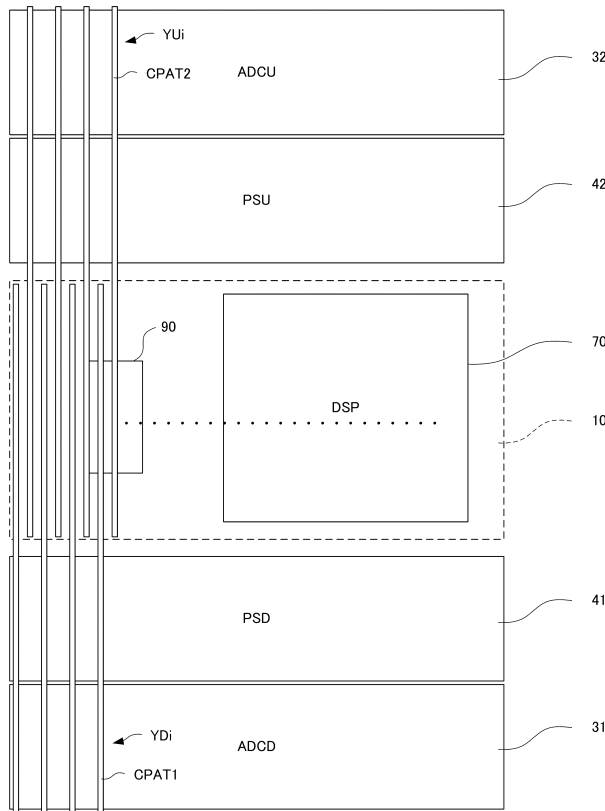
【図 5】



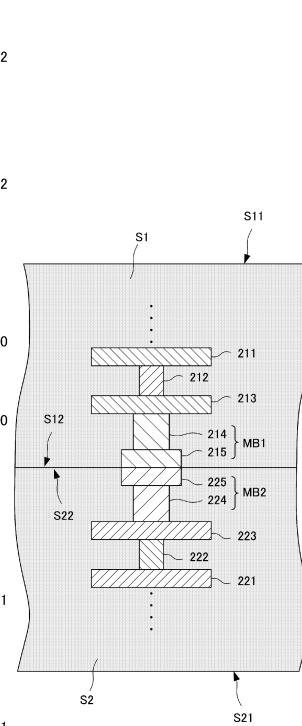
【図 6】



【図 7】

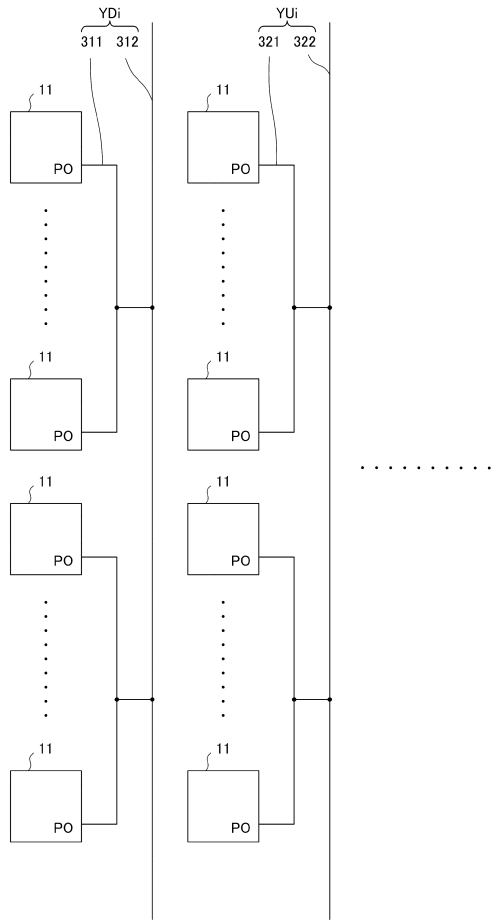


【図 8】



【図 9】

S1



フロントページの続き

- (72)発明者 斉藤 和宏
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 山下 孝教
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 領木 達也
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 山崎 善一
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

- (56)参考文献 特開2013-183197(JP, A)
国際公開第2010/073520(WO, A1)
国際公開第2013/005389(WO, A1)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|----------------|
| H04N | 5/30 - 5/378 |
| H01L | 27/14 - 27/148 |