

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6126357号  
(P6126357)

(45) 発行日 平成29年5月10日 (2017.5.10)

(24) 登録日 平成29年4月14日 (2017.4.14)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 7 J

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 21/28 (2006.01)

H O 1 L 29/78 6 1 6 T

H O 1 L 29/49 (2006.01)

H O 1 L 29/78 6 1 7 K

H O 1 L 29/423 (2006.01)

H O 1 L 29/78 6 2 7 C

請求項の数 5 (全 41 頁) 最終頁に続く

(21) 出願番号 特願2012-245687 (P2012-245687)  
 (22) 出願日 平成24年11月7日 (2012.11.7)  
 (65) 公開番号 特開2013-123042 (P2013-123042A)  
 (43) 公開日 平成25年6月20日 (2013.6.20)  
 審査請求日 平成27年10月30日 (2015.10.30)  
 (31) 優先権主張番号 特願2011-247907 (P2011-247907)  
 (32) 優先日 平成23年11月11日 (2011.11.11)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 笹川 慎也  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 倉田 求  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 川原 光司

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

ソース電極層と、

ドレイン電極層と、

第1の不純物領域と、第2の不純物領域と、前記第1の不純物領域及び前記第2の不純物領域の間のチャネル形成領域とを含む酸化物半導体層と、

前記酸化物半導体層の上面、前記ソース電極層の上面、及び前記ドレイン電極層の上面に接する領域を有するゲート絶縁層と、

前記ゲート絶縁層を介して前記チャネル形成領域と重畳する領域を有するゲート電極層と、

前記ゲート電極層の側面に接する領域を有し、且つ前記ゲート絶縁層を介して前記ソース電極層又は前記ドレイン電極層と重畳する領域を有する導電層と、

前記導電層を介して、前記ゲート電極層の側面と重畳する領域を有する側壁絶縁層と、を有し、

前記導電層の側端部は、前記側壁絶縁層の側端部と一致しており、

前記酸化物半導体層のチャネル長方向において、前記第1の不純物領域の側面の一は前記ソース電極層と接しており、前記第2の不純物領域の側面の一は前記ドレイン電極層と接している半導体装置。

【請求項2】

請求項1において、

前記ゲート電極層と重畳する領域の前記ゲート絶縁層の膜厚は、前記導電層と重畳する領域の前記ゲート絶縁層の膜厚よりも大きい半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記導電層と重畳する領域の前記ゲート絶縁層の膜厚は、前記導電層又は前記ゲート電極層と重畳しない領域の前記ゲート絶縁層の膜厚よりも大きい半導体装置。

【請求項 4】

ソース電極層及びドレイン電極層を形成し、

前記ソース電極層及び前記ドレイン電極層を覆う酸化物半導体層を形成し、

前記ソース電極層及び前記ドレイン電極層と重畳する領域の前記酸化物半導体層を除去して、開口を有する酸化物半導体層とし、

前記開口を有する酸化物半導体層を加工して、前記ソース電極層と前記ドレイン電極との間に配置された島状の酸化物半導体層を形成し、

前記酸化物半導体層上、前記ソース電極層上、及び前記ドレイン電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層を介して前記酸化物半導体層と重畳する領域を有するゲート電極層を形成し、

前記ゲート電極層をマスクとして前記酸化物半導体層に不純物を導入して、前記酸化物半導体層に自己整合的に第 1 の不純物領域及び第 2 の不純物領域を形成し、

前記ゲート絶縁層及び前記ゲート電極層上に導電膜を形成し、

前記導電膜上に絶縁層を形成し、

前記絶縁層を加工して、前記導電膜を介して前記ゲート電極層の側面に重畳する領域を有する側壁絶縁層を形成し、

前記側壁絶縁層をマスクとして前記導電膜をエッチングして、前記ゲート電極層の側面に接する領域を有する導電層を形成する半導体装置の作製方法。

【請求項 5】

島状の酸化物半導体層を形成し、

前記酸化物半導体層を覆う第 1 の導電膜を形成し、

少なくとも前記酸化物半導体層と重畳する領域の前記第 1 の導電膜を除去して、ソース電極層及びドレイン電極層を形成し、

前記酸化物半導体層上、前記ソース電極層上、及び前記ドレイン電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層を介して前記酸化物半導体層と重畳する領域を有するゲート電極層を形成し、

前記ゲート電極層をマスクとして前記酸化物半導体層に不純物を導入して、前記酸化物半導体層に自己整合的に第 1 の不純物領域及び第 2 の不純物領域を形成し、

前記ゲート絶縁層上及び前記ゲート電極層上に第 2 の導電膜を形成し、

前記第 2 の導電膜上に絶縁層を形成し、

前記絶縁層を加工して、前記第 2 の導電膜を介して前記ゲート電極層の側面に重畳する領域を有する側壁絶縁層を形成し、

前記側壁絶縁層をマスクとして前記第 2 の導電膜をエッチングして、前記ゲート電極層の側面に接する領域を有する導電層を形成する半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置及び半導体装置の作製方法に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

10

20

30

40

50

## 【背景技術】

## 【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような半導体電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

## 【0004】

例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

10

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

トランジスタの動作の高速化、トランジスタの低消費電力化、高集積化等を達成するためにはトランジスタの微細化が必須である。

20

## 【0007】

半導体装置の高速応答、高速駆動の実現には、微細化されたトランジスタのオン特性（例えば、オン電流や電界効果移動度）の向上が望まれる。トランジスタのオン電流の低下の抑制には、ゲート電極層が、ゲート絶縁層を介してソース電極層又はドレイン電極層と重畳する領域（以下、本明細書においてLoV領域とも表記する）を設けることが有効である。

## 【0008】

しかしながら、LoV領域の形成のためには線幅の細い酸化物半導体層と線幅の細いゲート電極層との精密なアライメントが要求され、トランジスタの微細化に伴ってその要求精度はより高くなる。よって、トランジスタの微細化に伴って作製工程における歩留まりの低下が懸念される。

30

## 【0009】

そこで、本発明の一態様は、良好な特性を維持しつつ微細化を達成した半導体装置の提供を目的の一とする。

## 【0010】

また、本発明の一態様は、微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することを目的の一とする。

## 【課題を解決するための手段】

## 【0011】

40

開示する発明の一態様では、チャネル形成領域と、チャネル形成領域を挟む一对の不純物領域と、を含む酸化物半導体層を有するトランジスタにおいて、酸化物半導体層のチャネル長方向の側面の一方に接するソース電極層と、他方に接するドレイン電極層とを設ける。また、ゲート絶縁層を介してチャネル形成領域と重畳する領域にゲート電極層を有し、ゲート絶縁層を介してソース電極層又はドレイン電極層と重畳する領域であって、ゲート電極層のチャネル長方向の側面に接するように、ゲート電極層の一部として機能する導電層を有する構成とすることで、微細なチャネル長を維持しつつ、LoV領域を形成する。ゲート電極層のチャネル長方向の側面に接して設けられた導電層は、ゲート電極層を覆う導電膜及び絶縁層を形成後、絶縁層を加工して側壁絶縁層とし、側壁絶縁層をマスクとして導電膜を加工することで形成される。よって、ゲート電極層の側面に接して微細な導電

50

層を自己整合的に形成することができる。より具体的には、例えば次の構成とすることができる。

【0012】

本発明の一態様は、ソース電極層及びドレイン電極層と、第1の不純物領域、第2の不純物領域及び第1の不純物領域と第2の不純物領域に挟まれたチャンネル形成領域を含み、且つ第1の不純物領域のチャンネル長方向の側面においてソース電極層と接し、第2の不純物領域のチャンネル長方向の側面においてドレイン電極層と接する酸化物半導体層と、酸化物半導体層、ソース電極層及びドレイン電極層の上面に接するゲート絶縁層と、ゲート絶縁層を介してチャンネル形成領域と重畳するゲート電極層と、ゲート電極層の側面に接し、チャンネル長方向において、ゲート絶縁層を介してソース電極層及びドレイン電極層と少なくとも一部が重畳する導電層と、導電層のゲート電極層と対向する側面に設けられた側壁絶縁層と、を有し、導電層の側端部は、側壁絶縁層の側端部と一致する半導体装置である。

10

【0013】

上記の半導体装置において、ゲート電極層と重畳する領域のゲート絶縁層の膜厚は、導電層と重畳する領域のゲート絶縁層の膜厚よりも大きい場合がある。

【0014】

また、上記の半導体装置において、導電層と重畳する領域のゲート絶縁層の膜厚は、導電層及びゲート電極層と重畳しない領域のゲート絶縁層の膜厚よりも大きい場合がある。

【0015】

また、本発明の他の一態様は、ソース電極層及びドレイン電極層を形成し、ソース電極層及びドレイン電極層を覆う酸化物半導体層を形成し、ソース電極層及びドレイン電極層と重畳する領域の酸化物半導体層を、化学的機械研磨法により除去して、開口を有する酸化物半導体層とし、開口を有する酸化物半導体層を加工して、ソース電極層とドレイン電極層との間に配置された島状の酸化物半導体層を形成し、酸化物半導体層、ソース電極層、及びドレイン電極層上にゲート絶縁層を形成し、ゲート絶縁層を介して酸化物半導体層と重畳するゲート電極層を形成し、ゲート電極層をマスクとして酸化物半導体層に不純物を導入して、酸化物半導体層に自己整合的に第1の不純物領域及び第2の不純物領域を形成し、ゲート絶縁層及びゲート電極層上に導電膜を形成し、導電膜上に絶縁層を形成し、絶縁層を加工して、導電膜を介してゲート電極層の側面に接する側壁絶縁層を形成し、側壁絶縁層をマスクとして導電膜をエッチングして、ゲート電極層の側面に接する導電層を形成する半導体装置の作製方法である。

20

30

【0016】

また、本発明の他の一態様は、島状の酸化物半導体層を形成し、酸化物半導体層を覆う第1の導電膜を形成し、酸化物半導体層と重畳する領域の第1の導電膜を、化学的機械研磨法により除去して、開口を有する第1の導電膜とし、開口を有する第1の導電膜を加工して、ソース電極層及びドレイン電極層を形成し、酸化物半導体層、ソース電極層及びドレイン電極層上にゲート絶縁層を形成し、ゲート絶縁層を介して酸化物半導体層と重畳するゲート電極層を形成し、ゲート電極層をマスクとして酸化物半導体層に不純物を導入して、酸化物半導体層に自己整合的に第1の不純物領域及び第2の不純物領域を形成し、ゲート絶縁層及びゲート電極層上に第2の導電膜を形成し、第2の導電膜上に絶縁層を形成し、絶縁層を加工して、第2の導電膜を介してゲート電極層の側面に接する側壁絶縁層を形成し、側壁絶縁層をマスクとして第2の導電膜をエッチングして、ゲート電極層の側面に接する導電層を形成する半導体装置の作製方法である。

40

【0017】

なお、本明細書等において、一致とは、概略一致も含むものとする。例えば、同じマスクを用いてエッチングした積層構造の層Aの端面と層Bの端面は一致しているとみなす。

【0018】

なお、酸化物半導体は、単結晶、多結晶（ポリクリスタルともいう）、又は非晶質（アモルファスともいう）などの状態をとる。

【0019】

50

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いたトランジスタは動作させた際のキャリア（電子）の界面散乱を低減でき、比較的容易に、比較的高い電界効果移動度を得ることができる。

#### 【0020】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めれば、該結晶性を有する酸化物半導体を用いたトランジスタは、アモルファス状態の酸化物半導体を用いたトランジスタ以上の電界効果移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（ $Ra$ ）が0.15nm以下、好ましくは0.1nm以下の表面上に形成するとよい。

10

#### 【0021】

なお、 $Ra$ とは、JIS B0601:2001（ISO4287:1997）で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

#### 【0022】

##### 【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

20

#### 【0023】

ここで、指定面とは、粗さ計測の対象となる面であり、座標（ $x_1, y_1, f(x_1, y_1)$ ）（ $x_1, y_2, f(x_1, y_2)$ ）（ $x_2, y_1, f(x_2, y_1)$ ）（ $x_2, y_2, f(x_2, y_2)$ ）の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積を $S_0$ 、基準面の高さ（指定面の平均の高さ）を $Z_0$ とする。 $Ra$ は原子間力顕微鏡（AFM: Atomic Force Microscope）にて測定可能である。

#### 【発明の効果】

#### 【0024】

本発明の一態様の半導体装置は、ゲート電極層をマスクとして自己整合的に酸化物半導体層に不純物領域を形成した後、該ゲート電極層のチャネル長方向の側面に接し、ソース電極層及びドレイン電極層と重畳する導電層を形成する。これによって、微細なチャネル長を維持しつつ、 $LoV$ 領域を設けることが可能となり、オン電流の低下が抑制された微細な構造のトランジスタを提供することができる。

30

#### 【0025】

また、ゲート電極層の一部として機能する導電層は、導電膜を介してゲート電極層上に設けられた絶縁層を、自己整合的に側壁絶縁層に加工した後、該側壁絶縁層をマスクとして導電膜をエッチングすることで形成され、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきが少ない微細な構造を有するトランジスタを歩留まりよく作製

40

#### 【0026】

したがって、本発明の一態様によって、良好な特性を維持しつつ微細化を達成した半導体装置を提供することができる。

#### 【図面の簡単な説明】

#### 【0027】

【図1】半導体装置の一態様を示す平面図及び断面図。

【図2】半導体装置の一態様を示す平面図及び断面図。

【図3】半導体装置の作製方法の一例を示す図。

【図4】半導体装置の作製方法の一例を示す図。

50

【図 5】半導体装置の一態様を示す平面図及び断面図。

【図 6】半導体装置の作製方法の一例を示す図。

【図 7】半導体装置の一態様を示す断面図。

【図 8】半導体装置の一形態を示す断面図、平面図及び回路図。

【図 9】半導体装置の一形態を示す回路図及び斜視図。

【図 10】半導体装置の一形態を示す断面図及び平面図。

【図 11】半導体装置の一形態を示す回路図。

【図 12】半導体装置の一形態を示すブロック図。

【図 13】半導体装置の一形態を示すブロック図。

【図 14】半導体装置の一形態を示すブロック図。

【図 15】実施例試料の断面 S T E M 写真。

【発明を実施するための形態】

【0028】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0029】

なお、以下に説明する本発明の構成において、同一部分又は同様の機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0030】

なお、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いるものであり工程順又は積層順を示すものではない。また、本明細書等において発明を特定するための事項として固有の名称を示すものではない。

【0031】

(実施の形態 1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一態様について図 1 乃至図 4 を用いて説明する。

【0032】

図 1 (A) 及び図 1 (B) に半導体装置の例としてトランジスタ 420 の平面図及び断面図を示す。図 1 (A) は、トランジスタ 420 の平面図であり、図 1 (B) は、図 1 (A) の X1 - Y1 における断面図である。なお、図 1 (A) では、煩雑になることを避けるため、トランジスタ 420 の構成要素の一部 (例えば、絶縁層 407 等) を省略して図示している。

【0033】

図 1 (A) 及び図 1 (B) に示すトランジスタ 420 は、絶縁表面を有する基板 400 上に、下地絶縁層 436 と、ソース電極層 405 a 及びドレイン電極層 405 b と、不純物領域 403 a、不純物領域 403 b、及びチャネル形成領域 403 c を含む酸化物半導体層 403 と、酸化物半導体層 403、ソース電極層 405 a 及びドレイン電極層 405 b の上面と接するゲート絶縁層 402 と、ゲート絶縁層 402 を介してチャネル形成領域 403 c と重畳するゲート電極層 401 と、ゲート電極層 401 の側面に接する導電層 411 と、導電層 411 のゲート電極層 401 と対向する側面に設けられた側壁絶縁層 412 と、を含んで構成される。

【0034】

酸化物半導体層 403 は、不純物領域 403 a のチャネル長方向の側面においてソース電極層 405 a と接し、不純物領域 403 b のチャネル長方向の側面においてドレイン電極層 405 b と接する。

【0035】

10

20

30

40

50

また、トランジスタ420のチャネル長方向の断面において、導電層411の少なくとも一部は、ゲート絶縁層402を介してソース電極層405a及びドレイン電極層405b上に設けられている。導電層411は、ゲート電極層401の側面に接して設けられ、ゲート電極層401の一部として機能することが可能であるため、チャネル長方向の断面においてゲート絶縁層402を介してソース電極層405a又はドレイン電極層405bと重畳する領域を、Lov領域とすることができる。

#### 【0036】

また、導電層411のゲート電極層401と対向する側面の一部に接するように、側壁絶縁層412が設けられている。導電層411は、作製工程において、ゲート電極層401を覆う導電膜を、側壁絶縁層412をマスクとして加工することで形成される。よって、導電層411の側端部は、側壁絶縁層412の側端部と一致している。

10

#### 【0037】

なお、Lov領域のチャネル長方向の長さが長いと、当該領域に生じる寄生容量が拡大する恐れがあるが、本実施の形態では、導電層411を介してゲート電極層401の側面に自己整合的に設けられた側壁絶縁層412の長さによってLov領域の長さを制御することが可能である。よって、微細なLov領域を精度よく加工することができる。

#### 【0038】

また、図1に示すトランジスタ420は、側壁絶縁層412及びゲート電極層401上に設けられた、絶縁層406及び絶縁層407と、絶縁層407上に設けられた配線層435a及び配線層435bを構成要素に含めてもよい。配線層435aは、絶縁層406、絶縁層407及びゲート絶縁層402に設けられた開口を介して、ソース電極層405aと電氣的に接続し、配線層435bは、絶縁層406、絶縁層407及びゲート絶縁層402に設けられた開口を介してドレイン電極層405bと電氣的に接続している。

20

#### 【0039】

酸化物半導体層403は、ゲート電極層401をマスクとしてドーパントを導入することで自己整合的に形成された不純物領域403a及び不純物領域403bを含む。当該領域は、トランジスタ420のソース領域またはドレイン領域として機能させることができ、チャネル形成領域403cよりも低抵抗化された領域である。不純物領域403a及び不純物領域403bを設けることによって、当該一対の不純物領域の間に設けられたチャネル形成領域403cに加わる電界を緩和させることができる。また、ソース電極層405a及びドレイン電極層405bがそれぞれ不純物領域と接する構成とすることで、酸化物半導体層403と、ソース電極層405a及びドレイン電極層405bと、のコンタクト抵抗を低減することができる。

30

#### 【0040】

また、酸化物半導体層403のチャネル長方向の長さを、ゲート電極層401のチャネル長方向の長さよりも長くすることで、ゲート電極層401を形成するためのアライメントの自由度をより向上させることができ、且つ、酸化物半導体層403に不純物領域を設けることでトランジスタ420のチャネル長を縮小することができる。よって、微細化されたトランジスタを歩留まりよく作製することができる。

#### 【0041】

不純物領域403a及び不純物領域403bに含まれるドーパントは、酸化物半導体層403の導電率を変化させる不純物である。ドーパントとしては、15族元素（代表的にはリン(P)、砒素(As)、およびアンチモン(Sb)）、ホウ素(B)、アルミニウム(Al)、窒素(N)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いることができる。また、ドーパントの導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

40

#### 【0042】

また、酸化物半導体層403は、CAAC-OS(C Axis Aligned Cr

50

ystalline Oxide Semiconductor) 膜であることが好ましい。

【0043】

C A A C - O S 膜は、完全な単結晶ではなく、完全な非晶質でもない。C A A C - O S 膜は、非晶質相に結晶部及び非晶質部を有する結晶 - 非晶質混相構造の酸化物半導体層である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、C A A C - O S 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってC A A C - O S 膜には粒界 (グレインバウンダリーともいう) は確認できない。そのため、C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。

10

【0044】

C A A C - O S 膜に含まれる結晶部は、c 軸がC A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三角形または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa 軸およびb 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0045】

20

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0046】

C A A C - O S 膜に含まれる結晶部のc 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状 (被形成面の断面形状または表面の断面形状) によっては互いに異なる方向を向くことがある。なお、結晶部のc 軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

30

【0047】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0048】

図2 (A) 及び図2 (B) に本実施の形態に係る半導体装置の別の例としてトランジスタ422の平面図及び断面図を示す。図2 (A) は、トランジスタ422の平面図であり、図2 (B) は、図2 (A) のX2 - Y2における断面図である。なお、図2 (A) では、煩雑になることを避けるため、トランジスタ422の構成要素の一部 (例えば、絶縁層407等) を省略して図示している。

40

【0049】

図2 (A) 及び図2 (B) に示すトランジスタ422は、図1に示すトランジスタ420と同様に、絶縁表面を有する基板400上に、下地絶縁層436と、ソース電極層405a及びドレイン電極層405bと、不純物領域403a、不純物領域403b、及びチャネル形成領域403cを含む酸化物半導体層403と、酸化物半導体層403、ソース電極層405a及びドレイン電極層405bの上面と接するゲート絶縁層402と、ゲート絶縁層402を介してチャネル形成領域403cと重畳するゲート電極層401と、ゲート電極層401の側面に接する導電層411と、導電層411のゲート電極層401と対向する側面に設けられた側壁絶縁層412と、を含んで構成される。

50



## 【 0 0 5 0 】

図 2 に示すトランジスタ 4 2 2 に含まれる酸化物半導体層 4 0 3 は、ソース電極層 4 0 5 a 又はドレイン電極層 4 0 5 b と接する側面においてテーパ形状を有している点で、図 1 に示すトランジスタ 4 2 0 と相違する。トランジスタ 4 2 2 において、酸化物半導体層 4 0 3 のテーパ角は、例えば 2 0 ° 以上 5 0 ° 以下とすることができる。なお、ここで、テーパ角とは、テーパ形状を有する層（ここでは、酸化物半導体層 4 0 3 ）をその断面に垂直な方向から観察した際に、当該テーパ形状を有する層の側面と底面がなす傾斜角を示す。

## 【 0 0 5 1 】

酸化物半導体層 4 0 3 の側面をテーパ形状とすることで、ソース電極層 4 0 5 a 又はドレイン電極層 4 0 5 b との接触面積を拡大することができるため、コンタクト抵抗をより低減させることができる。

10

## 【 0 0 5 2 】

また、酸化物半導体層 4 0 3 が結晶性を有する酸化物半導体の場合、酸化物半導体層 4 0 3 がテーパ形状を有することで酸化物半導体層 4 0 3 の側面から酸素が脱離することで生じる酸素欠損の発生を抑制し、トランジスタ 4 2 2 のリーク電流の発生を低減することができる。

## 【 0 0 5 3 】

以下、図 3 及び図 4 を用いて、本実施の形態のトランジスタの作製工程の例について説明する。なお、以下では、トランジスタ 4 2 2 の作製方法を例に説明する。

20

## 【 0 0 5 4 】

まず、絶縁表面を有する基板 4 0 0 上に、下地絶縁層 4 3 6 を形成する。

## 【 0 0 5 5 】

絶縁表面を有する基板 4 0 0 に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理工程に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 4 0 0 として用いてもよい。

30

## 【 0 0 5 6 】

また、基板 4 0 0 として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体層 4 0 3 を含むトランジスタ 4 2 2 を直接作製してもよいし、他の作製基板上に酸化物半導体層 4 0 3 を含むトランジスタ 4 2 2 を作製し、その後作製基板から剥離して可撓性基板に転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体層を含むトランジスタ 4 2 2 との間に剥離層を設けるとよい。

## 【 0 0 5 7 】

下地絶縁層 4 3 6 は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を含む膜の単層又は積層構造とすることができる。但し、下地絶縁層 4 3 6 は、酸化物絶縁膜を含む単層又は積層構造として、該酸化物絶縁膜が後に形成される酸化物半導体層 4 0 3 と接する構造とすることが好ましい。なお、下地絶縁層 4 3 6 は、必ずしも設けなくともよい。

40

## 【 0 0 5 8 】

下地絶縁層 4 3 6 は化学量論的組成を超える酸素を含む領域（以下、酸素過剰領域とも表記する）を有すると、下地絶縁層 4 3 6 に含まれる過剰な酸素によって、後に形成される酸化物半導体層 4 0 3 の酸素欠損を補填することが可能であるため好ましい。下地絶縁層 4 3 6 が積層構造の場合は、少なくとも酸化物半導体層 4 0 3 と接する層において酸素過剰領域を有することが好ましい。下地絶縁層 4 3 6 に酸素過剰領域を設けるには、例えば

50

、酸素雰囲気下にて下地絶縁層436を成膜すればよい。又は、成膜後の下地絶縁層436に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

【0059】

次いで、下地絶縁層436上に酸化物半導体層を成膜し、島状に加工して酸化物半導体層403を形成する（図3（A）参照）。酸化物半導体層403の膜厚は、例えば、3nm乃至30nm、好ましくは5nm乃至20nmとする。

【0060】

酸化物半導体層は、単層構造であってもよいし、積層構造であってもよい。また、非晶質構造であってもよいし、結晶性であってもよい。酸化物半導体層を非晶質構造とする場合には、後の作製工程において、酸化物半導体層に熱処理を行うことによって、結晶性酸化物半導体層としてもよい。非晶質酸化物半導体層を結晶化させる熱処理の温度は、250以上700以下、好ましくは、400以上、より好ましくは500以上、さらに好ましくは550以上とする。なお、当該熱処理は、作製工程における他の熱処理を兼ねることも可能である。

【0061】

酸化物半導体層の成膜方法は、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD（Chemical Vapor Deposition）法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。また、酸化物半導体層は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタリング装置を用いて成膜してもよい。

【0062】

酸化物半導体層を成膜する際、できる限り酸化物半導体層に含まれる水素濃度を低減させることが好ましい。水素濃度を低減させるには、例えば、スパッタリング法を用いて成膜を行う場合には、スパッタリング装置の成膜室内に供給する雰囲気ガスとして、水素、水、水酸基又は水素化合物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、及び希ガスと酸素との混合ガスを適宜用いる。

【0063】

また、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入して成膜を行うことで、成膜された酸化物半導体層の水素濃度を低減させることができる。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水（ $H_2O$ ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等の排気能力が高いため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0064】

また、酸化物半導体層をスパッタリング法で成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度（充填率）は90%以上100%以下、好ましくは95%以上99.9%以下とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができる。

【0065】

また、基板400を高温に保持した状態で酸化物半導体層を形成することも、酸化物半導体層中に含まれる不純物濃度を低減するのに有効である。基板400を加熱する温度としては、150以上450以下とすればよく、好ましくは基板温度が200以上350以下とすればよい。また、成膜時に基板を高温で加熱することで、結晶性酸化物半導体層を形成することができる。

10

20

30

40

50

## 【0066】

酸化物半導体層403に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

## 【0067】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

## 【0068】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

## 【0069】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

## 【0070】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ 、且つ、 $m$ は整数でない)で表記される材料を用いてもよい。なお、 $M$ は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ 、且つ、 $n$ は整数)で表記される材料を用いてもよい。

## 【0071】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$ 、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1(=2/5:2/5:1/5)$ 、あるいは $\text{In}:\text{Ga}:\text{Zn}=3:1:2(=1/2:1/6:1/3)$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$ 、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3(=1/3:1/6:1/2)$ あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5(=1/4:1/8:5/8)$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

## 【0072】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キ

10

20

30

40

50

キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0073】

例えば、 $\text{In-Sn-Zn}$ 系酸化物では比較的容易に高い移動度が得られる。しかしながら、 $\text{In-Ga-Zn}$ 系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0074】

なお、例えば、 $\text{In}$ 、 $\text{Ga}$ 、 $\text{Zn}$ の原子数比が $\text{In}:\text{Ga}:\text{Zn}=a:b:c$  ( $a+b+c=1$ )である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn}=A:B:C$  ( $A+B+C=1$ )の酸化物の組成の近傍であるとは、 $a$ 、 $b$ 、 $c$ が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことをいう。 $r$ としては、例えば、 $0.05$ とすればよい。他の酸化物でも同様である。

10

【0075】

また酸化物半導体層を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0076】

酸化物半導体層403としてCAAC-Os膜を適用する場合、該CAAC-Os膜を得る方法としては、三つ挙げられる。一つ目は、成膜温度を $200$ 以上 $450$ 以下として酸化物半導体層の成膜を行い、表面に概略垂直に $c$ 軸配向させる方法である。二つ目は、酸化物半導体層を薄い膜厚で成膜した後、 $200$ 以上 $700$ 以下の熱処理を行い、表面に概略垂直に $c$ 軸配向させる方法である。三つ目は、一層目として薄い膜厚で成膜した後、 $200$ 以上 $700$ 以下の熱処理を行い、二層目の成膜を行い、表面に概略垂直に $c$ 軸配向させる方法である。

20

【0077】

酸化物半導体層の成膜前に、酸化物半導体層の被成膜面に平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理（例えば、化学的機械研磨法）、ドライエッチング処理、プラズマ処理を用いることができる。

【0078】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法をいう。なお、アルゴンに代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、酸化物半導体層の成膜表面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

30

【0079】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、酸化物半導体層の成膜表面の凹凸状態に合わせて適宜設定すればよい。

【0080】

また、酸化物半導体層403に、当該酸化物半導体層403に含まれる過剰な水素（水や水酸基を含む）を除去（脱水化又は脱水素化）するための熱処理を行うことが好ましい。熱処理の温度は、 $300$ 以上 $700$ 以下、又は基板の歪み点未満とする。熱処理は減圧下又は窒素雰囲気下などで行うことができる。

40

【0081】

この熱処理によって、 $n$ 型の導電性を付与する不純物である水素を酸化物半導体から除去することができる。例えば、脱水化又は脱水素化処理後の酸化物半導体層403に含まれる水素濃度を、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下とすることができる。

【0082】

なお、脱水化又は脱水素化のための熱処理は、酸化物半導体層の成膜後であればトランジ

50

スタ４２２の作製工程においてどのタイミングで行ってもよい。また、脱水化又は脱水素化のための熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。

【００８３】

なお、下地絶縁層４３６として酸素を含む下地絶縁層４３６を設ける場合、脱水化又は脱水素化のための熱処理を、酸化物半導体層を島状に加工する前に行うと、下地絶縁層４３６に含まれる酸素が熱処理によって膜外に放出されるのを防止することができるため好ましい。

【００８４】

熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、６Ｎ（９９．９９９９％）以上好ましくは７Ｎ（９９．９９９９９％）以上（即ち不純物濃度を１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とすることが好ましい。

10

【００８５】

また、熱処理で酸化物半導体層４０３を加熱した後、加熱温度を維持、又はその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア（ＣＲＤＳ（キャピティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が２０ｐｐｍ（露点換算で－５５）以下、好ましくは１ｐｐｍ以下、より好ましくは１０ｐｐｂ以下の空気）を導入してもよい。酸素ガス又は一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する酸素ガス又は一酸化二窒素ガスの純度を、６Ｎ以上好ましくは７Ｎ以上（即ち、酸素ガス又は一酸化二窒素ガス中の不純物濃度を１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層４０３を高純度化及びｉ型（真性）化することができる。

20

【００８６】

また、脱水化又は脱水素化処理を行った酸化物半導体層に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。

30

【００８７】

脱水化又は脱水素化処理を行った酸化物半導体層に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体層を高純度化及びｉ型（真性）化することができる。高純度化し、ｉ型（真性）化した酸化物半導体層を有するトランジスタは、電気特性変動が抑制されており、電氣的に安定である。

【００８８】

酸素の導入工程は、酸化物半導体層に酸素導入する場合、酸化物半導体層に直接導入してもよいし、後に形成されるゲート絶縁層４０２や絶縁層４０６などの他の膜を通過して酸化物半導体層４０３へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いればよいが、露出された酸化物半導体層４０３へ直接酸素を導入する場合は、上記の方法に加えてプラズマ処理なども用いることができる。

40

【００８９】

酸化物半導体層への酸素の導入は酸化物半導体層の成膜後であれば、そのタイミングは特に限定されない。また、酸化物半導体層への酸素の導入は複数回行ってもよい。

【００９０】

次いで、酸化物半導体層４０３上に、ソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜４０５を成膜する（図３（Ｂ）参照）。

【００９１】

導電膜４０５の材料としては、加熱処理に耐えられる材料を用いる。例えば、Ａｌ、Ｃｒ

50

、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方又は双方にTi、Mo、Wなどの高融点金属膜又はそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としてもよい。又は、導電性の金属酸化物を用いて導電膜405を形成してもよい。導電性の金属酸化物としては酸化インジウム（ $\text{In}_2\text{O}_3$ ）、酸化スズ（ $\text{SnO}_2$ ）、酸化亜鉛（ $\text{ZnO}$ ）、酸化インジウム酸化スズ（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する）、酸化インジウム酸化亜鉛（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）又はこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0092】

次に導電膜405に研磨（切削、研削）処理を行い、酸化物半導体層403が露出するように導電膜405の一部を除去する。該研磨処理によって、酸化物半導体層403と重畳する領域の導電膜405が除去され、該領域に開口を有する導電膜が形成される。研磨（切削、研削）方法としては化学的機械研磨（Chemical Mechanical Polishing：CMP）処理を好適に用いることができる。本実施の形態では、CMP処理によって酸化物半導体層403と重畳する領域の導電膜405を除去する。

【0093】

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、導電膜405及び酸化物半導体層403の表面の平坦性をより向上させることができる。

【0094】

なお、本実施の形態では、酸化物半導体層403と重畳する領域の導電膜405の除去にCMP処理を用いたが、他の研磨（研削、切削）処理を用いてもよい。又は、CMP処理等の研磨処理と、エッチング（ドライエッチング、ウェットエッチング）処理や、プラズマ処理などを組み合わせてもよい。例えば、CMP処理後、ドライエッチング処理やプラズマ処理（逆スパッタリングなど）を行い、処理表面の平坦性向上を図ってもよい。研磨処理に、エッチング処理、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、導電膜405の材料、膜厚、及び表面の凹凸状態に合わせて適宜設定すればよい。

【0095】

次いで、酸化物半導体層403が露出し、開口を有する導電膜405を、フォトリソグラフィ工程によって作製したマスクを用いた選択的なエッチング処理を行い、ソース電極層405aとドレイン電極層405b（これと同じ層で形成される配線も含む）を形成する（図3（C）参照）。

【0096】

なお、本実施の形態では、導電膜405を成膜し、研磨処理によって酸化物半導体層403と重畳する領域の導電膜405を除去した後に、選択的にエッチング処理してソース電極層405a及びドレイン電極層405bへと加工する方法を示したが、本発明の実施の形態はこれに限られない。成膜後の導電膜405を選択的にエッチング処理した後、研磨処理によって酸化物半導体層403と重畳する領域の導電膜405を除去して、ソース電極層405a及びドレイン電極層405bを形成してもよい。

【0097】

本実施の形態で示すトランジスタの作製方法では、ソース電極層405a及びドレイン電極層405bを形成する際に、酸化物半導体層403と重畳する領域の導電膜405を除去する工程において、レジストマスクを用いたエッチング処理を用いないため、酸化物半導体層403のチャネル長方向の長さが微細化されている場合でも精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきを少ない微細な構造を有するトランジスタ422を歩留まりよく作製することができる。

## 【0098】

なお、本実施の形態においては、ソース電極層405a及びドレイン電極層405bの上端部は、酸化物半導体層403の上端部と概略一致している。但し、ソース電極層405a及びドレイン電極層405bの形状は導電膜405の一部を除去するための研磨処理の条件によって異なる。例えば、ソース電極層405a又はドレイン電極層405bの膜厚は、酸化物半導体層403の膜厚より小さい場合がある。

## 【0099】

次いで、酸化物半導体層403、ソース電極層405a及びドレイン電極層405b上にゲート絶縁層402を形成する。

## 【0100】

ゲート絶縁層402は、1nm以上20nm以下の膜厚で、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いて形成することができる。また、ゲート絶縁層402は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

## 【0101】

なお、ゲート絶縁層402が厚いほど短チャネル効果が顕著となり、しきい値電圧がマイナス側へ変動しやすい傾向となる。しかしながら、本実施の形態のトランジスタの作製方法においては、ソース電極層405a、ドレイン電極層405b及び酸化物半導体層403の上面が研磨処理によって平坦化されているため、膜厚の薄いゲート絶縁層402を被覆性よく形成することができる。

## 【0102】

ゲート絶縁層402の材料としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、又は窒化酸化シリコン等を用いることができる。ゲート絶縁層402は、酸化物半導体層403と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁層402は、膜中（バルク中）に少なくとも化学量論的組成を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁層402として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ （ただし、 $>0$ ）とすることが好ましい。本実施の形態では、ゲート絶縁層402として、 $\text{SiO}_2 +$ （ただし、 $>0$ ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁層402として用いることで、酸化物半導体層403に酸素を供給することができ、特性を良好にすることができる。

## 【0103】

また、ゲート絶縁層402の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート、窒素が添加されたハフニウムシリケート、ハフニウムアルミネート、酸化ランタンなどのhigh-k材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁層402は、単層構造としてもよいし、積層構造としてもよい。

## 【0104】

また、下地絶縁層436と同様に、ゲート絶縁層402は酸素過剰領域を有すると、ゲート絶縁層402に含まれる過剰な酸素によって、酸化物半導体層403の酸素欠損を補填することが可能であるため好ましい。ゲート絶縁層402が積層構造の場合は、少なくとも酸化物半導体層403と接する層において酸素過剰領域を有することが好ましい。ゲート絶縁層402に酸素過剰領域を設けるには、例えば、酸素雰囲気下にてゲート絶縁層402を成膜すればよい。又は、成膜後のゲート絶縁層402に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して、酸素過剰領域を形成しても良い。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

## 【0105】

なお、成膜後のゲート絶縁層402に酸素を導入する場合、当該酸素導入処理によって同時に酸化物半導体層403へ酸素を導入してもよい。また、ゲート絶縁層402に酸素を導入した後に、熱処理を行うのが好ましい。熱処理の温度は、例えば300以上450

10

20

30

40

50

以下とすることができる。なお、当該熱処理は、酸化物半導体層 403 からの脱水化処理又は脱水素化処理と兼ねることが可能である。

【0106】

なお、ゲート絶縁層 402 への酸素の導入処理は、ゲート絶縁層 402 の成膜後であればそのタイミングは特に限定されない。また、酸素の導入方法を複数組み合わせることもできる。例えば、ゲート絶縁層 402 成膜後に、イオン注入法及びプラズマ処理によって酸素を導入して、熱処理を施してもよい。または、ゲート絶縁層 402 成膜後、プラズマ処理によって酸素を導入し、後の工程で絶縁層 406 を成膜後にイオン注入法によって酸素を再度導入し、熱処理を行ってもよく、プラズマ処理とイオン注入処理の順序を入れ替えてもよい。

10

【0107】

次いで、ゲート絶縁層 402 を介して島状の酸化物半導体層 403 上にゲート電極層 401 を形成する。ゲート電極層 401 は、プラズマ CVD 法またはスパッタリング法等により形成することができる。また、ゲート電極層 401 の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、ゲート電極層 401 としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層 401 は、単層構造としてもよいし、積層構造としてもよい。

20

【0108】

また、ゲート電極層 401 の材料は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0109】

また、ゲート絶縁層 402 と接するゲート電極層 401 の一層として、窒素を含む金属酸化物、具体的には、窒素を含む  $\text{In-Ga-Zn-O}$  膜や、窒素を含む  $\text{In-Sn-O}$  膜や、窒素を含む  $\text{In-Ga-O}$  膜や、窒素を含む  $\text{In-Zn-O}$  膜や、窒素を含む  $\text{Sn-O}$  膜や、窒素を含む  $\text{In-O}$  膜や、金属窒化膜（ $\text{InN}$ 、 $\text{SnN}$  など）を用いることができる。これらの膜は  $5\text{ eV}$ （電子ボルト）、好ましくは  $5.5\text{ eV}$ （電子ボルト）以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタのしきい値電圧をプラス側にシフトさせることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

30

【0110】

なお、ゲート電極層 401 は、ゲート絶縁層 402 上に設けられた導電膜（図示しない）を、マスクを用いて加工することによって形成することができる。ここで、加工に用いるマスクは、フォトリソグラフィ法などによって形成されたマスクに、スリミング処理を行って、より微細なパターンを有するマスクとするのが好ましい。

【0111】

スリミング処理としては、例えば、ラジカル状態の酸素（酸素ラジカル）などを用いるアッシング処理を適用することができる。ただし、スリミング処理はフォトリソグラフィ法などによって形成されたマスクをより微細なパターンに加工できる処理であれば、アッシング処理に限定する必要はない。また、スリミング処理によって形成されるマスクによってトランジスタのチャンネル長（ $L$ ）が決定されることになるため、当該スリミング処理としては制御性の良好な処理を適用することができる。

40

【0112】

スリミング処理の結果、フォトリソグラフィ法などによって形成されたマスクを、露光装置の解像限界以下、好ましくは  $1/2$  以下、より好ましくは  $1/3$  以下の線幅まで微細化することが可能である。例えば、線幅は、 $30\text{ nm}$  以上  $2000\text{ nm}$  以下、好ましくは  $5$

50



0 nm以上350 nm以下とすることができる。これにより、トランジスタのさらなる微細化を達成することができる。

【0113】

次に、ゲート電極層401をマスクとして酸化物半導体層403にドーパント431を導入し、不純物領域403a及び不純物領域403bを形成する。ドーパント431の導入処理によって、チャネル形成領域403cを挟んで一対の不純物領域が設けられた酸化物半導体層403が形成される(図3(D)参照)。

【0114】

ドーパント431の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージイオンインプランテーション法などを用いることができる。その際には、ドーパント431の単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。

10

【0115】

ドーパント431の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。なお、ドーパント431のドーズ量は、例えば、 $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。また、不純物領域におけるドーパント431の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0116】

ドーパント431を導入する際に、基板400を加熱しながら行ってもよい。

【0117】

20

なお、酸化物半導体層403にドーパント431を導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてもよい。

【0118】

また、ドーパント431の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300 以上700 以下、好ましくは300 以上450 以下で1時間、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気(超乾燥エア)下で加熱処理を行ってもよい。

【0119】

酸化物半導体層403をCAAC-OS膜とした場合、ドーパント431の導入により、一部非晶質化する場合がある。この場合、ドーパント431の導入後に加熱処理を行うことによって、酸化物半導体層403の結晶性を回復することができる。

30

【0120】

なお、図3(D)において、酸化物半導体層403はテーパ形状を有しているため、ソース電極層405a又はドレイン電極層405bと重畳する領域を端部に含む。ドーパント431の導入条件によっては、当該領域においてドーパント431が導入されにくい場合があるため、不純物領域403a又は不純物領域403bは、膜厚方向にドーパントの濃度分布を有することがある。

【0121】

次にゲート電極層401及びゲート絶縁層402上に導電膜415を成膜し、導電膜415上に絶縁層416を形成する(図4(A)参照)。

40

【0122】

導電膜415は、ゲート電極層401と同様の材料を用いて形成することができ、スパッタリング法を用いて成膜するのが好ましい。また、導電膜415の膜厚は、例えば、10 nm以上50 nm以下とするのが好ましい。

【0123】

絶縁層416は、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等を用いて形成することができ、CVD法を用いて成膜するのが好ましい。

【0124】

一般的に、スパッタリング法はCVD法と比較して段差被覆性(ステップカバレッジ)が低い。よって、ゲート電極層401に接して膜厚の大きな導電膜を形成し、当該導電膜を

50

異方性エッチングして自己整合的にゲート電極層 401 の側壁に接する導電層を形成しようとする場合、段差部（ゲート絶縁層 402 と接する領域とゲート電極層 401 と接する領域の境界）に密度の低い領域が形成されることがある。ゲート電極層の一部として機能する導電層が密度の低い領域を含んでいると、当該領域がリーク電流発生の要因となりうる。

#### 【0125】

しかしながら、本実施の形態においては、ゲート電極層 401 を覆うように膜厚の小さな導電膜 415 を形成し、その後、ステップカバレッジの良好な CVD 法によって導電膜 415 に接する絶縁層 416 を形成する。したがって、膜質の良好な導電膜 415 によってゲート電極層 401 を覆うことが可能となる。

10

#### 【0126】

なお、本実施の形態において、ゲート電極層 401 は、その端部がテーパ形状を有しているが、本発明の実施の形態はこれに限られない。但し、ゲート電極層 401 がテーパ形状を有することで、導電膜 415 が良好なステップカバレッジを確保することが容易となるため、好ましい。

#### 【0127】

次いで、絶縁層 416 を異方性エッチングして、側壁絶縁層 412 を形成する（図 4（B）参照）。

#### 【0128】

次いで、側壁絶縁層 412 をマスクとして、導電膜 415 をエッチングすることで、ゲート電極層 401 のチャンネル長方向の側面に接して導電層 411 を形成する（図 4（C）参照）。

20

#### 【0129】

その後、ゲート絶縁層 402、ゲート電極層 401、側壁絶縁層 412 上に絶縁層 406 及び絶縁層 407 を形成する。なお、本実施の形態では、ゲート絶縁層 402、ゲート電極層 401、及び側壁絶縁層 412 上に、絶縁層 406 及び絶縁層 407 の積層構造を設ける例を示すが、本発明の一態様はこれに限定されず、単層構造の絶縁層を設けてもよい。または、3 層以上の絶縁層を積層させてもよい。

#### 【0130】

絶縁層 406 又は絶縁層 407 は、プラズマ CVD 法、スパッタリング法、または蒸着法等により成膜することができる。特に、スパッタリング法など、絶縁層 406 または絶縁層 407 に水、水素等の不純物を混入させない方法を適宜用いて形成することが好ましい。絶縁層 406 又は絶縁層 407 としては、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または酸化ガリウム膜などの無機絶縁膜などを用いることができる。

30

#### 【0131】

また、絶縁層 406 又は絶縁層 407 として、酸化アルミニウム膜、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜、または金属窒化物膜（例えば、窒化アルミニウム膜）も用いることができる。

#### 【0132】

なお、絶縁層 406 又は絶縁層 407 として、酸化アルミニウム膜を設けることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果（ブロック効果）が高く、作製工程中及び作製後において、トランジスタの動作特性の変動要因となる水素、水分などの不純物の酸化物半導体層 403 への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体層 403 からの放出を防止する保護膜として機能するため好ましく適用することができる。

40

#### 【0133】

酸化物半導体層 403 の成膜時と同様に、絶縁層 406 又は絶縁層 407 を成膜する成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層 406 又は

50

絶縁層 407 に含まれる不純物の濃度を低減できる。また、絶縁層 406 又は絶縁層 407 を成膜する成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

#### 【0134】

本実施の形態では、絶縁層 406 として酸化アルミニウム膜を形成し、絶縁層 407 として酸化シリコン膜を形成するものとする。なお、酸化アルミニウム膜を高密度（膜密度  $3.2 \text{ g/cm}^3$  以上、好ましくは  $3.6 \text{ g/cm}^3$  以上）とすることによって、トランジスタ 422 に安定な電気特性を付与することができる。膜密度はラザフォード後方散乱法（RBS: Rutherford Backscattering Spectrometry）や、X線反射率測定法（XRR: X-Ray Reflection）によって測定することができる。

10

#### 【0135】

なお、絶縁層 406 として酸化アルミニウム膜を形成する場合、当該酸化アルミニウム膜の形成後に熱処理を行うことが好ましい。酸化アルミニウム膜は、酸化物半導体層への水（水素を含む）の侵入防止機能及び酸化物半導体層からの酸素の脱離防止機能を有する。よって、酸化物半導体層 403 及び/またはそれに接する絶縁層が酸素過剰領域を有していると、酸化アルミニウム膜を設けた状態で熱処理を行うことによって、酸化物半導体層の膜中（バルク中）または、絶縁層と酸化物半導体層の界面において、少なくとも 1ヶ所、酸素過剰領域を設けることができる。

#### 【0136】

20

次いで、絶縁層 407、絶縁層 406 及びゲート絶縁層 402 に、ソース電極層 405a 又はドレイン電極層 405b に達する開口を形成し、開口に配線層 435a 及び配線層 435b を形成する（図 4（D）参照）。配線層 435a 及び配線層 435b を用いて他のトランジスタや素子と接続させ、様々な回路を形成することができる。

#### 【0137】

配線層 435a 及び配線層 435b はゲート電極層 401、導電層 411、ソース電極層 405a、又はドレイン電極層 405b と同様の材料及び方法を用いて形成することができる。例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）等を用いることができる。また、Al、Cu などの金属膜の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）を積層させた構成としてもよい。また、配線層 435a、配線層 435b に用いる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ $\text{In}_2\text{O}_3$ ）、酸化スズ（ $\text{SnO}_2$ ）、酸化亜鉛（ $\text{ZnO}$ ）、酸化インジウム酸化スズ（ITO）、酸化インジウム酸化亜鉛（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

30

#### 【0138】

例えば、配線層 435a 及び配線層 435b として、モリブデン膜の単層、窒化タンタル膜と銅膜との積層、又は窒化タンタル膜とタンゲステン膜との積層などを用いることができる。

40

#### 【0139】

以上の工程によって、本実施の形態のトランジスタ 422 が形成される。

#### 【0140】

本実施の形態で示すトランジスタは、一対の不純物領域及びチャネル形成領域を含む酸化物半導体層 403 と、不純物領域において酸化物半導体層 403 のチャネル長方向の側面と接するソース電極層 405a 及びドレイン電極層 405b と、を有する。これによって酸化物半導体層 403 とソース電極層 405a またはドレイン電極層 405b とのコンタクト抵抗を低減することができ、オン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能なトランジスタとすることができる。

50

## 【0141】

また、ゲート電極層401をマスクとしてドーパントを導入することで、島状の酸化物半導体層403のチャネル長方向の長さを、ゲート電極層401のアライメント精度を保つ程度に維持したまま、チャネル形成領域403cの長さを縮小することができる。よって、微細化されたトランジスタ422を歩留まりよく提供することができる。

## 【0142】

また、ソース電極層405a及びドレイン電極層405bと重畳する領域の酸化物半導体層413を除去する工程において、レジストマスクを用いたエッチング処理を用いないため、ソース電極層405a及びドレイン電極層405bの間隔が微細化されている場合でも精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきを少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

10

## 【0143】

また、本実施の形態の半導体装置は、ゲート電極層401の側面に導電層411を設ける。これによって、当該導電層411がゲート絶縁層402を介してソース電極層405a及びドレイン電極層405bと重畳するため、 $L_{ov}$ 領域を有するトランジスタとすることができ、トランジスタのオン電流の低下を抑制することが可能となる。

## 【0144】

また、導電層411は、作製工程において、導電膜415を介してゲート電極層401上に設けられた絶縁層416を、異方性エッチングによって自己整合的に側壁絶縁層412に加工した後、該側壁絶縁層412をマスクとして導電膜415をエッチングすることで形成されており、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきを少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

20

## 【0145】

このように、開示する発明の一態様では、微細化に伴う問題点を解消することができるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなるため、半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。

30

## 【0146】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

## 【0147】

## (実施の形態2)

本実施の形態では、実施の形態1とは異なる開示する発明の一態様に係る半導体装置の構成及びその作製方法について、図5乃至図7を参照して説明する。なお、上記実施の形態と同一部分又は同様な機能を有する部分および工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また、同じ箇所の詳細な説明は省略する。

40

## 【0148】

図5(A)及び図5(B)に半導体装置の例としてトランジスタ424の平面図及び断面図を示す。図5(A)は、トランジスタ424の平面図であり、図5(B)は、図5(A)のX3-Y3における断面図である。なお、図5(A)では、煩雑になることを避けるため、トランジスタ424の構成要素の一部(例えば、絶縁層407等)を省略して図示している。

## 【0149】

図5(A)及び図5(B)に示すトランジスタ424は、図1に示すトランジスタ420と同様に、絶縁表面を有する基板400上に、下地絶縁層436と、ソース電極層405

50

a及びドレイン電極層405bと、不純物領域403a、不純物領域403b及びチャネル形成領域403cを含む酸化物半導体層403と、酸化物半導体層403、ソース電極層405a及びドレイン電極層405bの上面と接するゲート絶縁層402と、ゲート絶縁層402を介してチャネル形成領域403cと重畳するゲート電極層401と、ゲート電極層401の側面に接する導電層411と、導電層411のゲート電極層401と対向する側面に設けられた側壁絶縁層412と、を含んで構成される。

【0150】

図5に示すトランジスタ424に含まれるソース電極層405a及びドレイン電極層405bは、酸化物半導体層403と接する側面においてテーパ形状を有している点で、実施の形態1に示すトランジスタと相違する。トランジスタ424において、ソース電極層405a及びドレイン電極層405bのテーパ角は、例えば20°以上50°以下とすることができる。

10

【0151】

ソース電極層405a及びドレイン電極層405bの側面をテーパ形状とすることで、ソース電極層405a及びドレイン電極層405bの間に酸化物半導体層403となる酸化物半導体層を被覆性よく形成することができる。また、酸化物半導体層403との接触面積を拡大することができるため、コンタクト抵抗を低減させることができる。

【0152】

また、ソース電極層405a及びドレイン電極層405bがテーパ形状を有することで、ソース電極層405a及びドレイン電極層405bと接して設けられる酸化物半導体層403は、チャネル長方向の側面において逆テーパ形状を有する構成となる。ここで、酸化物半導体層403が結晶性を有する酸化物半導体の場合、酸化物半導体層403がテーパ形状を有することで酸化物半導体層403の側面から酸素が脱離することで生じうる酸素欠損の発生を抑制し、トランジスタ424のリーク電流を低減することができる。

20

【0153】

また、酸化物半導体層403が逆テーパ形状を有することで、ゲート絶縁層402と接する酸化物半導体層403の上面のチャネル長方向の長さを拡大することができる。よって、ゲート絶縁層402を介して酸化物半導体層403上にゲート電極層401を形成する際のアライメントの自由度を向上させることができる。また、ソース電極層405aとドレイン電極層405bとの電界を効果的に緩和させることができる。

30

【0154】

以下、図6を用いて本実施の形態のトランジスタ424の作製工程の例について説明する。

【0155】

まず、絶縁表面を有する基板400上に下地絶縁層436を形成し、下地絶縁層436上にソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜を成膜し、これを加工してソース電極層405a及びドレイン電極層405bを形成する（図6（A）参照）。

【0156】

次いで、ソース電極層405a及びドレイン電極層405bを覆い、下地絶縁層436と接する酸化物半導体層413を成膜する（図6（B）参照）。酸化物半導体層413は、実施の形態1で示した酸化物半導体層の成膜方法と同様に成膜することができる。

40

【0157】

次に、酸化物半導体層413に研磨（切削、研削）処理を行い、ソース電極層405a及びドレイン電極層405bが露出するように酸化物半導体層413の一部を除去する。該研磨処理によって、ソース電極層405a及びドレイン電極層405bと重畳する領域の酸化物半導体層413が除去され、該領域に開口が形成される。研磨方法としては、CMP処理を好適に用いることができる。本実施の形態では、CMP処理によってソース電極層405a及びドレイン電極層405bと重畳する領域の酸化物半導体層413を除去する。なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。

50

## 【0158】

なお、本実施の形態では、ソース電極層405a及びドレイン電極層405bと重畳する領域の酸化物半導体層413の除去にCMP処理を用いたが、他の研磨処理を用いてもよい。又は、CMP処理等の研磨処理と、エッチング（ドライエッチング、ウェットエッチング）処理や、プラズマ処理などを組み合わせてもよい。

## 【0159】

次いで、ソース電極層405a及びドレイン電極層405bと重畳する領域が除去された酸化物半導体層413を、フォトリソグラフィ工程によって作製したマスクを用いてチャンネル幅方向の選択的なエッチングを行い、ソース電極層405a及びドレイン電極層405bとの間の領域に島状の酸化物半導体層403を形成する（図6（C）参照）。 10

## 【0160】

なお、本実施の形態では、酸化物半導体層413を成膜し、研磨処理によってソース電極層405a及びドレイン電極層405bと重畳する領域の酸化物半導体層413を除去した後に、選択的にエッチング処理して島状の酸化物半導体層403へと加工する方法を示したが、本発明の実施の形態はこれに限られない。成膜後の酸化物半導体層413を選択的にエッチング処理してチャンネル幅方向の加工をした後、研磨処理によってソース電極層405a及びドレイン電極層405bと重畳する領域の酸化物半導体層413を除去してチャンネル長方向の加工を行うことで、島状の酸化物半導体層403としてもよい。

## 【0161】

また、本実施の形態においては、ソース電極層405a及びドレイン電極層405bの上端部は、酸化物半導体層403の上端部と概略一致している。但し、酸化物半導体層403の形状は、酸化物半導体層413の研磨処理の条件によって異なることがあり、例えば、酸化物半導体層403の上端部がソース電極層405a又はドレイン電極層405bのチャンネル長方向の側面に接する場合もある。 20

## 【0162】

島状の酸化物半導体層403を形成後、実施の形態1で図3（D）及び図4（A）乃至図4（D）で示した工程と同様に、ゲート絶縁層402、ゲート電極層401、導電層411、側壁絶縁層412、絶縁層406、絶縁層407、配線層435a及び配線層435bを形成する。以上によって、本実施の形態のトランジスタ424が形成される（図6（D）参照）。 30

## 【0163】

本実施の形態で示すトランジスタの作製方法では、島状の酸化物半導体層403を形成する際に、ソース電極層405a及びドレイン電極層405bと重畳する領域の酸化物半導体層413を除去する工程において、チャンネル長方向の加工にレジストマスクを用いたエッチング処理を用いないため、ソース電極層405a及びドレイン電極層405bのチャンネル長方向の長さが微細化されている場合でも精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきを少ない微細な構造を有するトランジスタ424を歩留まりよく作製することができる。

## 【0164】

なお、上述のトランジスタ420、トランジスタ422、及びトランジスタ424では、側壁絶縁層412が、導電層411の上面の一部と接する場合を例に示したが、本発明の実施の形態はこれに限られない。側壁絶縁層412の大きさ（チャンネル長方向の長さ、又は側壁絶縁層の膜厚）は、絶縁層416のエッチング処理を制御することによって適宜設定可能である。 40

## 【0165】

例えば、図7（A）に示すトランジスタ426のように、側壁絶縁層412の高さ（基板400表面から側壁絶縁層412の最上面までの距離）と導電層411の高さ（基板400表面から導電層411の最上面までの距離）が一致する構成としてもよい。または、図7（B）に示すトランジスタ428のように、側壁絶縁層412の高さ（基板400表面から側壁絶縁層412の最上面までの距離）が、導電層411の高さ（基板400表面か 50

ら導電層 4 1 1 の最上面までの距離)よりも低い形状であってもよい。トランジスタ 4 2 8 において、側壁絶縁層 4 1 2 の上端部は導電層 4 1 1 の側面に接している。なお、図 7 (A) 及び図 7 (B) に示すトランジスタ 4 2 6 及びトランジスタ 4 2 8 において、側壁絶縁層 4 1 2 の大きさ以外は、図 1 に示すトランジスタ 4 2 0 と同様の構成とすることができる。

#### 【0166】

また、ゲート電極層 4 0 1 をパターン形成する際、及び/又は側壁絶縁層 4 1 2 をマスクとして導電膜 4 1 5 をエッチングする際、エッチング処理の条件によっては、ゲート絶縁層 4 0 2 の一部がエッチングされる場合もある。

#### 【0167】

例えば、図 7 (C) に示すトランジスタ 4 3 0 は、ゲート電極層 4 0 1 形成のためのエッチング処理と、導電層 4 1 1 形成のためのエッチング処理によって、それぞれゲート絶縁層 4 0 2 の膜厚が減少した例であり、トランジスタ 4 3 0 においてゲート電極層 4 0 1 と重畳する領域のゲート絶縁層 4 0 2 の膜厚は、導電層 4 1 1 と重畳する領域の膜厚よりも大きい。また、導電層 4 1 1 と重畳する領域のゲート絶縁層 4 0 2 の膜厚は、導電層 4 1 1、ゲート電極層 4 0 1 のいずれとも重畳しない領域の膜厚よりも大きい。

#### 【0168】

なお、本実施の形態はこれに限られず、例えば、ゲート電極層 4 0 1 形成のためのエッチング処理によってゲート絶縁層 4 0 2 の一部の領域(ゲート電極層 4 0 1 と重畳しない領域)の膜厚が減少し、導電層 4 1 1 形成のためのエッチング処理によっては、ゲート絶縁層 4 0 2 の膜厚の減少が起こらない場合もある。

#### 【0169】

本実施の形態で示すトランジスタは、ゲート電極層 4 0 1 をマスクとして自己整合的に酸化半導体層 4 0 3 に不純物領域を形成した後、該ゲート電極層 4 0 1 の側面に接し、チャンネル長方向においてソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b と重畳する導電層 4 1 1 を形成する。これによって、微細なチャンネル長を維持しつつ、L o v 領域を設けることが可能となり、オン電流の低下が抑制された微細な構造のトランジスタを提供することができる。

#### 【0170】

また、ゲート電極層 4 0 1 の一部として機能する導電層 4 1 1 は、導電膜 4 1 5 を介してゲート電極層 4 0 1 上に設けられた絶縁層 4 1 6 を、自己整合的に側壁絶縁層 4 1 2 に加工した後、該側壁絶縁層をマスクとして導電膜 4 1 5 をエッチングすることで形成され、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきを少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

#### 【0171】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

#### 【0172】

##### (実施の形態 3)

本実施の形態では、本明細書に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。

#### 【0173】

図 8 は、半導体装置の構成の一例である。図 8 (A) に、半導体装置の断面図を、図 8 (B) に半導体装置の平面図を、図 8 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 8 (A) は、図 8 (B) の C 1 - C 2、及び D 1 - D 2 における断面に相当する。

#### 【0174】

図 8 (A) 及び図 8 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 1 6 0 を有し、上部に第 2 の半導体材料を用いたトランジスタ 1 6 2 を有するもの

10

20

30

40

50

である。トランジスタ１６２としては、実施の形態１または実施の形態２で示した本発明の一態様のトランジスタを適用することができる。本実施の形態においては、トランジスタ１６２として、実施の形態１で示すトランジスタ４２０の構造を適用する例を示す。

#### 【０１７５】

ここで、第１の半導体材料と第２の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第１の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第２の半導体材料を酸化物半導体とすることが出来る。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

#### 【０１７６】

なお、上記トランジスタは、いずれもｎチャネル型トランジスタであるものとして説明するが、ｐチャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いた実施の形態１又は実施の形態２に示すようなトランジスタをトランジスタ１６２として用いる他、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

#### 【０１７７】

図８（Ａ）におけるトランジスタ１６０は、半導体材料（例えば、シリコンなど）を含む基板１００に設けられたチャネル形成領域１１６と、チャネル形成領域１１６を挟むように設けられた不純物領域１２０と、不純物領域１２０に接する金属間化合物領域１２４と、チャネル形成領域１１６上に設けられたゲート絶縁層１０８と、ゲート絶縁層１０８上に設けられたゲート電極層１１０と、を有する。なお、図において、明示的にはソース電極層やドレイン電極層を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。つまり、本明細書において、ソース電極層との記載には、ソース領域が含まれる。

#### 【０１７８】

基板１００上にはトランジスタ１６０を囲むように素子分離絶縁層１０６が設けられており、トランジスタ１６０を覆うように絶縁層１２８、及び絶縁層１３０が設けられている。なお、トランジスタ１６０において、ゲート電極層１１０の側面に側壁絶縁層（サイドウォール絶縁層）を設け、不純物濃度が異なる領域を含む不純物領域１２０としてもよい。

#### 【０１７９】

単結晶半導体基板を用いたトランジスタ１６０は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。本実施の形態では、トランジスタ１６０を覆うように絶縁膜を２層形成する。但し絶縁膜は、単層としてもよいし、３層以上の積層としてもよい。トランジスタ１６２および容量素子１６４の形成前の処理として、トランジスタ１６０上に形成された絶縁膜にＣＭＰ処理を施して、平坦化した絶縁層１２８、絶縁層１３０を形成し、同時にゲート電極層１１０の上面を露出させる。

#### 【０１８０】

絶縁層１２８、絶縁層１３０は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁層１２８、絶縁層１３０は、プラズマＣＶＤ法又はスパッタリング法等を用いて形成することができる。

#### 【０１８１】

また、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。有機材料を用いる場合、スピンコート法、印刷法などの湿式法によって絶縁層１２８、絶縁層１３０を形成してもよい。



## 【0182】

なお、本実施の形態において、絶縁層128として窒化シリコン膜、絶縁層130として酸化シリコン膜を用いる。

## 【0183】

絶縁層130表面において、酸化物半導体層144形成領域に、平坦化処理を行うことが好ましい。本実施の形態では、研磨処理（例えばCMP処理）により十分に平坦化した（好ましくは絶縁層130表面の平均面粗さは0.15nm以下）絶縁層130上に酸化物半導体層144を形成する。

## 【0184】

図8(A)に示すトランジスタ162は、酸化物半導体をチャネル形成領域に用いたトランジスタである。ここで、トランジスタ162に含まれる酸化物半導体層144は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ162を得ることができる。

10

## 【0185】

トランジスタ162は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

## 【0186】

トランジスタ162は一对の不純物領域及びチャネル形成領域を含む酸化物半導体層144と、不純物領域において酸化物半導体層144のチャネル長方向の側面と接する電極層142a及び電極層142bと、を有する。これによって酸化物半導体層144と電極層142aまたは電極層142bとのコンタクト抵抗を低減することができ、トランジスタ162のオン電流を向上させることができる。

20

## 【0187】

また、トランジスタ162は、ゲート電極層148のチャネル長方向の側面に導電層137a、137bを含むことで、当該導電層137a、137bがゲート絶縁層146を介して電極層142a又は電極層142bと重畳するため、Lov領域を有するトランジスタとすることができ、トランジスタ162のオン電流の低下を抑制することが可能となる。

30

## 【0188】

また、導電層137a、137bは、側壁絶縁層138a、138bをマスクに形成されている。導電層137a、137bは、スパッタリング法によるカバレッジ不良が問題とならない程度膜厚の小さいため、トランジスタ162において、導電層137a、137bに起因するリーク電流の発生を抑制することができる。

## 【0189】

トランジスタ162上には、絶縁層132、絶縁層135、絶縁層150が単層または積層で設けられている。本実施の形態では、絶縁層132及び絶縁層150として、酸化アルミニウム膜を用いる。酸化アルミニウム膜を高密度（膜密度3.2g/cm<sup>3</sup>以上、好ましくは3.6g/cm<sup>3</sup>以上）とすることによって、トランジスタ162に安定な電気特性を付与することができる。

40

## 【0190】

また、ゲート絶縁層146を介して、トランジスタ162の電極層142aと重畳する領域には、導電層153が設けられており、電極層142aと、ゲート絶縁層146と、導電層153とによって、容量素子164が構成される。すなわち、トランジスタ162の電極層142aは、容量素子164の一方の電極として機能し、導電層153は、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてもよい。

## 【0191】

50

本実施の形態において、導電層 153 は、トランジスタ 162 のゲート電極層 148 と同一の作製工程によって形成することができる。なお、ゲート電極層 148 の側面に導電層 137a、137b 及び側壁絶縁層 138a、138b を形成する工程において、導電層 153 の側面にも同様に導電層又は側壁絶縁層を設けてもよい。

【0192】

絶縁層 150 上にはトランジスタ 162 と、他のトランジスタを接続するための配線 156 が設けられている。配線 156 は、絶縁層 150、絶縁層 135、絶縁層 132 及びゲート絶縁層 146 などに形成された開口に形成された電極層 136 を介して電極層 142b と電氣的に接続される。

【0193】

図 8 (A) 及び図 8 (B) において、トランジスタ 160 と、トランジスタ 162 とは、少なくとも一部が重畳するように設けられており、トランジスタ 160 のソース領域またはドレイン領域と酸化物半導体層 144 の一部が重畳するように設けられているのが好ましい。また、トランジスタ 162 及び容量素子 164 が、トランジスタ 160 の少なくとも一部と重畳するように設けられている。例えば、容量素子 164 の導電層 153 は、トランジスタ 160 のゲート電極層 110 と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0194】

なお、電極層 142b 及び配線 156 の電氣的接続は、電極層 136 を設けずに電極層 142b 及び配線 156 を直接接触させて行ってもよい。また、間に介する電極層は、複数でもよい。

【0195】

次に、図 8 (A) 及び図 8 (B) に対応する回路構成の一例を図 8 (C) に示す。

【0196】

図 8 (C) において、第 1 の配線 (1st Line) とトランジスタ 160 のソース電極層とは、電氣的に接続され、第 2 の配線 (2nd Line) とトランジスタ 160 のドレイン電極層とは、電氣的に接続されている。また、第 3 の配線 (3rd Line) とトランジスタ 162 のソース電極層またはドレイン電極層の一方とは、電氣的に接続され、第 4 の配線 (4th Line) と、トランジスタ 162 のゲート電極層とは、電氣的に接続されている。そして、トランジスタ 160 のゲート電極層と、トランジスタ 162 のソース電極層またはドレイン電極層の他方は、容量素子 164 の電極の一方と電氣的に接続され、第 5 の配線 (5th Line) と、容量素子 164 の電極の他方は電氣的に接続されている。

【0197】

図 8 (C) に示す半導体装置では、トランジスタ 160 のゲート電極層の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0198】

情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 162 がオン状態となる電位にして、トランジスタ 162 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 160 のゲート電極層、および容量素子 164 に与えられる。すなわち、トランジスタ 160 のゲート電極層には、所定の電荷が与えられる (書き込み)。ここでは、異なる二つの電位レベルを与える電荷 (以下 Low レベル電荷、High レベル電荷という) のいずれかが与えられるものとする。その後、第 4 の配線の電位を、トランジスタ 162 がオフ状態となる電位にして、トランジスタ 162 をオフ状態とすることにより、トランジスタ 160 のゲート電極層に与えられた電荷が保持される (保持)。

【0199】

トランジスタ 162 のオフ電流は極めて小さいため、トランジスタ 160 のゲート電極層

10

20

30

40

50

の電荷は長時間にわたって保持される。

【0200】

次に情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極層に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極層にHighレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、トランジスタ160のゲート電極層にLowレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。

【0201】

ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の間の電位 $V_0$ とすることにより、トランジスタ160のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th\_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th\_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0202】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を第5の配線に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。

【0203】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0204】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0205】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0206】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0207】

（実施の形態4）

本実施の形態においては、実施の形態1又は実施の形態2に示すトランジスタを使用し、

10

20

30

40

50

電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態3に示した構成と異なる構成について、図9及び図10を用いて説明を行う。

【0208】

図9(A)は、半導体装置の回路構成の一例を示し、図9(B)は半導体装置の一例を示す概念図である。まず、図9(A)に示す半導体装置について説明を行い、続けて図9(B)に示す半導体装置について、以下説明を行う。

【0209】

図9(A)に示す半導体装置において、ビット線BLとトランジスタ162のソース電極層又はドレイン電極層とは電氣的に接続され、ワード線WLとトランジスタ162のゲート電極層とは電氣的に接続され、トランジスタ162のソース電極層又はドレイン電極層と容量素子254の第1の端子とは電氣的に接続されている。

10

【0210】

次に、図9(A)に示す半導体装置(メモリセル250)に、情報の書き込みおよび保持を行う場合について説明する。

【0211】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される(保持)。

20

【0212】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位(あるいは、容量素子254に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

【0213】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子254とが導通し、ビット線BLと容量素子254の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子254の第1の端子の電位(あるいは容量素子254に蓄積された電荷)によって、異なる値をとる。

30

【0214】

例えば、容量素子254の第1の端子の電位をV、容量素子254の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル250の状態として、容量素子254の第1の端子の電位がV1とV0( $V1 > V0$ )の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位( $= (CB \times VB0 + C \times V1) / (CB + C)$ )は、電位V0を保持している場合のビット線BLの電位( $= (CB \times VB0 + C \times V0) / (CB + C)$ )よりも高くなるのがわかる。

40

【0215】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0216】

このように、図9(A)に示す半導体装置は、トランジスタ162のオフ電流が極めて小さいという特徴から、容量素子254に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能であ

50

る。

【0217】

次に、図9(B)に示す半導体装置について、説明を行う。

【0218】

図9(B)に示す半導体装置は、上部に記憶回路として図9(A)に示したメモリセル250を複数有するメモリセルアレイ251a及び251bを有し、下部に、メモリセルアレイ251(メモリセルアレイ251a及び251b)を動作させるために必要な周辺回路253を有する。なお、周辺回路253は、メモリセルアレイ251と電氣的に接続されている。

【0219】

図9(B)に示した構成とすることにより、周辺回路253をメモリセルアレイ251(メモリセルアレイ251a及び251b)の直下に設けることができるため半導体装置の小型化を図ることができる。

【0220】

周辺回路253に設けられるトランジスタは、トランジスタ162とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路(論理回路、駆動回路など)を好適に実現することが可能である。

【0221】

なお、図9(B)に示した半導体装置では、2つのメモリセルアレイ251(メモリセルアレイ251aと、メモリセルアレイ251b)が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としても良い。

【0222】

次に、図9(A)に示したメモリセル250の具体的な構成について図10を用いて説明を行う。

【0223】

図10は、メモリセル250の構成の一例である。図10(A)に、メモリセル250の断面図を、図10(B)にメモリセル250の平面図をそれぞれ示す。ここで、図10(A)は、図10(B)のF1-F2、及びG1-G2における断面に相当する。

【0224】

図10(A)及び図10(B)に示すトランジスタ162は、実施の形態1又は実施の形態2で示した構成を適用することができる。本実施の形態においては、図1のトランジスタ420と同一の構成とする例を示す。

【0225】

ゲート絶縁層146を介して、トランジスタ162の電極層142aと重畳する領域には、導電層262が設けられており、電極層142aと、ゲート絶縁層146と、導電層262とによって、容量素子254が構成される。すなわち、トランジスタ162の電極層142aは、容量素子254の一方の電極として機能し、導電層262は、容量素子254の他方の電極として機能する。

【0226】

トランジスタ162及び容量素子254上には、絶縁層132、絶縁層135及び絶縁層256が単層または積層で設けられている。そして、絶縁層256上には、メモリセル250と隣接するメモリセル250と、を接続するための配線260が設けられている。配線260は、絶縁層256、絶縁層135、絶縁層132及びゲート絶縁層146などに形成された開口を介してトランジスタ162の電極層142bと電氣的に接続されている。但し、配線260と電極層142bとを直接接続してもよい。なお、配線260は、図

10

20

30

40

50

9 ( A ) の回路図におけるビット線 B L に相当する。

【 0 2 2 7 】

図 1 0 ( A ) 及び図 1 0 ( B ) において、トランジスタ 1 6 2 の電極層 1 4 2 b は、隣接するメモリセルに含まれるトランジスタのソース電極層としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【 0 2 2 8 】

多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

10

【 0 2 2 9 】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【 0 2 3 0 】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

20

【 0 2 3 1 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 3 2 】

（実施の形態 5）

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 1 1 乃至図 1 4 を用いて説明する。

【 0 2 3 3 】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

30

【 0 2 3 4 】

通常の S R A M は、図 1 1 ( A ) に示すように 1 つのメモリセルがトランジスタ 8 0 1 ~ 8 0 6 の 6 個のトランジスタで構成されており、それを X デコーダー 8 0 7、Y デコーダー 8 0 8 にて駆動している。トランジスタ 8 0 3 とトランジスタ 8 0 5、トランジスタ 8 0 4 とトランジスタ 8 0 6 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常  $100 \sim 150 F^2$  である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

40

【 0 2 3 5 】

それに対して、D R A M はメモリセルが図 1 1 ( B ) に示すようにトランジスタ 8 1 1、保持容量 8 1 2 によって構成され、それを X デコーダー 8 1 3、Y デコーダー 8 1 4 にて駆動している。1 つのセルが 1 トランジスタ 1 容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常  $10 F^2$  以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

【 0 2 3 6 】

50

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10F^2$  前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

#### 【0237】

図12に携帯機器のブロック図を示す。図12に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906はCPU907、DSP908、インターフェイス909（IF909）を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

10

#### 【0238】

図13に、ディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例を示す。図13に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955およびメモリコントローラ951により構成されている。また、メモリ回路950は、信号線から入力された画像データ（入力画像データ）、メモリ952、及びメモリ953に記憶されたデータ（記憶画像データ）の読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

20

#### 【0239】

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データA）。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ（記憶画像データA）は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

#### 【0240】

入力画像データAに変更が無い場合、記憶画像データAは、通常30～60Hz程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956から読み出される。

30

#### 【0241】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データAに変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データB）を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ（記憶画像データB）が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

40

#### 【0242】

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

50

## 【 0 2 4 3 】

図 1 4 に電子書籍のブロック図を示す。図 1 4 はバッテリー 1 0 0 1、電源回路 1 0 0 2、マイクロプロセッサ 1 0 0 3、フラッシュメモリ 1 0 0 4、音声回路 1 0 0 5、キーボード 1 0 0 6、メモリ回路 1 0 0 7、タッチパネル 1 0 0 8、ディスプレイ 1 0 0 9、ディスプレイコントローラ 1 0 1 0 によって構成される。

## 【 0 2 4 4 】

ここでは、図 1 4 のメモリ回路 1 0 0 7 に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路 1 0 0 7 の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ 1 0 0 4 にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

10

## 【 0 2 4 5 】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

20

## 【 0 2 4 6 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

## 【実施例】

## 【 0 2 4 7 】

本実施例では、本発明の一態様の半導体装置の作製方法を適用して導電膜を加工し、実施の形態 1 に示すようなゲート電極層及びゲート電極層の側面に設けられた導電層の形状が得られることを確認した。

## 【 0 2 4 8 】

以下に、実施例試料の作製方法について示す。

30

## 【 0 2 4 9 】

まず、シリコン基板を用意し、基板上に窒化酸化シリコン膜を C V D 法によって 2 0 n m 成膜した。当該窒化酸化シリコン膜は、本発明の一態様に係るトランジスタのゲート絶縁層に相当するため、以下、本実施例において、ゲート絶縁層と表記する。

## 【 0 2 5 0 】

次に、ゲート絶縁層上に導電膜を形成した。導電膜として膜厚 3 0 n m の窒化タンタル膜を、アルゴン及び窒素 ( A r : N <sub>2</sub> = 5 0 s c c m : 1 0 s c c m ) 混合雰囲気下、圧力 0 . 6 P a、電源電力 1 k W のスパッタリング法によって成膜し、その上に膜厚 1 3 5 n m のタングステン膜を、アルゴン ( A r = 1 0 0 s c c m ) 雰囲気下、圧力 2 . 0 P a、電源電力 4 k W のスパッタリング法によって成膜した。

40

## 【 0 2 5 1 】

続いて、タングステン膜を I C P ( I n d u c t i v e l y C o u p l e d P l a s m a : 誘導結合型プラズマ ) エッチング法により、塩素、四弗化炭素及び酸素 ( C l <sub>2</sub> : C F <sub>4</sub> : O <sub>2</sub> = 4 5 s c c m : 5 5 s c c m : 5 5 s c c m ) 混合雰囲気下、電源電力 3 k W、バイアス電力 5 0 W、圧力 0 . 6 7 P a においてエッチング処理して、パターン形成されたタングステン層を形成した。

## 【 0 2 5 2 】

続いて、窒化タンタル膜を I C P エッチング法によって、塩素 ( C l <sub>2</sub> = 1 0 0 s c c m ) 雰囲気下、電源電力 1 k W、バイアス電力 6 0 W、圧力 0 . 2 P a でエッチング処理して、パターン形成された窒化タンタル層を形成した。窒化タンタル層及びタングステン層

50



の積層構造は、本発明の一態様に係るトランジスタのゲート電極層に相当するため、以下、本実施例においてゲート電極層と表記する。

【0253】

次に、スパッタリング法によって、ゲート電極層を覆うように、タングステン膜を30nmの膜厚で成膜した。成膜条件はアルゴン(Ar=50sccm)雰囲気下において、圧力0.6Pa、電源電力1kWである。

【0254】

次に、タングステン膜上に、窒化酸化シリコン膜をCVD法によって、150nm成膜した。

【0255】

続いて、窒化酸化シリコン膜を、ICPエッチング法を用いて、トリフルオロメタン及びヘリウム(CHF<sub>3</sub>:He=30sccm:120sccm)混合雰囲気下、電源電力3kW、バイアス電力200W、圧力2.0Paでエッチング処理した。エッチング処理によって得られた窒化酸化シリコン層は、本発明の一態様に係るトランジスタの側壁絶縁層に相当するため、以下、本実施例において側壁絶縁層と表記する。

【0256】

続いて、側壁絶縁層をマスクとして、タングステン膜をICPエッチング法によって、四弗化炭素、塩素及び酸素(CF<sub>4</sub>:Cl<sub>2</sub>:O<sub>2</sub>=50sccm:50sccm:20sccm)混合雰囲気下、電源電力500W、バイアス電力10W、圧力1.6Paでエッチング処理して、ゲート電極層の側面に導電層(本実施例においては、タングステン層)を形成した。

【0257】

上記の方法を用いて作製した実施例試料の走査型透過電子顕微鏡(STEM:Scanning Transmission Electron Microscopy)による断面写真(断面STEM写真)を図15に示す。

【0258】

図15より、本実施例に記載の作製方法を用いて、実施の形態1に示すゲート電極層及びゲート電極層の側面に設けられた導電層の形状が得られることを確認できた。

【0259】

なお、実施例試料は図7(B)と同様に、側壁絶縁層の高さ(基板表面から側壁絶縁層の最上面までの距離)が、導電層の高さ(基板表面から導電層の最上面までの距離)よりも低い。また、図15において、ゲート電極層と重畳する領域のゲート絶縁層の膜厚は、導電層と重畳する領域の膜厚よりも大きい。具体的には、実施例試料において、ゲート電極層と重畳する領域のゲート絶縁層の膜厚は17.9nmであり、導電層と重畳する領域のゲート絶縁層の膜厚は11.2nmであった。これは、ゲート電極層のエッチングの際にゲート絶縁層も一緒にエッチングされたためであると考えられる。

【0260】

なお、実施例試料の導電層の側端部は、側壁絶縁層の側端部よりもチャネル長方向において、後退している。但し、開示する発明の技術的思想の一は、自己整合的に形成された側壁絶縁層をマスクとして導電層をエッチングすることで、フォトリソグラフィ工程を用いずに微細な構造のトランジスタにおいてLoV領域を形成する点にある。したがって、同じマスクを用いてエッチングした場合に(又はある層をマスクとして下層をエッチングした場合に)エッチング条件などに起因する端部のずれ程度の差は十分に許容され、当該同じマスクを用いてエッチング処理された各層の端部は一致しているとみなす。

【符号の説明】

【0261】

- 100 基板
- 106 素子分離絶縁層
- 108 ゲート絶縁層
- 110 ゲート電極層

10

20

30

40

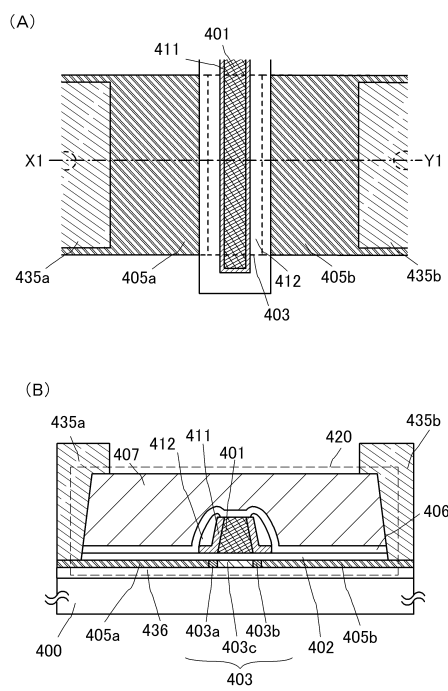
50

1 1 6	チャネル形成領域	
1 2 0	不純物領域	
1 2 4	金属間化合物領域	
1 2 8	絶縁層	
1 3 0	絶縁層	
1 3 2	絶縁層	
1 3 5	絶縁層	
1 3 6	電極層	
1 3 7 a	導電層	
1 3 7 b	導電層	10
1 3 8 a	側壁絶縁層	
1 3 8 b	側壁絶縁層	
1 4 2 a	電極層	
1 4 2 b	電極層	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8	ゲート電極層	
1 5 0	絶縁層	
1 5 3	導電層	
1 5 6	配線	20
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
2 5 0	メモリセル	
2 5 1	メモリセルアレイ	
2 5 1 a	メモリセルアレイ	
2 5 1 b	メモリセルアレイ	
2 5 3	周辺回路	
2 5 4	容量素子	
2 5 6	絶縁層	30
2 6 0	配線	
2 6 2	導電層	
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	
4 0 3 a	不純物領域	
4 0 3 b	不純物領域	
4 0 3 c	チャネル形成領域	
4 0 5	導電膜	40
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 6	絶縁層	
4 0 7	絶縁層	
4 1 1	導電層	
4 1 2	側壁絶縁層	
4 1 3	酸化物半導体層	
4 1 5	導電膜	
4 1 6	絶縁層	
4 2 0	トランジスタ	50

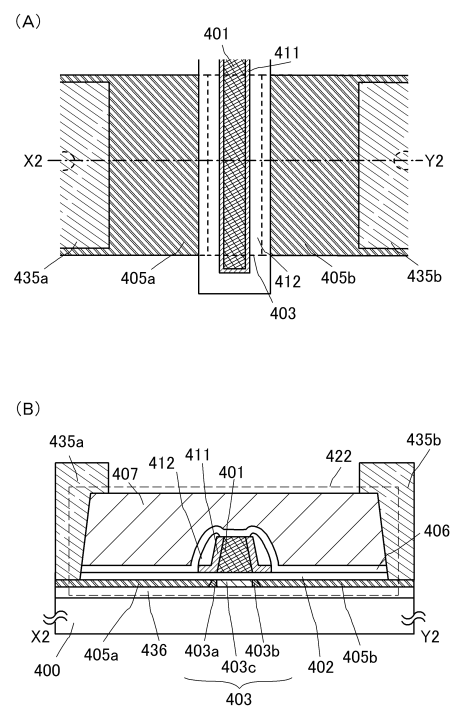
4 2 2	トランジスタ	
4 2 4	トランジスタ	
4 2 6	トランジスタ	
4 2 8	トランジスタ	
4 3 0	トランジスタ	
4 3 1	ドーパント	
4 3 5 a	配線層	
4 3 5 b	配線層	
4 3 6	下地絶縁層	
8 0 1	トランジスタ	10
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	
8 0 8	Yデコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	Xデコーダー	
8 1 4	Yデコーダー	20
9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 0 9	インターフェイス	
9 1 0	フラッシュメモリ	30
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	
9 1 8	キーボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	40
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	50

1 0 0 4	フラッシュメモリ
1 0 0 5	音声回路
1 0 0 6	キーボード
1 0 0 7	メモリ回路
1 0 0 8	タッチパネル
1 0 0 9	ディスプレイ
1 0 1 0	ディスプレイコントローラ

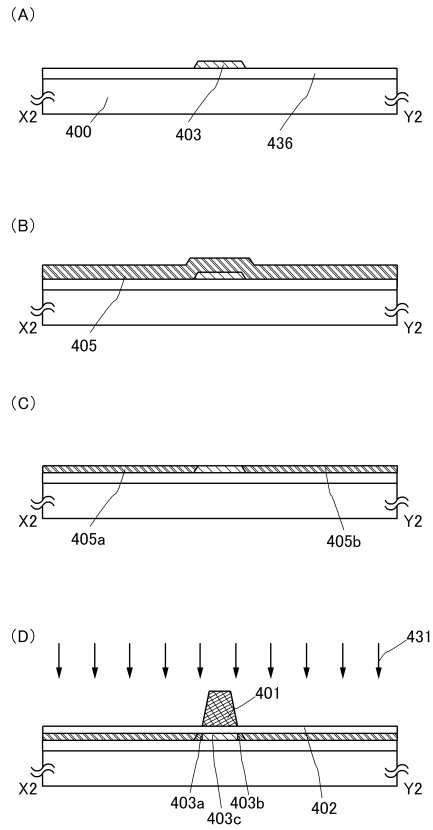
【図 1】



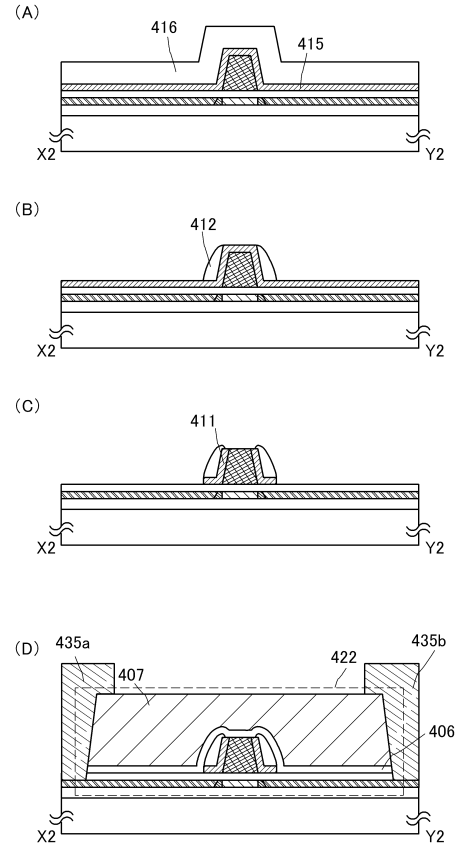
【図 2】



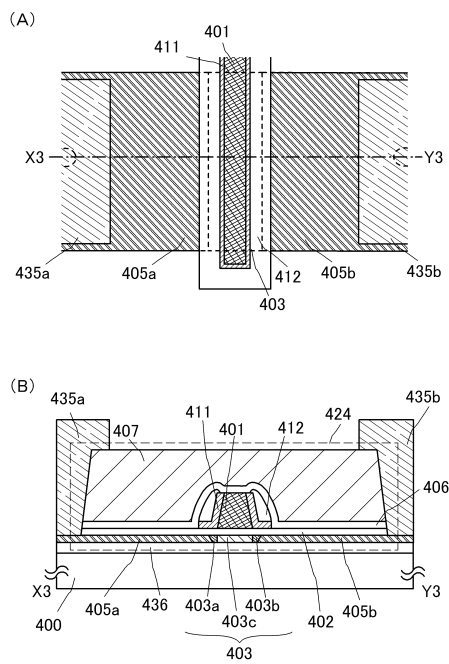
【図 3】



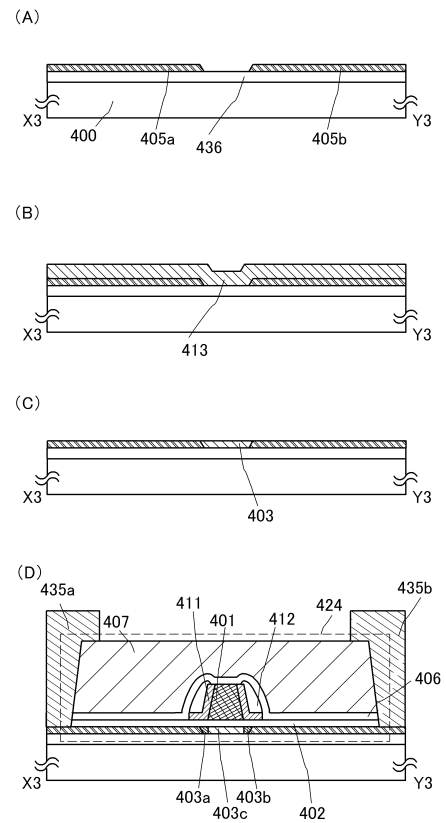
【図 4】



【図 5】



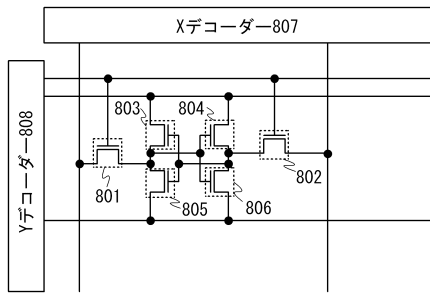
【図 6】



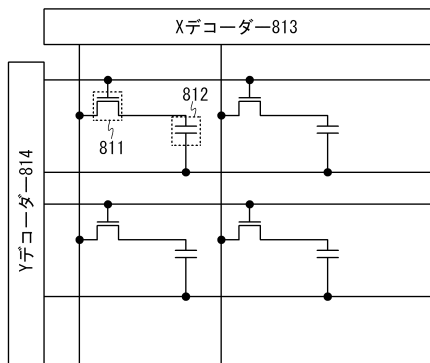


【図 1 1】

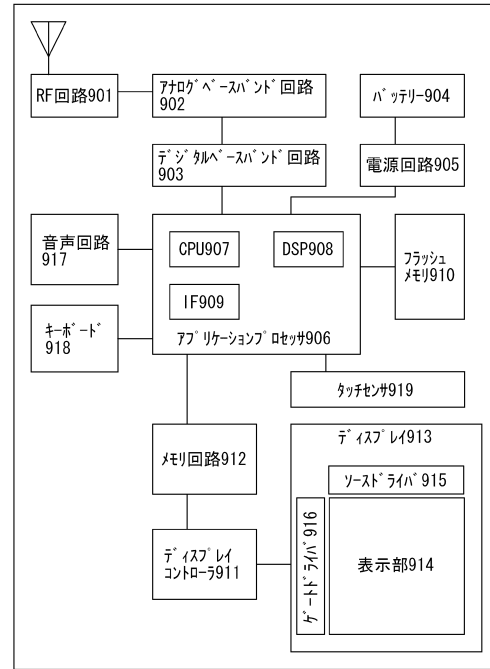
(A)



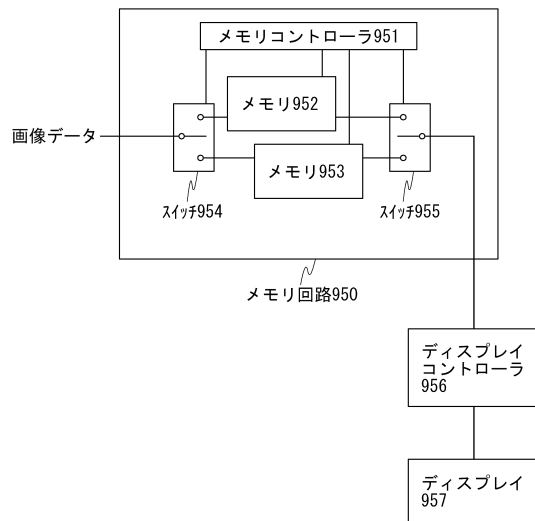
(B)



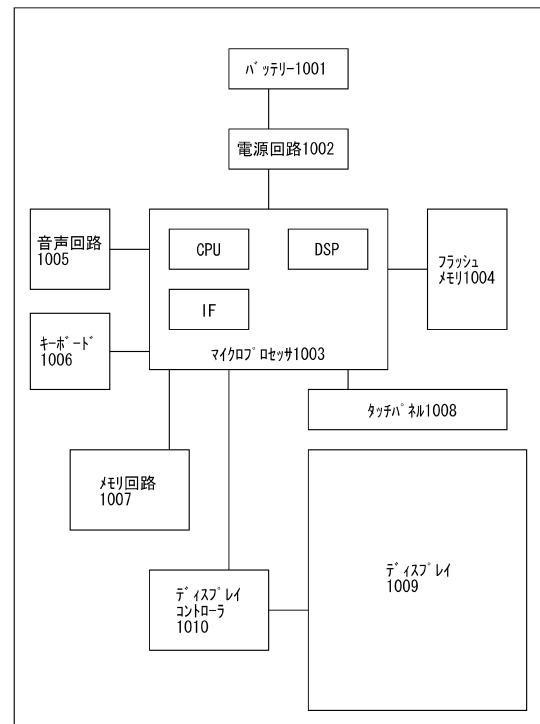
【図 1 2】



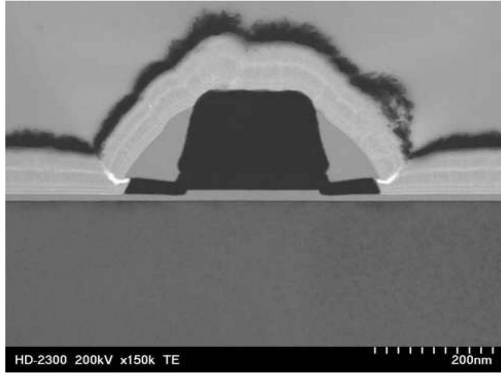
【図 1 3】



【図 1 4】



【図 15】





---

 フロントページの続き

(51)Int.Cl.	F I		
	H 0 1 L	21/28	3 0 1 B
	H 0 1 L	29/58	G

(56)参考文献 特開 2 0 1 1 - 1 0 0 9 7 9 ( J P , A )  
 特開 2 0 0 4 - 1 4 6 4 1 6 ( J P , A )  
 米国特許出願公開第 2 0 0 6 / 0 0 7 1 3 5 2 ( U S , A 1 )  
 特開平 0 3 - 1 5 7 9 3 8 ( J P , A )  
 特表 2 0 0 3 - 5 2 8 4 7 2 ( J P , A )  
 特開 2 0 0 2 - 2 3 7 6 0 2 ( J P , A )  
 米国特許出願公開第 2 0 1 1 / 0 1 6 8 9 9 3 ( U S , A 1 )  
 特開 2 0 0 6 - 0 6 0 2 0 9 ( J P , A )  
 特開 2 0 0 1 - 1 1 1 0 6 0 ( J P , A )  
 特開 2 0 0 4 - 0 4 7 5 6 6 ( J P , A )  
 特開平 1 1 - 3 4 0 4 6 9 ( J P , A )  
 特開昭 6 1 - 0 8 0 8 6 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 2 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 4 2 3
H 0 1 L	2 9 / 4 9
H 0 1 L	2 9 / 7 8 6