(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2007 年11 月22 日 (22.11.2007)

PCT

(10) 国際公開番号
WO 2007/132839 A1

(51) 国際特許分類:
H03K 17/687 (2006.01)

(21) 国際出願番号: PCT/JP2007/059940

(22) 国際出願日: 2007 年5 月15 日 (15.05.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2006-135596 2006 年5 月15 日 (15.05.2006) JP

(71) 出願人 (米国を除く全ての指定国について): 旭化成エレクトロニクス株式会社 (ASAHI KASEI EMD CORPORATION) [JP/JP]; 〒1600023 東京都新宿区西新宿一丁目２３番７号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 海保 敏夫 (KAIHO, Toshio) [JP/JP]; 〒1008440 東京都千代田区有楽町一丁目１番２号 Tokyo (JP). 町田 純一 (MACHIDA, Junichi) [JP/JP]; 〒1008440 東京都千代田区有楽町一丁目１番２号 Tokyo (JP).

(74) 代理人: 谷 義一 (TANI, Yoshikazu); 〒1070052 東京都港区赤坂２丁目６－２０ Tokyo (JP).

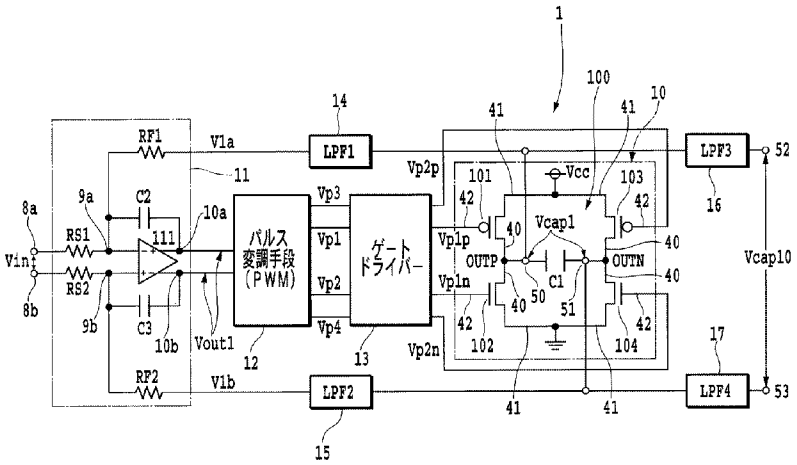
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) **Title:** DRIVE DEVICE, DRIVE METHOD, AND INFORMATION DEVICE

(54) **発明の名称:** 駆動装置、駆動方法、ならびに情報機器



12 PULSE MODULATION MEANS (PWM)
13 GATE DRIVER

(57) **Abstract:** It is possible to output a waveform of an output signal having a preferable reproducibility of an input signal from a capacitive load. Even when the capacitive load is driven by configuring it as a switching amplifier, it is possible to reduce an invalid power and power consumption. Output signals (V1a, V1b) obtained by feeding back an output signal (Vcap1) appearing at output terminals (50, 51) at both ends of a load C1 to the side of input terminals (9a, 9b) are compared to an input signal (Vin) to detect an error between the signals. A first error suppression signal (Vout1) is generated by correcting the error so as to suppress the detected error between the signals. A ratio of a first period (T1) for supplying power to a load (C1) against a second period (T2) for supplying no power to make it floating is changed according to the first error suppression signal.

(57) 要約: 容量性等の負荷から、入力信号の再現性のよい出力信号の波形を出力する。スイッチングアンプとして構成して容量性等の負荷を駆動する場合においても、無効電力を削減し、低消費化を図る。負荷Ｃ１の両端の出力端子（５０、５１）に現われる出力信号Ｖｃａｐ１が入力端子（９ａ、９ｂ）側へフィードバックさ

[続葉有]

WO 2007/132839 A1

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

れた出力信号Ｖ１ａ、Ｖ１ｂを入力信号Ｖｉｎと比較して該信号間の誤差を検出し、該検出された信号間の誤差が抑圧されるように、誤差を補正した第１の誤差抑圧信号Ｖｏｕｔ１、を生成し、該第1の誤差抑圧信号に応じて、負荷Ｃ１に電力を供給する第１の期間Ｔ１と電力を供給せずにフローティングにする第２の期間Ｔ２との比率を変更する。

明 細 書

駆動装置、駆動方法、ならびに情報機器

技術分野

[0001] 本発明は、容量性デバイスの圧電スピーカなどの負荷を駆動する駆動装置及び駆動方法に関する。

[0002] 尚、本明細書の記述は本件出願の優先権の基礎たる日本特許出願(特願2006－135596、2006年5月15日出願)の明細書の記載に基づくものであって、当該日本特許出願の番号を参照することによって当該日本特許出願の明細書の記載内容が本明細書の一部分を構成するものとする。

背景技術

[0003] 携帯電話機等の情報機器に搭載された圧電スピーカは、薄くて軽く低消費という特徴があり、今後音質を改善し低価格化が実現されれば、普及する可能性が大きい。しかし、現状では、圧電スピーカのような容量性デバイスは、駆動回路にとって容量性負荷であり、容量性デバイスを駆動するための最適な駆動方式は存在しない。

[0004] 一方、現在普及しているダイナミック型スピーカのような誘導性デバイスは、駆動回路にとって誘導性負荷であり、駆動回路は誘導性負荷に適した構成となっている。特に、携帯機器に内蔵される場合、一般的にバッテリーによって駆動されることが多いが、長時間の使用を可能にするためには、電力効率が良好であるスイッチングアンプ(D級アンプ)が適している。

[0005] 図19および図20は、従来のスイッチングアンプの負荷駆動状態を示す回路図であり、図19に示す負荷駆動状態3－aと、図20に示す負荷駆動状態3－bとの2つの状態を有する。

[0006] 図21は、パルス変調出力のデューティー比が50%のときの図19および図20に示した駆動回路の各位置における信号を示す波形図である。なお、図21中の各符号は、図19および図20の各位置の符号に対応する。

[0007] 図19の負荷駆動状態3－aのときに期間T4aを示し、トランジスタ20、23がオンし、トランジスタ21、22がオフし、OUTPがVCCレベル、OUTNがGNDレベルになり、

誘導性負荷L1の両端の電位差VL1は＋VCCになり、誘導性負荷L1に対しOUTPからOUTNに電流Iを流す。

[0008] 図20の負荷駆動状態3－bのときに期間T4bを示し、トランジスタ20、23がオフし、トランジスタ21、22がオンし、OUTPがGNDレベル、OUTNがVCCレベルになり、誘導性負荷L1の両端の電位差VL1は－VCCになり、誘導性負荷L1に対しOUTNからOUTPに電流Iを流す。

[0009] この駆動方式は、電力を誘導性負荷L1に供給する必要のない無入力信号時に、パルス変調出力のデューティー比が50％になるため、誘導性負荷L1に流れる電流Iのリップルが最も大きくなり、無駄な消費電流が発生する。

[0010] 図22～図27は、そのような無駄な消費電流を削減した駆動方式を有するスイッチングアンプの例を示す（特許文献1～3参照）。

[0011] 図22～図27は、そのスイッチングアンプの負荷駆動状態を示す回路図である。

[0012] この種のスイッチングアンプは、図26および図27に示すような信号波形により、電力を必要とする期間に負荷端子間に電圧を印加し、電力を必要としない期間は負荷端子間をショートして印加電圧を0Vにすることで、出力波形を生成している。

[0013] 図22の負荷駆動状態5－aと、図23の負荷駆動状態5－bと、図24の負荷駆動状態5－cと、図25の負荷駆動状態5－dとの4つの状態を有することにより、負荷駆動時のリップル電流を低減するようにした回路構成となっている。

[0014] 図26および図27は、図22～図25の駆動回路の各位置における信号を示す波形図である。図26および図27中の各符号は、図22～図25の各位置の符号に対応する。

[0015] 図22の負荷駆動状態5－aのときに図26の期間T6aを示し、トランジスタ20、23がオンし、トランジスタ21、22がオフし、OUTPがVCCレベル、OUTNがGNDレベルになり、誘導性負荷L1の両端の電位差VL1は＋VCCになり、誘導性負荷L1に対しOUTPからOUTNに電流Iを流す。

[0016] 図23の負荷駆動状態5－bのときに図27の期間T6bを示し、トランジスタ20、23がオフし、トランジスタ21、22がオンし、OUTPがGNDレベル、OUTNがVCCレベルになり、誘導性負荷L1の両端の電位差VL1は－VCCになり、誘導性負荷L1に対し

、OUTNからOUTPに電流Iを流す。

[0017] 図24の負荷駆動状態5－cのときに図26又は図27の期間T6cを示し、トランジスタ21、23がオンし、トランジスタ20、22がオフし、OUTPとOUTNはともにGNDレベルとなり、誘導性負荷L1の両端の電位差VL1はゼロ(GND)になり、OUTN又はOUTPから接地に向かって電流Iを流す、すなわち、誘導性負荷L1に蓄積されたエネルギーが放出される。

[0018] 図25の負荷駆動状態5－dのときに図26又は図27の期間T6dを示し、トランジスタ21、23がオフし、トランジスタ20、22がオンし、OUTPとOUTNはともにVCCレベルとなり、誘導性負荷L1の両端の電位差VL1はゼロ(GND)になり、OUTN又はOUTPから電源に向かって電流Iを流す、すなわち、誘導性負荷L1に蓄積されたエネルギーが放出される。

[0019] すなわち、誘導性負荷L1の端子間に印加されるスイッチング周波数とその高調波成分の除いた信号成分が、OUTNよりもOUTPの方が高くなる場合は、図26のタイミング6－aに示すようにOUTPからOUTNにエネルギーとなる電流を供給する期間T6aの前後に、エネルギーを供給しない期間T6c、期間T6dが存在するような信号波形によって駆動される。

[0020] 同様に、誘導性負荷L1の端子間に印加されるスイッチング周波数とその高調波成分を除いた信号成分が、OUTPよりもOUTNの方が高くなる場合は、図27のタイミング6－bに示すようにOUTNからOUTPにエネルギーとなる電流を供給する期間T6bの前後に、エネルギーを供給しない期間T6c、期間T6dが存在するような信号波形により駆動される。

[0021] 特許文献1:米国特許第6614297号明細書

特許文献2:米国特許第6211728号明細書

特許文献3:米国特許第6262632号明細書

発明の開示

[0022] しかし、この駆動方式を用いて容量性デバイスである圧電スピーカを駆動すると、電荷を保持したい期間に負荷の端子間をショートするために、蓄積された電荷を消失し端子間電圧が低下する。次の電力供給期間では、この損失分を補うために、損

失分の電荷が上乗せされて供給されることになり、必要以上の電力を消費することになる。すなわち、この駆動方式では、無効電力を発生するために圧電スピーカの低消費である特徴を活かすことができない。

[0023] そこで、本発明の目的は、容量性負荷から、入力信号の再現性のよい出力信号の波形を出力することが可能な、駆動装置及び駆動方法を提供することにある。

[0024] また、本発明の他の目的は、スイッチングアンプとして構成して容量性負荷を駆動する場合においても、無効電力を削減し、低消費化を図ることが可能な、駆動装置及び駆動方法を提供することにある。

[0025] 本発明は、スイッチング素子を用いて負荷に対する電力の供給制御をする駆動装置であって、前記負荷に接続された、複数のスイッチング素子からなるスイッチング回路を有する駆動手段と、前記複数のスイッチング素子の動作の切替えを制御する制御手段と、を具え、前記制御手段は、前記負荷に電力を供給する第1の期間と電力を供給せずに前記負荷をフローティングにする第2の期間とを設定することを特徴とする。

[0026] 前記各スイッチング素子は、前記負荷の両端のいずれか一方の端子に接続される第1の端子と、前記スイッチング制御信号が入力される第2の端子と、電源又はグランドの端子に接続される第3の端子とを有し、前記制御手段は、前記スイッチング制御信号の1周期内において、前記負荷の一方の端子を前記電源の端子に接続し、該負荷の他方の端子を前記グランドの端子に接続することによって、該負荷に電力を供給する前記第1の期間と、前記負荷の両方の端子をフローティング状態に設定することによって、該負荷に電力を供給しない前記第2の期間とを有することを特徴とする。

[0027] 前記各スイッチング素子は、前記負荷の両端のいずれか一方の端子に接続される第1の端子と、前記スイッチング制御信号が入力される第2の端子と、電源又はグランドの端子に接続される第3の端子とを有し、前記制御手段は、前記スイッチング制御信号の1周期内において、前記負荷の一方の端子を前記電源の端子に接続し、該負荷の他方の端子を前記グランドの端子に接続することによって、該負荷に電力を供給する前記第1の期間と、 前記負荷の一方の端子を前記電源又は前記グランド

の端子に接続し、該負荷の他方の端子をフローティング状態に設定することによって、該負荷に電力を供給しない前記第2の期間とを有することを特徴とする。

[0028] 前記負荷の両端の出力端子に現われる出力信号を、入力信号が入力される入力端子側へフィードバックさせる第1のフィードバック手段と、前記入力端子に接続され、前記第1のフィードバック手段によりフィードバックされた出力信号を前記入力信号と比較して該信号間の誤差を検出し、該誤差を補正した誤差抑圧信号を生成する誤差抑圧手段と、を具え、前記制御手段は、前記誤差抑圧信号に基づいて、前記駆動手段の前記複数のスイッチング素子の動作を切替えを制御することを特徴とする。

[0029] 前記制御手段は、前記誤差抑圧信号の絶対値に応じて、前記負荷に電力を供給する前記第1の期間と前記電力を供給せずにフローティングにする前記第2の期間との比率を変更することを特徴とする。

[0030] 前記負荷の両端の出力端子に現われる出力信号を、入力信号が入力される入力端子側へフィードバックさせる第1のフィードバック手段と、前記入力端子に接続され、前記第1のフィードバック手段によりフィードバックされた出力信号を前記入力信号と比較して該信号間の誤差を検出し、該誤差を補正した誤差抑圧信号を生成する誤差抑圧手段と、を具え、前記制御手段は、前記誤差抑圧信号に基づいて、前記駆動手段の前記複数のスイッチング素子の動作を切替えを制御してもよい。

[0031] 前記制御手段は、前記第1の誤差抑圧信号の絶対値に応じて、前記負荷に電力を供給する前記第1の期間と前記電力を供給せずにフローティングにする前記第2の期間との比率を変更してもよい。

[0032] 前記各スイッチング素子は、前記負荷の両端のいずれか一方の端子に接続される第1の端子と、前記スイッチング制御信号が入力される第2の端子と、電源又はグランドの端子に接続される第3の端子とを有し、前記制御手段は、前記スイッチング制御信号の1周期T内において、前記負荷の一方の端子を前記電源の端子に接続し、該負荷の他方の端子を前記グランドの端子に接続することによって、該負荷に電力を供給する前記第1の期間T1と、前記負荷の両方の端子をフローティング状態に設定することによって、該負荷に電力を供給しない第2の期間T2とを有してもよい。

[0033] 前記制御手段は、前記第2の期間T2において、前記負荷の一方の端子を前記電

源又は前記グランドの端子に接続し、該負荷の他方の端子をフローティング状態に設定してもよい。

[0034] 前記制御手段は、前記負荷の両端の出力端子に現われる出力信号の正極性においては、該負荷の正極性側の出力端子からのみ電力を供給し、かつ、該出力信号の負極性においては、該負荷の負極性側の出力端子からのみ電力を供給してもよい。

[0035] 前記制御手段は、三角波を発生する三角波発生手段と、前記三角波と前記誤差抑圧信号とを比較する比較手段と、前記比較手段からの出力に基づき前記駆動回路を制御する制御信号を生成する制御信号生成手段と、を具えてもよい。

[0036] 前記誤差抑圧手段から出力された信号の傾き成分を検出して、前記傾き成分を前記誤差抑圧手段の入力端子側へフィードバックさせる第2のフィードバック手段を具え、前記誤差抑圧手段は、前記第1のフィードバック手段によりフィードバックされた出力信号に前記第2のフィードバック手段によりフィードバックされた前記傾き成分を加えた合成信号と前記入力信号とを比較して該信号間の誤差を検出し、該誤差を補正した誤差抑圧信号を生成してもよい。

[0037] 前記駆動手段は前記負荷に直接接続されていてもよい。

[0038] 前記負荷は容量性負荷であってもよい。

[0039] 前記負荷は圧電スピーカであってもよい。

[0040] 本発明の情報機器は、スイッチング素子を用いて負荷に対する電力の供給制御をする上記記載の駆動装置と、通信機能および情報処理機能を有し、前記駆動装置を制御する情報処理部と、前記駆動装置および前記情報処理部に対して電力を供給する電池と、を具えることを特徴とする。

[0041] 本発明の駆動方法は、スイッチング素子を用いて負荷に対する電力の供給制御をする駆動方法であって、前記各スイッチング素子の動作を切替えて、前記負荷に電力を供給する第1の期間と電力を供給せずにフローティングにする第2の期間とを有することを特徴とする。

[0042] 前記負荷に電力を供給する前記第1の期間と前記電力を供給せずにフローティングにする前記第2の期間との比率を変更してもよい。

[0043] 前記負荷の両端の出力端子に現われる出力信号の正極性においては、該負荷の

正極性側の出力端子からのみ電力を供給し、かつ、該出力信号の負極性においては、該負荷の負極性側の出力端子からのみ電力を供給してもよい。

[0044] 本発明によれば、負荷の両端の出力端子に現われる出力信号が入力端子側へフィードバックされた出力信号を入力信号と比較して該信号間の誤差を検出し、該検出された信号間の誤差量に対応した第1又は第2の誤差抑圧信号を生成し、該誤差抑圧信号の誤差量に応じて、負荷に電力を供給する第1の期間と電力を供給せずにフローティングにする第2の期間との比率を変更するようにしたので、駆動装置を従来方式のスイッチングアンプとして構成した場合においても、駆動装置内の負荷から、入力信号の再現性の良い出力信号の波形を出力することができ、これにより、例えばスピーカの音質を向上させることができる。

[0045] また、本発明によれば、第1又は第2の誤差抑圧信号の誤差量に応じて、負荷に電力を供給する第1の期間と電力を供給せずにフローティングにする第2の期間との比率を制御できるので、容量性の圧電スピーカなどの負荷を低消費に駆動して、該負荷を含む駆動回路の低消費化を図ることが可能となり、これにより、例えばバッテリー駆動方式の携帯電話機等の情報機器のスピーカ駆動装置として構成した場合において好適である。

図面の簡単な説明

[0046] [図1]図1は本発明の第1の実施の形態である、スイッチングアンプからなる駆動装置の構成例を示す回路図である。

[図2A]図2Aはパルス変調手段およびゲートドライバーの構成を示す回路図である。

[図2B]図2Bは演算回路(LOGIC)の構成を示す説明図である。

[図3]図3は駆動装置における基本的な回路動作を説明するフローチャートである。

[図4]図4はパルス幅変調回路(PWM)12およびゲートドライバー13から出力される各種の信号波形のタイミングチャートを示す。

[図5]図5はオン時の駆動回路状態において、容量性負荷に電流が流れる経路を説明する回路図である。

[図6]図6はオン時の駆動回路状態において、図5とは反対方向から容量性負荷に電流が流れる経路を説明する回路図である。

[図7]図7はフローティング時の駆動回路状態において、容量性負荷に電流が流れていない場合を説明する回路図である。

[図8]図8は駆動装置の回路内の各部で生成される各種信号の波形を示す波形図である。

[図9]図9は図8の期間T2aにおいて、出力OUTP、出力OUTN、端子間電圧としての出力信号Vcap1、電流Iをそれぞれ示す波形図である。

[図10]図10は図8の期間T2bにおいて、出力OUTP、出力OUTN、端子間電圧としての出力信号Vcap1、電流Iをそれぞれ示す波形図である。

[図11]図11は図8の期間T2cにおいて、出力OUTP、出力OUTN、端子間電圧としての出力信号Vcap1、電流Iをそれぞれ示す波形図である。

[図12]図12は図8の期間T2dにおいて、出力OUTP、出力OUTN、端子間電圧としての出力信号Vcap1、電流Iをそれぞれ示す波形図である。

[図13]A～Dは、図9～図12の信号波形の一部を例に挙げて比較して説明するタイミングチャートである。

[図14]図14は本発明の第2の実施の形態である、スイッチングアンプからなる駆動装置の構成例を示す回路図である。

[図15]図15は演算回路18の一例としての微分回路を示す図である。

[図16]A, Bは、演算回路に入力される波形を微分した場合の波形を示す波形図である。

[図17]A～Cは、駆動装置の回路内の各部で生成される各種信号の波形を示す波形図である。

[図18]図18は本発明の第3の実施の形態である、携帯電話機等の携帯情報端末からなる情報機器の構成例を示すブロック図である。

[図19]図19は従来のスイッチングアンプにおいて、誘導性負荷を用いた場合のオン時の負荷駆動状態を示す回路図である。

[図20]図20は従来のスイッチングアンプにおいて、誘導性負荷を用いた場合のオン時の負荷駆動状態を示す回路図である。

[図21]図21はパルス変調出力のデューティー比が50%のときの図19および図20に

示した駆動回路の各位置における信号を示す波形図である。

[図22]図22は従来のオン時の駆動回路状態において、誘導性負荷に電流が流れる経路を説明する回路図である。

[図23]図23は従来のオン時の駆動回路状態において、図22とは反対方向から誘導性負荷に電流が流れる経路を説明する回路図である。

[図24]図24は従来のフローティング時の駆動回路状態において、グランド側の閉回路内で誘導性負荷に電流が流れている場合を説明する回路図である。

[図25]図25は従来のフローティング時の駆動回路状態において、電源側の閉回路内で誘導性負荷に電流が流れている場合を説明する回路図である。

[図26]図26は図22～図25の駆動回路の各位置における信号を示す波形図である。

[図27]図27は図22～図25の駆動回路の各位置における信号を示す波形図である。

発明を実施するための最良の形態

[0047] 以下、図面を参照して、本発明の実施の形態を詳細に説明する。

[0048] [第1の例]

本発明の第1の実施の形態を、図1～図13に基づいて説明する。

[0049] 本例では、本発明に係る駆動装置として、負荷として圧電スピーカなどの容量性負荷を備えたスイッチングアンプ(D級アンプ)として構成した場合の例について説明する。

[0050] (回路構成)

図1は、スイッチングアンプとして構成した駆動装置1を示す。

[0051] 駆動装置1は、出力信号Vcap1を出力する駆動回路10と、第1の誤差抑圧信号Vout1を生成する誤差抑圧回路11と、パルス変調信号であるスイッチング制御信号Vp1、Vp2、Vp3、Vp4を出力するパルス変調手段としてのパルス幅変調回路(PWM)12と、ゲートドライバー13と、第1のフィードバック手段としてのローパスフィルタ(LPF1、LPF2)14、15を備えている。

[0052] 各部の構成について説明する。

[0053] 駆動回路10は、複数のスイッチング素子101、102、103、104からなるスイッチング回路100を有し、駆動回路10の接続点OUTPとOUTNとの間の端子間には負荷としての容量性負荷C1が接続されている。

[0054] 各スイッチング素子101、102、103、104(MOSFET等のトランジスタ)は、容量性負荷C1の一方の出力端子50に接続される第1の端子40(接続点OUTP、OUTN)と、電源(Vcc)又はグランドの端子に接続される第2の端子41と、スイッチング制御信号Vp1p、Vp1n、Vp2p、Vp2nが入力される第3の端子42とを有している。

[0055] スイッチング回路100は、各スイッチング制御信号Vp1p、Vp1n、Vp2p、Vp2nに基づいて各スイッチング素子101、102、103、104をオン、オフ制御して、容量性負荷C1への電力供給を制御する。容量性負荷C1の端子と各スイッチング素子101、102、103、104の第1の端子40との接続点(OUTP、OUTN)に設けられた出力端子50、51には、容量性負荷C1の端子間電圧としての出力信号Vcap1が現われる。

[0056] ローパスフィルタ(LPF1、LPF2)14、15は、駆動回路10の出力端子50、51に現われる出力信号Vcap1を、誤差抑圧回路11内のフィードバック用抵抗RF1、RF2を介して、端子9a、9bへフィードバックさせる。ここでは、フィードバックされた信号として、出力信号V1a、V1bを用いる。

[0057] 誤差抑圧回路11は、差動増幅回路111と、端子9aと10aとの間に接続されたコンデンサC2と、端子9bと10bとの間に接続されたコンデンサC3と、入力端子8a－端子9a間、入力端子8b－端子9b間にそれぞれ接続された入力用抵抗RS1、RS2と、端子9a、9bに接続されたフィードバック用抵抗RF1、RF2とからなる積分器として構成されている。

[0058] この誤差抑圧回路11では、ローパスフィルタ(LPF1、LPF2)14、15を介してフィードバックされた出力信号V1a、V1bの振幅と、入力端子8a、8bに入力される入力信号Vinの振幅とを比較して信号間の振幅の誤差を検出する。その検出された信号間の振幅の誤差が抑圧されるように、その誤差を補正した電圧(第1の誤差抑圧信号Vout1)を生成する。ここでは、離散的ではなく連続的に処理される。ここで、入力信号Vinは、差動信号であっても入力端子8aまたは8bを基準信号レベルに接続したシングルエンド入力でもよい。

[0059] また、誤差抑圧回路11もシングルエンド構成にして、差動出力であるOUTP、OUTNをシングルエンドに変換して、誤差抑圧回路11にフィードバックしてもよい。

[0060] さらに、駆動回路10はフルブリッジ構成でもよく、ハーフブリッジ構成でもよい。ハーフブリッジ構成の場合、容量性負荷C1の一方の端子が接地され、駆動回路10は、2つのスイッチング素子101、102(または103、104)からなる構成となる。

[0061] ここで、図1中において、スイッチングアンプの入力再現性を評価するために、便宜上、駆動回路10の出力端子50、51にローパスフィルタ(LPF3、LPF4)16、17を接続し、ローパスフィルタ(LPF3、LPF4)16、17の出力端子52、53から出力信号Vcap10を取り出している。尚、これらのローパスフィルタ(LPF3、LPF4)16、17は、駆動装置1には含まなくてもよく、スイッチングアンプとしての動作には関係しない。

[0062] 図2(a)は、パルス幅変調回路(PWM)12およびゲートドライバー13の内部構成を示す。

[0063] パルス幅変調回路(PWM)12は、三角波発生器60と、2つのコンパレータ61、62と、論理回路(LOGIC)63からなる。三角波発生器60は、基準信号としての三角波を発生する。発生した三角波は、コンパレータ61、62に比較処理用として入力される。論理回路(LOGIC)63は、コンパレータ61、62からの比較結果信号Vc1、Vc2に基づき信号Vp1、Vp2、Vp3、Vp4をゲートドライバー13に出力する。

[0064] 図2(b)に論理回路(LOGIC)63の具体的な回路の一例を示す。AND回路65aは、比較結果信号Vc1と比較結果信号Vc2をインバータ66bで反転した信号とを入力し、信号Vp2を出力する。インバータ67aは信号Vp2を反転した信号Vp3を出力する。AND回路65bは、比較結果信号Vc2と比較結果信号Vc1をインバータ66aで反転した信号とを入力し、信号Vp4を出力する。インバータ67bは信号Vp4を反転した信号Vp1を出力する。

[0065] ゲートドライバー13は、ドライブ回路64a、64bとからなる。ドライブ回路にはバッファが内蔵され、信号Vp1、Vp2、Vp3、Vp4を夫々バッファリングしたスイッチング制御信号Vp1p、Vp1n、Vp2p、Vp2nを出力する。

[0066] なお、本例では、負荷として容量性負荷C1を用いるが、これに限定されるものではなく、誘導性負荷にも適用可能である。

[0067] (回路動作)

まず、駆動装置1の動作の概要について説明する。

[0068] 図3は、駆動装置1における基本的な回路動作を説明するフローチャートである。

[0069] ステップS1では、容量性負荷C1の端子と各スイッチング素子101、102、103、104の第1の端子40との接続点に設けられた出力端子50、51に現われる出力信号Vcap1を、ローパスフィルタ(LPF1、LPF2)14、15を介して入力側の端子9a、9b側へ出力信号V1a、V1bとしてフィードバックさせる。出力信号V1a、V1bの電圧値は、差動増幅回路111のコンデンサC2、C3に蓄積される。

[0070] ステップS2では、フィードバックされた出力信号V1a、V1bの大きさ(振幅)と入力信号Vinの大きさ(振幅)とを比較して該信号間の大きさ(振幅)の誤差を検出し、該検出された信号間の振幅の誤差が抑圧されるように、その誤差を補正した第1の誤差抑圧信号Vout1を生成する。

[0071] ステップS3では、生成された第1の誤差抑圧信号Vout1に基づいて、パルス幅変調回路(PWM)12により、パルス幅が変調されたパルス変調信号としてのスイッチング制御信号Vp1、Vp2、Vp3、Vp4を作成する。この作成されたスイッチング制御信号Vp1、Vp2、Vp3、Vp4は、ゲートドライバー13を介して各スイッチング素子101、102、103、104の第3の端子42に入力されることにより、各スイッチング素子101、102、103、104のオン、オフ制御がなされて、容量性負荷C1に対して電流Iの供給制御が行われる。

[0072] 以下、駆動装置1の詳細な動作について説明する。

[0073] 図4は、図1に示すパルス幅変調回路(PWM)12およびゲートドライバー13から出力される各種の信号波形のタイミングチャートを示す。

[0074] パルス幅変調回路(PWM)12では、誤差抑圧回路11の端子10a、10bから出力された第1の誤差抑圧信号Vout1を、基準信号である三角波V0と比較し、その比較結果としてパルス変調信号Vp1、Vp2、Vp3、Vp4を出力する。

[0075] ゲートドライバー13では、パルス変調信号Vp3、Vp1をドライブ回路64aによりバッファリングし、スイッチング制御信号Vp1p、Vp1nとして出力する。これらスイッチング制御信号Vp1p、Vp1nに基づいてトランジスタ101とトランジスタ102とが駆動制御さ

れる。同様に、パルス変調信号Vp2、Vp4をドライブ回路64bによりバッファリングし、スイッチング制御信号Vp2p、Vp2nとして出力する。これらスイッチング制御信号Vp2p、Vp2nに基づいてトランジスタ103とトランジスタ104とが駆動制御される。

[0076] コンパレータ61、62からの比較結果信号Vc1、Vc2が期間T1において夫々GNDレベル(Low)、VCCレベル(High)のとき、スイッチング制御信号Vp1p、Vp2nは夫々GNDレベル(Low)、VCCレベル(High)であり、スイッチング制御信号Vp1n、Vp2pは夫々GNDレベル(Low)、VCCレベル(High)である。このとき、トランジスタ101、104はオンし、トランジスタ102、103はオフし、容量性負荷C1に対して電流Iの供給制御が行われる。ここで、スイッチング制御信号Vp1p及びVp2nは相補的に動作し、スイッチング制御信号Vp1n及びVp2pは相補的に動作する。

[0077] 同様に、コンパレータ61、62からの比較結果信号Vc1、Vc2が、図示しない別の期間において、夫々VCCレベル(High)、GNDレベル(Low)のとき、スイッチング制御信号Vp1p、Vp2nは夫々VCCレベル(High)、GNDレベル(Low)であり、スイッチング制御信号Vp1n、Vp2pは夫々VCCレベル(High)、GNDレベル(Low)である。このとき、トランジスタ101、104はオフし、トランジスタ102、103はオンし、容量性負荷C1に対して電流Iの供給制御が行われる。

[0078] 一方、コンパレータ61、62からの比較結果信号Vc1、Vc2が期間T2において共にVCCレベル(High)またはGNDレベル(Low)のとき、スイッチング制御信号Vp1p、Vp2nは夫々VCCレベル(High)、GNDレベル(Low)であり、スイッチング制御信号Vp1n、Vp2pは夫々GNDレベル(Low)、VCCレベル(High)である。このとき、トランジスタ101、102、103、104はすべてオフし、容量性負荷C1に対して電流Iの供給制御は行われず、フローティング状態となる。

[0079] ここで、いわゆる一般的なデットタイムを必要としない理由は、負荷に電力を供給しない期間においてフローティングとなるよう制御するため、駆動状態が遷移する過程でトランジスタ101(103)及びトランジスタ102(104)が同時オンの期間がなく、貫通電流が流れないからである。

[0080] <負荷駆動状態>

図5～図7は、3つの負荷駆動状態を有する駆動方式を示す回路図である。

[0081] 容量性負荷C1を駆動する負荷駆動状態とは、図5に示す負荷駆動状態1－aと、図6に示す負荷駆動状態1－bと、図7に示す負荷駆動状態1－cとからなる。

[0082] 図8は、駆動装置1の回路内の各部で生成される各種信号の波形を示す。

[0083] ここでは、ステップS2で検出された信号間の大きさ(振幅)の誤差が抑圧されるように、その誤差を補正した電圧第1の誤差抑圧信号Vout1に比例して、スイッチング制御信号Vp1、Vp2、Vp3、Vp4のデューティー比を変更して、容量性負荷C1に対する電力供給の制御を実行する。

[0084] 図8において、Vcap10は、容量性負荷C1に繋がる駆動回路出力OUTPと駆動回路出力OUTNの出力端子50、51間の端子間電圧である出力信号Vcap1に含まれるスイッチング周波数とその高調波成分とをローパスフィルタ16、17で除去した波形を示すものであり、スイッチングアンプの入力再現性を評価するための信号波形である。

[0085] 図9～図12は、出力端子50、51に現われる、出力OUTP、出力OUTN、端子間電圧としての出力信号Vcap1、容量性負荷C1に流れる電流Iをそれぞれ示す波形図である。

[0086] 各図中、Vpは、出力OUTPに接続される容量性負荷C1の端子がフローティング状態のときの電位を示す。Vnは、出力OUTNに接続される容量性負荷C1の端子がフローティング状態のときの電位を示す。Vp－Vnは、容量性負荷C1に蓄積されたエネルギーに相当する電位を示し、Icapは容量性負荷C1に流れる電流を示す。

[0087] 図9のタイミング2－aは、図8における期間T2a内での駆動回路10の動作、すなわち、図5、図7の負荷駆動状態1－a、1－cに対応する。

[0088] 図10のタイミング2－bは、図8における期間T2b内での駆動回路10の動作、すなわち、図5、図7の負荷駆動状態1－a、1－cに対応する。

[0089] 図11のタイミング2－cは、図8における期間T2c内での駆動回路10の動作、すなわち、図6、図7の負荷駆動状態1－b、1－cに対応する。

[0090] 図12のタイミング2－dは、図8における期間T2d内での駆動回路10の動作、すなわち、図6、図7の負荷駆動状態1－b、1－cに対応する。

[0091] 駆動回路10は、図5の負荷駆動状態1－aのときは、トランジスタ101、104がオン

し、トランジスタ102、103がオフし、OUTPがVCCレベル、OUTNがGNDレベルになり、容量性負荷C1に対しOUTPからOUTNに電流Iを流す。

[0092] 図6の負荷駆動状態1－bのときは、トランジスタ101、104がオフし、トランジスタ102、103がオンし、OUTPがGNDレベル、OUTNがVCCレベルになり、容量性負荷C1に対しOUTNからOUTPに電流Iを流す。

[0093] 図7の負荷駆動状態1－cのときは、トランジスタ101、102、103、104の全てがオフし、OUTPとOUTNはともにフローティングとなり、容量性負荷C1に蓄積されたエネルギーは保持される。このとき、容量性負荷C1に対し電流は流れない。

[0094] ＜第1の誤差抑圧信号＞

第1の誤差抑圧信号Vout1の働きについて説明する。

[0095] 容量性負荷C1を駆動する場合、容量性負荷C1の端子間電圧である出力信号Vcap1が目標とする電位との差が大きいほど多くの電流を供給し、目標とする電位に近づいたら急速に供給電流を減少させる必要がある。

[0096] 駆動装置1であるスイッチングアンプは、駆動回路10の出力OUTP、OUTNから第1のフィードバック回路であるそれぞれのローパスフィルタ14、15を通して誤差抑圧回路11に入力し、差動増幅回路111の利得を含むループ利得が入力信号Vinとの誤差成分を抑圧するため、誤差抑圧回路11の出力Vout1は、図8の期間T2bに対応する図10のタイミング2－b、および、図8の期間T2dに対応する図12のタイミング2－dにそれぞれ示す波形のように、正または負の最大振幅レベル付近に近づくと、パルス変調信号のデューティー比を急速に減少させるように、信号基準レベルに遷移する。

[0097] パルス幅変調回路12は、誤差抑圧回路11の出力Vout1により、容量性負荷C1を駆動するのに最適な駆動信号を生成し、駆動回路10は入力再現性の良い波形を出力することができる。

[0098] 図8の期間T2aでは、Vcap10の負の最大振幅レベルから正の最大振幅レベルに遷移する期間である。

[0099] この遷移期間T2aでは、誤差抑圧回路11から出力された第1の誤差抑圧信号Vout1の振幅の絶対値が大きいときには、パルス幅変調回路12は、駆動回路10が図9

のタイミング2－aの波形になるように、1クロック周期Tにおいて、電力を供給する期間T1に相当する図5の駆動回路状態1－aの比率を大きくし、電力を供給しない期間T2に相当する図7の駆動回路状態1－cの比率を小さくするように制御する。

[0100] これにより、容量性負荷C1のOUTP側の電位がOUTN側の電位よりも高くなるように、容量性負荷C1のOUTPからOUTNの方向のみにエネルギーを供給する。

[0101] 次に、図8の期間T2bでは、正の最大振幅レベルに到達しつつある期間である。

[0102] この頂点付近の期間T2bでは、電力供給を減少させる必要があるために、誤差抑圧回路11から出力された第1の誤差抑圧信号Vout1の振幅の絶対値が小さいときには、パルス幅変調回路12は、駆動回路10が図10のタイミング2－bの波形になるように、1クロック周期Tにおいて、電力を供給する期間T1に相当する図5の駆動回路状態1－aの比率を小さくし、電力を供給しない期間T2に相当する図7の駆動回路状態1－cの比率を大きくするように制御する。

[0103] これにより、正の最大振幅レベル付近において、入力信号波形を再現性よく到達させることができる。この期間T2bでは、容量性負荷C1のOUTPからOUTNの方向のみにエネルギーを供給する。

[0104] 次に、図8の期間T2cでは、正の最大振幅レベルから負の最大振幅レベルに遷移する期間である。

[0105] この遷移期間T2cでは、誤差抑圧回路11から出力された第1の誤差抑圧信号Vout1の振幅の絶対値が大きいときには、パルス幅変調回路12は、駆動回路10が図11のタイミング2－cの波形になるように、1クロック周期Tにおいて、電力を供給する期間T1に相当する図6の駆動回路状態1－bの比率を大きくし、電力を供給しない期間T2に相当する図7の駆動回路状態1－cの比率を小さくするように制御する。

[0106] これにより、容量性負荷C1のOUTP側の電位がOUTN側の電位よりも低くなるように、容量性負荷C1のOUTNからOUTPの方向のみにエネルギーを供給する。

[0107] 次に、図8の期間T2dでは、負の最大振幅レベルに到達しつつある期間である。

[0108] この頂点付近の期間T2dでは、エネルギー供給を減少させる必要があるために、誤差抑圧回路11から出力された第1の誤差抑圧信号Vout1の振幅の誤差量が小さいときには、パルス幅変調回路12は、駆動回路10が図12のタイミング2－dの波形

になるように、1クロック周期Tにおいて、電力を供給する期間T1に相当する図6の駆動回路状態1－bの比率を小さくし、電力を供給しない期間T2に相当する図7の駆動回路状態1－cの比率を大きくするように制御する。

[0109] これにより、負の最大振幅レベル付近において、入力信号波形を再現性よく到達させることができる。この期間T2dでは、容量性負荷C1のOUTNからOUTPの方向のみにエネルギーを供給する。

[0110] 従って、図8～図12に示すタイミングで制御されることにより、駆動回路10は、出力信号Vcap1の正極性においては、容量性負荷C1の正極性からのみのエネルギーを供給し、出力信号Vcap1の負極性においては、容量性負荷C1の負極性からのみにエネルギーを供給するので、無駄なエネルギー消費を抑えて低消費で入力再現性のよい容量性負荷C1の駆動を実現できる。

[0111] また、出力POUTまたはNOUTと容量性負荷C1の端子間は何も介さず直接に接続することができるが、出力POUTと容量性負荷C1の一方の端子、出力NOUTと容量性負荷C1のもう一方の端子に抵抗を挿入して、電流を制限して動作させることも可能である。

[0112] ＜周期T内での制御＞

図8において、第1の誤差抑圧信号Vout1に基づいて変調されるスイッチング制御信号Vp1、Vp2、Vp3、Vp4の1周期をTとし、1周期T内を、電力を供給する期間T1と、電力を供給しない期間T2との2つの領域に分割した場合について考える。

[0113] 図13の(A)～(D)は、図9～図12に示した信号波形の一部を例に挙げて比較して説明するものである。

[0114] 図13の(A)は、図9のOUTPの波形の一例であり、図8の期間T2aに相当する。

[0115] 図13の(B)は、図10のOUTPの波形の一例であり、図8の期間T2bに相当する。

[0116] 図13の(C)は、図11のOUTNの波形の一例であり、図8の期間T2cに相当する。

[0117] 図13の(D)は、図12のOUTNの波形の一例であり、図8の期間T2dに相当する。

[0118] 図13の(A)、図13の(C)に示すように、期間T2a、T2cにおいて、第1の誤差抑圧信号Vout1の振幅の絶対値が大きいときには、スイッチング制御信号Vp1、Vp2、Vp3、Vp4のデューティー比が大きくなるように設定して、容量性負荷C1に電力を供

給する制御を実行する。

[0119] 図13の(B)、図13の(D)に示すように、期間T2b、T2dにおいて、第1の誤差抑圧信号Vout1を生成する際に検出された信号間の振幅の誤差量が小さいときには、スイッチング制御信号Vp1、Vp2、Vp3、Vp4のデューティー比が小さくなるように設定して、容量性負荷C1に電力を供給しない制御を実行する。

[0120] 以上より、駆動装置1内の容量性負荷C1の出力端子50、51から、入力信号Vinの再現性の良い出力信号Vcap10の波形を出力することができる。

[0121] また、容量性の圧電スピーカなどの負荷を低消費に駆動して、該負荷を含む駆動回路の低消費化を図ることが可能となる。

[0122] [第2の例]

本発明の第2の実施の形態を、図14～図16に基づいて説明する。なお、前述した第1の例と同一部分については、その説明を省略し、同一符号を付す。

[0123] 図14の駆動装置2は、前述した図1の駆動装置1に、第2のフィードバック手段として演算回路18をさらに設けた場合の例である。

[0124] 演算回路18は、誤差抑圧回路11とパルス幅変調回路(PWM)12との間に接続され、この入力側の接続線19a，19bは、誤差抑圧回路11から第1の誤差抑圧信号Vout1が出力される出力ラインに分岐して接続され、その出力側の接続線30a，30bは、誤差抑圧回路11内の抵抗RF3、RF4に接続されている。

[0125] 演算回路18は、信号の傾きを検出するための回路であり、ここでは微分回路を用いて構成されるが、この構成に限定されるものではなく、この他に例えば、設定したカットオフ周波数よりも高い周波数成分を通すハイパスフィルタを用いて構成するようにしてもよい。

[0126] 演算回路18において誤差抑圧回路11から出力された第1の誤差抑圧信号Vout1の傾きを検出した後、この検出された傾きを含む検出信号Vfb2は、フィードバックされた信号V2a、V2bと共に誤差抑圧回路11に入力される。

[0127] そして、誤差抑圧回路11では、その検出信号Vfb2の傾きを含む信号V2a、V2bと入力信号Vinの傾きとを比較して、該信号間の傾きの誤差量に対応した第2の誤差抑圧信号Vout2を生成する。ここで、誤差抑圧回路11は積分器として構成されてい

る。

[0128] 図15は、演算回路18の一例としての微分回路を示す。演算回路18は、差動増幅回路112と、入力端子19a、19bと差動増幅回路112の入力端子との間にそれぞれ接続されたコンデンサC4、C5と、差動増幅回路112の入力端子と出力端子30a、30bとの間にそれぞれ接続された抵抗R1、R2とからなる。この場合、入力された信号を微分することにより傾きを検出した後、この検出された傾きを含む微分信号が出力される。

[0129] ＜傾き＞

傾きとは、連続信号の時間変化に対する電圧の振幅の変位量を示すものである。

[0130] 図16の(A)，図16の(B)は、演算回路18に入力される波形を微分した波形を示す。

[0131] 検出信号Vfb2は、第2の誤差抑圧信号Vout2の傾きの変化を表しており、傾きが急峻に変化したときに出力が大きく変化する。誤差抑圧回路11では、そのような変化分を抑えるために第2の誤差抑圧信号Vout2を出力する。

[0132] 図16において、急峻な変化により得られるこの成分を積分器に加算することにより、Vout2の振幅を減衰させ、出力波形の急峻な成分を滑らかにすることができる。

[0133] ＜第2の誤差抑圧信号＞

第2の誤差抑圧信号Vout2の働きについて説明する。

[0134] 図17の(A)～17の(C)は、駆動装置1の回路内の各部で生成される各種信号の波形を示す。

[0135] 前述した図1の駆動装置1において、駆動回路10からの出力信号Vcap1をフィードバック回路を構成するローパスフィルタ14、15に入力して、これにより処理された信号V1a、V1bを第1の誤差抑圧回路11に入力することにより、差動増幅回路111の利得を含むループ利得が、入力信号Vinとの誤差成分が抑圧された第1の誤差抑圧信号Vout1を生成する。

[0136] この生成された第1の誤差抑圧信号Vout1は、信号波形の正または負の最大振幅レベルの付近に近づくと、パルス変調信号であるスイッチング制御信号Vp1、Vp2、Vp3、Vp4のデューティー比を急速に減少させるように、信号基準レベルに遷移する

が、第1の誤差抑圧回路11で抑圧しきれなかった波形の誤差成分が、最大振幅レベル付近の傾き誤差としてわずかに存在する。

[0137] この第1の誤差抑圧信号Vout1に含まれる傾き誤差の成分は、高い周波数成分が主な要因となって現われたものである。

[0138] そこで、本例では、その高い周波数成分を含んだ第1の誤差抑圧信号Vout1を、例えば微分回路で構成される演算回路18に導き、傾き成分を含む検出信号Vfb2を誤差抑圧回路11に帰還抵抗RF3、RF4を介して入力させる。

[0139] 誤差抑圧回路11では、ローパスフィルタ14、15を介してフィードバックされた信号V2a、V2bと傾きを含む検出信号Vfb2とが加算されて、差動増幅回路111の差動入力端子に入力される。

[0140] この場合、補正後のフィードバックされた出力信号V2a、V2bは、図17の(A)に示すように、信号V1a、V1bに比べて信号間の傾きの誤差量に対応してΔVlpfだけ補正された状態となって現われる。

[0141] 誤差抑圧回路11では、その検出信号Vfb2の傾き成分を含む出力信号V2a、V2bと入力信号Vinとを比較して、図17の(B)に示すような、該信号間の傾きの誤差が抑圧されるように、ΔVoutだけ補正された第2の誤差抑圧信号Vout2を生成する。

[0142] これにより、図17の(C)に示すような、出力端子50、51から、出力信号Vcap10に比べて信号間の傾きの誤差量に対応してΔVcapだけ補正された出力信号Vcap20を出力することができる。

[0143] 第1の例では、駆動回路10が入力再現性の良い波形を出力することを目的としての誤差抑圧回路11に第1のフィードバックをかけていたが、図14に示す第2のフィードバック手段である演算回路18を追加して、第2の誤差抑圧信号Vout2を用いて信号の補正処理を行うことにより、波形の歪をさらに改善して入力再現性をさらに高めることができる。

[0144] なお、図17では、波形の歪の改善効果をわかりやすくするため、元の歪んだ波形と補正された波形との位相関係は無視している。実際の補正された波形は微分信号が加算されているので、元の歪んだ波形より位相が進んでいることになる。

[0145] [第3の例]

本発明の第3の実施の形態を、図18に基づいて説明する。なお、前述した各例と同一部分については、その説明を省略し、同一符号を付す。

[0146] 本例は、前述した図1又は図14の駆動装置1を備えた情報機器の例を示すものである。

[0147] 図18は、携帯電話機等の携帯情報端末200からなる情報機器の構成例を示す。

[0148] 携帯情報端末200は、容量性負荷としての圧電スピーカなどのスピーカ201と、スピーカを駆動する図1の駆動装置1又は図6の駆動装置2と、通信機能、情報処理機能、および操作処理機能を有する情報処理部202と、駆動装置1又は駆動装置2、情報処理部202に対して電力を供給する電池203とを有している。情報処理部202は、入力信号Vinを駆動装置1又は駆動装置2へ出力する。駆動装置1又は駆動装置2は、入力信号Vinに基づきスピーカ201に出力信号Vcap1を出力し、スピーカ201に電力を供給する。尚、駆動装置1又は駆動装置2、情報処理部202は、LSI204として集積化しても良い。スピーカ201は誘導性負荷としてのダイナミック型スピーカでも良い。

[0149] 駆動装置1は、電力を供給する第1の期間T1と電力を供給せずにフローティングにする第2の期間T2とを設定する機能と、第1または第2の誤差抑圧信号Vout1、Vout2に応じて第1の期間T1と第2の期間T2との比率を変更する機能とを備えているので、スピーカ201を駆動しても、電荷を保持したい期間に端子間をショートされることがなく、蓄積された電荷を消失するようなことや端子間電圧が低下するようなことを無くすことができ、これにより、入力信号の再現性のよい出力信号の波形を出力することができる。

[0150] また、その消失した期間の次の電力供給期間で、その損失分を補うために、損失分の電荷が上乗せされて供給されることはなく、必要以上の電力を消費することもなくなり、無効電力を発生するようなことがなくなるため、無効電力を削減し、低消費化を図ることができる。

請求の範囲

[1] スイッチング素子を用いて負荷に対する電力の供給制御をする駆動装置であって、

前記負荷に接続された、複数のスイッチング素子からなるスイッチング回路を有する駆動手段と、

前記複数のスイッチング素子の動作の切替えを制御する制御手段と、

を具え、

前記制御手段は、前記負荷に電力を供給する第1の期間と、電力を供給せずに前記負荷をフローティングにする第2の期間と、を設定することを特徴とする駆動装置。

[2] 前記各スイッチング素子は、前記負荷の両端のいずれか一方の端子に接続される第1の端子と、前記スイッチング制御信号が入力される第2の端子と、電源又はグランドの端子に接続される第3の端子とを有し、

前記制御手段は、前記スイッチング制御信号の1周期内において、

前記負荷の一方の端子を前記電源の端子に接続し、該負荷の他方の端子を前記グランドの端子に接続することによって、該負荷に電力を供給する前記第1の期間と、

前記負荷の両方の端子をフローティング状態に設定することによって、該負荷に電力を供給しない前記第2の期間とを有することを特徴とする請求項1記載の駆動装置。

[3] 前記各スイッチング素子は、前記負荷の両端のいずれか一方の端子に接続される第1の端子と、前記スイッチング制御信号が入力される第2の端子と、電源又はグランドの端子に接続される第3の端子とを有し、

前記制御手段は、前記スイッチング制御信号の1周期内において、

前記負荷の一方の端子を前記電源の端子に接続し、該負荷の他方の端子を前記グランドの端子に接続することによって、該負荷に電力を供給する前記第1の期間と、

前記負荷の一方の端子を前記電源又は前記グランドの端子に接続し、該負荷の他方の端子をフローティング状態に設定することによって、該負荷に電力を供給しない

前記第2の期間とを有することを特徴とする請求項1記載の駆動装置。

[4] 前記負荷の両端の出力端子に現われる出力信号を、入力信号が入力される入力端子側へフィードバックさせる第1のフィードバック手段と、

前記入力端子に接続され、前記第1のフィードバック手段によりフィードバックされた出力信号を前記入力信号と比較して該信号間の誤差を検出し、該誤差を補正した誤差抑圧信号を生成する誤差抑圧手段と、

を具え、

前記制御手段は、前記誤差抑圧信号に基づいて、前記駆動手段の前記複数のスイッチング素子の動作を切替えを制御することを特徴とする請求項1乃至3のいずれかに記載の駆動装置。

[5] 前記制御手段は、前記誤差抑圧信号の絶対値に応じて、前記負荷に電力を供給する前記第1の期間と前記電力を供給せずにフローティングにする前記第2の期間との比率を変更することを特徴とする請求項4記載の駆動装置。

[6] 前記制御手段は、前記負荷の両端の出力端子に現われる出力信号の正極性においては、該負荷の正極性側の出力端子からのみ電力を供給し、かつ、該出力信号の負極性においては、該負荷の負極性側の出力端子からのみ電力を供給することを特徴とする請求項1乃至5のいずれかに記載の駆動装置。

[7] 前記制御手段は、三角波を発生する三角波発生手段と、前記三角波と前記誤差抑圧信号とを比較する比較手段と、前記比較手段からの出力に基づき前記駆動回路を制御する制御信号を生成する制御信号生成手段と、を具えることを特徴とする請求項1乃至5のいずれかに記載の駆動装置。

[8] 前記誤差抑圧手段から出力された信号の傾き成分を検出して、前記傾き成分を前記誤差抑圧手段の入力端子側へフィードバックさせる第2のフィードバック手段を具え、

前記誤差抑圧手段は、前記第1のフィードバック手段によりフィードバックされた出力信号に前記第2のフィードバック手段によりフィードバックされた前記傾き成分を加えた合成信号と前記入力信号とを比較して該信号間の誤差を検出し、該誤差を補正した誤差抑圧信号を生成することを特徴とする請求項4記載の駆動装置。

[9] 前記駆動手段は前記負荷に直接接続されていることを特徴とする請求項1乃至8のいずれかに記載の駆動装置。

[10] 前記負荷は容量性負荷であることを特徴とする請求項1乃至8のいずれかに記載の駆動装置。

[11] 前記容量性負荷は圧電スピーカであることを特徴とする請求項10記載の駆動装置。

[12] スイッチング素子を用いて負荷に対する電力の供給制御をする請求項1乃至11のいずれかに記載の駆動装置と、

通信機能および情報処理機能を有し、前記駆動装置を制御する情報処理部と、

前記駆動装置および前記情報処理部に対して電力を供給する電池と、

を具えたことを特徴とする情報機器。

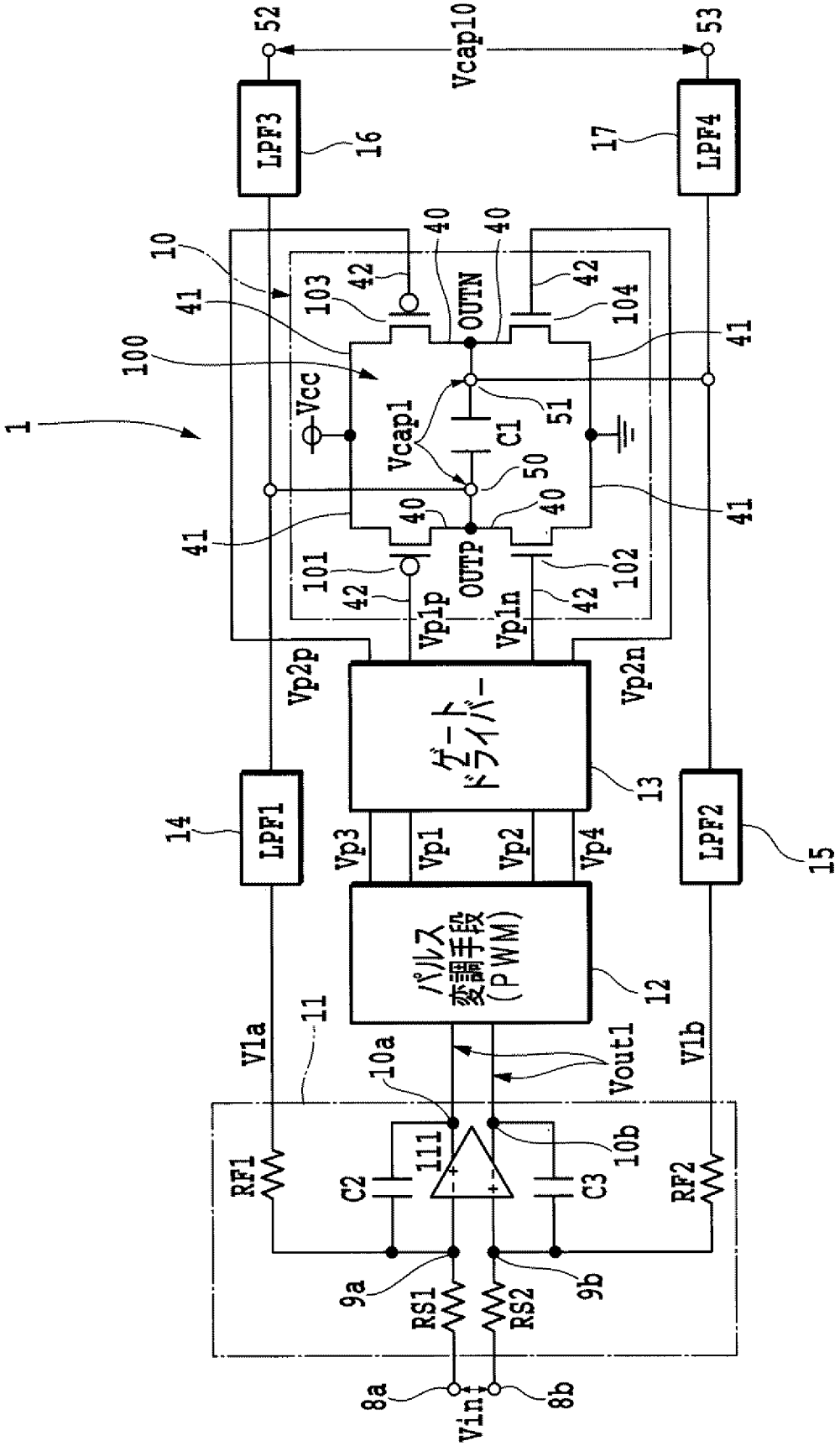
[13] スイッチング素子を用いて負荷に対する電力の供給制御をする駆動方法であって、

前記各スイッチング素子の動作を切替えて、前記負荷に電力を供給する第1の期間と電力を供給せずにフローティングにする第2の期間とを有することを特徴とする駆動方法。

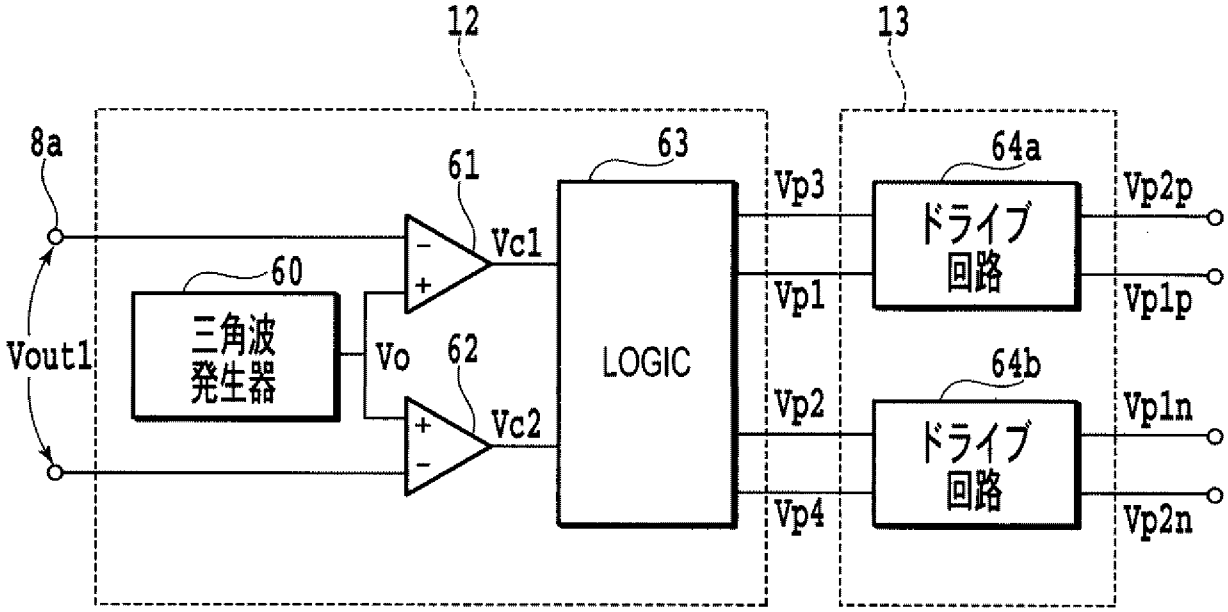
[14] 前記負荷に電力を供給する前記第1の期間と前記電力を供給せずにフローティングにする前記第2の期間との比率を変更することを特徴とする請求項13記載の駆動方法。

[15] 前記負荷の両端の出力端子に現われる出力信号の正極性においては、該負荷の正極性側の出力端子からのみ電力を供給し、かつ、該出力信号の負極性においては、該負荷の負極性側の出力端子からのみ電力を供給することを特徴とする請求項13又は14記載の駆動方法。

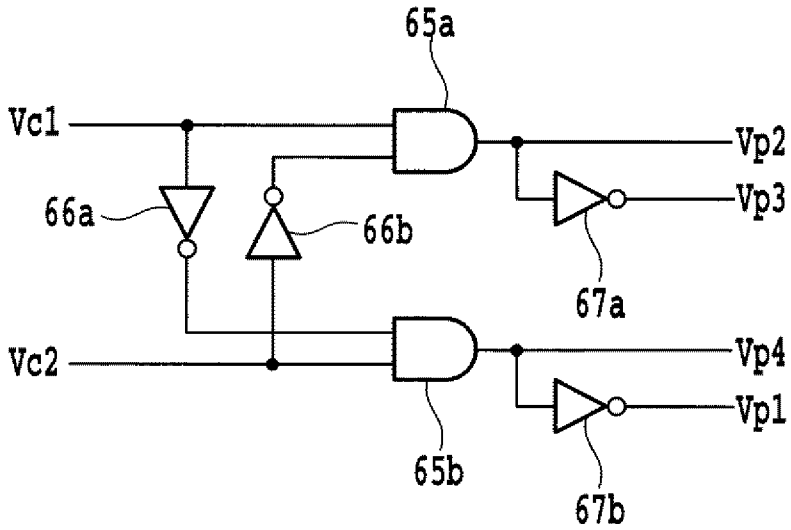
[図1]


52
Vcap10
53
LPF3
16
17
LPF4
10
40
40
41
103
42
OUTN
42
104
41
100
Vcc
Vcap1
C1
51
1
50
40
40
41
41
101
42
OUTP
42
102
Vp1p
Vp1n
Vp2p
Vp2n
ゲートドライバー
13
14
LPF1
LPF2
15
Vp3
Vp1
Vp2
Vp4
パルス変調手段(PWM)
12
11
V1a
10a
Vout1
V1b
RF1
C2
111
C3
10b
RF2
9a
9b
RS1
RS2
8a
Vin
8b

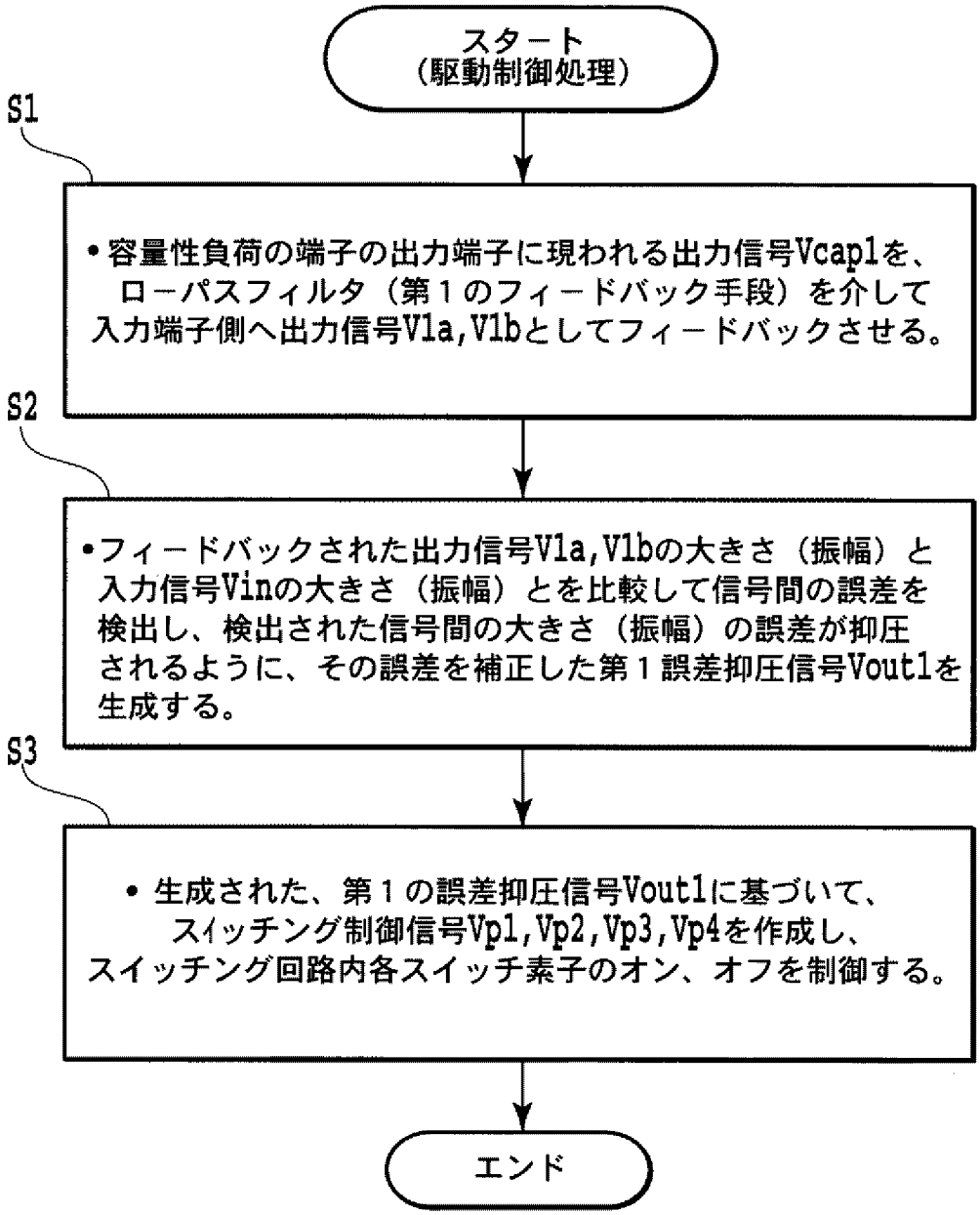
[図2A]


12
13
8a
61
63
64a
Vp3
Vp2p
Vc1
60
三角波
発生器
Vout1
Vo
62
LOGIC
Vp1
ドライブ
回路
Vp1p
64b
Vp2
Vp1n
Vc2
ドライブ
回路
Vp4
Vp2n

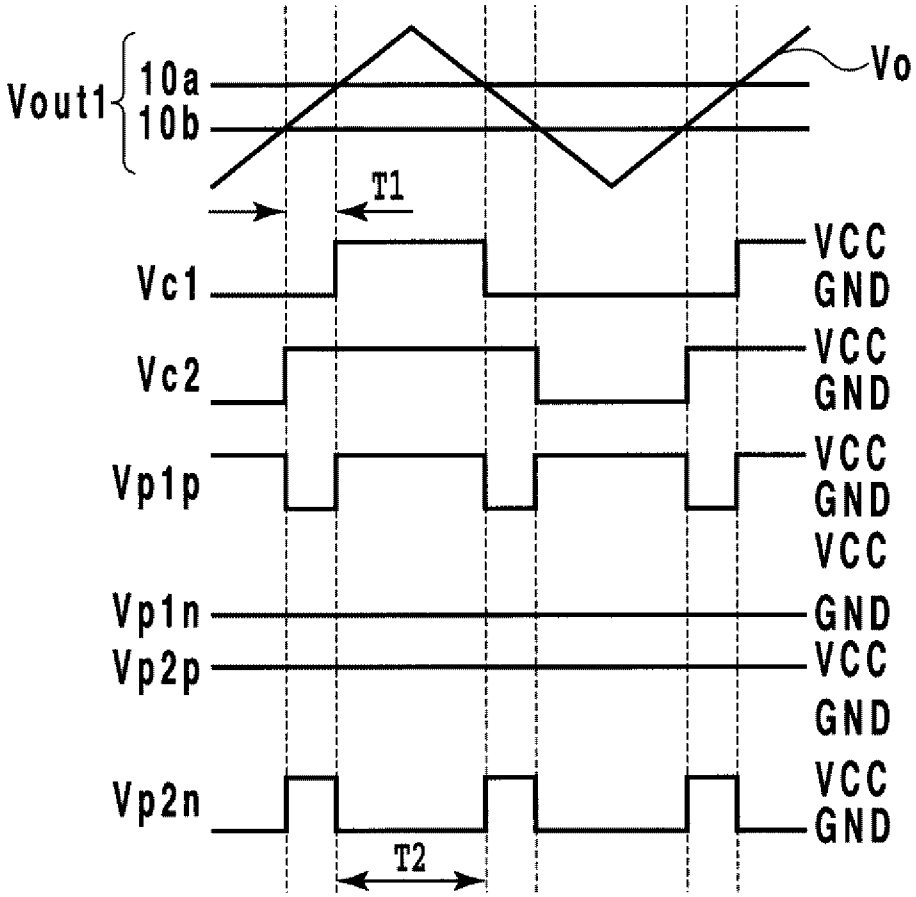
[図2B]


65a
Vc1
Vp2
Vp3
66a
66b
67a
Vc2
Vp4
Vp1
65b
67b

[図3]

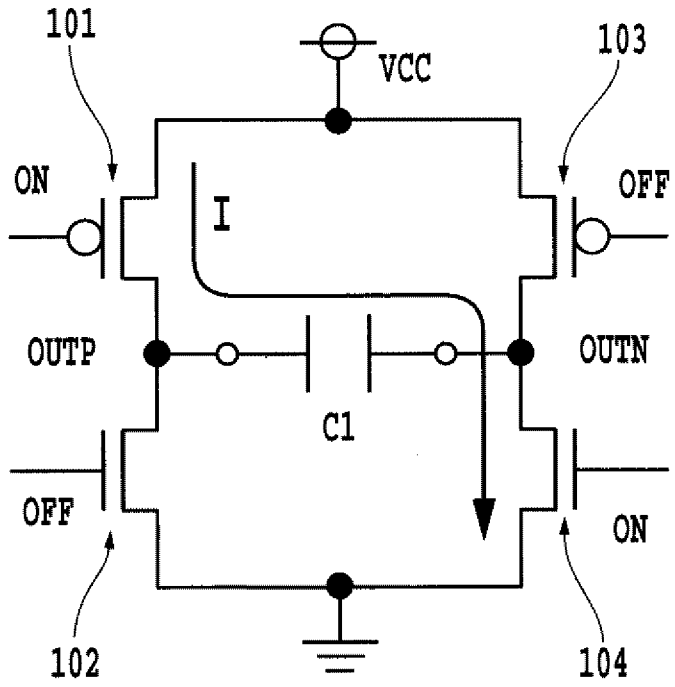

スタート
（駆動制御処理）
S1
• 容量性負荷の端子の出力端子に現われる出力信号Vcap1を、
ローパスフィルタ（第１のフィードバック手段）を介して
入力端子側へ出力信号V1a,V1bとしてフィードバックさせる。
S2
•フィードバックされた出力信号V1a,V1bの大きさ（振幅）と
入力信号Vinの大きさ（振幅）とを比較して信号間の誤差を
検出し、検出された信号間の大きさ（振幅）の誤差が抑圧
されるように、その誤差を補正した第１誤差抑圧信号Vout1を
生成する。
S3
• 生成された、第１の誤差抑圧信号Vout1に基づいて、
スイッチング制御信号Vp1,Vp2,Vp3,Vp4を作成し、
スイッチング回路内各スイッチ素子のオン、オフを制御する。
エンド

[図4]



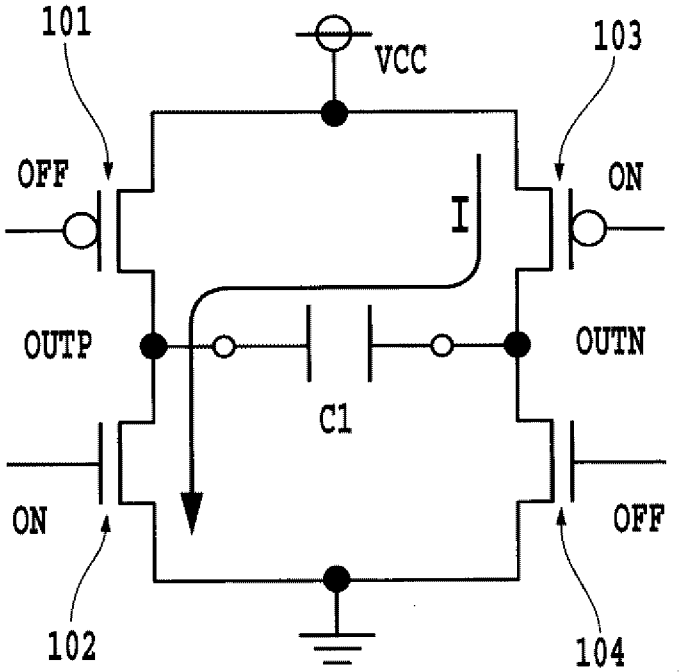
[図5]

(負荷駆動状態 1-a)



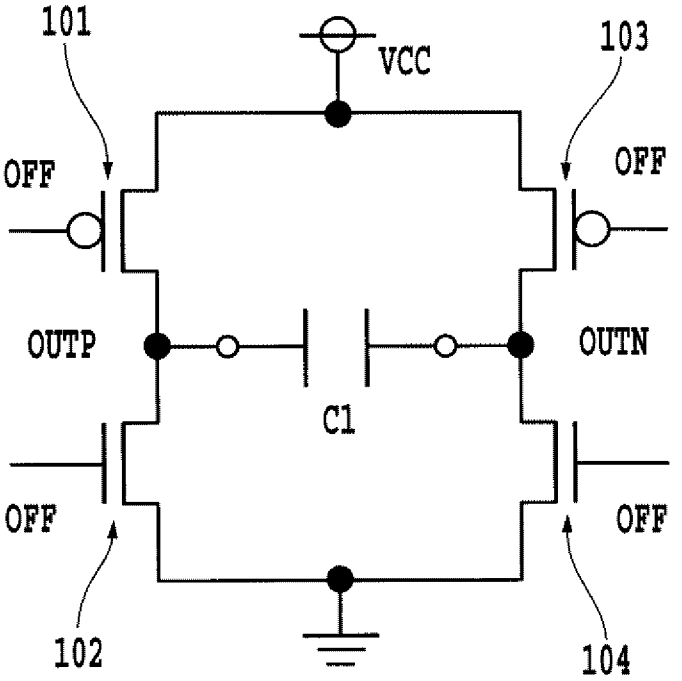
[図6]

(負荷駆動状態 1-b)

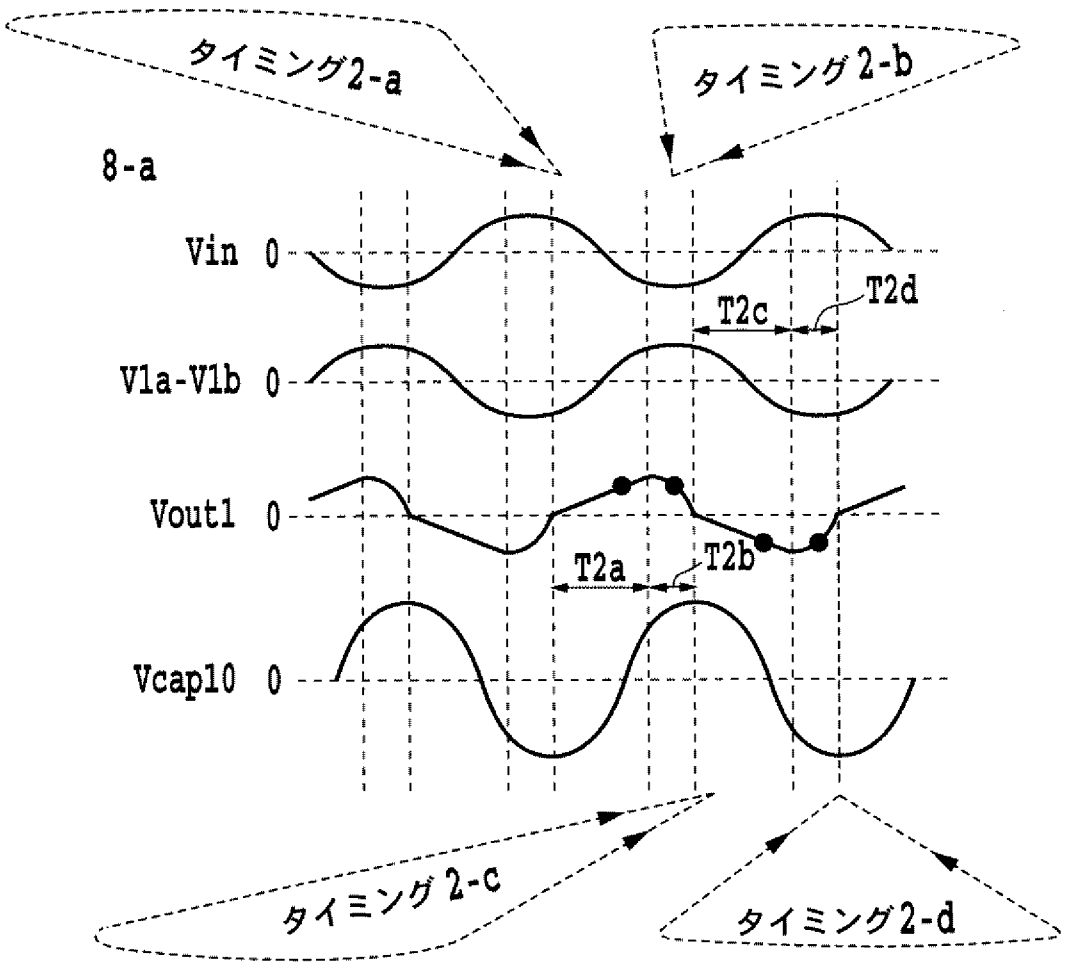


[図7]

(負荷駆動状態 1-c)

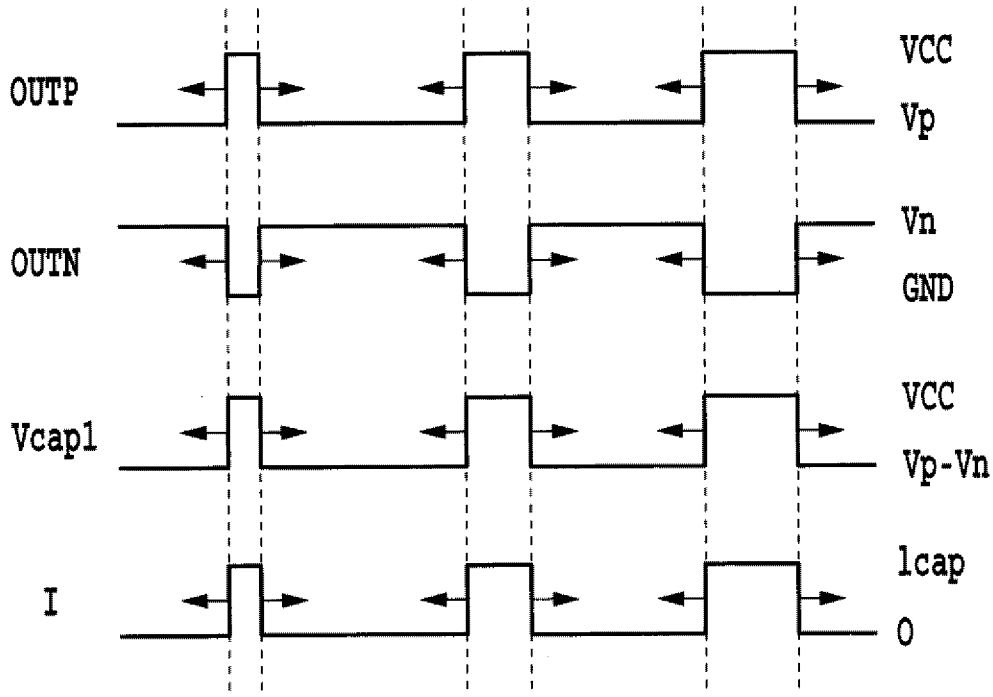


[図8]



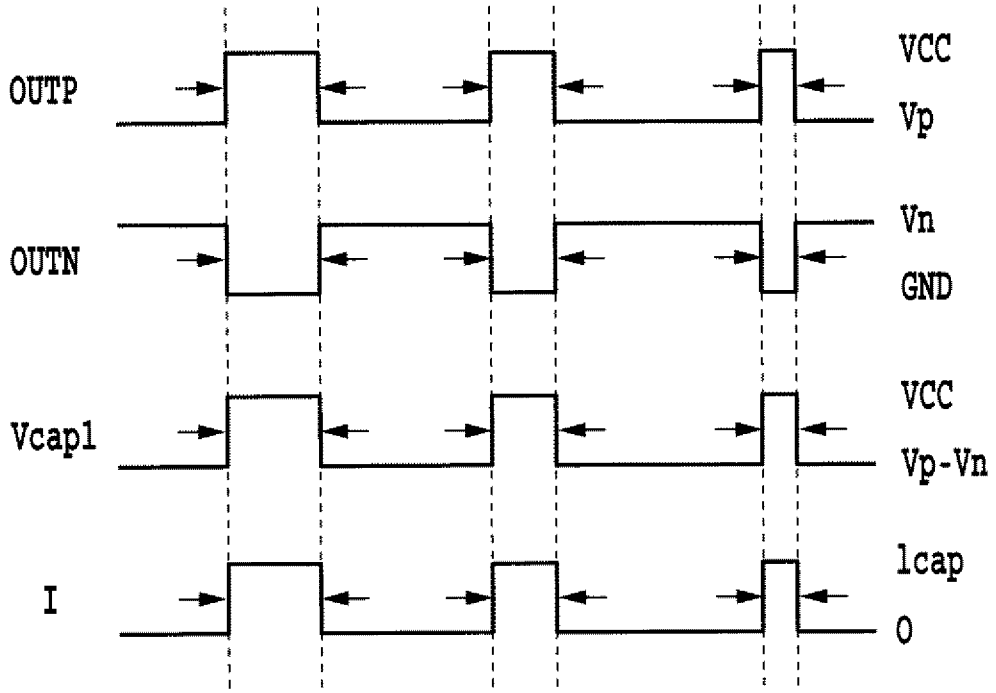
[図9]

（タイミング 2-a ）



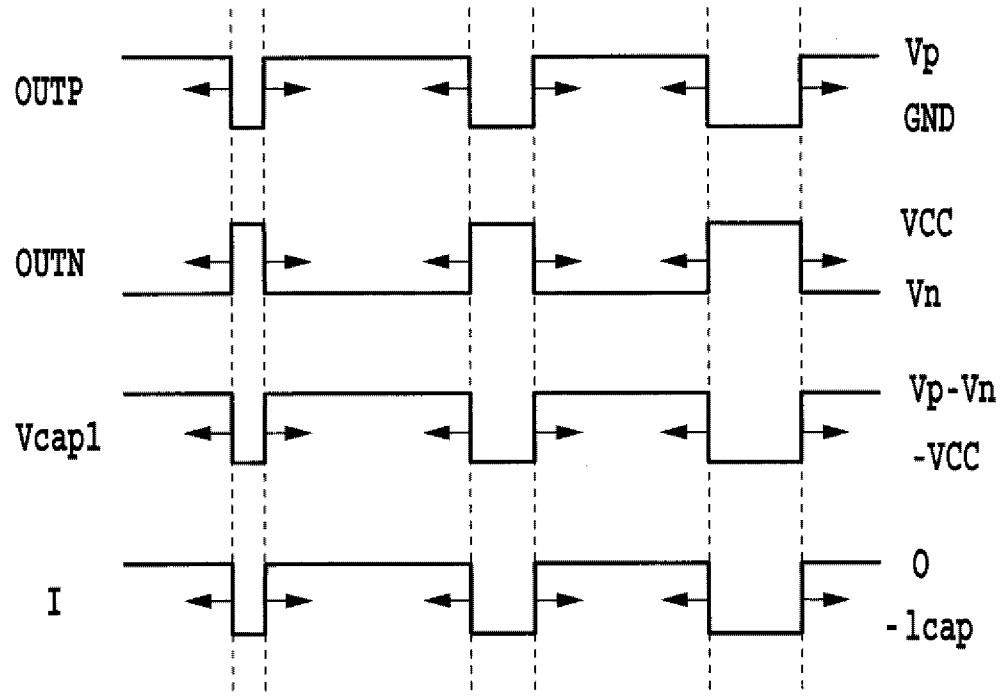
[図10]

（タイミング 2-b ）



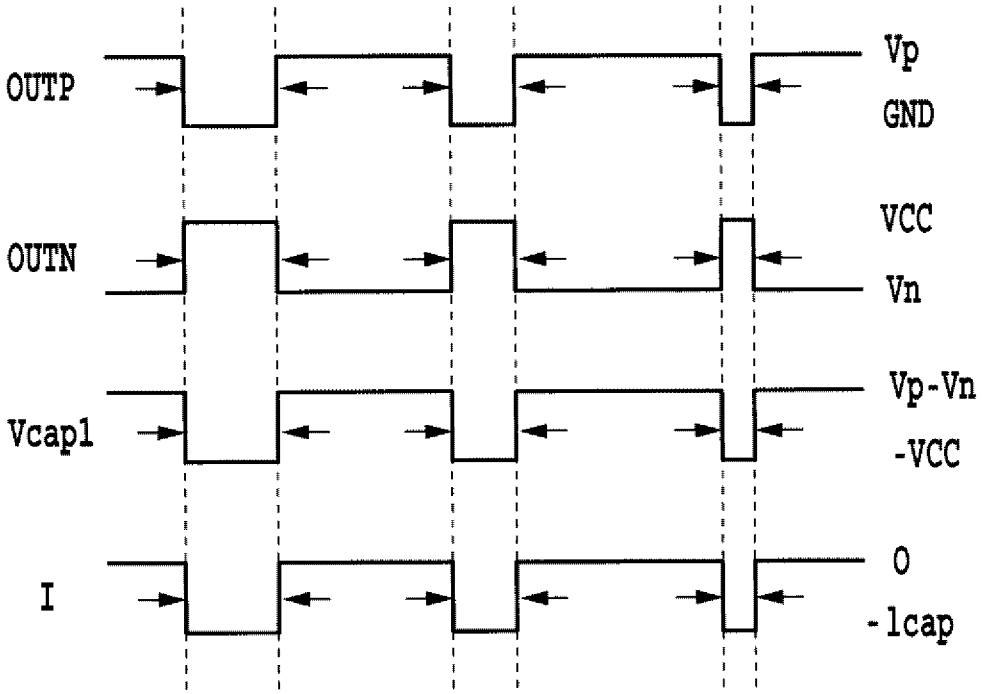
[図11]

（タイミング 2-c ）

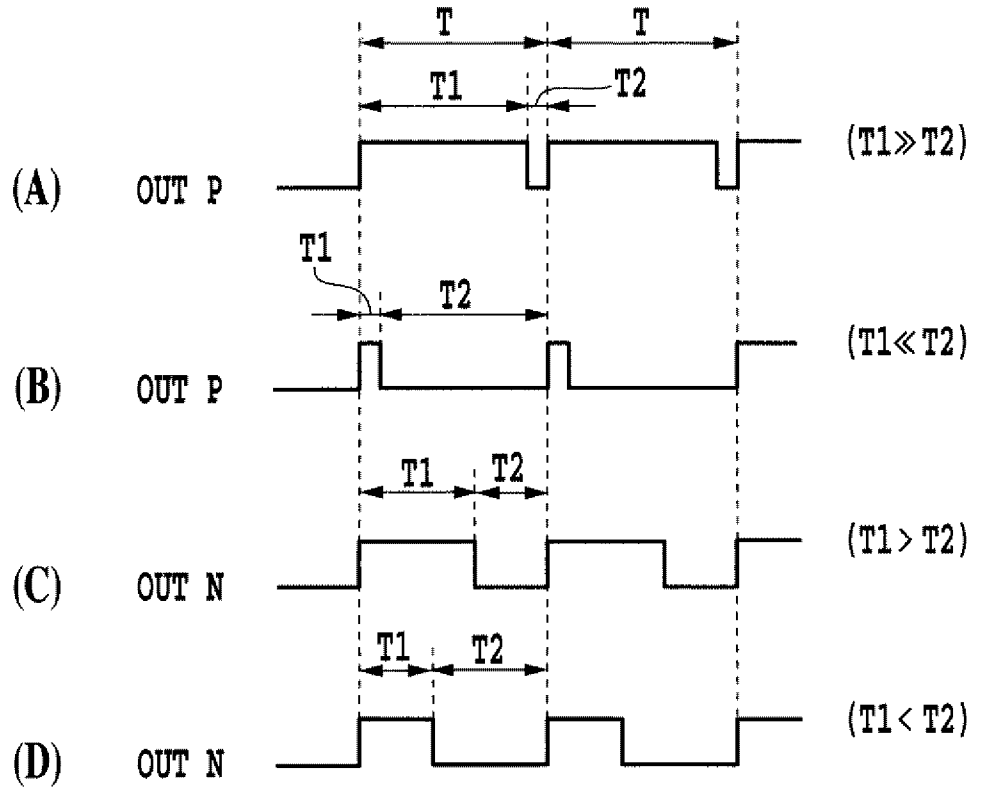


[図12]

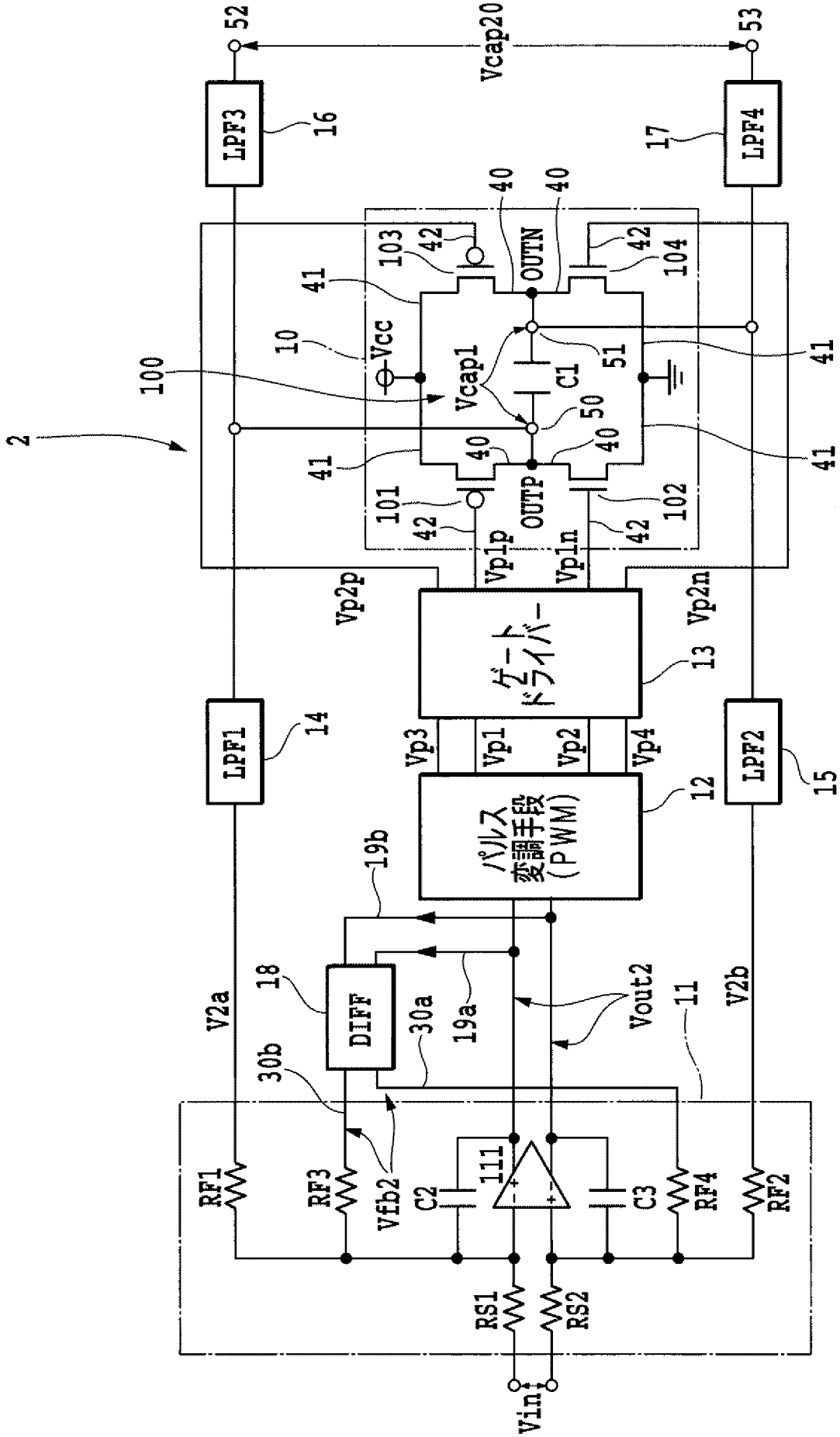
（タイミング 2-d ）



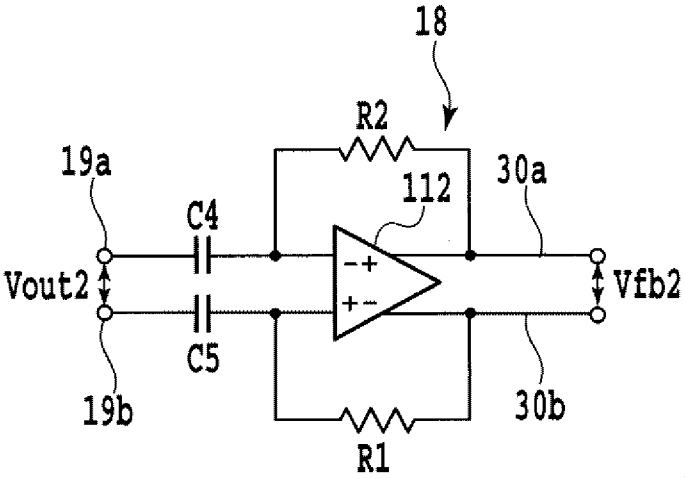
[図13]



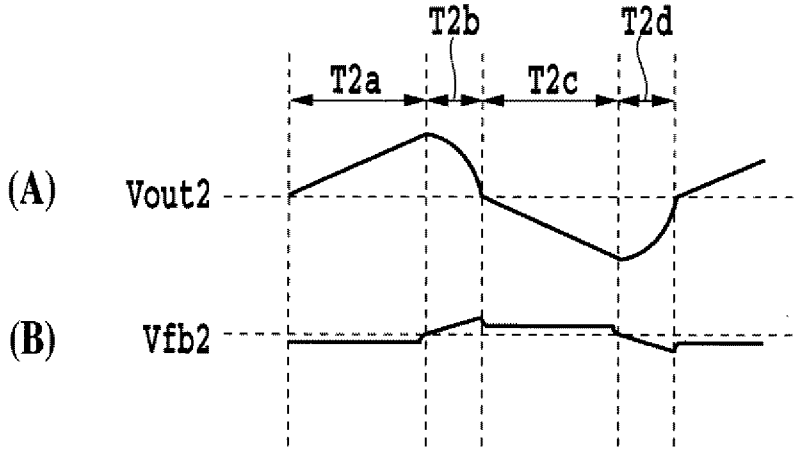
[図14]


52
Vcap20
53
LPF3
16
17
LPF4
40
40
OUTN
42
42
103
104
41
10
Vcc
Vcap1
C1
51
41
100
50
2
41
40
40
41
101
102
42
OUTP
42
Vp1p
Vp1n
Vp2p
Vp2n
ゲートドライバー
13
LPF1
14
Vp3
Vp1
Vp2
Vp4
LPF2
15
パルス変調手段(PWM)
12
19b
18
DIFF
V2a
30a
19a
Vout2
11
V2b
30b
RF1
RF3
Vfb2
C2
111
C3
RF4
RF2
RS1
RS2
Vin

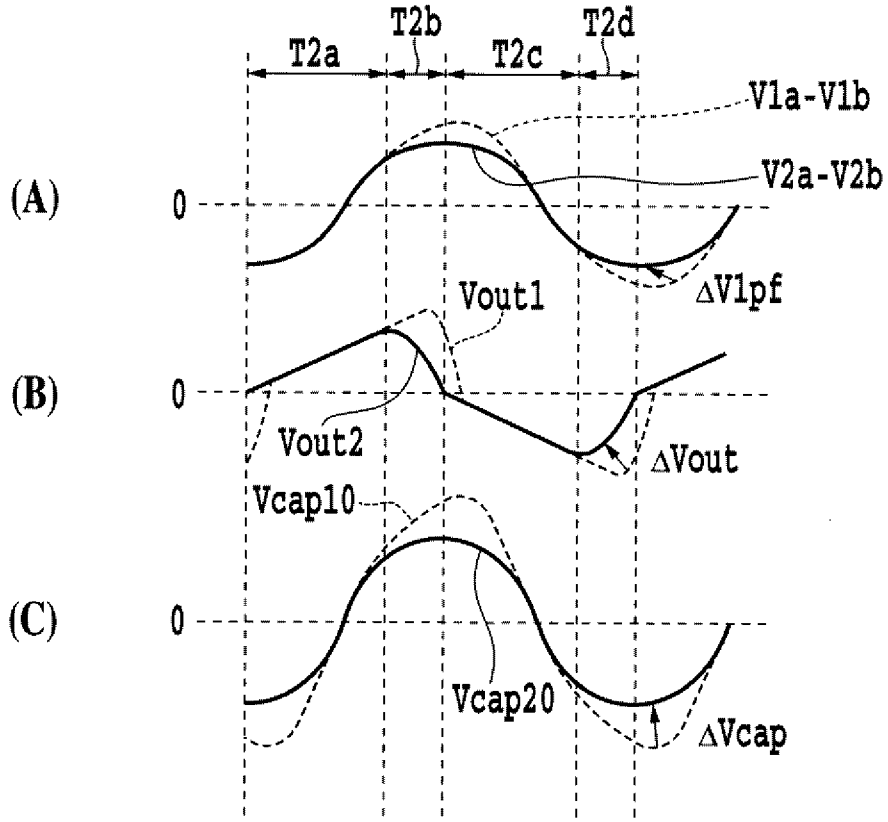
[図15]


18
R2
19a
112
30a
C4
Vout2
Vfb2
C5
19b
30b
R1

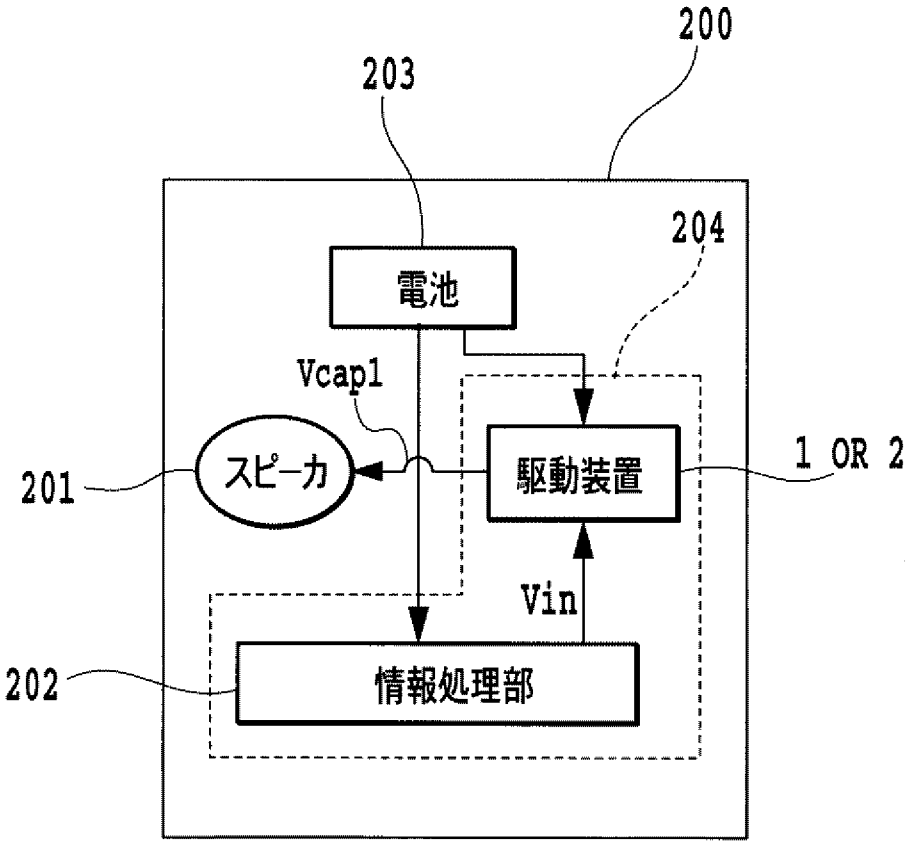
[図16]


T2b
T2d
T2a
T2c
(A)
Vout2
(B)
Vfb2

[図17]

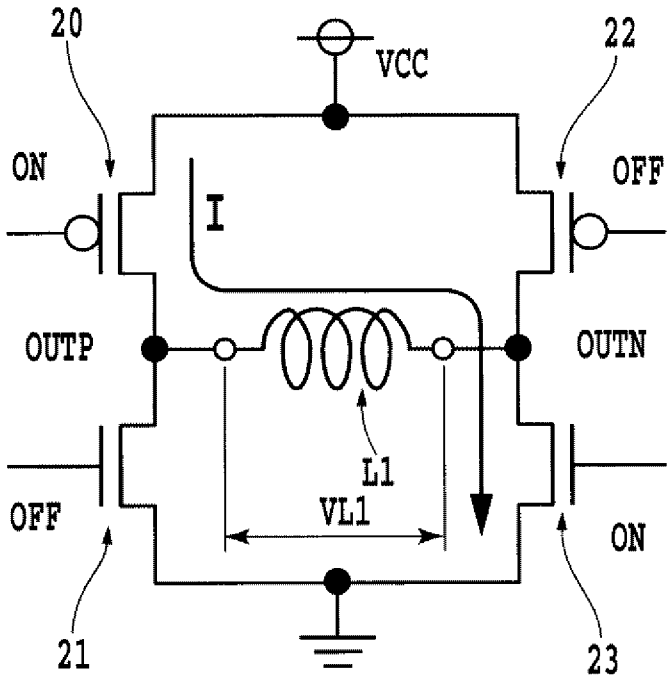

T2a
T2b
T2c
T2d
V1a-V1b
V2a-V2b
(A)
0
ΔV1pf
Vout1
(B)
0
Vout2
ΔVout
Vcap10
(C)
0
Vcap20
ΔVcap

[図18]



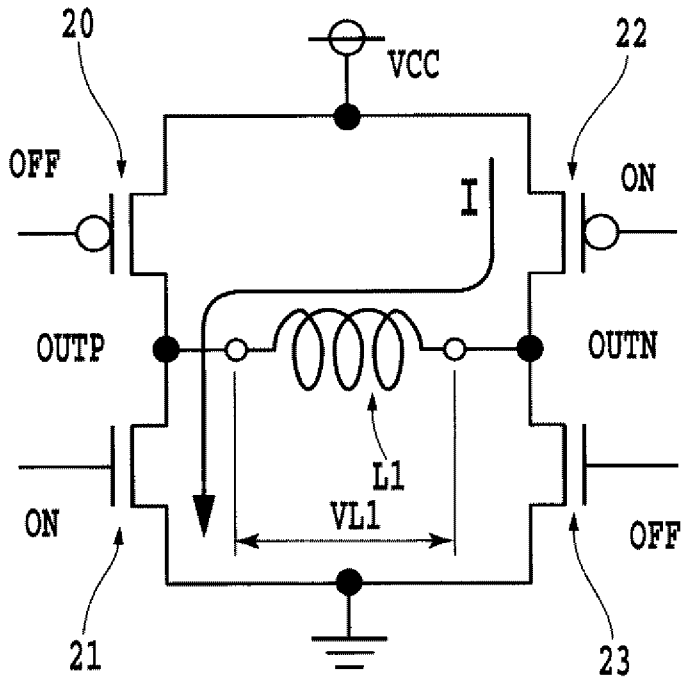
[図19]

(負荷駆動状態 3-a)

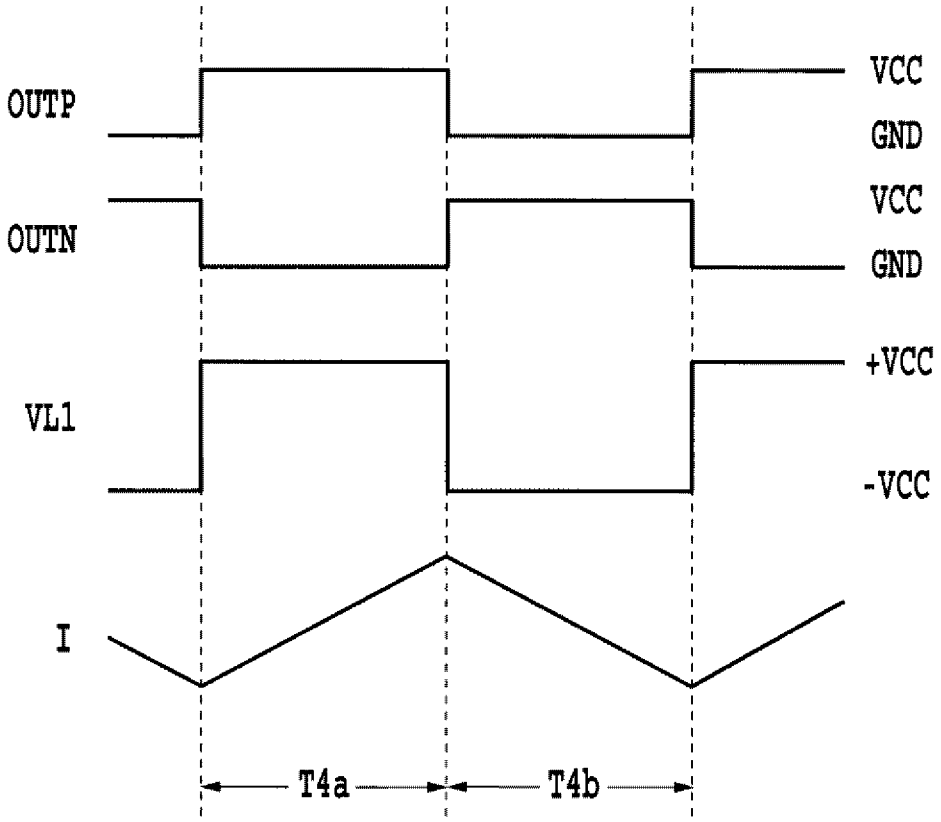


[図20]

(負荷駆動状態 3-b)

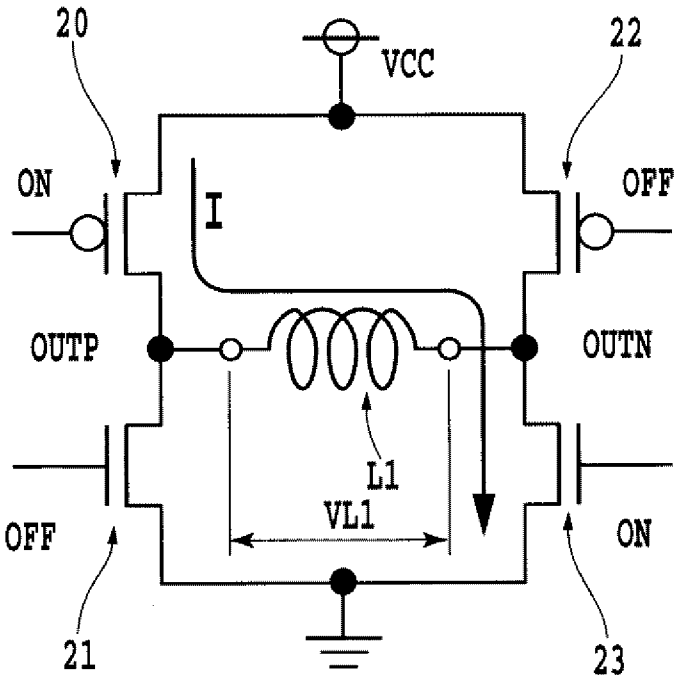


[図21]



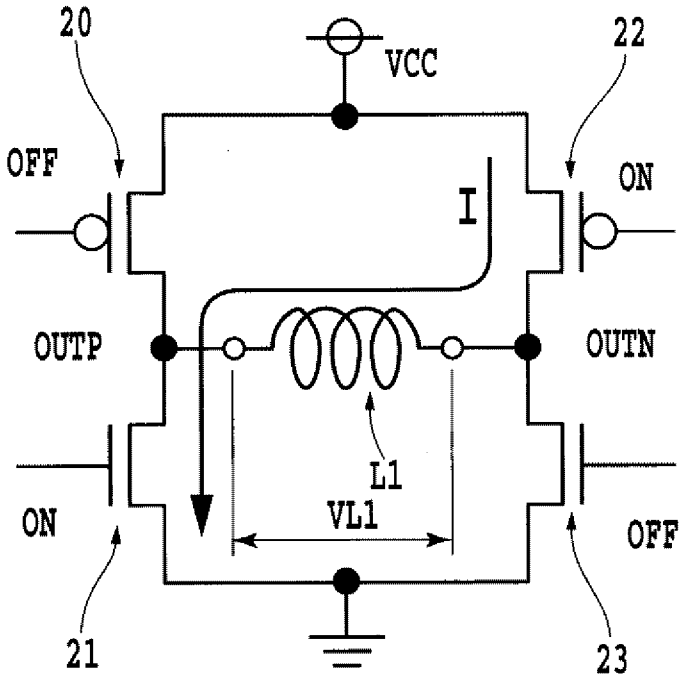
[図22]

(負荷駆動状態 5-a)



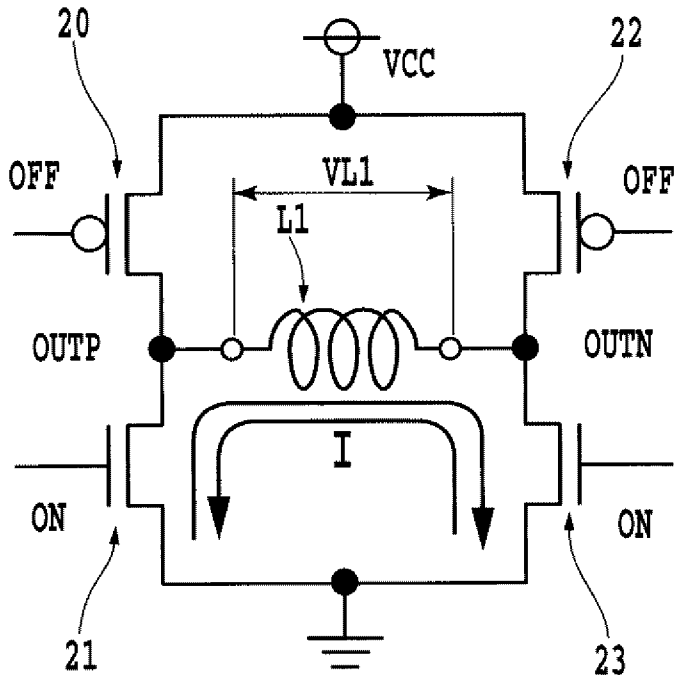
[図23]

(負荷駆動状態 5-b)



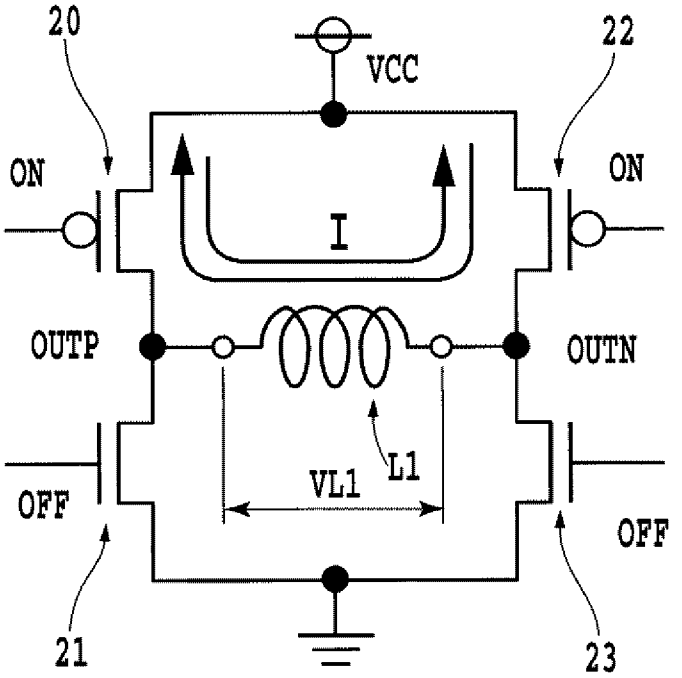
[図24]

(負荷駆動状態 5-c)

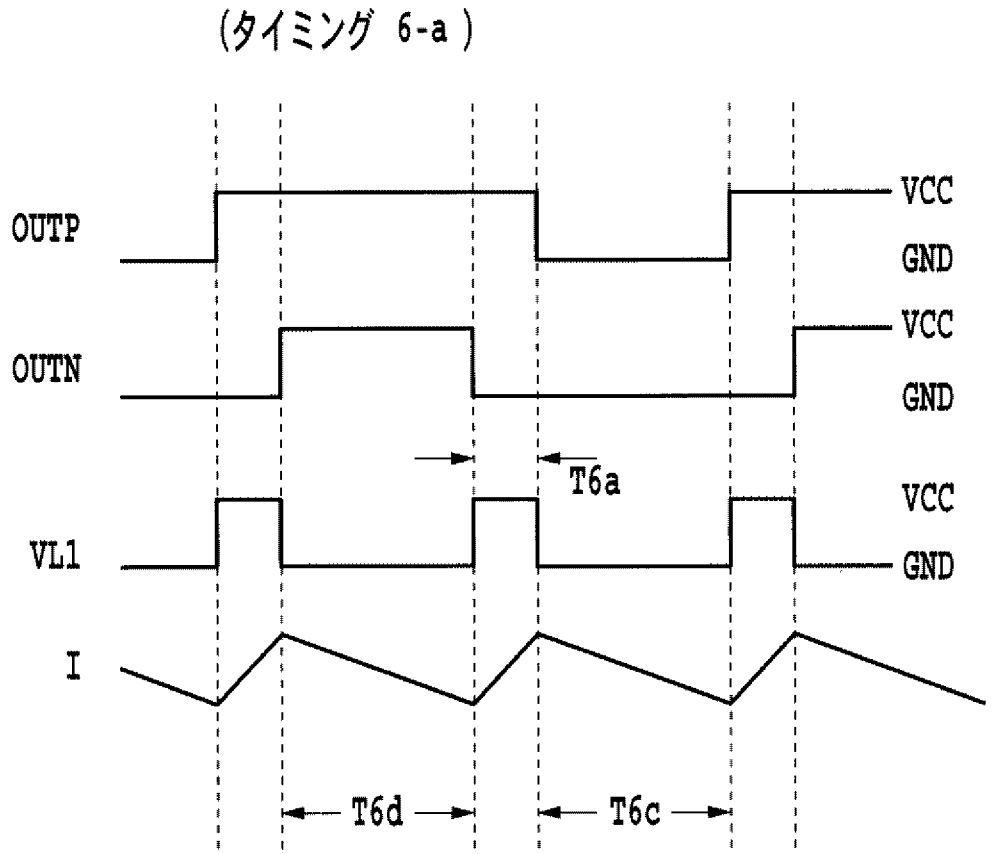


[図25]

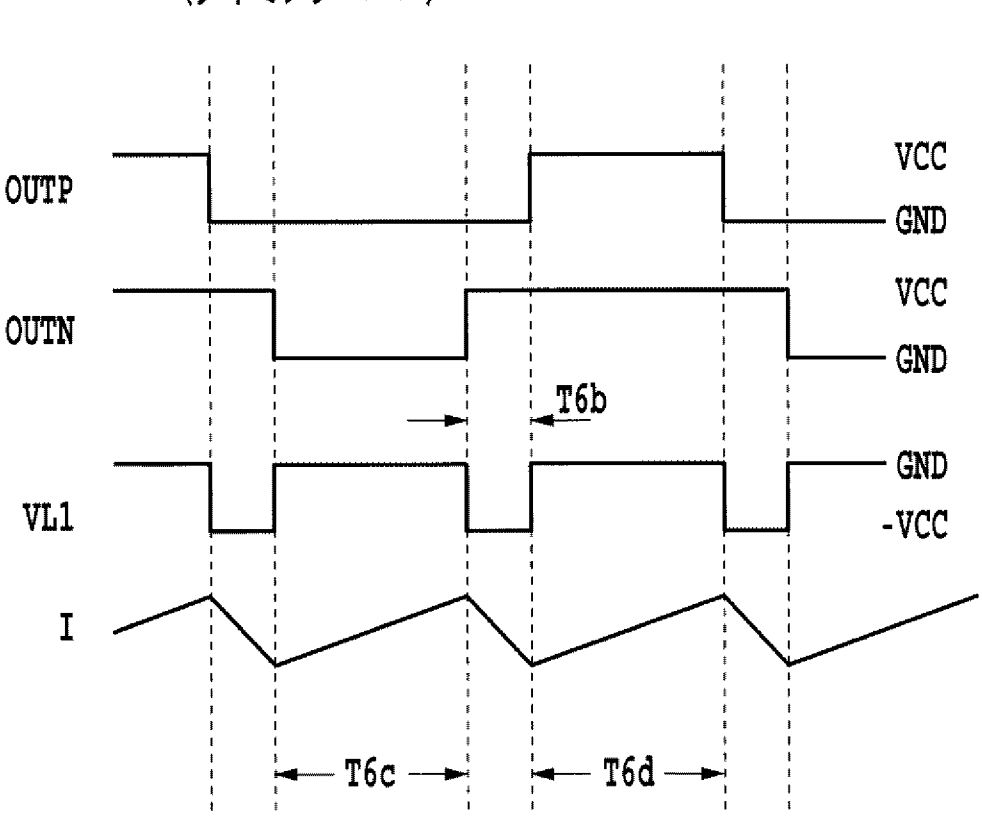
(負荷駆動状態 5-d)



[図26]


(タイミング 6-a)
OUTP
VCC
GND
OUTN
VCC
GND
T6a
VL1
VCC
GND
I
T6d
T6c

[図27]


(タイミング 6-b)
OUTP
VCC
GND
OUTN
VCC
GND
T6b
GND
VL1
-VCC
I
T6c
T6d

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/059940

A. CLASSIFICATION OF SUBJECT MATTER
H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K17/00-17/70, H03F3/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 3-64299 A (NEC Corp.), 19 March, 1991 (19.03.91), Full text; Figs. 1 to 4 (Family: none)	1-3,9-13 4-7,14,15 8
Y A	JP 2006-60549 A (Yamaha Corp.), 02 March, 2006 (02.03.06), Full text; Figs. 1 to 7 (Family: none)	4-7,14,15 1-3,8-13
A	JP 2004-128958 A (Mitsubishi Electric Corp.), 22 April, 2004 (22.04.04), Full text; Figs. 1 to 2 & US 2004/0066229 A1	1-15

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 July, 2007 (31.07.07)	07 August, 2007 (07.08.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５９９４０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/687(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/00-17/70, H03F3/217

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	ＪＰ　３－６４２９９　Ａ（日本電気株式会社）１９９１．０３．１９， 全文，第１－４図（ファミリーなし）	１－３，９－１３ ４－７，１４及び１５
A		８
Y	ＪＰ　２００６－６０５４９　Ａ（ヤマハ株式会社）２００６．０３．０２， 全文，図１－７（ファミリーなし）	４－７，１４及び１５
A		１－３，８－１３

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
３１．０７．２００７	０７．０８．２００７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　３９８７
石田　勝
電話番号　０３－３５８１－１１０１　内線　３５９６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　２００４－１２８９５８　Ａ（三菱電機株式会社）２００４．０４．２２，全文，図１－２　＆　ＵＳ　２００４／００６６２２９　Ａ１	１－１５