

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5130896号
(P5130896)

(45) 発行日 平成25年1月30日 (2013. 1. 30)

(24) 登録日 平成24年11月16日 (2012. 11. 16)

(51) Int.Cl.

F I

H O 3 K 17/16 (2006. 01)

H O 3 K 17/16 L

H O 3 K 17/687 (2006. 01)

H O 3 K 17/687 A

請求項の数 2 (全 9 頁)

(21) 出願番号	特願2007-324500 (P2007-324500)	(73) 特許権者	000003218
(22) 出願日	平成19年12月17日 (2007. 12. 17)		株式会社豊田自動織機
(65) 公開番号	特開2009-147784 (P2009-147784A)		愛知県刈谷市豊田町2丁目1番地
(43) 公開日	平成21年7月2日 (2009. 7. 2)	(74) 代理人	100074099
審査請求日	平成22年12月15日 (2010. 12. 15)		弁理士 大菅 義之
		(72) 発明者	松本 尚能
			愛知県刈谷市豊田町2丁目1番地 株式会
			社豊田自動織機内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 半導体素子の駆動回路

(57) 【特許請求の範囲】

【請求項 1】

半導体素子をスイッチング動作させる駆動信号を生成する駆動回路であって、
駆動信号のオン期間及びオフ期間を決める信号を生成する I C の出力がゲートに印加される第 1 のトランジスタと、
前記第 1 のトランジスタと縦続接続され、前記 I C の出力がツェナーダイオードを介してゲートに印加される第 2 のトランジスタとからなり、
前記第 1 及び第 2 のトランジスタは M O S トランジスタからなり、
前記第 1 の M O S トランジスタのドレインまたはソースにゲートが接続された第 3 の M O S トランジスタと、
前記第 2 の M O S トランジスタのドレインまたはソースに一端が接続され、他端が電源電圧に接続された第 2 の抵抗と、
前記第 2 の抵抗の一端に、ゲートが接続された第 4 の M O S トランジスタとを有し、
前記第 1 と第 2 の M O S トランジスタは第 1 の抵抗を介して縦続接続され、
前記第 3 の M O S トランジスタのソースは第 3 の抵抗の一端に接続され、ドレインは前記第 4 の M O S トランジスタのドレインに接続され、
前記第 3 の抵抗の他端は前記電源電圧に接続され、
前記第 4 の M O S トランジスタのソースは第 4 の抵抗を介して接地され、
前記第 1 の抵抗の値は、前記第 3 の抵抗及び前記第 4 の抵抗の値に比べて大きな値である半導体素子の駆動回路。

【請求項 2】

前記第 1 の MOS トランジスタのゲートには、第 1 のダイオードと第 1 のツェナーダイオードが直列に接続され、

前記第 2 の MOS トランジスタのゲートには、第 2 のダイオードと第 2 のツェナーダイオードが直列に接続されている請求項 1 記載の半導体素子の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の駆動回路に関する。

【背景技術】

10

【0002】

半導体素子をスイッチング動作させる駆動回路として、例えば、図 5 に示す駆動回路 41 が用いられる。

図 5 において、IC12 は、駆動信号のオン期間、オフ期間を可変する信号を生成し、生成した信号を p チャネル MOS トランジスタ Q1 と n チャネル MOS トランジスタ Q2 のゲートに出力する。p チャネル MOS トランジスタ Q1 のドレインは、p チャネル MOS トランジスタ Q3 のゲートと抵抗 R41 の一端に接続されている。p チャネル MOS トランジスタ Q1 のソースには電源電圧 V_D が供給される。

【0003】

n チャネル MOS トランジスタ Q2 のドレインは、n チャネル MOS トランジスタ Q4 のゲートと抵抗 R41 の他端に接続され、ソースは接地されている。

20

p チャネル MOS トランジスタ Q3 と n チャネル MOS トランジスタ Q4 は縦続接続され、p チャネル MOS トランジスタ Q3 のソースは抵抗 R42 を介して電源電圧 V_D に接続されている。そして、MOS トランジスタ Q3 と Q4 の接続点の電圧が、図示しない制御対象の MOS トランジスタのゲートに出力されている。MOS トランジスタ Q4 のソースは抵抗 R43 を介して接地されている。

【0004】

図 6 は、IC12 と MOS トランジスタ Q1 ~ Q4 の動作波形を示す図である。

IC12 の出力がローレベルからハイレベルに変化すると、MOS トランジスタ Q1 がオフ、MOS トランジスタ Q2 がオンに変化する。IC12 の出力がローレベルのとき、MOS トランジスタ Q3 のゲートには電源電圧 V_D が印加されているので、MOS トランジスタ Q1 がオフ状態に変化しても、MOS トランジスタ Q3 のゲート電圧が正の一定値に上昇するまでの間、MOS トランジスタ Q3 はオフ状態を維持する。

30

【0005】

他方、MOS トランジスタ Q4 のゲートにはそれまで電源電圧 V_D が印加されていたので、MOS トランジスタ Q2 がオンとなっても、MOS トランジスタ Q4 のゲート電圧はすぐには所定電圧以下とならず、一定時間経過した後オフ状態となる。

【0006】

そのため、図 6 に示すように MOS トランジスタ Q3 と Q4 の両方がオンとなる期間が生じる。駆動回路 41 の出力電流を大きくするため、抵抗 R42、R43 は小さな値に設計されるので、MOS トランジスタ Q3、Q4 が同時にオンすると大きな貫通電流が流れ

40

【0007】

また、電源起動時に電源電圧 V_D が一定値に達するまでの期間は、IC12 の出力はローレベルであることが望ましいが、実際には、IC12 が正常に動作する電圧に達するまでの間、IC12 の出力は不定であり、IC12 の電源端子に印加される電圧がハイレベルの信号としてそのまま出力されてしまうことがある。その結果、電源の起動時に、駆動回路 11 から半導体素子をオンにする信号が出力される可能性があった。

【0008】

特許文献 1 には、第 2 のスイッチング素子のオン動作に従属して電源電圧が得られる従

50

属的電源回路に接続したインバータにおいて、従属的電源回路の電圧が所定値以上に上昇するまで、第１のスイッチング素子のオン動作を禁止する回路を設けることが記載されている。

【特許文献１】特開平１－１１４３７４号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

本発明の課題は、駆動回路の電源電圧が所定値以上に上昇するまで駆動回路がオン動作しないこと、半導体素子をスイッチング動作させる駆動回路の出力段のトランジスタに貫通電流が流れないようにすることである。

10

【課題を解決するための手段】

【００１０】

本発明は、半導体素子をスイッチング動作させる駆動信号を生成する駆動回路であって、駆動信号のオン期間及びオフ期間を決める信号を生成するＩＣの出力がゲートに印加される第１のトランジスタと、前記第１のトランジスタと縦続接続され、前記ＩＣの出力がツェナーダイオードを介してゲートに印加される第２のトランジスタとからなり、前記第１及び第２のトランジスタはＭＯＳトランジスタからなり、前記第１のＭＯＳトランジスタのドレインまたはソースにゲートが接続された第３のＭＯＳトランジスタと、前記第２のＭＯＳトランジスタのドレインまたはソースに一端が接続され、他端が電源電圧に接続された第２の抵抗と、前記第２の抵抗の一端に、ゲートが接続された第４のＭＯＳトランジスタとを有する。

20

【００１１】

この駆動回路によれば、駆動回路の電源電圧が所定値以上に上昇するまで駆動回路がオン動作しないようにできる。

また、このように構成することで、駆動回路の電源電圧が所定値以上に上昇するまで駆動回路がオン動作しないようにできる。

上記の駆動回路において、前記第１と第２のＭＯＳトランジスタは第１の抵抗を介して縦続接続され、前記第３のＭＯＳトランジスタのソースは第３の抵抗の一端に接続され、ドレインは前記第４のＭＯＳトランジスタのドレインに接続され、前記第３の抵抗の他端は前記電源電圧に接続され、前記第４のＭＯＳトランジスタのソースは第４の抵抗を介して接地され、前記第１の抵抗の値は、前記第３の抵抗及び前記第４の抵抗の値に比べて大きな値である。

30

【００１２】

このように構成することで、第１の抵抗の値は、第３の抵抗、第４の抵抗の値に比べて大きな値にすることができ、第１のＭＯＳトランジスタ、第２のＭＯＳトランジスタに流れる貫通電流は動作上問題が無い値にできる。

上記の駆動回路において、前記第１のＭＯＳトランジスタのゲートには、第１のダイオードと第１のツェナーダイオードが直列に接続され、前記第２のＭＯＳトランジスタのゲートには、第２のダイオードと第２のツェナーダイオードが直列に接続されている。

【００１３】

40

このように構成することで、駆動回路の電源電圧が所定値以上に上昇するまで駆動回路がオン動作しないようにできると共に、駆動回路の出力段のトランジスタが同時にオンするのを防止できる。

【発明の効果】

【００１４】

本発明によれば、駆動回路の電源電圧が所定値以上に上昇するまで駆動回路がオン動作せず、かつ駆動回路の出力段のトランジスタが同時にオンするのを防止できる。

【発明を実施するための最良の形態】

【００１５】

以下、本発明の好適な実施の形態について説明する。図１は、第１の実施の形態の駆動

50

回路 11 の回路図である。この第 1 の実施の形態は、駆動回路 11 の電源電圧が所定値以上に上昇するまで駆動回路 11 をオン動作させないためのものである。

【0016】

駆動回路 11 は、半導体素子、例えば MOS トランジスタ Q5 をスイッチング動作させるための駆動信号を生成する回路である。IC12 は、信号生成用の専用の半導体集積回路であり、駆動信号のオン期間及びオフ期間を決める信号を出力する。IC12 の出力は、p チャンネル MOS トランジスタ Q1 のゲートとツェナーダイオード ZD2 のカソードに印加されている。ツェナーダイオード ZD2 のアノードは、n チャンネル MOS トランジスタ Q2 のゲートと、抵抗 R5 の一端に接続されており、抵抗 R5 の他端は接地（または共通電位、以下、接地として説明する）されている。

10

【0017】

MOS トランジスタ Q1 のソースは電源電圧 V_D に接続され、ドレインは p チャンネル MOS トランジスタ Q3 のゲートと、抵抗 R1 の一端に接続されている。MOS トランジスタ Q2 のドレインは、抵抗 R1 の他端と、n チャンネル MOS トランジスタ Q4 のゲートに接続されている。MOS トランジスタ Q4 のゲートには抵抗 R6 が接続され、その抵抗 R6 の他端は電源電圧 V_D に接続されている。

【0018】

MOS トランジスタ Q3 のソースは抵抗 R2 の一端に接続され、ドレインは n チャンネル MOS トランジスタ Q4 のドレインに接続されている。抵抗 R2 の他端は電源電圧 V_D に接続されている。n チャンネル MOS トランジスタ Q4 のソースは抵抗 R3 を介して接地されている。

20

【0019】

MOS トランジスタ Q3 と MOS トランジスタ Q4 の接続点は、制御対象の n チャンネル MOS トランジスタ Q5 のゲートと接続されており、MOS トランジスタ Q3、Q4 の出力電圧が駆動信号として MOS トランジスタ Q5 のゲートに出力されている。MOS トランジスタ Q5 のゲートには抵抗 R4 が接続され、抵抗 R4 の他端は接地されている。

【0020】

図 1 の駆動回路 11 は、IC12 の出力がローレベルのとき、p チャンネル MOS トランジスタ Q1 がオン、n チャンネル MOS トランジスタ Q2 がオフ状態になる。

MOS トランジスタ Q1 がオン状態のとき、p チャンネル MOS トランジスタ Q3 のゲートには電源電圧 V_D が印加されるので、MOS トランジスタ Q3 はオフ状態となる。MOS トランジスタ Q2 がオフ状態のとき、n チャンネル MOS トランジスタ Q4 のゲートには、抵抗 R6 を介して電源電圧 V_D のが印加されるので、MOS トランジスタ Q4 はオン状態となる。

30

【0021】

IC12 の出力がローレベルからハイレベルに変化する過程で、出力電圧、つまり MOS トランジスタ Q1 のゲート電圧が一定電圧（MOS トランジスタ Q1 がオフとなる電圧）以上になると、MOS トランジスタ Q1 はオフ状態に変化する。このとき、IC12 の出力電圧が、ツェナーダイオード ZD2 のツェナー電圧未満であれば、MOS トランジスタ Q2 はオフ状態を維持する。

40

【0022】

すなわち、IC12 の出力電圧がツェナーダイオード ZD2 のツェナー電圧未満のとき、MOS トランジスタ Q2 はオフ状態になる。

MOS トランジスタ Q2 がオフのとき、p チャンネル MOS トランジスタ Q3 のゲートには、抵抗 R6、R1 を介して電源電圧 V_D が印加されるので、p チャンネル MOS トランジスタ Q3 はオフ状態を維持する。

【0023】

他方、MOS トランジスタ Q4 のゲートには抵抗 R6 を介して電源電圧 V_D が印加されるので、MOS トランジスタ Q4 はオン状態を維持する。これにより MOS トランジスタ Q5 をオフ状態にすることができる。

50

【 0 0 2 4 】

すなわち、駆動回路 1 1 の電源電圧 V_D が低く、IC 1 2 の出力電圧がツェナーダイオード Z D 2 のツェナー電圧未満のときには、M O S トランジスタ Q 2 をオフ状態、M O S トランジスタ Q 4 をオン状態にできるので、駆動回路 1 1 から半導体素子をオン状態にする信号が出力されるのを防止することができる。

【 0 0 2 5 】

上述した第 1 の実施の形態によれば、IC 1 2 の出力と M O S トランジスタ Q 2 のゲートとの間にツェナーダイオード Z D 2 を挿入し、M O S トランジスタ Q 4 のゲートに抵抗 R 6 を介して電源電圧 V_D を印加することで、駆動回路 1 1 の電源電圧 V_D が所定値以上となるまで、駆動回路 1 1 から M O S トランジスタ Q 5 をオン状態にする信号が出力されないようにできる。

10

【 0 0 2 6 】

なお、図 1 の回路において、M O S トランジスタ Q 2 がオン状態（またはオフ状態）になる電圧を制限するための回路はツェナーダイオードを用いたものに限らず、他の構成の電圧制限回路を用いても良い。

【 0 0 2 7 】

次に、図 2 は、第 2 の実施の形態の駆動回路 2 1 の回路図である。この第 2 の実施の形態は、電源の起動時の駆動回路 2 1 の誤動作を防止するものであると共に、スイッチング時に駆動回路 2 1 の出力段のトランジスタが同時にオンするのを防止するものである。以下、図 1 と同じ要素には同じ符号を付けてそれらの説明は省略する。

20

【 0 0 2 8 】

図 2 において、p チャネル M O S トランジスタ Q 1 のゲートは抵抗 R 2 1 を介して電源電圧 V_D に接続され、さらにツェナーダイオード Z D 1 とダイオード D 1 を介して IC 1 2 の出力に接続されている。ダイオード D 1 のカソードが IC 1 2 の出力に接続され、ツェナーダイオード Z D 1 のカソードがゲートに接続されている。

【 0 0 2 9 】

n チャネル M O S トランジスタ Q 2 のゲートは、ツェナーダイオード Z D 2 とダイオード D 2 を介して IC 1 2 の出力に接続され、さらに抵抗 R 5 を介して接地されている。ダイオード D 2 のアノードが IC 1 2 の出力に接続され、ツェナーダイオード Z D 2 のアノードがゲートに接続されている。

30

【 0 0 3 0 】

上記の駆動回路 2 1 の動作を、図 3 の波形図を参照して説明する。IC 1 2 の出力がローレベルのときは、p チャネル M O S トランジスタ Q 1 のゲートには、ツェナーダイオード Z D 1 のツェナー電圧とダイオード D 1 の順方向電圧を加算した電圧が印加され、M O S トランジスタ Q 1 はオン状態になっている。

【 0 0 3 1 】

他方、M O S トランジスタ Q 2 のゲートに印加される電圧は、IC 1 2 の出力がローレベルであることからほぼ 0 V となり、M O S トランジスタ Q 2 はオフ状態になっている。

IC 1 2 の出力電圧がローレベルからハイレベルに変化し、その出力電圧がツェナーダイオード Z D 2 のツェナー電圧以上となると、M O S トランジスタ Q 2 はオン状態になる。

40

【 0 0 3 2 】

一方、IC 1 2 の出力がハイレベルになっても、ダイオード D 1 により IC 1 2 から M O S トランジスタ Q 1 のゲートには電流は流入せず、電源電圧 V_D から抵抗 R 2 1 の経路で電流が流れるので、ゲート電圧が一定値（オフ電圧）に達するまでの一定時間 M O S トランジスタ Q 1 はオン状態を維持する。

【 0 0 3 3 】

すなわち、図 3 に示すように、M O S トランジスタ Q 2 は、IC 1 2 の出力がハイレベルに変化したとき直ぐにオン状態に変化するが、M O S トランジスタ Q 1 はゲート電圧が一定値に達するまでの一定時間オン状態を維持する。従って、その間、M O S トランジス

50

タQ 1とQ 2は同時にオン状態となる(図3のQ 1、Q 2がともにオンの期間)。MOSトランジスタQ 1とQ 2が同時にオン状態となることで、MOSトランジスタQ 1とQ 2に貫通電流が流れるが、抵抗R 1の値は、出力段の抵抗R 2、R 3の値に比べて大きな値に設計することができるので、トランジスタQ 1、Q 2に流れる貫通電流は動作上問題が無い値にできる。

【0034】

MOSトランジスタQ 1がオン状態のとき、MOSトランジスタQ 3のゲートには電源電圧 V_D が印加されるので、MOSトランジスタQ 3はその間オフ状態を維持する。

MOSトランジスタQ 2がオン状態に変化しても、MOSトランジスタQ 4のゲート電圧が一定値以下になるまでMOSトランジスタQ 4はオン状態を維持する(図3のQ 4がオン状態の期間)。

10

【0035】

すなわち、図3の駆動回路21は、IC12の出力がローレベルからハイレベルに変化してから一定期間、MOSトランジスタQ 1とQ 2を同時にオン状態とすることで、その間MOSトランジスタQ 3をオフ状態にすることができる。これにより、MOSトランジスタQ 3とQ 4が同時にオンして貫通電流が流れるのを防止できる。

【0036】

一定時間が経過してMOSトランジスタQ 4のゲートの電荷が放出されてゲート電圧が一定値未満となると、MOSトランジスタQ 4がオフ状態に変化する(図3のQ 4がオフに変化するタイミング)。その後、MOSトランジスタQ 1のゲート電圧が一定値以上となり、MOSトランジスタQ 1がオフ状態に変化すると(図3のQ 1がオフに変化するタイミング)、MOSトランジスタQ 3のゲート電圧が次第に減少し、一定時間後にMOSトランジスタQ 3がオン状態に変化する(図3のQ 3がオンに変化するタイミング)。このとき、MOSトランジスタQ 3とQ 4の接続点の出力電圧 V_{out} は正の電圧となり、半導体素子をオンさせる駆動信号が出力される。

20

【0037】

次に、電源起動時の動作を説明する。電源の立ち上がり時にIC12が誤動作してハイレベルの信号(例えば、その時の電源電圧 V_D とほぼ等しい電圧値の信号)が出力されても、IC12の出力電圧が、ツェナーダイオードZD2のツェナー電圧(ダイオードD2の順方向電圧を含む)未満のときには、MOSトランジスタQ 2はオフ状態を維持する。

30

【0038】

MOSトランジスタQ 2がオフ状態のとき、MOSトランジスタQ 4のゲートには、抵抗R 6を介して電源電圧 V_D が印加されるので、MOSトランジスタQ 4はオン状態となる。

【0039】

従って、駆動回路21の出力電圧 V_{out} は接地電位となり、半導体素子(例えば、nチャネルMOSトランジスタQ 5)をオフ状態に保つことができる。これにより、電源起動時にIC12の誤動作によりハイレベルの信号が出力される場合でも、駆動回路21の出力電圧 V_{out} を接地電位にして、制御対象の半導体素子をオフ状態にすることができる。

40

【0040】

上述した第2の実施の形態によれば、IC12の出力が変化したときに、駆動回路21の出力段のMOSトランジスタQ 3、Q 4が同時にオンするのを防止できる。さらに、電源起動時にIC12が誤動作して外部の半導体素子をオンにする信号(例えば、ハイレベルの信号)が出力されても、ツェナーダイオードZD2によりゲート電圧を制限することで、駆動回路21から半導体素子をオン状態にする信号が出力されるのを防止することができる。

【0041】

次に、図4は、第3の実施の形態の駆動回路31の回路図である。この第3の実施の形態は、駆動回路31をバイポーラトランジスタQ 1、Q 2で構成した例であり、トランジ

50

スタQ 1、Q 2 が駆動回路 3 1 の出力段のトランジスタに該当する。

【 0 0 4 2 】

I C 1 2 の出力は、ツェナーダイオード Z D 3 と抵抗 R 1 1 を介して、トランジスタ Q 1 のベースに入力している。また、I C 1 2 の出力は、抵抗 R 1 2 を介してトランジスタ Q 2 のベースに入力している。トランジスタ Q 1 のコレクタは抵抗 R 1 3 を介して電源電圧 V_D に接続され、トランジスタ Q 1 のエミッタとトランジスタ Q 2 のエミッタが接続され、トランジスタ Q 2 のコレクタは接地（または基準電位）されている。トランジスタ Q 1 とトランジスタ Q 2 の接続点から、図示しない半導体素子を駆動する駆動電圧 V_{out} が出力される。

【 0 0 4 3 】

10

I C 1 2 の出力がローレベルのとき、トランジスタ Q 1 がオフ、トランジスタ Q 2 がオンとなっている。I C 1 2 の出力がローレベルからハイレベルに変化すると、トランジスタ Q 2 はオフ状態に変化するが、トランジスタ Q 1 は、I C 1 2 の出力電圧が、ツェナーダイオード Z D 3 のツェナー電圧以上で、かつトランジスタ Q 1 のオン電圧以上となるまでオフ状態を維持する。これにより、I C 1 2 の出力が変化するとき、駆動回路 3 1 の出力段のトランジスタ Q 1、Q 2 が同時にオンするのを防止できる。

【 0 0 4 4 】

本発明は上述した実施の形態に限らず、例えば、以下のように構成しても良い。

駆動回路に使用するトランジスタは M O S トランジスタに限らず、バイポーラトランジスタ等の他の半導体素子でも良い。また、駆動回路は、縦続接続されたトランジスタが 2 段接続された回路に限らず、図 4 に示すような 1 段構成の回路、あるいは 3 段以上の回路であっても良い。

20

【図面の簡単な説明】

【 0 0 4 5 】

【図 1】第 1 の実施の形態の駆動回路の回路図である。

【図 2】第 2 の実施の形態の駆動回路の回路図である。

【図 3】第 2 の実施の形態の動作波形を示す図である。

【図 4】第 3 の実施の形態の駆動回路の回路図である。

【図 5】従来の駆動回路の回路図である。

【図 6】従来の駆動回路の動作波形を示す図である。

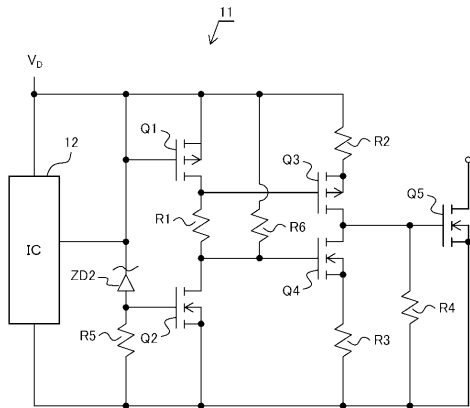
30

【符号の説明】

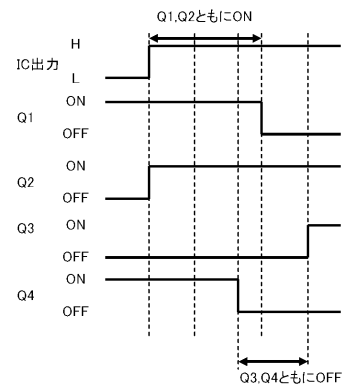
【 0 0 4 6 】

1 1、2 1、3 1、4 1	駆動回路
1 2	I C
Z D 1、Z D 2、Z D 3	ツェナーダイオード
Q 1 ~ Q 5	トランジスタ

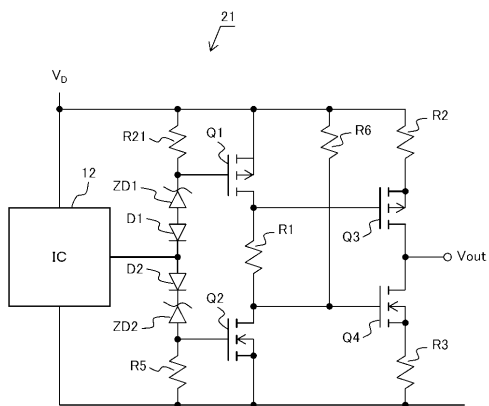
【図 1】



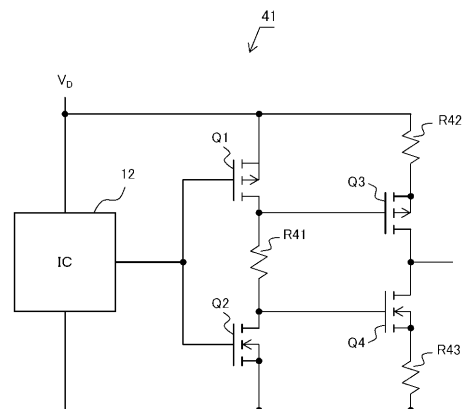
【図 3】



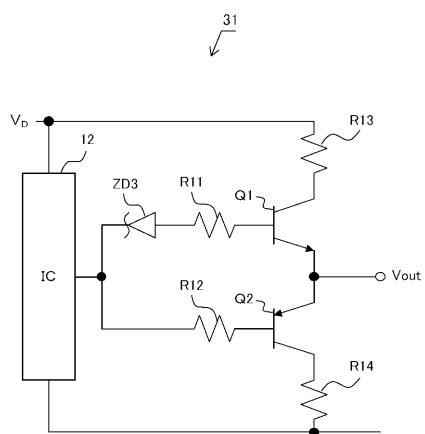
【図 2】



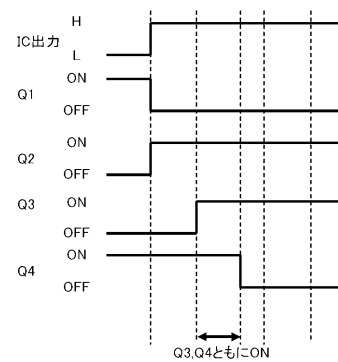
【図 5】



【図 4】



【図 6】



フロントページの続き

(56)参考文献 特開平 0 1 - 3 0 5 6 1 8 (J P , A)
特開平 0 5 - 0 0 3 4 2 9 (J P , A)
特開 2 0 0 7 - 0 8 8 5 9 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 3 K 1 7 / 0 0 - 1 7 / 7 0