

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月14日(14.03.2024)



(10) 国際公開番号

WO 2024/053452 A1

(51) 国際特許分類:

H02M 7/487 (2007.01) H02M 7/48 (2007.01)
H02M 1/08 (2006.01)

MANAGEMENT CO., LTD.) [JP/JP]; 〒5710057
大阪府門真市元町 2 2 番 6 号 Osaka (JP).

(21) 国際出願番号: PCT/JP2023/030963

(22) 国際出願日: 2023年8月28日(28.08.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2022-144085 2022年9月9日(09.09.2022) JP
特願 2023-006100 2023年1月18日(18.01.2023) JP

(72) 発明者: 中村 裕一 (NAKAMURA, Hirokazu).
ヘガデ アナンタ (HEGDE, Anantha). 鈴木
朝実良 (SUZUKI, Asamira). 新井 康
弘 (ARAI, Yasuhiro).

(74) 代理人: 弁理士法人北斗特許事務所 (HOKUTO
PATENT ATTORNEYS OFFICE); 〒5300001 大
阪府大阪市北区梅田一丁目 1 2 - 1 7 J R
E 梅田スクエアビル Osaka (JP).

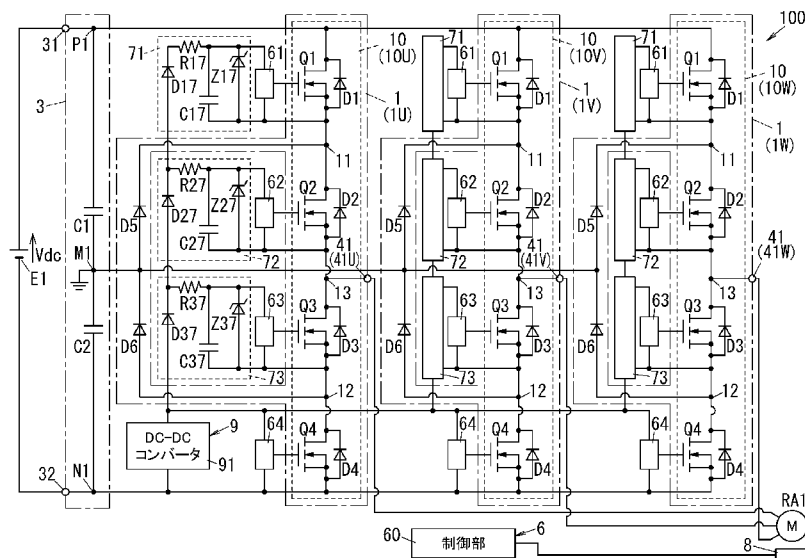
(71) 出願人: パナソニック IP マネジメント株式会
社 (PANASONIC INTELLECTUAL PROPERTY

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: MULTI-LEVEL INVERTER

(54) 発明の名称: マルチレベルインバータ

【図1】



60 Control unit
91 DC-DC converter

(57) Abstract: The present invention addresses the problem of suppressing a voltage drop in a bootstrap circuit. A control unit (60) replaces, among a plurality of voltage vectors, a first voltage vector of which the magnitude is a reference magnitude and which is one of two first voltage vectors that are nearest to a command voltage vector, with a zero vector resulting from a combination of potential levels at a third connection point (13) in a plurality of inverter circuits (1) becoming the potential of a negative electrode (N1), and a second voltage vector which has twice the magnitude of the first

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

voltage vector in the same direction as the first voltage vector. The control unit (60) controls a plurality of first gate drivers (61), a plurality of second gate drivers (62), a plurality of third gate drivers (63), and a plurality of fourth gate drivers (64) within a prescribed control period so that the command voltage vector matches a synthesis vector of the voltage vectors other than the first voltage vectors among the plurality of voltage vectors, the remaining first voltage vector of the two first voltage vectors, the zero vector, and the second voltage vector.

(57) 要約: 課題はブートストラップ回路の電圧低下を抑制することである。制御部(60)は、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトルに最も近い2つの第1電圧ベクトルのうち1つの第1電圧ベクトルを、複数のインバータ回路(1)における第3接続点(13)の電位レベルが負極(N1)の電位となる組み合わせの零ベクトルと、第1電圧ベクトルと同じ向きで第1電圧ベクトルの2倍の大きさの第2電圧ベクトルと、に置換する。制御部(60)は、複数の電圧ベクトルのうち第1電圧ベクトル以外の電圧ベクトルと、2つの第1電圧ベクトルの残りの第1電圧ベクトルと、零ベクトルと、第2電圧ベクトルと、の合成ベクトルを指令電圧ベクトルと一致させるように、所定の制御周期内において複数の第1ゲートドライバ(61)と複数の第2ゲートドライバ(62)と複数の第3ゲートドライバ(63)と複数の第4ゲートドライバ(64)とを制御する。

明 細 書

発明の名称：マルチレベルインバータ

技術分野

[0001] 本開示は、マルチレベルインバータに関し、より詳細には、ブートストラップ回路を備えるマルチレベルインバータに関する。

背景技術

[0002] 特許文献 1 は、ブートストラップ回路を使用した 3 相電圧形 PWM インバータ回路を開示している。

[0003] 特許文献 1 に開示された電力変換装置では、3 相電圧形 PWM インバータ回路は、6 個のスイッチング素子と、6 個のゲート駆動回路と、マイクロコンピュータと、主直流電源と、3 個のブートストラップ回路と、を有している。

[0004] また、特許文献 1 には、3 相インバータの各相毎に所定のスイッチングパターンを与えることにより、所望の電圧ベクトルを得て、負荷に供給するとともに、各相のブートストラップ回路により制御電圧を供給するインバータ制御方法が開示されている。このインバータ制御方法では、何れかの相のブートストラップ回路が放電状態を維持する期間内における出力電圧に影響を及ぼさない期間に選択される電圧ベクトルを、所定期間毎にブートストラップ回路が充電可能な電圧ベクトルで置換すべくスイッチング制御する。

[0005] 特許文献 1 に開示されたインバータ制御方法は、2 レベルインバータに関する技術であり、マルチレベルインバータには適用できない。

先行技術文献

特許文献

[0006] 特許文献 1：特開平 5－292755 号公報

発明の概要

[0007] 本開示の目的は、ブートストラップ回路の電圧低下を抑制することが可能なマルチレベルインバータを提供することにある。

[0008] 本開示に係る一態様のマルチレベルインバータは、直流電源部と、複数のインバータ回路と、制御装置と、を備える。前記直流電源部は、正極と負極と中間電位点とを有する。前記複数のインバータ回路は、前記直流電源部の前記正極と前記負極との間に接続されている。前記制御装置は、前記複数のインバータ回路を制御する。前記複数のインバータ回路の各々は、スイッチング回路と、第1ダイオードと、第2ダイオードと、第3ダイオードと、第4ダイオードと、第5ダイオードと、第6ダイオードと、を有する。前記スイッチング回路では、第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子が、前記正極側から前記負極側へ前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の順に並ぶように直列接続されている。前記第1ダイオードは、前記第1スイッチング素子に逆並列接続されている。前記第2ダイオードは、前記第2スイッチング素子に逆並列接続されている。前記第3ダイオードは、前記第3スイッチング素子に逆並列接続されている。前記第4ダイオードは、前記第4スイッチング素子に逆並列接続されている。前記第5ダイオードは、前記第1スイッチング素子と前記第2スイッチング素子との第1接続点にカソードが接続されており、前記中間電位点にアノードが接続されている。前記第6ダイオードは、前記第3スイッチング素子と前記第4スイッチング素子との第2接続点にアノードが接続されており、前記中間電位点にカソードが接続されている。前記制御装置は、複数の第1ゲートドライバと、複数の第2ゲートドライバと、複数の第3ゲートドライバと、複数の第4ゲートドライバと、複数の第1ブートストラップ回路と、複数の第2ブートストラップ回路と、複数の第3ブートストラップ回路と、電源部と、制御部と、を有する。前記複数の第1ゲートドライバは、前記複数のインバータ回路の各々の前記第1スイッチング素子を駆動する。前記複数の第2ゲートドライバは、前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する。前記複数の第3ゲートドライバは、前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動する。

。前記複数の第4ゲートドライバは、前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する。前記複数の第1ブートストラップ回路は、前記複数の第1ゲートドライバに一对一に対応し対応する第1ゲートドライバに電圧を供給する。前記複数の第2ブートストラップ回路は、前記複数の第2ゲートドライバに一对一に対応し対応する第2ゲートドライバに電圧を供給する。複数の第3ブートストラップ回路は、前記複数の第3ゲートドライバに一对一に対応し対応する第3ゲートドライバに電圧を供給する。前記電源部は、前記複数の第4ゲートドライバに電圧を供給する。前記制御部は、前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバを制御する。前記制御部は、各々が前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との第3接続点の電位レベルの組み合わせで定まる一群の電圧ベクトルのうち指令電圧ベクトルに隣接する複数の電圧ベクトルを選択する。前記一群の電圧ベクトルの各々は、前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との前記第3接続点の電位レベルの組み合わせで定まる。前記制御部は、前記複数の電圧ベクトルのうち大きさが基準大きさであり前記指令電圧ベクトルに最も近い2つの第1電圧ベクトルのうち1つの第1電圧ベクトルを、前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との前記第3接続点の電位レベルが前記負極の電位となる組み合わせの零ベクトルと、前記第1電圧ベクトルと同じ向きで前記第1電圧ベクトルの2倍の大きさの第2電圧ベクトルと、に置換する。前記制御部は、前記複数の電圧ベクトルのうち前記第1電圧ベクトル以外の電圧ベクトルと、前記2つの第1電圧ベクトルの残りの第1電圧ベクトルと、前記零ベクトルと、前記第2電圧ベクトルと、の合成ベクトルを前記指令電圧ベクトルと一致させるように、所定の制御周期内において前記複数の第1ゲートドライバと前記複数の第2ゲートドライバと前記複数の第3ゲートドライバと前記複数の第4ゲートドライバとを制御する。

[0009] 本開示に係る別の一態様のマルチレベルインバータは、直流電源部と、複数のインバータ回路と、制御装置と、を備える。前記直流電源部は、正極と負極と中間電位点とを有する。前記複数のインバータ回路は、前記直流電源部の前記正極と前記負極との間に接続されている。前記制御装置は、前記複数のインバータ回路を制御する。前記複数のインバータ回路の各々は、スイッチング回路と、第1ダイオードと、第2ダイオードと、第3ダイオードと、第4ダイオードと、第5ダイオードと、第6ダイオードと、を有する。前記スイッチング回路では、第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子が、前記正極側から前記負極側へ前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の順に並ぶように直列接続されている。前記第1ダイオードは、前記第1スイッチング素子に逆並列接続されている。前記第2ダイオードは、前記第2スイッチング素子に逆並列接続されている。前記第3ダイオードは、前記第3スイッチング素子に逆並列接続されている。前記第4ダイオードは、前記第4スイッチング素子に逆並列接続されている。前記第5ダイオードは、前記第1スイッチング素子と前記第2スイッチング素子との第1接続点にカソードが接続されており、前記中間電位点にアノードが接続されている。前記第6ダイオードは、前記第3スイッチング素子と前記第4スイッチング素子との第2接続点にアノードが接続されており、前記中間電位点にカソードが接続されている。前記制御装置は、複数の第1ゲートドライバと、複数の第2ゲートドライバと、複数の第3ゲートドライバと、複数の第4ゲートドライバと、複数の第1ブートストラップ回路と、複数の第2ブートストラップ回路と、複数の第3ブートストラップ回路と、電源部と、制御部と、を有する。前記複数の第1ゲートドライバは、前記複数のインバータ回路の各々の前記第1スイッチング素子を駆動する。前記複数の第2ゲートドライバは、前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する。前記複数の第3ゲートドライバは、前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動

する。前記複数の第4ゲートドライバは、前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する。前記複数の第1ブートストラップ回路は、前記複数の第1ゲートドライバに一对一に対応し対応する第1ゲートドライバに電圧を供給する。前記複数の第2ブートストラップ回路は、前記複数の第2ゲートドライバに一对一に対応し対応する第2ゲートドライバに電圧を供給する。複数の第3ブートストラップ回路は、前記複数の第3ゲートドライバに一对一に対応し対応する第3ゲートドライバに電圧を供給する。前記電源部は、前記複数の第4ゲートドライバに電圧を供給する。前記制御部は、前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバを制御する。前記制御部は、各々が前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との第3接続点の電位レベルの組み合わせで定まる一群の電圧ベクトルのうち指令電圧ベクトルに隣接する複数の電圧ベクトルを選択する。前記一群の電圧ベクトルの各々は、前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との前記第3接続点の電位レベルの組み合わせで定まる。前記制御部は、前記複数の電圧ベクトルのうち大きさが基準大きさであり前記指令電圧ベクトルに最も近い第1電圧ベクトルを、前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との前記第3接続点の電位レベルが前記負極の電位となる組み合わせの零ベクトルと、前記第1電圧ベクトルと同じ向きで前記第1電圧ベクトルの2倍の大きさの第2電圧ベクトルと、に置換する。前記制御部は、前記複数の電圧ベクトルのうち前記第1電圧ベクトル以外の電圧ベクトルと、前記零ベクトルと、前記第2電圧ベクトルと、の合成ベクトルを前記指令電圧ベクトルと一致させるように、所定の制御周期内において前記複数の第1ゲートドライバと前記複数の第2ゲートドライバと前記複数の第3ゲートドライバと前記複数の第4ゲートドライバとを制御する。

[0010] 本開示に係る一態様のマルチレベルインバータは、直流電源部と、複数の

インバータ回路と、制御装置と、を備える。前記直流電源部は、正極と負極と中間電位点とを有する。前記複数のインバータ回路は、前記直流電源部の前記正極と前記負極との間に接続されている。前記制御装置は、前記複数のインバータ回路を制御する。前記複数のインバータ回路の各々は、第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子と、第1ダイオード、第2ダイオード、第3ダイオード及び第4ダイオードと、を有する。前記第1ダイオード、前記第2ダイオード、前記第3ダイオード及び前記第4ダイオードは、前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子にそれぞれ逆並列接続されている。前記複数のインバータ回路の各々では、前記第1スイッチング素子、前記第2スイッチング素子が、前記正極側から前記負極側へ前記第1スイッチング素子、前記第2スイッチング素子の順に並ぶように直列接続されている。前記複数のインバータ回路の各々では、前記第3スイッチング素子と前記第4スイッチング素子との直列回路が、前記中間電位点と出力点との間に接続されている。前記出力点は、前記第1スイッチング素子と前記第2スイッチング素子との接続点である。前記制御装置は、複数の第1ゲートドライバと、複数の第2ゲートドライバと、複数の第3ゲートドライバと、複数の第4ゲートドライバと、複数のブートストラップ回路と、電源部と、制御部と、を有する。前記複数の第1ゲートドライバは、前記複数のインバータ回路の各々の前記第1スイッチング素子を駆動する。前記複数の第2ゲートドライバは、前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する。前記複数の第3ゲートドライバは、前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動する。前記複数の第4ゲートドライバは、前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する。前記複数のブートストラップ回路は、前記複数の第1ゲートドライバに一対一に対応し、対応する第1ゲートドライバに電圧を供給する。前記電源部は、前記複数の第2ゲートドライバ及び前記複数の第3ゲートドライバに電圧を供給する。前記制御部は、

前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバを制御する。前記制御部は、一群の電圧ベクトル、のうち指令電圧ベクトルに隣接する複数の電圧ベクトルを選択する。前記一群の電圧ベクトルの各々は、前記複数のインバータ回路における複数の前記接続点の電位レベルの組み合わせで定まる。前記制御部は、前記複数の電圧ベクトルのうち大きさが基準大きさであり前記指令電圧ベクトルに最も近い2つの第1電圧ベクトルのうちの1つを、前記複数のインバータ回路における前記複数の前記接続点の電位レベルが前記負極の電位となる組み合わせの零ベクトルと、前記第1電圧ベクトルと同じ向きで前記第1電圧ベクトルの2倍の大きさの第2電圧ベクトルと、に置換する。前記制御部は、前記複数の電圧ベクトルのうち前記第1電圧ベクトル以外の電圧ベクトルと、前記零ベクトルと、前記第2電圧ベクトルと、の合成ベクトルを前記指令電圧ベクトルと一致させるように、所定の制御周期内において前記複数の第1ゲートドライバと前記複数の第2ゲートドライバと前記複数の第3ゲートドライバと前記複数の第4ゲートドライバとを制御する。

- [0011] 本開示に係る別の一態様のマルチレベルインバータは、直流電源部と、複数のインバータ回路と、制御装置と、を備える。前記直流電源部は、正極と負極と中間電位点とを有する。前記複数のインバータ回路は、前記直流電源部の前記正極と前記負極との間に接続されている。前記制御装置は、前記複数のインバータ回路を制御する。前記複数のインバータ回路の各々は、第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子と、第1ダイオード、第2ダイオード、第3ダイオード及び第4ダイオードと、を有する。前記第1ダイオード、前記第2ダイオード、前記第3ダイオード及び前記第4ダイオードは、前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子にそれぞれ逆並列接続されている。前記複数のインバータ回路の各々では、前記第1スイッチング素子、前記第2スイッチング素子が、

前記正極側から前記負極側へ前記第1スイッチング素子、前記第2スイッチング素子の順に並ぶように直列接続されている。前記複数のインバータ回路の各々では、前記第3スイッチング素子と前記第4スイッチング素子との直列回路が、前記中間電位点と出力点との間に接続されている。前記出力点は、前記第1スイッチング素子と前記第2スイッチング素子との接続点である。前記制御装置は、複数の第1ゲートドライバと、複数の第2ゲートドライバと、複数の第3ゲートドライバと、複数の第4ゲートドライバと、複数のブートストラップ回路と、電源部と、制御部と、を有する。前記複数の第1ゲートドライバは、前記複数のインバータ回路の各々の前記第1スイッチング素子を駆動する。前記複数の第2ゲートドライバは、前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する。前記複数の第3ゲートドライバは、前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動する。前記複数の第4ゲートドライバは、前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する。前記複数のブートストラップ回路は、前記複数の第1ゲートドライバに一对一に対応し、対応する第1ゲートドライバに電圧を供給する。前記電源部は、前記複数の第2ゲートドライバ及び前記複数の第3ゲートドライバに電圧を供給する。前記制御部は、前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバを制御する。前記制御部は、一群の電圧ベクトル、のうち指令電圧ベクトルに隣接する複数の電圧ベクトルを選択する。前記一群の電圧ベクトルの各々は、前記複数のインバータ回路における複数の前記接続点の電位レベルの組み合わせで定まる。前記制御部は、前記複数の電圧ベクトルのうち大きさが基準大きさであり前記指令電圧ベクトルに最も近い2つの第1電圧ベクトルの各々を、前記複数のインバータ回路における前記複数の前記接続点の電位レベルが前記負極の電位となる組み合わせの零ベクトルと、前記第1電圧ベクトルと同じ向きで前記第1電圧ベクトルの2倍の大きさの第2電圧ベクトルと、に置換する。前記制御部は、前記複数の電圧ベクトルのうち前記第1電圧ベクトル

以外の電圧ベクトルと、前記零ベクトルと、前記第 2 電圧ベクトルと、の合成ベクトルを前記指令電圧ベクトルと一致させるように、所定の制御周期内において前記複数の第 1 ゲートドライバと前記複数の第 2 ゲートドライバと前記複数の第 3 ゲートドライバと前記複数の第 4 ゲートドライバとを制御する。

図面の簡単な説明

[0012] [図1]図 1 は、実施形態 1 に係るマルチレベルインバータを備えるシステムの回路図である。

[図2]図 2 は、同上のマルチレベルインバータにおいてスイッチング回路が第 1 スwitchング状態のときの電流経路の説明図である。

[図3]図 3 は、同上のマルチレベルインバータにおいてスイッチング回路が第 1 スwitchング状態のときの放電経路及び充電経路の説明図である。

[図4]図 4 は、同上のマルチレベルインバータにおいてスイッチング回路が第 2 スwitchング状態のときの電流経路の説明図である。

[図5]図 5 は、同上のマルチレベルインバータにおいてスイッチング回路が第 2 スwitchング状態のときの放電経路及び充電経路の説明図である。

[図6]図 6 は、同上のマルチレベルインバータにおいてスイッチング回路が第 3 スwitchング状態のときの電流経路の説明図である。

[図7]図 7 は、同上のマルチレベルインバータにおいてスイッチング回路が第 3 スwitchング状態のときの放電経路及び充電経路の説明図である。

[図8]図 8 は、同上のマルチレベルインバータにおける各相の電圧指令値の説明図である。

[図9]図 9 は、同上のマルチレベルインバータに関する一群の電圧ベクトルの説明図である。

[図10]図 10 は、同上のマルチレベルインバータに関する一群の電圧ベクトルのより詳細な説明図である。

[図11]図 11 は、同上のマルチレベルインバータにおける制御部の動作を説明するためのベクトル図である。

[図12]図12Aは、同上のマルチレベルインバータに関する指令電圧ベクトル及び第1電圧ベクトルの説明図である。図12Bは、同上のマルチレベルインバータに関する指令電圧ベクトル、零ベクトル及び第2電圧ベクトルの説明図である。

[図13]図13は、比較例に係るマルチレベルインバータの各相のスイッチング状態のタイムチャートである。

[図14]図14は、比較例に係るマルチレベルインバータの第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図15]図15は、実施形態1に係るマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートである。

[図16]図16は、同上のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図17]図17は、比較例に係るマルチレベルインバータの各相のスイッチング状態のタイムチャートである。

[図18]図18は、比較例に係るマルチレベルインバータの第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図19]図19は、実施形態1に係るマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートである。

[図20]図20は、同上のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図21]図21は、実施形態2に係るマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートである。

[図22]図22は、同上のマルチレベルインバータにおいて第1電圧ベクトル

を零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図23]図23は、同上のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートである。

[図24]図24は、同上のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図25]図25は、変形例に係るマルチレベルインバータを備えるシステムの回路図である。

[図26]図26は、実施形態3に係るマルチレベルインバータを備えるシステムの回路図である。

[図27]図27は、同上のマルチレベルインバータにおいてスイッチング回路が第1スイッチング状態のときの電流経路の説明図である。

[図28]図28は、同上のマルチレベルインバータにおいてスイッチング回路が第1スイッチング状態のときの放電経路の説明図である。

[図29]図29は、同上のマルチレベルインバータにおいてスイッチング回路が第2スイッチング状態のときの電流経路の説明図である。

[図30]図30は、同上のマルチレベルインバータにおいてスイッチング回路が第2スイッチング状態のときの放電経路の説明図である。

[図31]図31は、同上のマルチレベルインバータにおいてスイッチング回路が第3スイッチング状態のときの電流経路の説明図である。

[図32]図32は、同上のマルチレベルインバータにおいてスイッチング回路が第3スイッチング状態のときの放電経路及び充電経路の説明図である。

[図33]図33は、同上のマルチレベルインバータにおいてスイッチング回路が第2スイッチング状態のときの放電経路の説明図である。

[図34]図34は、同上のマルチレベルインバータにおける各相の電圧指令値の説明図である。

[図35]図35は、同上のマルチレベルインバータに関する一群の電圧ベクトルの説明図である。

[図36]図36は、同上のマルチレベルインバータに関する一群の電圧ベクトルのより詳細な説明図である。

[図37]図37は、同上のマルチレベルインバータにおける制御部の動作を説明するためのベクトル図である。

[図38]図38Aは、同上のマルチレベルインバータに関する指令電圧ベクトル及び第1電圧ベクトルの説明図である。図38Bは、同上のマルチレベルインバータに関する指令電圧ベクトル、零ベクトル及び第2電圧ベクトルの説明図である。

[図39]図39は、比較例に係るマルチレベルインバータの各相のスイッチング状態のタイムチャートである。

[図40]図40は、比較例に係るマルチレベルインバータの第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図41]図41は、実施形態3に係るマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートである。

[図42]図42は、同上のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図43]図43は、比較例に係るマルチレベルインバータの各相のスイッチング状態のタイムチャートである。

[図44]図44は、比較例に係るマルチレベルインバータの第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図45]図45は、実施形態3に係るマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートである。

[図46]図46は、同上のマルチレベルインバータにおいて第1電圧ベクトル

を零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図47]図47は、実施形態4に係るマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートである。

[図48]図48は、同上のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図49]図49は、同上のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートである。

[図50]図50は、同上のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートである。

[図51]図51は、実施形態5に係るマルチレベルインバータを備えるシステムの回路図である。

[図52]図52は、実施形態6に係るマルチレベルインバータを備えるシステムの回路図である。

[図53]図53は、実施形態7に係るマルチレベルインバータを備えるシステムの回路図である。

[図54]図54は、実施形態8に係るマルチレベルインバータを備えるシステムの回路図である。

発明を実施するための形態

[0013] (実施形態1)

以下では、実施形態1に係るマルチレベルインバータ100について、図1～12Bに基づいて説明する。

[0014] (1) 概要

マルチレベルインバータ100は、例えば、図1に示すように、直流電源

部 3 と、複数（例えば、3 つ）のインバータ回路 1 と、制御装置 6 と、を備える。直流電源部 3 は、正極 P 1 と負極 N 1 と中間電位点 M 1 とを有する。複数のインバータ回路 1 は、直流電源部 3 の正極 P 1 と負極 N 1 との間に接続されている。制御装置 6 は、複数のインバータ回路 1 を制御する。

[0015] マルチレベルインバータ 100 は、ダイオードクランプ型の 3 レベル 3 相インバータである。マルチレベルインバータ 100 では、複数のインバータ回路 1 の各々が出力端子 4 1 を有している。マルチレベルインバータ 100 では、複数の出力端子（交流端子）4 1 に交流負荷 R A 1 が接続される。交流負荷 R A 1 は、例えば、3 相モータである。マルチレベルインバータ 100 では、複数のインバータ回路 1 のうちの 1 つが、U 相の電圧を出力するインバータ回路 1 U であり、別の 1 つが、V 相の電圧を出力するインバータ回路 1 V であり、残りの 1 つが、W 相の電圧を出力するインバータ回路 1 W である。

[0016] 複数のインバータ回路 1 の各々は、スイッチング回路 10 と、第 1 ダイオード D 1 と、第 2 ダイオード D 2 と、第 3 ダイオード D 3 と、第 4 ダイオード D 4 と、を有する。また、複数のインバータ回路 1 の各々は、第 5 ダイオード D 5 と、第 6 ダイオード D 6 と、を有する。マルチレベルインバータ 100 では、中間電位点 M 1 の電位が、各インバータ回路 1 の第 5 ダイオード D 5 及び第 6 ダイオード D 6 によってクランプされる。

[0017] 各スイッチング回路 10 では、第 1 スwitchング素子 Q 1、第 2 スwitchング素子 Q 2、第 3 スwitchング素子 Q 3 及び第 4 スwitchング素子 Q 4 が、正極 P 1 側から負極 N 1 側へ第 1 スwitchング素子 Q 1、第 2 スwitchング素子 Q 2、第 3 スwitchング素子 Q 3 及び第 4 スwitchング素子 Q 4 の順に並ぶように直列接続されている。

[0018] 各インバータ回路 1 では、第 1 ダイオード D 1 は、第 1 スwitchング素子 Q 1 に逆並列接続されている。第 2 ダイオード D 2 は、第 2 スwitchング素子 Q 2 に逆並列接続されている。第 3 ダイオード D 3 は、第 3 スwitchング素子 Q 3 に逆並列接続されている。第 4 ダイオード D 4 は、第 4 スwitchン

グ素子Q 4 に逆並列接続されている。第5 ダイオードD 5 は、第1 スwitchング素子Q 1 と第2 スwitchング素子Q 2 との第1 接続点1 1 にカソードが接続されており、中間電位点M 1 にアノードが接続されている。第6 ダイオードD 6 は、第3 スwitchング素子Q 3 と第4 スwitchング素子Q 4 との第2 接続点1 2 にアノードが接続されており、中間電位点M 1 にカソードが接続されている。

[0019] 制御装置6 は、複数（例えば、3 つ）の第1 ゲートドライバ6 1 と、複数（例えば、3 つ）の第2 ゲートドライバ6 2 と、複数（例えば、3 つ）の第3 ゲートドライバ6 3 と、複数（例えば、3 つ）の第4 ゲートドライバ6 4 と、を有する。また、制御装置6 は、複数（例えば、3 つ）の第1 ブートストラップ回路7 1 と、複数（例えば、3 つ）の第2 ブートストラップ回路7 2 と、複数（例えば、3 つ）の第3 ブートストラップ回路7 3 と、電源部9 と、制御部6 0 と、を有する。

[0020] 複数の第1 ゲートドライバ6 1 は、複数のインバータ回路1 の各々の第1 スwitchング素子Q 1 を駆動する。複数の第2 ゲートドライバ6 2 は、複数のインバータ回路1 の各々の第2 スwitchング素子Q 2 を駆動する。複数の第3 ゲートドライバ6 3 は、複数のインバータ回路1 の各々の第3 スwitchング素子Q 3 を駆動する。複数の第4 ゲートドライバ6 4 は、複数のインバータ回路1 の各々の第4 スwitchング素子Q 4 を駆動する。

[0021] 複数の第1 ブートストラップ回路7 1 は、複数の第1 ゲートドライバ6 1 に一対一に対応する。複数の第1 ブートストラップ回路7 1 は、対応する第1 ゲートドライバ6 1 に電圧を供給する。複数の第2 ブートストラップ回路7 2 は、複数の第2 ゲートドライバ6 2 に一対一に対応する。複数の第2 ブートストラップ回路7 2 は、対応する第2 ゲートドライバ6 2 に電圧を供給する。複数の第3 ブートストラップ回路7 3 は、複数の第3 ゲートドライバ6 3 に一対一に対応する。複数の第3 ブートストラップ回路7 3 は、対応する第3 ゲートドライバ6 3 に電圧を供給する。電源部9 は、複数の第4 ゲートドライバ6 4 に電圧を供給する。

[0022] 制御部60は、複数の第1ゲートドライバ61、複数の第2ゲートドライバ62、複数の第3ゲートドライバ63及び複数の第4ゲートドライバ64を制御する。

[0023] (2) 電力変換装置の詳細

直流電源部3は、第1コンデンサC1と、第2コンデンサC2と、を有する。直流電源部3では、第1コンデンサC1と第2コンデンサC2とが直列接続されている。直流電源部3では、第1コンデンサC1の第1端が第1直流端子31に接続されており、第1コンデンサC1の第2端が第2コンデンサC2の第1端に接続されており、第2コンデンサC2の第2端が第2直流端子32に接続されている。直流電源部3では、第1コンデンサC1と第2コンデンサC2との接続点が中間電位点M1である。直流電源部3は、正極P1に接続されている第1直流端子31と、負極N1に接続されている第2直流端子32と、を更に有している。第1直流端子31と第2直流端子32との間には、例えば、直流電圧源E1が接続される。この場合、直流電源部3の正極P1と負極N1の間には、直流電圧源E1の出力電圧 V_{dc} が印加される。なお、第2コンデンサC2のキャパシタンスは、第1コンデンサC1のキャパシタンスと同じである。「第2コンデンサC2のキャパシタンスは、第1コンデンサC1のキャパシタンスと同じである」とは、第2コンデンサC2のキャパシタンスが第1コンデンサC1のキャパシタンスに完全に一致する場合だけに限らず、第2コンデンサC2のキャパシタンスが第1コンデンサC1のキャパシタンスの95%以上105%以下の範囲内であればよい。

[0024] 以下では、説明の便宜上、複数のスイッチング回路10に関し、インバータ回路1Uに含まれるスイッチング回路10をスイッチング回路10Uと称し、インバータ回路1Vに含まれるスイッチング回路10をスイッチング回路10Vと称し、インバータ回路1Wに含まれるスイッチング回路10をスイッチング回路10Wと称することもある。また、複数の出力端子41のうちインバータ回路1Uに含まれる出力端子41を出力端子41Uと称し、イ

ンバータ回路 1 V に含まれる出力端子 4 1 を出力端子 4 1 V と称し、インバータ回路 1 W に含まれる出力端子 4 1 を出力端子 4 1 W と称することもある。

[0025] 各スイッチング回路 1 0 の第 1 スwitchング素子 Q 1、第 2 スwitchング素子 Q 2、第 3 スwitchング素子 Q 3 及び第 4 スwitchング素子 Q 4 は、制御端子と、第 1 主端子と、第 2 主端子と、を有する。各スイッチング回路 1 0 の第 1 スwitchング素子 Q 1、第 2 スwitchング素子 Q 2、第 3 スwitchング素子 Q 3 及び第 4 スwitchング素子 Q 4 は、例えば、MOSFET である。したがって、各スイッチング回路 1 0 の第 1 スwitchング素子 Q 1、第 2 スwitchング素子 Q 2、第 3 スwitchング素子 Q 3 及び第 4 スwitchング素子 Q 4 の各々における、制御端子、第 1 主端子及び第 2 主端子は、それぞれ、ゲート端子、ドレイン端子及びソース端子である。各スイッチング回路 1 0 において、第 1 スwitchング素子 Q 1、第 2 スwitchング素子 Q 2、第 3 スwitchング素子 Q 3 及び第 4 スwitchング素子 Q 4 の各々を構成する MOSFET は、例えば、ノーマリオフ型の n チャネル MOSFET である。なお、MOSFET は、例えば、Si 系 MOSFET 又は SiC 系 MOSFET である。

[0026] 各スイッチング回路 1 0 の第 1 スwitchング素子 Q 1 の制御端子は、複数の第 1 ゲートドライバ 6 1 のうち対応する第 1 ゲートドライバ 6 1 に接続されている。また、各スイッチング回路 1 0 の第 2 スwitchング素子 Q 2 の制御端子は、複数の第 2 ゲートドライバ 6 2 のうち対応する第 2 ゲートドライバ 6 2 に接続されている。また、各スイッチング回路 1 0 の第 3 スwitchング素子 Q 3 の制御端子は、複数の第 3 ゲートドライバ 6 3 のうち対応する第 3 ゲートドライバ 6 3 に接続されている。また、各スイッチング回路 1 0 の第 4 スwitchング素子 Q 4 の制御端子は、複数の第 4 ゲートドライバ 6 4 のうち対応する第 4 ゲートドライバ 6 4 に接続されている。

[0027] 各スイッチング回路 1 0 では、第 1 スwitchング素子 Q 1 の第 1 主端子が直流電源部 3 の正極 P 1 に接続され、第 1 スwitchング素子 Q 1 の第 2 主端

子が第2スイッチング素子Q2の第1主端子に接続されている。また、各スイッチング回路10では、第2スイッチング素子Q2の第2主端子が第3スイッチング素子Q3の第1主端子に接続されている。また、各スイッチング回路10では、第3スイッチング素子Q3の第2主端子が第4スイッチング素子Q4の第1主端子に接続され、第4スイッチング素子Q4の第2主端子が直流電源部3の負極N1に接続されている。

[0028] インバータ回路1Uでは、スイッチング回路10Uにおける第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13が出力端子41Uに接続されている。また、インバータ回路1Vでは、スイッチング回路10Vにおける第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13が出力端子41Vに接続されている。また、インバータ回路1Wでは、スイッチング回路10Wにおける第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13が出力端子41Wに接続されている。インバータ回路1Uの第3接続点13には、出力端子41Uを介して、例えば、交流負荷RA1のU相が接続される。また、インバータ回路1Vの第3接続点13には、出力端子41Vを介して、例えば、交流負荷RA1のV相が接続される。また、インバータ回路1Wの第3接続点13には、出力端子41Wを介して、例えば、交流負荷RA1のW相が接続される。

[0029] 各インバータ回路1では、第1ダイオードD1のアノードが、第1スイッチング素子Q1の第2主端子（ソース端子）に接続され、第1ダイオードD1のカソードが、第1スイッチング素子Q1の第1主端子（ドレイン端子）に接続されている。また、各インバータ回路1では、第2ダイオードD2のアノードが、第2スイッチング素子Q2の第2主端子（ソース端子）に接続され、第2ダイオードD2のカソードが、第2スイッチング素子Q2の第1主端子（ドレイン端子）に接続されている。また、各インバータ回路1では、第3ダイオードD3のアノードが、第3スイッチング素子Q3の第2主端子（ソース端子）に接続され、第3ダイオードD3のカソードが、第3スイッチング素子Q3の第1主端子（ドレイン端子）に接続されている。また、

各インバータ回路1では、第4ダイオードD4のアノードが、第4スイッチング素子Q4の第2主端子（ソース端子）に接続され、第4ダイオードD4のカソードが、第4スイッチング素子Q4の第1主端子（ドレイン端子）に接続されている。

[0030] 各インバータ回路1では、第1ダイオードD1は、第1スイッチング素子Q1を構成するMOSFETの寄生ダイオードで代用されてもよい。また、各インバータ回路1では、第2ダイオードD2は、第2スイッチング素子Q2を構成するMOSFETの寄生ダイオードで代用されてもよい。また、各インバータ回路1では、第3ダイオードD3は、第3スイッチング素子Q3を構成するMOSFETの寄生ダイオードで代用されてもよい。また、各インバータ回路1では、第4ダイオードD4は、第4スイッチング素子Q4を構成するMOSFETの寄生ダイオードで代用されてもよい。

[0031] 各インバータ回路1では、第5ダイオードD5のカソードは、第1スイッチング素子Q1と第2スイッチング素子Q2との第1接続点11に接続されている。また、第5ダイオードD5のアノードは、直流電源部3の中間電位点M1に接続されている。「中間電位点M1」とは、直流電源部3の正極P1の電位と負極N1の電位との間の中間の電位となる点である。実施形態1では、中間電位点M1がグランドに接続されているので、中間電位点M1の電位が0Vである。この場合、直流電源部3の両端電圧を V_{dc} とすると、正極P1の電位は、 $V_{dc}/2$ であり、負極N1の電位は、 $-V_{dc}/2$ である。

[0032] 第6ダイオードD6のカソードは、中間電位点M1に接続されている。第6ダイオードD6のアノードは、第3スイッチング素子Q3と第4スイッチング素子Q4との第2接続点12に接続されている。

[0033] 複数の第1ゲートドライバ61は、複数の第1スイッチング素子Q1に一対一に対応する。複数の第1ゲートドライバ61は、対応する第1スイッチング素子Q1の制御端子に接続されている。複数の第1ゲートドライバ61は、対応する第1スイッチング素子Q1を駆動する。複数の第1ゲートドラ

イバ61は、制御部60に接続されている。制御部60は、複数の第1ゲートドライバ61に一对一に対応する複数の第1制御信号S1（図2参照）を出力する。複数の第1ゲートドライバ61の各々は、与えられた第1制御信号S1に基づいて、第1スイッチング素子Q1をオンオフ制御する。

[0034] 複数の第2ゲートドライバ62は、複数の第2スイッチング素子Q2に一对一に対応する。複数の第2ゲートドライバ62は、対応する第2スイッチング素子Q2の制御端子に接続されている。複数の第2ゲートドライバ62は、対応する第2スイッチング素子Q2を駆動する。複数の第2ゲートドライバ62は、制御部60に接続されている。制御部60は、複数の第2ゲートドライバ62に一对一に対応する複数の第2制御信号S2（図2参照）を出力する。複数の第2ゲートドライバ62の各々は、与えられた第2制御信号S2に基づいて、第2スイッチング素子Q2をオンオフ制御する。

[0035] 複数の第3ゲートドライバ63は、複数の第3スイッチング素子Q3に一对一に対応する。複数の第3ゲートドライバ63は、対応する第3スイッチング素子Q3の制御端子に接続されている。複数の第3ゲートドライバ63は、対応する第3スイッチング素子Q3を駆動する。複数の第3ゲートドライバ63は、制御部60に接続されている。制御部60は、複数の第3ゲートドライバ63に一对一に対応する複数の第3制御信号S3（図2参照）を出力する。複数の第3ゲートドライバ63の各々は、与えられた第3制御信号S3に基づいて、第3スイッチング素子Q3をオンオフ制御する。

[0036] 複数の第4ゲートドライバ64は、複数の第4スイッチング素子Q4に一对一に対応する。複数の第4ゲートドライバ64は、対応する第4スイッチング素子Q4の制御端子に接続されている。複数の第4ゲートドライバ64は、対応する第4スイッチング素子Q4を駆動する。複数の第4ゲートドライバ64は、制御部60に接続されている。制御部60は、複数の第4ゲートドライバ64に一对一に対応する複数の第4制御信号S4（図2参照）を出力する。複数の第4ゲートドライバ64の各々は、与えられた第4制御信号S4に基づいて、第4スイッチング素子Q4をオンオフ制御する。

[0037] 複数の第1ブートストラップ回路71は、複数の第1ゲートドライバ61に一对一に対応する。複数の第1ブートストラップ回路71は、対応する第1ゲートドライバ61に電圧を供給する。複数の第1ブートストラップ回路71の各々は、ダイオードD17と抵抗R17とコンデンサC17（昇圧用コンデンサC17ともいう）とを有する。各第1ブートストラップ回路71では、ダイオードD17のアノードが電源部9の正側端子に接続されており、ダイオードD17のカソードが抵抗R17を介してコンデンサC17の第1端に接続されている。コンデンサC17の第1端は、第1ゲートドライバ61の高電位電源端子61H（図3参照）に接続されており、コンデンサC17の第2端は、第1ゲートドライバ61の低電位電源端子61L（図3参照）に接続されている。第1ブートストラップ回路71は、第1ゲートドライバ61において第1スイッチング素子Q1をオンさせるために必要な電圧を第1ゲートドライバ61に供給する。複数の第1ブートストラップ回路71の各々は、コンデンサC17に並列接続されているツェナダイオードZ17を更に有する。

[0038] 複数の第2ブートストラップ回路72は、複数の第2ゲートドライバ62に一对一に対応する。複数の第2ブートストラップ回路72は、対応する第2ゲートドライバ62に電圧を供給する。複数の第2ブートストラップ回路72の各々は、ダイオードD27と抵抗R27とコンデンサC27（昇圧用コンデンサC27ともいう）とを有する。各第2ブートストラップ回路72では、ダイオードD27のアノードが電源部9の正側端子に接続されており、ダイオードD27のカソードが抵抗R27を介してコンデンサC27の第1端に接続されている。コンデンサC27の第1端は、第2ゲートドライバ62の高電位電源端子62H（図3参照）に接続されており、コンデンサC27の第2端は、第2ゲートドライバ62の低電位電源端子62L（図3参照）に接続されている。第2ブートストラップ回路72は、第2ゲートドライバ62において第2スイッチング素子Q2をオンさせるために必要な電圧を第2ゲートドライバ62に供給する。複数の第2ブートストラップ回路7

2の各々は、コンデンサC 2 7に並列接続されているツェナダイオードZ 2 7を更に有する。

[0039] 複数の第3 ブートストラップ回路7 3は、複数の第3 ゲートドライバ6 3に一对一に対応する。複数の第3 ブートストラップ回路7 3は、対応する第3 ゲートドライバ6 3に電圧を供給する。複数の第3 ブートストラップ回路7 3の各々は、ダイオードD 3 7と抵抗R 3 7とコンデンサC 3 7（昇圧用コンデンサC 3 7ともいう）とを有する。各第3 ブートストラップ回路7 3では、ダイオードD 3 7のアノードが電源部9の正側端子に接続されており、ダイオードD 3 7のカソードが抵抗R 3 7を介してコンデンサC 3 7の第1端に接続されている。コンデンサC 3 7の第1端は、第3 ゲートドライバ6 3の高電位電源端子6 3 H（図3参照）に接続されており、コンデンサC 3 7の第2端は、第3 ゲートドライバ6 3の低電位電源端子6 3 L（図3参照）に接続されている。第3 ブートストラップ回路7 3は、第3 ゲートドライバ6 3において第3 スイッチング素子Q 3をオンさせるために必要な電圧を第3 ゲートドライバ6 3に供給する。複数の第3 ブートストラップ回路7 3の各々は、コンデンサC 3 7に並列接続されているツェナダイオードZ 3 7を更に有する。

[0040] 電源部9は、複数（3つ）の第1 ブートストラップ回路7 1、複数（3つ）の第2 ブートストラップ回路7 2、複数（3つ）の第3 ブートストラップ回路7 3及び複数（3つ）の第4 ゲートドライバ6 4に電圧を供給する。電源部9は、例えば、絶縁型のDC-DCコンバータ9 1を含む直流電源である。電源部9の正側端子は、複数の第4 ゲートドライバ6 4の各々の高電位側電源端子6 4 H（図3参照）に接続されており、電源部9の負側端子は、複数の第4 ゲートドライバ6 4の各々の低電位側電源端子6 4 L（図3参照）に接続されている。

[0041] 制御部6 0は、複数の第1 ゲートドライバ6 1、複数の第2 ゲートドライバ6 2、複数の第3 ゲートドライバ6 3及び複数の第4 ゲートドライバ6 4を制御する。これにより、制御部6 0は、複数の第1 スイッチング素子Q 1

、複数の第2スイッチング素子Q2、複数の第3スイッチング素子Q3及び複数の第4スイッチング素子Q4を制御する。制御部60の実行主体は、コンピュータシステムを含んでいる。コンピュータシステムは、1又は複数のコンピュータを有している。コンピュータシステムは、ハードウェアとしてのプロセッサ及びメモリを主構成とする。コンピュータシステムのメモリに記録されたプログラムをプロセッサが実行することによって、本開示における制御部60の実行主体としての機能が実現される。プログラムは、コンピュータシステムのメモリに予め記録されていてもよいが、電気通信回線を通じて提供されてもよいし、コンピュータシステムで読み取り可能なメモリカード、光学ディスク、ハードディスクドライブ（磁気ディスク）等の非一時的記録媒体に記録されて提供されてもよい。コンピュータシステムのプロセッサは、半導体集積回路（IC）又は大規模集積回路（LSI）を含む1乃至複数の電子回路で構成される。複数の電子回路は、1つのチップに集約されていてもよいし、複数のチップに分散して設けられていてもよい。複数のチップは、1つの装置に集約されていてもよいし、複数の装置に分散して設けられていてもよい。

[0042] 制御部60は、複数（3つ）の第1スイッチング素子Q1を制御するための複数（3つ）の第1制御信号S1（図2参照）と、複数（3つ）の第2スイッチング素子Q2を制御するための複数（3つ）の第2制御信号S2（図2参照）と、複数の第3スイッチング素子Q3を制御するための複数（3つ）の第3制御信号S3（図2参照）と、複数（3つ）の第4スイッチング素子Q4を制御するための複数（3つ）の第4制御信号S4と、を出力する。なお、図2では、3つのインバータ回路1のうち1つのインバータ回路1のみを記載し、残りの2つのインバータ回路の図示を省略してある。また、図2では、複数の第1ゲートドライバ61と、複数の第2ゲートドライバ62と、複数の第3ゲートドライバ63と、複数の第4ゲートドライバ64と、複数の第1ブートストラップ回路71と、複数の第2ブートストラップ回路72と、複数の第3ブートストラップ回路73と、電源部9との図示を省略

してある。また、図3では、3つのインバータ回路1のうち1つのインバータ回路1のみを記載し、残りの2つのインバータ回路の図示を省略してある。また、図3では、2つの第1ゲートドライバ61と、2つの第2ゲートドライバ62と、2つの第3ゲートドライバ63と、2つの第4ゲートドライバ64と、2つの第1ブートストラップ回路71と、2つの第2ブートストラップ回路72と、2つの第3ブートストラップ回路73との図示を省略してある。

[0043] 3つの第1制御信号S1は、スイッチング回路10Uの第1スイッチング素子Q1を制御する第1制御信号S1Uと、スイッチング回路10Vの第1スイッチング素子Q1を制御する第1制御信号S1Vと、スイッチング回路10Wの第1スイッチング素子Q1を制御する第1制御信号S1Wと、を含む。

[0044] 3つの第2制御信号S2は、スイッチング回路10Uの第2スイッチング素子Q2を制御する第2制御信号S2Uと、スイッチング回路10Vの第2スイッチング素子Q2を制御する第2制御信号S2Vと、スイッチング回路10Wの第2スイッチング素子Q2を制御する第2制御信号S2Wと、を含む。

[0045] 3つの第3制御信号S3は、スイッチング回路10Uの第3スイッチング素子Q3を制御する第3制御信号S3Uと、スイッチング回路10Vの第3スイッチング素子Q3を制御する第3制御信号S3Vと、スイッチング回路10Wの第3スイッチング素子Q3を制御する第3制御信号S3Wと、を含む。

[0046] 3つの第4制御信号S4は、スイッチング回路10Uの第4スイッチング素子Q4を制御する第4制御信号S4Uと、スイッチング回路10Vの第4スイッチング素子Q4を制御する第4制御信号S4Vと、スイッチング回路10Wの第4スイッチング素子Q4を制御する第4制御信号S4Wと、を含む。

[0047] 複数の第1制御信号S1、複数の第2制御信号S2、複数の第3制御信号

S 3 及び複数の第 4 制御信号 S 4 の各々は、例えば、電位レベルが第 1 電位レベル（以下、ローレベルともいう）と、第 1 電位レベルよりも高電位の第 2 電位レベル（以下、ハイレベルともいう）と、の間で変化する信号である。第 1 電位レベルは、例えば、0 V であり、第 2 電位レベルは、M O S F E T のゲート閾値電圧よりも大きな電位レベルである。つまり、複数の制御信号（複数の第 1 制御信号 S 1、複数の第 2 制御信号 S 2、複数の第 3 制御信号 S 3 及び複数の第 4 制御信号 S 4）の各々において、第 1 電位レベルは、その制御信号に対応するスイッチング素子をオフ状態とするための電位レベルであり、第 2 電位レベルは、その制御信号に対応するスイッチング素子をオン状態とするための電位レベルである。

[0048] 複数の第 1 スwitchング素子 Q 1 の各々は、対応する第 1 制御信号 S 1 がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第 2 スwitchング素子 Q 2 の各々は、対応する第 2 制御信号 S 2 がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第 3 スwitchング素子 Q 3 の各々は、対応する第 3 制御信号 S 3 がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第 4 スwitchング素子 Q 4 の各々は、対応する第 4 制御信号 S 4 がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。

[0049] マルチレベルインバータ 1 0 0 では、複数のインバータ回路 1 の各々が、第 1 スwitchング状態又は第 2 スwitchング状態又は第 3 スwitchング状態に制御される。つまり、マルチレベルインバータ 1 0 0 は、3 つのインバータ回路 1 U、1 V、1 W の各々において、スswitchング回路 1 0 のスswitchング状態が、第 1 スwitchング状態と、第 2 スwitchング状態と、第 3 スwitchング状態と、のいずれかに制御される。第 1 スwitchング状態と第 2 スwitchング状態と第 3 スwitchング状態とは、第 1 ～第 4 スwitchング素子 Q 1 ～Q 4 のオンオフの状態の組み合わせが異なる。複数のインバータ回路 1 の各々では、第 1 スwitchング状態のときの出力電圧と第 2 スwitchング

状態のときの出力電圧と第3スイッチング状態のときの出力電圧とが互いに異なる。つまり、複数のインバータ回路1の各々では、第1～第4スイッチング素子Q1～Q4の状態によって出力電圧の電位レベルが3レベルで変化する。なお、複数のインバータ回路1の出力電圧に関して、U相のインバータ回路1Uの出力電圧と、V相のインバータ回路1Vの出力電圧と、W相のインバータ回路1Wの出力電圧とは、互いの位相が異なる。

[0050] 第1スイッチング状態は、第1スイッチング素子Q1及び第2スイッチング素子Q2の両方がオン状態、かつ、第3スイッチング素子Q3及び第4スイッチング素子Q4の両方がオフ状態となる組み合わせである。複数のインバータ回路1の各々は、第1スイッチング状態に制御されているときに、直流電源部3の正極P1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第1スイッチング状態では、第3接続点13の電位が直流電源部3の正極P1の電位レベル（例えば、 $V_{dc}/2$ ）となる。

[0051] 第2スイッチング状態は、第1スイッチング素子Q1及び第4スイッチング素子Q4の両方がオフ状態、かつ、第2スイッチング素子Q2及び第3スイッチング素子Q3の両方がオン状態となる組み合わせである。複数のインバータ回路1の各々は、第2スイッチング状態に制御されているときに、直流電源部3の中間電位点M1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第2スイッチング状態では、第3接続点13の電位が中間電位点M1の電位レベル（例えば、0）となる。

[0052] 第3スイッチング状態は、第1スイッチング素子Q1及び第2スイッチング素子Q2の両方がオフ状態、かつ、第3スイッチング素子Q3及び第4スイッチング素子Q4の両方がオン状態となる組み合わせである。複数のインバータ回路1の各々は、第3スイッチング状態に制御されているときに、直流電源部3の負極N1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第3スイッチング状態では、第3接続点13の電位が直流電源部3の負極N1の電位レベル（例えば、 $-V_{dc}/2$ ）

となる。

[0053] インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、図2に示すように直流電源部3の正極P1－第1スイッチング素子Q1－第2スイッチング素子Q2－第3接続点13－出力端子41の経路で電流が流れて、交流負荷RA1（図1参照）への出力電圧の電圧値が $V_{dc}/2$ となる。

[0054] また、インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、第1ブートストラップ回路71のコンデンサC17から第1ゲートドライバ61に、第1ゲートドライバ61により第1スイッチング素子Q1をオンさせるために必要な電圧が供給される。したがって、第1ブートストラップ回路71のコンデンサC17の電荷が、図3に示すように、コンデンサC17－第1ゲートドライバ61の高電位側電源端子61H－第1ゲートドライバ61の低電位側電源端子61L－コンデンサC17の放電経路Ru1で放電される。これにより、第1ブートストラップ回路71では、コンデンサC17の両端電圧が時間経過とともに低下する。

[0055] また、インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、第2ブートストラップ回路72のコンデンサC27から第2ゲートドライバ62に、第2ゲートドライバ62により第2スイッチング素子Q2をオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路72のコンデンサC27の電荷が、コンデンサC27－第2ゲートドライバ62の高電位側電源端子62H－第2ゲートドライバ62の低電位側電源端子62L－コンデンサC27の放電経路Ru2で放電される。これにより、第2ブートストラップ回路72では、コンデンサC27の両端電圧が時間経過とともに低下する。

[0056] また、図3に示すように、コンデンサC17の両端電圧を V_{o1} とし、コンデンサC27の両端電圧を V_{o2} とし、ダイオードD17の両端電圧を V_{d1} とし、抵抗R17の両端電圧を V_{R1} とし、第2スイッチング素子Q2の両端電圧を V_{f2} とすると、インバータ回路1のスイッチング回路10が

第1スイッチング状態のときには、第1条件を満たす場合にコンデンサC27によりコンデンサC17が充電される。第1条件は、 $V_{o2} > (V_{o1} + V_{d1} + V_{R1} + V_{f2})$ という条件である。コンデンサC27によりコンデンサC17を充電する充電経路Ru21は、コンデンサC27－抵抗R27－ダイオードD17－抵抗R17－コンデンサC1－第1接続点11－第2スイッチング素子Q2－コンデンサC27の経路である。

[0057] また、インバータ回路1のスイッチング回路10が第2スイッチング状態のときには、例えば、図4に示すように直流電源部3の中間電位点M1－第5ダイオードD5－第2スイッチング素子Q2－第3接続点13－出力端子41の経路（太い実線矢印で示す経路）で電流が流れて、交流負荷RA1への出力電圧の電圧値が0となる。より詳細には、スイッチング回路10U、10V、10Wが、それぞれ、第2スイッチング状態、第3スイッチング状態、第3スイッチング状態の場合には、直流電源部3の中間電位点M1－第5ダイオードD5－スイッチング回路10Uの第2スイッチング素子Q2－第3接続点13－出力端子41の経路で電流が流れる。

[0058] また、インバータ回路1のスイッチング回路10が第2スイッチング状態のときには、例えば、図4に示すように出力端子41－第3接続点－第3スイッチング素子Q3－第2接続点12－第6ダイオードD6の経路（太い破線矢印で示す経路）で電流が流れて、交流負荷RA1への出力電圧の電圧値が0となる場合もある。より詳細には、スイッチング回路10U、10V、10Wが、それぞれ、第2スイッチング状態、第2スイッチング状態、第1スイッチング状態の場合には、インバータ回路1Uの出力端子41－第3接続点－第3スイッチング素子Q3－第2接続点12－第6ダイオードD6の経路（太い破線矢印で示す経路）で電流が流れて、交流負荷RA1への出力電圧の電圧値が0となる。

[0059] また、インバータ回路1のスイッチング回路10が第2スイッチング状態のときには、第2ブートストラップ回路72のコンデンサC27から第2ゲートドライバ62に、第2ゲートドライバ62により第2スイッチング素子

Q 2 をオンさせるために必要な電圧が供給される。したがって、第 2 ブートストラップ回路 7 2 のコンデンサ C 2 7 の電荷が、図 5 に示すように、コンデンサ C 2 7 – 第 2 ゲートドライバ 6 2 の高電位側電源端子 6 2 H – 第 2 ゲートドライバ 6 2 の低電位側電源端子 6 2 L – コンデンサ C 2 7 の放電経路 R u 2 で放電される。また、インバータ回路 1 のスイッチング回路 1 0 が第 2 スwitching 状態のときには、第 3 ブートストラップ回路 7 3 のコンデンサ C 3 7 から第 3 ゲートドライバ 6 3 に、第 3 ゲートドライバ 6 3 により第 3 スwitching 素子 Q 3 をオンさせるために必要な電圧が供給される。したがって、第 3 ブートストラップ回路 7 3 のコンデンサ C 3 7 の電荷が、コンデンサ C 3 7 – 第 3 ゲートドライバ 6 3 の高電位側電源端子 6 3 H – 第 3 ゲートドライバ 6 3 の低電位側電源端子 6 3 L – コンデンサ C 3 7 の放電経路 R u 3 で放電される。

[0060] また、図 5 に示すように、コンデンサ C 1 7、C 2 7、C 3 7 それぞれの両端電圧を V_{o1} 、 V_{o2} 、 V_{o3} とし、抵抗 R 1 7、R 2 7 それぞれの両端電圧を V_{R1} 、 V_{R2} とし、第 2 スwitching 素子 Q 2、第 3 スwitching 素子 Q 3 それぞれの両端電圧を V_{f2} 、 V_{f3} とすると、インバータ回路 1 のスイッチング回路 1 0 が第 2 スwitching 状態のときには、第 2 条件を満たす場合にコンデンサ C 3 7 によりコンデンサ C 2 7 が充電され、第 3 条件を満たす場合にコンデンサ C 2 7 によりコンデンサ C 1 7 が充電される。第 2 条件は、 $V_{o3} > (V_{o2} + V_{d2} + V_{R2} + V_{f3})$ という条件である。第 3 条件は、 $V_{o2} > (V_{o1} + V_{d1} + V_{R1} + V_{f2})$ という条件である。コンデンサ C 3 7 によりコンデンサ C 2 7 を充電する充電経路 R u 3 2 は、コンデンサ C 3 7 – 抵抗 R 3 7 – ダイオード D 2 7 – 抵抗 R 2 7 – コンデンサ C 2 7 – 第 3 接続点 1 3 – 第 3 スwitching 素子 Q 3 – コンデンサ C 3 7 の経路である。コンデンサ C 2 7 によりコンデンサ C 1 7 を充電する充電経路 R u 2 1 は、コンデンサ C 2 7 – 抵抗 R 2 7 – ダイオード D 1 7 – 抵抗 R 1 7 – コンデンサ C 1 7 – 第 1 接続点 1 1 – 第 2 スwitching 素子 Q 2 – コンデンサ C 2 7 の経路である。コンデンサ C 3 7 によりコンデンサ

C 2 7 を充電する充電経路 R u 3 2 は、コンデンサ C 3 7 - 抵抗 R 3 7 - ダイオード D 2 7 - 抵抗 R 2 7 - コンデンサ C 2 7 - 第 3 接続点 1 3 - 第 3 スイッチング素子 Q 3 - コンデンサ C 3 7 の経路である。

[0061] また、インバータ回路 1 のスイッチング回路が第 3 スイッチング状態のときには、図 6 に示すように直流電源部 3 の負極 N 1 - 第 4 スイッチング素子 Q 4 - 第 3 スイッチング素子 Q 3 - 第 3 接続点 1 3 - 出力端子 4 1 U の経路で電流が流れて、交流負荷 R A 1 への出力電圧の電圧値が $-V_{dc}/2$ となる。また、インバータ回路 1 のスイッチング回路 1 0 が第 3 スイッチング状態のときには、第 1 ブートストラップ回路 7 1 のコンデンサ C 1 7 が充電されるので、コンデンサ C 1 7 の電圧が時間経過とともに上昇し、コンデンサ C 1 7 が満充電状態となる。また、インバータ回路 1 のスイッチング回路 1 0 が第 3 スイッチング状態のときには、第 2 ブートストラップ回路 7 2 (図 1 参照) のコンデンサ C 2 7 が充電されるので、コンデンサ C 2 7 の電圧が時間経過とともに上昇し、コンデンサ C 2 7 が満充電状態となる。また、インバータ回路 1 のスイッチング回路 1 0 が第 3 スイッチング状態のときには、第 3 ブートストラップ回路 7 3 のコンデンサ C 3 7 から第 3 ゲートドライバ 6 3 に、第 3 ゲートドライバ 6 3 により第 3 スイッチング素子 Q 3 をオンさせるために必要な電圧が供給される。したがって、第 3 ブートストラップ回路 7 3 のコンデンサ C 3 7 の電荷が、コンデンサ C 3 7 - 第 3 ゲートドライバ 6 3 の高電位側電源端子 6 3 H - 第 3 ゲートドライバ 6 3 の低電位側電源端子 6 3 L - コンデンサ C 3 7 の放電経路 R u 3 で放電される。また、図 7 に示すように、電源部 9 の両端電圧を V_{oo} とし、コンデンサ C 2 7、C 3 7 それぞれの両端電圧を V_{o2} 、 V_{o3} とし、抵抗 R 2 7、R 3 7 それぞれの両端電圧を V_{R2} 、 V_{R3} とし、第 3 スイッチング素子 Q 3、第 4 スイッチング素子 Q 4 それぞれの両端電圧を V_{f3} 、 V_{f4} とすると、インバータ回路 1 のスイッチング回路 1 0 が第 3 スイッチング状態のときには、第 4 条件を満たす場合に電源部 9 によりコンデンサ C 3 7 が充電され、第 5 条件を満たす場合にコンデンサ C 3 7 によりコンデンサ C 2 7 が充電される。第

6条件は、 $V_{o3} > (V_{o2} + V_{d2} + V_{R2} + V_{f3})$ という条件である。第5条件は、 $V_{o3} > (V_{o2} + V_{d2} + V_{R2} + V_{f3})$ という条件である。電源部9によりコンデンサC37を充電する充電経路Ru93は、電源部9の正側端子－ダイオードD37－ダイオードD27－抵抗R27－コンデンサC27－第3接続点13－第3スイッチング素子Q3－第4スイッチング素子Q4－電源部9の負側端子の経路である。コンデンサC37によりコンデンサC27を充電する充電経路Ru32は、コンデンサC37－抵抗R37－ダイオードD27－抵抗R27－コンデンサC27－第3接続点13－第3スイッチング素子Q3－コンデンサC37の経路である。

[0062] 制御部60は、インバータ回路1U、1V、1Wそれぞれの出力電圧に関する電圧指令 V_u 、 V_v 、 V_w （図8参照）に基づいてインバータ回路1Uの第1～第4スイッチング素子Q1～Q4に対する第1～第4制御信号S1～S4（S1U～S4U）、インバータ回路1Vの第1～第4スイッチング素子Q1～Q4に対する第1～第4制御信号S1～S4（S1V～S4V）、インバータ回路1Wの第1～第4スイッチング素子Q1～Q4に対する第1～第4制御信号S1～S4（S1W～S4W）を生成する。

[0063] 図8に示すように、電圧指令 V_u と、電圧指令 V_v と、電圧指令 V_w とは、例えば、互いの位相が 120° 異なる正弦波状の信号であり、それぞれ、時間とともに値（電圧指令値）が変化する。なお、電圧指令 V_u 、電圧指令 V_v 及び電圧指令 V_w の1周期の長さは、同じである。制御部60は、交流負荷RA1の状態を検出する検出部8から出力される情報に基づいて電圧指令 V_u 、 V_v 、 V_w をPI（Proportional Integral）制御してもよい。交流負荷RA1が3相モータの場合、検出部8から出力される情報は、例えば、交流負荷RA1のU相、V相及びW相それぞれに流れる出力電流を検出する複数の電流センサの検出結果の情報と、3相モータの回転数、回転角等を検出するエンコーダの検出結果の情報と、のうち少なくとも1つを含む。

[0064] 以下、3つのインバータ回路1のうち1つ（例えば、U相のインバータ回路1U）の動作について説明する。V相のインバータ回路1V、W相のイン

バータ回路 1 W の動作は、U 相のインバータ回路 1 U の動作と同様である。
U 相のインバータ回路 1 U の出力電圧と、V 相のインバータ回路 1 V の出力電圧と、W 相のインバータ回路 1 W の出力電圧とは、互いの位相が異なる。

[0065] 制御部 60 は、電圧ベクトル制御を行うことによって、複数の第 1 ゲートドライバ 61 と複数の第 2 ゲートドライバ 62 と複数の第 3 ゲートドライバ 63 と複数の第 4 ゲートドライバ 64 とを制御する。

[0066] 以下、制御部 60 での電圧ベクトル制御について、より詳細に説明する。

[0067] 制御部 60 は、あらかじめ一群の電圧ベクトルを記憶している。一群の電圧ベクトルの各々は、複数のインバータ回路 1 の第 2 スwitching 素子 Q2 と第 3 スwitching 素子 Q3 との接続点（第 3 接続点 13）の電位レベルの組み合わせで定まる。言い換えれば、一群の電圧ベクトルは、U 相に対応するスitching 回路 10 U のスitching 状態と、V 相に対応するスitching 回路 10 V のスitching 状態と、W 相に対応するスitching 回路 10 W のスitching 状態と、で定まる。一群の電圧ベクトルに含まれる電圧ベクトルの数は、 $3^3 = 27$ 個である。

[0068] 一群の電圧ベクトルは、図 9 に示すように、各々の大きさが零である 3 個の零ベクトル V_{0p} 、 V_{0n} 、 V_{0o} を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot 2V_{dc}$ であり向きが異なる 6 個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot V_{dc}$ である 12 個の電圧ベクトル V_{7p} 、 V_{7n} 、 V_{8p} 、 V_{8n} 、 V_{9p} 、 V_{9n} 、 V_{10p} 、 V_{10n} 、 V_{11p} 、 V_{11n} 、 V_{12p} 、 V_{12n} を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot 3^{1/2} \cdot V_{dc}$ であり向きが異なる 6 個の電圧ベクトル V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} を含む。図 9 において、6 個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 のうち隣り合う 2 つの電圧ベクトルのなす角度は、60 度である。また、6 個の電圧ベクトル V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} のうち隣り合う 2 つの電圧ベクトルのなす角度は、60 度である。なお、図 9 は、

一群の電圧ベクトルを直交 $d-q$ 座標上に図示したベクトル図である。

[0069] 一群の電圧ベクトルは、第1スイッチング状態、第2スイッチング状態及び第3スイッチング状態を、それぞれ、「P」、「O」及び「N」の記号で表現し、U相、V相、W相の順に表記すると、図10に示すように表現できる。

[0070] 図10に示すように、3個の零ベクトル V_{0p} 、 V_{0n} 、 V_{0o} は、それぞれ、 V_{0p} [PPP]、 V_{0n} [NNN]、 V_{0o} [OOO] と表現できる。例えば、 V_{0p} [PPP] は、零ベクトル V_{0p} に関して、U相のスイッチング回路10Uのスイッチング状態が「P」であり、V相のスイッチング回路10Vのスイッチング状態が「P」であり、W相のスイッチング回路10Wのスイッチング状態が「P」であることを表現している。例えば、 V_{10p} のように「p」を付してある電圧ベクトルは、「P」を含み、かつ「N」を含まない。この点は、以下、同様である。また、 V_{10n} のように「n」を付してある電圧ベクトルは、「N」を含み、かつ、「P」を含まない。この点は、以下、同様である。また、 V_{10o} のように「o」を付してある電圧ベクトルは、「O」を含み、かつ、「P」及び「N」を含まない。スイッチング回路10のスイッチング状態が「P」の場合、そのスイッチング回路10における第3接続点13の電位は、直流電源部3の正極P1の電位となる。スイッチング回路10のスイッチング状態が「N」の場合、そのスイッチング回路10における第3接続点13の電位は、直流電源部3の負極N1の電位となる。スイッチング回路10のスイッチング状態が「O」の場合、そのスイッチング回路10における第3接続点13の電位は、直流電源部3の中間電位点M1の電位となる。

[0071] また、6個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、それぞれ、 V_1 [PNN]、 V_2 [PPN]、 V_3 [NPN]、 V_4 [NPP]、 V_5 [NNP]、 V_6 [PNP] と表現できる。 V_1 [PNN]、 V_2 [PPN]、 V_3 [NPN]、 V_4 [NPP]、 V_5 [NNP]、 V_6 [PNP] のように、「V」に付した数字の後に「p」、「n」、「o」のいずれ

も付していない電圧ベクトルは、3相のスイッチング状態として、「P」及び「N」を含む。

[0072] また、12個の電圧ベクトル V_{7p} 、 V_{7n} 、 V_{8p} 、 V_{8n} 、 V_{9p} 、 V_{9n} 、 V_{10p} 、 V_{10n} 、 V_{11p} 、 V_{11n} 、 V_{12p} 、 V_{12n} は、それぞれ、 V_{7p} [P00]、 V_{7n} [0NN]、 V_{8p} [PP0]、 V_{8n} [00N]、 V_{9p} [OP0]、 V_{9n} [NON]、 V_{10p} [OPP]、 V_{10n} [N00]、 V_{11p} [00P]、 V_{11n} [NN0]、 V_{12p} [POP]、 V_{12n} [ON0] と表現できる。

[0073] また、6個の電圧ベクトル V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} は、それぞれ、 V_{13} [PON]、 V_{14} [OPN]、 V_{15} [NPO]、 V_{16} [NOP]、 V_{17} [ONP]、 V_{18} [PNO] と表現できる。

[0074] 制御部60は、複数のインバータ回路1の各々の出力電圧に関する指令電圧の瞬時値を指令電圧ベクトル V^* （図11参照）に変換する。指令電圧ベクトル V^* の、直交d-q座標上におけるd軸成分を V_d とし、指令電圧ベクトル V^* の、直交d-q座標上におけるq軸成分を V_q とすると、指令電圧ベクトル V^* は、式（1）を用いて求めることができる。

[0075] [数1]

$$V^* = \begin{bmatrix} V_d \\ V_q \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_u \\ V_v \\ V_w \end{bmatrix} \quad \dots \text{式 (1)}$$

[0076] 制御部60は、一群の電圧ベクトルのうち指令電圧ベクトル V^* に隣接する複数（例えば、5つ）の電圧ベクトルを選択する。図12Aの例では、複数の電圧ベクトルは、 V_{8p} [PP0]、 V_{8n} [00N]、 V_{13} [PON]、 V_{7p} [P00]、 V_{7n} [0NN] である。

[0077] 制御部60は、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル V^* に最も近い第1電圧ベクトル V_{V1} （図11及び12Aの例

では、 $V_{8p} [PPO]$ 及び $V_{8n} [OON]$) を、複数のインバータ回路 1 の第 2 スイッチング素子 Q_2 と第 3 スイッチング素子 Q_3 との第 3 接続点 13 の電位レベルが負極の電位となる組み合わせの零ベクトル $V_{0n} [NNN]$ と、第 1 電圧ベクトル V_{V1} と同じ向きで第 1 電圧ベクトル V_{V1} とは大ききの異なる少なくとも 1 つの第 2 電圧ベクトル V_{V2} (図 12 A の例では、 $V_2 [PPN]$) と、に置換する。基準大ききは、例えば、 $(2/3)^{1/2} \cdot V_{dc}$ である。したがって、複数の電圧ベクトルは、大ききが基準大ききである電圧ベクトル (基準ベクトル) として、12 個の電圧ベクトル $V_{7p} [POO]$ 、 $V_{7n} [ONN]$ 、 $V_{8p} [PPO]$ 、 $V_{8n} [OON]$ 、 $V_{9p} [OP O]$ 、 $V_{9n} [NON]$ 、 $V_{10p} [OPP]$ 、 $V_{10n} [N O O]$ 、 $V_{11p} [OOP]$ 、 $V_{11n} [NNO]$ 、 $V_{12p} [POP]$ 、 $V_{12n} [ONO]$ を含む。指令電圧ベクトル V^* に最も近い第 1 電圧ベクトル V_{V1} と指令電圧ベクトル V^* とのなす角度は、30 度よりも小さい。

[0078] 制御部 60 は、複数の電圧ベクトルのうち第 1 電圧ベクトル V_{V1} (図 12 A の例では、 $V_{8p} [PPO]$ 及び $V_{8n} [OON]$) 以外の 3 つの電圧ベクトル (図 12 B の例では、 $V_{13} [PON]$ 、 $V_{7p} [POO]$ 及び $V_{7n} [ONN]$) と、零ベクトル $V_{0n} [NNN]$ と、少なくとも 1 つの第 2 電圧ベクトル V_{V2} と、の合成ベクトルを指令電圧ベクトル V^* と一致させるように、所定の制御周期 T_s (図 15 参照) 内において複数の第 1 ゲートドライバ 61 と複数の第 2 ゲートドライバ 62 と複数の第 3 ゲートドライバ 63 と複数の第 4 ゲートドライバ 64 とを制御する。所定の制御周期 T_s は、例えば、キャリア信号の 2 周期である。

[0079] ところで、第 1 電圧ベクトル V_{V1} を零ベクトルと第 2 電圧ベクトル V_{V2} とに置換しない制御を行う比較例では、制御周期 T_s 内において、指令電圧ベクトル V^* を囲む正三角形の頂点のベクトルの合成ベクトルを、指令電圧ベクトル V^* に一致させる。すなわち、比較例では、第 1 電圧ベクトル V_{V1} (図 12 A の例では、 $V_{8p} [PPO]$ 及び $V_{8n} [OON]$) と、電圧ベクトル $V_{13} [PON]$ と、電圧ベクトル $V_{7p} [POO]$ 及び $V_{7n} [O$

NN] と、の合成ベクトルを指令電圧ベクトル V^* と一致させる。比較例では、制御周期 T_s がキャリア信号の 1 周期である。比較例では、制御周期 T_s 内において、例えば図 13 に示すように、時系列的に並ぶ 2 つの電圧ベクトルにおいて U 相、V 相、W 相のうち 1 相のみのスイッチング状態が「P」と「0」との間又は「0」と「N」との間で変化し、かつ、同じ電圧ベクトルが 2 回ずつ出力される。図 13 では、電圧ベクトル V_{8n} [00N] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{7p} [POO] → 電圧ベクトル V_{8p} [PP0] → 電圧ベクトル V_{8p} [PP0] → 電圧ベクトル V_{7p} [POO] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{8n} [00N] の順に出力される。図 13 では、制御周期 T_s に対する、電圧ベクトル V_{8p} 及び電圧ベクトル V_{8n} の配分時間を T_0 とし、電圧ベクトル V_{13} の配分時間を T_1 とし、電圧ベクトル V_{7p} 及び電圧ベクトル V_{7n} の配分時間を T_2 とした場合について例示してある。 T_0 、 T_1 、 T_2 については、指令電圧ベクトル V^* を囲む正三角形の頂点の電圧ベクトルを V_a 、 V_b 、 V_c とし、指令電圧ベクトル V^* の大きさを V 、角度を θ とすると、式 (2) 及び式 (3) を満足するように、 T_0 、 T_1 、 T_2 を決める。式 (2) における「 j 」は、虚数単位である。なお、図 13 の例では、例えば、電圧ベクトル V_a は、電圧ベクトル V_{8p} [PP0] 及び V_{8n} [00N] であり、電圧ベクトル V_b は、電圧ベクトル V_{13} [PON] であり、電圧ベクトル V_c は、電圧ベクトル V_{7p} [POO] 及び V_{7n} [ONN] である。

[0080] [数2]

$$\begin{aligned} V_a \cdot T_0 + V_b \cdot T_1 + V_c \cdot T_2 \\ = V \cdot T_s \cdot \cos \theta + j V \cdot T_s \cdot \sin \theta \quad \cdots \text{式 (2)} \end{aligned}$$

[0081] [数3]

$$T_0 + T_1 + T_2 = T_s \quad \cdots \text{式 (3)}$$

[0082] 図 13 の例では、図 14 に示すように、制御周期 T_s 内の全期間において

第2スイッチング素子Q2がオン状態となってしまう、第2ブートストラップ回路72の電圧低下幅が大きくなってしまう。

[0083] これに対して、実施形態1に係るマルチレベルインバータ100の制御部60では、キャリア信号の2周期内において、例えば図15に示すように、電圧ベクトル V_{8n} [00N] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{7p} [POO] → 電圧ベクトル V_{8p} [PPO] → 電圧ベクトル V_{8p} [PPO] → 電圧ベクトル V_{7p} [POO] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{8n} [00N] の順に出力される。制御部60では、比較例での電圧ベクトル V_{8p} [PPO]、 V_{8p} [PPO] をそれぞれ零ベクトル V_{0n} [NNN] と第2電圧ベクトル V_{V2} (V_2 [PPN]) とに置き換えるので、図15に示すように、U相のスイッチング状態が「N」となる期間を発生させることができる。これにより、実施形態1に係るマルチレベルインバータ100は、図16に示すように、第1スイッチング素子Q1及び第2スイッチング素子Q2の両方がオフ状態、かつ、第3スイッチング素子Q3及び第4スイッチング素子Q4の両方がオン状態となる第3スイッチング状態を発生させることができる。したがって、実施形態1に係るマルチレベルインバータ100は、第2ブートストラップ回路72のコンデンサC27の電圧低下を抑制できる。

[0084] また、比較例では、指令電圧ベクトル V^* が図12Aと同じであっても、制御周期 T_s の開始時のキャリア信号の初期値により、制御周期 T_s 内の電圧ベクトルの順序が異なることがある。図17の例では、電圧ベクトル V_{8p} [PPO] → 電圧ベクトル V_{7p} [POO] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{8n} [00N] → 電圧ベクトル V_{8n} [00N] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{7p} [POO] → 電圧ベクトル V_{8p} [PPO] の順に出力される。また、図17では、図13の例と同様、電圧ベクトル V_{8p} 及び電圧ベクトル V_{8n} の配分時間を T_0 とし、電圧ベクトル V_{13} の配分時間を T_1 とし、電圧ベクトル V_{7p} 及び電圧ベクトル V_{7n} の配分時間を T_2 とした場合について例示してある。この場合、図

18に示すように、制御周期 T_s 内の全期間において第3スイッチング状態が発生せず、第2ブートストラップ回路72の電圧低下幅が大きくなってしまう。

[0085] これに対して、実施形態1に係るマルチレベルインバータ100の制御部60では、キャリア信号の2周期内において、例えば図19に示すように、電圧ベクトル V_2 [PPN] →電圧ベクトル V_{7p} [POO] →電圧ベクトル V_{13} [PON] →電圧ベクトル V_{8n} [OON] →電圧ベクトル V_{8n} [OON] →電圧ベクトル V_{13} [PON] →電圧ベクトル V_{7p} [POO] →零ベクトル V_{0n} [NNN] の順に出力される。制御部60では、図17の例での電圧ベクトル V_{8p} [PPO]、 V_{8p} [PPO] をそれぞれ電圧ベクトル V_2 [PPN]、 V_{0n} [NNN] に置き換えるので、図19に示すように、U相のスイッチング状態が「N」となる期間を発生させることができる。これにより、実施形態1に係るマルチレベルインバータ100は、図20に示すように、制御周期 T_s 内において第3スイッチング状態を発生させることができる。したがって、実施形態1に係るマルチレベルインバータ100は、第2ブートストラップ回路72のコンデンサC27の電圧低下を抑制できる。

[0086] ところで、実施形態1に係るマルチレベルインバータ100では、制御部60は、指令電圧ベクトル V^* に対応する指令電圧の極性が正のときに、第1電圧ベクトル V_{V1} を零ベクトル V_{0n} [NNN] と第2電圧ベクトル V_{V2} とに置換する。実施形態1に係るマルチレベルインバータ100では、制御部60は、指令電圧ベクトル V^* に対応する指令電圧の極性が負のときには、第1電圧ベクトル V_{V1} を零ベクトル V_{0n} [NNN] と第2電圧ベクトル V_{V2} とに置換しない。

[0087] また、マルチレベルインバータ100では、制御部60は、複数の第1ブートストラップ回路71及び複数の第2ブートストラップ回路72それぞれの出力電圧が所定値以下に低下しないように、複数の第1ゲートドライバ61と複数の第2ゲートドライバ62と複数の第3ゲートドライバ63と複数

の第4ゲートドライバ64とを制御する。

[0088] (3) まとめ

実施形態1に係るマルチレベルインバータ100では、制御部60が、一群(27個)の電圧ベクトルのうち指令電圧ベクトル V^* に隣接する複数(5個)の電圧ベクトル(例えば、 V_{8p} [P P 0]、 V_{8n} [0 0 N]、 V_{13} [P 0 N]、 V_{7p} [P 0 0]、 V_{7n} [0 N N])を選択する。一群の電圧ベクトルの各々は、複数のインバータ回路1の第2スイッチング素子 Q_2 と第3スイッチング素子 Q_3 との第3接続点13の電位レベルの組み合わせで定まる。制御部60は、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル V^* に最も近い2つの第1電圧ベクトル V_{V1} のうち1つの第1電圧ベクトル V_{V1} を、複数のインバータ回路1の第2スイッチング素子 Q_2 と第3スイッチング素子 Q_3 との第3接続点13の電位レベルが負極N1の電位となる組み合わせの零ベクトル V_{0n} [N N N]と、第1電圧ベクトル V_{V1} と同じ向きで第1電圧ベクトル V_{V1} の2倍の大きさの第2電圧ベクトル V_{V2} と、に置換する。制御部60は、複数の電圧ベクトルのうち第1電圧ベクトル V_{V1} 以外の電圧ベクトルと、2つの第1電圧ベクトル V_{V1} の残りの第1電圧ベクトル V_{V1} と、零ベクトル V_{0n} [N N N]と、第2電圧ベクトル V_{V2} と、の合成ベクトルを指令電圧ベクトル V^* と一致させるように、所定の制御周期 T_s 内において複数の第1ゲートドライバ61と複数の第2ゲートドライバ62と複数の第3ゲートドライバ63と複数の第4ゲートドライバ64とを制御する。

[0089] 実施形態1に係るマルチレベルインバータ100によれば、ブートストラップ回路の電圧低下を抑制することが可能となる。より詳細には、この態様によれば、複数の第1ブートストラップ回路71のコンデンサ C_{17} 、複数の第2ブートストラップ回路72のコンデンサ C_{27} 及び複数の第3ブートストラップ回路73のコンデンサ C_{37} の電圧低下を抑制することが可能となる。

[0090] また、実施形態1に係るマルチレベルインバータ100では、電源部9に

含まれるDC-DCコンバータ91が、複数の第4ゲートドライバ64と複数の第3ブートストラップ回路73とに電圧を供給する。これにより、実施形態1に係るマルチレベルインバータ100は、小型化を図ることが可能となる。

[0091] (実施形態2)

実施形態2に係るマルチレベルインバータ100の回路構成は、実施形態1に係るマルチレベルインバータ100(図1参照)と同じなので、図示及び説明を省略する。

[0092] 実施形態1に係るマルチレベルインバータ100では、例えば、図15の例のように、制御部60が2つの第1電圧ベクトル $VV1(V8n[00N], V8p[PP0])$ のうち1つの第1電圧ベクトル $VV1$ のみを零ベクトル $(V0n[NNN])$ と第2電圧ベクトル $VV2(V2[PPN])$ とに置換している。

[0093] これに対して、実施形態2に係るマルチレベルインバータ100では、制御部60が、例えば、図21の例に示すように、2つの第1電圧ベクトル $VV1(V8n[00N], V8p[PP0])$ の1つの第1電圧ベクトル $VV1(V8n[00N])$ を零ベクトル $V0n[NNN]$ に置換し、残りの1つの第1電圧ベクトル $VV1(V8p[PP0])$ を第2電圧ベクトル $VV2(V2[PPN])$ に置換する。この場合、実施形態2に係るマルチレベルインバータ100の制御部60では、キャリア信号の2周期内において、図21に示すように、零ベクトル $V0n[NNN] \rightarrow$ 電圧ベクトル $V13[PON] \rightarrow$ 電圧ベクトル $V7p[PO0] \rightarrow$ 電圧ベクトル $V2[PPN] \rightarrow$ 電圧ベクトル $V2[PPN] \rightarrow$ 電圧ベクトル $V7p[PO0] \rightarrow$ 電圧ベクトル $V13[PON] \rightarrow$ 零ベクトル $V0[NNN]$ の順に出力される。制御部60では、図13の例での電圧ベクトル $V8n[00N], V8p[PP0], V8p[PP0], V8n[00N]$ をそれぞれ零ベクトル $V0n[NNN]$ 、電圧ベクトル $V2[PPN]$ 、電圧ベクトル $V2[PPN]$ 、零ベクトル $V0n[NNN]$ に置き換えるので、図21に示すように、U相の

スイッチング状態が「N」となる期間を発生させることができる。これにより、実施形態2に係るマルチレベルインバータ100は、図22に示すように、制御周期 T_s 内において第3スイッチング状態を発生させることができる。したがって、実施形態2に係るマルチレベルインバータ100は、第2ブートストラップ回路72のコンデンサC27の電圧低下を抑制できる。

[0094] また、実施形態1に係るマルチレベルインバータ100は、図19の例では、制御部60が2つの第1電圧ベクトル $VV1$ ($V8n$ [00N]、 $V8p$ [PP0]) のうち1つの第1電圧ベクトル $VV1$ ($V8p$ [PP0]) のみを零ベクトル VO_n [NNN] と第2電圧ベクトル $VV2$ ($V2$ [PPN]) とに置換している。

[0095] これに対して、実施形態2に係るマルチレベルインバータ100では、制御部60が、例えば、図23の例に示すように、2つの第1電圧ベクトル $VV1$ ($V8n$ [00N]、 $V8p$ [PP0]) のうち1つの第1電圧ベクトル $VV1$ ($V8n$ [00N]) を零ベクトル VO_n [NNN] に置換し、残りの1つの第1電圧ベクトル $VV1$ ($V8p$ [PP0]) を第2電圧ベクトル $VV2$ ($V2$ [PPN]) に置換する。この場合、実施形態2に係るマルチレベルインバータ100の制御部60では、キャリア信号の2周期内において、図23に示すように、電圧ベクトル $V2$ [PPN] →電圧ベクトル $V7p$ [P00] →電圧ベクトル $V13$ [PON] →零ベクトル VO_n [NNN] →零ベクトル VO_n [NNN] →電圧ベクトル $V13$ [PON] →電圧ベクトル $V7p$ [P00] →電圧ベクトル $V2$ [PPN] の順に出力される。制御部60では、図17の例での電圧ベクトル $V8p$ [PP0]、 $V8n$ [00N]、 $V8n$ [00N]、 $V8p$ [PP0] をそれぞれ電圧ベクトル $V2$ [PPN]、 VO_n [NNN]、 VO_n [NNN]、 $V2$ [PPN] に置き換えるので、図23に示すように、U相のスイッチング状態が「N」となる期間を発生させることができる。これにより、実施形態2に係るマルチレベルインバータ100は、図24に示すように、制御周期 T_s 内において第3スイッチング状態を発生させることができる。したがって、実施形態2に

係るマルチレベルインバータ100は、第2ブートストラップ回路72のコンデンサC27の電圧低下を抑制できる。

[0096] 実施形態2に係るマルチレベルインバータ100では、制御部60は、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル V^* に最も近い第1電圧ベクトル V_{V1} を、複数のインバータ回路1の第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13の電位レベルが負極N1の電位となる組み合わせの零ベクトル V_o [NNN]と、第1電圧ベクトル V_{V1} と同じ向きで第1電圧ベクトル V_{V1} の2倍の大きさの第2電圧ベクトル V_{V2} と、に置換する。制御部60は、複数の電圧ベクトルのうち第1電圧ベクトル V_{V1} 以外の電圧ベクトルと、零ベクトル V_o [NNN]と、第2電圧ベクトル V_{V2} と、の合成ベクトルを指令電圧ベクトル V^* と一致させるように、所定の制御周期 T_s 内において複数の第1ゲートドライバ61と複数の第2ゲートドライバ62と複数の第3ゲートドライバ63と複数の第4ゲートドライバ64とを制御する。

[0097] 実施形態2に係るマルチレベルインバータ100によれば、ブートストラップ回路の電圧低下を抑制することが可能となる。より詳細には、この態様によれば、複数の第1ブートストラップ回路71のコンデンサC17、複数の第2ブートストラップ回路72のコンデンサC27及び複数の第3ブートストラップ回路73のコンデンサC37の電圧低下を抑制することが可能となる。

[0098] (その他の変形例)

上記の実施形態1、2は、本開示の様々な実施形態の一つに過ぎない。上記の実施形態1、2は、本開示の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0099] 例えば、複数の第1スイッチング素子Q1、複数の第2スイッチング素子Q2、複数の第3スイッチング素子Q3及び複数の第4スイッチング素子Q4の各々は、MOSFETに限らず、例えば、IGBT (Insulated Gate Bipolar Transistor) であってもよい。この場合、複数の第1スイッチング素

子Q 1、複数の第2スイッチング素子Q 2、複数の第3スイッチング素子Q 3及び複数の第4スイッチング素子Q 4の各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、コレクタ端子及びエミッタ端子である。

[0100] また、実施形態1、2に係るマルチレベルインバータ100では、制御部60は、指令電圧ベクトル V^* に対応する指令電圧の極性が正のときだけに限らず、負のときにも、第1電圧ベクトル $V V 1$ を零ベクトル $V 0 n$ [NNN]と第2電圧ベクトル $V V 2$ とに置換してもよい。

[0101] また、複数の第1ブートストラップ回路71の各々は、ツェナダイオードZ17を含んでいるが、ツェナダイオードZ17を含んでいない構成であってもよい。また、複数の第2ブートストラップ回路72の各々は、ツェナダイオードZ27を含んでいるが、ツェナダイオードZ27を含んでいない構成であってもよい。また、複数の第3ブートストラップ回路73の各々は、ツェナダイオードZ37を含んでいるが、ツェナダイオードZ37を含んでいない構成であってもよい。

[0102] また、マルチレベルインバータ100は、3つの第4ゲートドライバ64に電圧を供給する電源部9として、図1のように1つのDC-DCコンバータ91を備えた構成に限らず、例えば、図25に示す変形例に係るマルチレベルインバータ100のように、電源部9が、複数(3つ)のDC-DCコンバータ91を備えた構成であってもよい。複数のDC-DCコンバータ91は、複数(3つ)の第4ゲートドライバ64に対応し、対応する第4ゲートドライバ64に電圧を供給する。変形例に係るマルチレベルインバータ100の場合、複数の第1ブートストラップ回路71の各々では、複数のDC-DCコンバータ91のうち対応するDC-DCコンバータ91の正側端子に、ダイオードD17のアノードが接続されている。また、複数の第2ブートストラップ回路72の各々では、複数のDC-DCコンバータ91のうち対応するDC-DCコンバータ91の正側端子に、ダイオードD27のアノードが接続されている。また、複数の第3ブートストラップ回路73の各々

では、複数のDC-DCコンバータ91のうち対応するDC-DCコンバータ91の正側端子に、ダイオードD37のアノードが接続されている。

[0103] また、マルチレベルインバータ100は、3レベル以上のマルチレベルインバータであればよく、例えば、5レベルインバータであってもよい。

[0104] (実施形態3)

以下では、実施形態3に係るマルチレベルインバータ100aについて、図26～38Bに基づいて説明する。

[0105] (1) 概要

マルチレベルインバータ100aは、例えば、図26に示すように、直流電源部3と、複数（例えば、3つ）のインバータ回路1aと、制御装置6aと、を備える。直流電源部3は、正極P1と負極N1と中間電位点M1とを有する。複数のインバータ回路1aは、直流電源部3の正極P1と負極N1との間に接続されている。制御装置6aは、複数のインバータ回路1aを制御する。

[0106] マルチレベルインバータ100aは、T型の3レベル3相インバータである。マルチレベルインバータ100aでは、複数のインバータ回路1aの各々が出力端子41aを有している。マルチレベルインバータ100aでは、複数の出力端子（交流端子）41aに交流負荷RA1が接続される。交流負荷RA1は、例えば、3相モータである。マルチレベルインバータ100aでは、複数のインバータ回路1aのうちの1つが、U相の電圧を出力するインバータ回路1Uaであり、別の1つが、V相の電圧を出力するインバータ回路1Vaであり、残りの1つが、W相の電圧を出力するインバータ回路1Waである。

[0107] 複数のインバータ回路1aの各々は、第1スイッチング素子Q1a、第2スイッチング素子Q2a、第3スイッチング素子Q3a及び第4スイッチング素子Q4aと、第1ダイオードD1a、第2ダイオードD2a、第3ダイオードD3a及び第4ダイオードD4aと、を有する。第1ダイオードD1a、第2ダイオードD2a、第3ダイオードD3a及び第4ダイオードD4

aは、第1スイッチング素子Q1a、第2スイッチング素子Q2a、第3スイッチング素子Q3a及び第4スイッチング素子Q4aにそれぞれ逆並列接続されている。複数のインバータ回路1aの各々では、第1スイッチング素子Q1a、第2スイッチング素子Q2aが、正極P1側から負極N1側へ第1スイッチング素子Q1a、第2スイッチング素子Q2aの順に並ぶように直列接続されている。つまり、図26及び27に示すように、第1スイッチング素子Q1aと第2スイッチング素子Q2aとの直列回路（第1回路11a）が、正極P1と負極N1との間に接続されている。複数のインバータ回路1aの各々では、第3スイッチング素子Q3aと第4スイッチング素子Q4aとの直列回路（第2回路12a）が、中間電位点M1と出力点との間に接続されている。出力点は、第1スイッチング素子Q1aと第2スイッチング素子Q2aとの接続点13aである。第2回路12aは、第3スイッチング素子Q3aと第4スイッチング素子Q4aと第3ダイオードD3aと第4ダイオードD4aとを含む双方向スイッチを有している。

[0108] 制御装置6aは、複数（例えば、3つ）の第1ゲートドライバ61aと、複数（例えば、3つ）の第2ゲートドライバ62aと、複数（例えば、3つ）の第3ゲートドライバ63aと、複数（例えば、3つ）の第4ゲートドライバ64aと、を有する。また、制御装置6aは、複数（例えば、3つ）のブートストラップ回路71a（以下、第1ブートストラップ回路71aともいう）と、複数（例えば、3つ）の第2ブートストラップ回路72aと、電源部9aと、制御部60aと、を有する。

[0109] 複数の第1ゲートドライバ61aは、複数のインバータ回路1aの第1スイッチング素子Q1aを駆動する。複数の第2ゲートドライバ62aは、複数のインバータ回路1aの第2スイッチング素子Q2aを駆動する。複数の第3ゲートドライバ63aは、複数のインバータ回路1aの第3スイッチング素子Q3aを駆動する。複数の第4ゲートドライバ64aは、複数のインバータ回路1aの第4スイッチング素子Q4aを駆動する。

[0110] 複数の第1ブートストラップ回路71aは、複数の第1ゲートドライバ6

1 a に一対一に対応する。複数の第1 ブートストラップ回路 7 1 a は、対応する第1 ゲートドライバ 6 1 a に電圧を供給する。複数の第2 ブートストラップ回路 7 2 a は、複数の第3 ゲートドライバ 6 3 a 及び複数の第4 ゲートドライバ 6 4 a に対応する。複数の第2 ブートストラップ回路 7 2 a は、対応する第3 ゲートドライバ 6 3 a 及び対応する第4 ゲートドライバ 6 4 a に電圧を供給する。電源部 9 a は、複数の第2 ゲートドライバ 6 2 a に電圧を供給する。

[0111] 制御部 6 0 a は、複数の第1 ゲートドライバ 6 1 a、複数の第2 ゲートドライバ 6 2 a、複数の第3 ゲートドライバ 6 3 a 及び複数の第4 ゲートドライバ 6 4 a を制御する。

[0112] (2) 電力変換装置の詳細

直流電源部 3 は、第1 コンデンサ C 1 と、第2 コンデンサ C 2 と、を有する。直流電源部 3 では、第1 コンデンサ C 1 と第2 コンデンサ C 2 とが直列接続されている。直流電源部 3 では、第1 コンデンサ C 1 の第1 端が第1 直流端子 3 1 に接続されており、第1 コンデンサ C 1 の第2 端が第2 コンデンサ C 2 の第1 端に接続されており、第2 コンデンサ C 2 の第2 端が第2 直流端子 3 2 に接続されている。直流電源部 3 では、第1 コンデンサ C 1 と第2 コンデンサ C 2 との接続点が中間電位点 M 1 である。直流電源部 3 は、正極 P 1 に接続されている第1 直流端子 3 1 と、負極 N 1 に接続されている第2 直流端子 3 2 と、を更に有している。第1 直流端子 3 1 と第2 直流端子 3 2 との間には、例えば、直流電圧源 E 1 が接続される。この場合、直流電源部 3 の正極 P 1 と負極 N 1 との間には、直流電圧源 E 1 の出力電圧 V_{dc} が印加される。なお、第2 コンデンサ C 2 のキャパシタンスは、第1 コンデンサ C 1 のキャパシタンスと同じである。「第2 コンデンサ C 2 のキャパシタンスは、第1 コンデンサ C 1 のキャパシタンスと同じである」とは、第2 コンデンサ C 2 のキャパシタンスが第1 コンデンサ C 1 のキャパシタンスに完全に一致する場合だけに限らず、第2 コンデンサ C 2 のキャパシタンスが第1 コンデンサ C 1 のキャパシタンスの 95% 以上 105% 以下の範囲内であれ

ばよい。

[0113] 以下では、説明の便宜上、複数の出力端子41aのうちインバータ回路1Uaに含まれる出力端子41aを出力端子41Uaと称し、インバータ回路1Vaに含まれる出力端子41aを出力端子41Vaと称し、インバータ回路1Waに含まれる出力端子41aを出力端子41Waと称することもある。

[0114] 各インバータ回路1aの第1スイッチング素子Q1a、第2スイッチング素子Q2a、第3スイッチング素子Q3a及び第4スイッチング素子Q4aは、制御端子と、第1主端子と、第2主端子と、を有する。各インバータ回路1aの第1スイッチング素子Q1a、第2スイッチング素子Q2a、第3スイッチング素子Q3a及び第4スイッチング素子Q4aは、例えば、MOSFETである。したがって、各インバータ回路1aの第1スイッチング素子Q1a、第2スイッチング素子Q2a、第3スイッチング素子Q3a及び第4スイッチング素子Q4aの各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、ドレイン端子及びソース端子である。各インバータ回路1aにおいて、第1スイッチング素子Q1a、第2スイッチング素子Q2a、第3スイッチング素子Q3a及び第4スイッチング素子Q4aの各々を構成するMOSFETは、例えば、ノーマリオフ型のnチャネルMOSFETである。なお、MOSFETは、例えば、Si系MOSFET又はSiC系MOSFETである。

[0115] 各インバータ回路1aの第1スイッチング素子Q1aの制御端子は、複数の第1ゲートドライバ61aのうち対応する第1ゲートドライバ61aに接続されている。また、各インバータ回路1aの第2スイッチング素子Q2aの制御端子は、複数の第2ゲートドライバ62aのうち対応する第2ゲートドライバ62aに接続されている。また、各インバータ回路1aの第3スイッチング素子Q3aの制御端子は、複数の第3ゲートドライバ63aのうち対応する第3ゲートドライバ63aに接続されている。また、各インバータ回路1aの第4スイッチング素子Q4aの制御端子は、複数の第4ゲートド

ライバ64aのうち対応する第4ゲートドライバ64aに接続されている。

[0116] 各インバータ回路1aでは、第1スイッチング素子Q1aの第1主端子が直流電源部3の正極P1に接続され、第1スイッチング素子Q1aの第2主端子が第2スイッチング素子Q2aの第1主端子に接続されており、第2スイッチング素子Q2aの第2主端子が直流電源部3の負極N1に接続されている。

[0117] また、各インバータ回路1aでは、第3スイッチング素子Q3aの第1主端子が中間電位点M1に接続されており、第3スイッチング素子Q3aの第2主端子が第4スイッチング素子Q4aの第2主端子に接続され、第4スイッチング素子Q4aの第1主端子が接続点13aに接続されている。したがって、第2回路12a（図27参照）の有する双方向スイッチは、第3スイッチング素子Q3aと第4スイッチング素子Q4aとの第2主端子（ソース端子）同士が接続されているコモンソースの双方向スイッチである。「中間電位点M1」とは、直流電源部3の正極P1の電位と負極N1の電位との間の中間の電位となる点である。実施形態3では、中間電位点M1がグランドに接続されているので、中間電位点M1の電位が0Vである。この場合、直流電源部3の両端電圧を V_{dc} とすると、正極P1の電位は、 $V_{dc}/2$ であり、負極N1の電位は、 $-V_{dc}/2$ である。

[0118] インバータ回路1Uaでは、第1スイッチング素子Q1aと第2スイッチング素子Q2aとの接続点13aが出力端子41Uaに接続されている。また、インバータ回路1Vaでは、第1スイッチング素子Q1aと第2スイッチング素子Q2aとの接続点13aが出力端子41Vaに接続されている。また、インバータ回路1Waでは、第1スイッチング素子Q1aと第2スイッチング素子Q2aとの接続点13aが出力端子41Waに接続されている。インバータ回路1Uaの接続点13aには、出力端子41Uaを介して、例えば、交流負荷RA1のU相が接続される。また、インバータ回路1Vaの接続点13aには、出力端子41Vaを介して、例えば、交流負荷RA1のV相が接続される。また、インバータ回路1Waの接続点13aには、出

力端子41Waを介して、例えば、交流負荷RA1のW相が接続される。

[0119] 各インバータ回路1aでは、第1ダイオードD1aのアノードが、第1スイッチング素子Q1aの第2主端子（ソース端子）に接続され、第1ダイオードD1aのカソードが、第1スイッチング素子Q1aの第1主端子（ドレイン端子）に接続されている。また、各インバータ回路1aでは、第2ダイオードD2aのアノードが、第2スイッチング素子Q2aの第2主端子（ソース端子）に接続され、第2ダイオードD2aのカソードが、第2スイッチング素子Q2aの第1主端子（ドレイン端子）に接続されている。また、各インバータ回路1aでは、第3ダイオードD3aのアノードが、第3スイッチング素子Q3aの第2主端子（ソース端子）に接続され、第3ダイオードD3aのカソードが、第3スイッチング素子Q3aの第1主端子（ドレイン端子）に接続されている。また、各インバータ回路1aでは、第4ダイオードD4aのアノードが、第4スイッチング素子Q4aの第2主端子（ソース端子）に接続され、第4ダイオードD4aのカソードが、第4スイッチング素子Q4aの第1主端子（ドレイン端子）に接続されている。

[0120] 各インバータ回路1aでは、第1ダイオードD1aは、第1スイッチング素子Q1aを構成するMOSFETの寄生ダイオードで代用されてもよい。また、各インバータ回路1aでは、第2ダイオードD2aは、第2スイッチング素子Q2aを構成するMOSFETの寄生ダイオードで代用されてもよい。また、各インバータ回路1aでは、第3ダイオードD3aは、第3スイッチング素子Q3aを構成するMOSFETの寄生ダイオードで代用されてもよい。また、各インバータ回路1aでは、第4ダイオードD4aは、第4スイッチング素子Q4aを構成するMOSFETの寄生ダイオードで代用されてもよい。

[0121] 複数の第1ゲートドライバ61aは、複数の第1スイッチング素子Q1aに一对一に対応する。複数の第1ゲートドライバ61aは、対応する第1スイッチング素子Q1aの制御端子に接続されている。複数の第1ゲートドライバ61aは、対応する第1スイッチング素子Q1aを駆動する。複数の第

1 ゲートドライバ6 1 aは、制御部6 0 aに接続されている。制御部6 0 aは、複数の第1 ゲートドライバ6 1 aに一对一に対応する複数の第1 制御信号S 1（図2 7 参照）を出力する。複数の第1 ゲートドライバ6 1 aの各々は、与えられた第1 制御信号S 1 aに基づいて、第1 スイッチング素子Q 1 aをオンオフ制御する。

[0122] 複数の第2 ゲートドライバ6 2 aは、複数の第2 スイッチング素子Q 2 aに一对一に対応する。複数の第2 ゲートドライバ6 2 aは、対応する第2 スイッチング素子Q 2 aの制御端子に接続されている。複数の第2 ゲートドライバ6 2 aは、対応する第2 スイッチング素子Q 2 aを駆動する。複数の第2 ゲートドライバ6 2 aは、制御部6 0 aに接続されている。制御部6 0 aは、複数の第2 ゲートドライバ6 2 aに一对一に対応する複数の第2 制御信号S 2 a（図2 7 参照）を出力する。複数の第2 ゲートドライバ6 2 aの各々は、与えられた第2 制御信号S 2 aに基づいて、第2 スイッチング素子Q 2 aをオンオフ制御する。

[0123] 複数の第3 ゲートドライバ6 3 aは、複数の第3 スイッチング素子Q 3 aに一对一に対応する。複数の第3 ゲートドライバ6 3 aは、対応する第3 スイッチング素子Q 3 aの制御端子に接続されている。複数の第3 ゲートドライバ6 3 aは、対応する第3 スイッチング素子Q 3 aを駆動する。複数の第3 ゲートドライバ6 3 aは、制御部6 0 aに接続されている。制御部6 0 aは、複数の第3 ゲートドライバ6 3 aに一对一に対応する複数の第3 制御信号S 3 a（図2 7 参照）を出力する。複数の第3 ゲートドライバ6 3 aの各々は、与えられた第3 制御信号S 3 aに基づいて、第3 スイッチング素子Q 3 aをオンオフ制御する。

[0124] 複数の第4 ゲートドライバ6 4 aは、複数の第4 スイッチング素子Q 4 aに一对一に対応する。複数の第4 ゲートドライバ6 4 aは、対応する第4 スイッチング素子Q 4 aの制御端子に接続されている。複数の第4 ゲートドライバ6 4 aは、対応する第4 スイッチング素子Q 4 aを駆動する。複数の第4 ゲートドライバ6 4 aは、制御部6 0 aに接続されている。制御部6 0 a

は、複数の第4ゲートドライバ64aに一对一に対応する複数の第4制御信号S4a（図27参照）を出力する。複数の第4ゲートドライバ64aの各々は、与えられた第4制御信号S4aに基づいて、第4スイッチング素子Q4aをオンオフ制御する。

[0125] 複数の第1ブートストラップ回路71aは、複数の第1ゲートドライバ61aに一对一に対応する。複数の第1ブートストラップ回路71aは、対応する第1ゲートドライバ61aに電圧を供給する。複数の第1ブートストラップ回路71aの各々は、図26及び28に示すように、ダイオードD11と抵抗R11とコンデンサC11（昇圧用コンデンサC11ともいう）とを有する。各第1ブートストラップ回路71aでは、ダイオードD11のアノードが電源部9aの正側端子に接続されており、ダイオードD11のカソードが抵抗R11を介してコンデンサC11の第1端に接続されている。コンデンサC11の第1端は、第1ゲートドライバ61aの高電位側電源端子61Ha（図28参照）に接続されており、コンデンサC11の第2端は、第1ゲートドライバ61aの低電位側電源端子61La（図28参照）に接続されている。第1ブートストラップ回路71aは、第1ゲートドライバ61aにおいて第1スイッチング素子Q1aをオンさせるために必要な電圧を第1ゲートドライバ61aに供給する。複数の第1ブートストラップ回路71aの各々は、コンデンサC11に並列接続されているツェナダイオードZ11を更に有する。

[0126] 複数の第2ブートストラップ回路72aは、複数の第3ゲートドライバ63a及び複数の第4ゲートドライバ64aに対応する。複数の第2ブートストラップ回路72aは、対応する第3ゲートドライバ63a及び対応する第4ゲートドライバ64aに電圧を供給する。複数の第2ブートストラップ回路72aの各々は、ダイオードD21と抵抗R21とコンデンサC21（昇圧用コンデンサC21ともいう）とを有する。各第2ブートストラップ回路72aでは、ダイオードD21のアノードが電源部9aの正側端子に接続されており、ダイオードD21のカソードが抵抗R21を介してコンデンサC

21の第1端に接続されている。コンデンサC21の第1端は、第3ゲートドライバ63aの高電位側電源端子63Ha（図28参照）及び第4ゲートドライバ64aの高電位側電源端子64Ha（図28参照）に接続されており、コンデンサC21の第2端は、第3ゲートドライバ63aの低電位側電源端子63La（図28参照）及び第4ゲートドライバ64aの低電位側電源端子64La（図28参照）に接続されている。第2ブートストラップ回路72aは、第3ゲートドライバ63aにおいて第3スイッチング素子Q3aをオンさせるために必要な電圧を第3ゲートドライバ63aに供給し、かつ、第4ゲートドライバ64aにおいて第4スイッチング素子Q4aをオンさせるために必要な電圧を第4ゲートドライバ64aに供給する。複数の第2ブートストラップ回路72aの各々は、コンデンサC21に並列接続されているツェナダイオードZ21を更に有する。

[0127] 電源部9aは、複数（3つ）の第1ブートストラップ回路71a、複数（3つ）の第2ブートストラップ回路72a及び複数（3つ）の第2ゲートドライバ62aに電圧を供給する。電源部9aは、例えば、絶縁型のDC-DCコンバータ91aを含む直流電源である。電源部9aの正側端子は、複数の第2ゲートドライバ62aの各々の高電位側電源端子62Ha（図28参照）に接続されており、電源部9aの負側端子は、複数の第2ゲートドライバ62aの各々の低電位側電源端子62La（図28参照）に接続されている。

[0128] 制御部60aは、複数の第1ゲートドライバ61a、複数の第2ゲートドライバ62a、複数の第3ゲートドライバ63a及び複数の第4ゲートドライバ64aを制御する。これにより、制御部60aは、複数の第1スイッチング素子Q1a、複数の第2スイッチング素子Q2a、複数の第3スイッチング素子Q3a及び複数の第4スイッチング素子Q4aを制御する。制御部60aの実行主体は、コンピュータシステムを含んでいる。コンピュータシステムは、1又は複数のコンピュータを有している。コンピュータシステムは、ハードウェアとしてのプロセッサ及びメモリを主構成とする。コンピュ

ータシステムのメモリに記録されたプログラムをプロセッサが実行することによって、本開示における制御部60aの実行主体としての機能が実現される。プログラムは、コンピュータシステムのメモリに予め記録されていてもよいが、電気通信回線を通じて提供されてもよいし、コンピュータシステムで読み取り可能なメモリカード、光学ディスク、ハードディスクドライブ（磁気ディスク）等の非一時的記録媒体に記録されて提供されてもよい。コンピュータシステムのプロセッサは、半導体集積回路（IC）又は大規模集積回路（LSI）を含む1乃至複数の電子回路で構成される。複数の電子回路は、1つのチップに集約されていてもよいし、複数のチップに分散して設けられていてもよい。複数のチップは、1つの装置に集約されていてもよいし、複数の装置に分散して設けられていてもよい。

[0129] 制御部60aは、複数（3つ）の第1スイッチング素子Q1aを制御するための複数（3つ）の第1制御信号S1a（図27参照）と、複数（3つ）の第2スイッチング素子Q2aを制御するための複数（3つ）の第2制御信号S2a（図27参照）と、複数の第3スイッチング素子Q3aを制御するための複数（3つ）の第3制御信号S3a（図27参照）と、複数（3つ）の第4スイッチング素子Q4aを制御するための複数（3つ）の第4制御信号S4aと、を出力する。なお、図27では、3つのインバータ回路1aのうち1つのインバータ回路1aのみを記載し、残りの2つのインバータ回路1aの図示を省略してある。また、図27では、複数の第1ゲートドライバ61aと、複数の第2ゲートドライバ62aと、複数の第3ゲートドライバ63aと、複数の第4ゲートドライバ64aと、複数の第1ブートストラップ回路71aと、複数の第2ブートストラップ回路72aと、電源部9aとの図示を省略してある。また、図28では、3つのインバータ回路1aのうち1つのインバータ回路1aのみを記載し、残りの2つのインバータ回路1aの図示を省略してある。また、図28では、2つの第1ゲートドライバ61aと、2つの第2ゲートドライバ62aと、2つの第3ゲートドライバ63aと、2つの第4ゲートドライバ64aと、2つの第1ブートストラップ

回路 7 1 a と、2 つの第 2 ブートストラップ回路 7 2 a と、との図示を省略してある。

[0130] 3 つの第 1 制御信号 S 1 a は、インバータ回路 1 U a の第 1 スイッチング素子 Q 1 a を制御する第 1 制御信号 S 1 U a と、インバータ回路 1 V a の第 1 スイッチング素子 Q 1 a を制御する第 1 制御信号 S 1 V a と、インバータ回路 1 W a の第 1 スイッチング素子 Q 1 a を制御する第 1 制御信号 S 1 W a と、を含む。

[0131] 3 つの第 2 制御信号 S 2 a は、インバータ回路 1 U a の第 2 スイッチング素子 Q 2 a を制御する第 2 制御信号 S 2 U a と、インバータ回路 1 V a の第 2 スイッチング素子 Q 2 a を制御する第 2 制御信号 S 2 V a と、インバータ回路 1 W a の第 2 スイッチング素子 Q 2 a を制御する第 2 制御信号 S 2 W a と、を含む。

[0132] 3 つの第 3 制御信号 S 3 a は、インバータ回路 1 U a の第 3 スイッチング素子 Q 3 a を制御する第 3 制御信号 S 3 U a と、インバータ回路 1 V a の第 3 スイッチング素子 Q 3 a を制御する第 3 制御信号 S 3 V a と、インバータ回路 1 W a の第 3 スイッチング素子 Q 3 a を制御する第 3 制御信号 S 3 W a と、を含む。

[0133] 3 つの第 4 制御信号 S 4 a は、インバータ回路 1 U a の第 4 スイッチング素子 Q 4 a を制御する第 4 制御信号 S 4 U a と、インバータ回路 1 V a の第 4 スイッチング素子 Q 4 a を制御する第 4 制御信号 S 4 V a と、インバータ回路 1 W a の第 4 スイッチング素子 Q 4 a を制御する第 4 制御信号 S 4 W a と、を含む。

[0134] 複数の第 1 制御信号 S 1 a、複数の第 2 制御信号 S 2 a、複数の第 3 制御信号 S 3 a 及び複数の第 4 制御信号 S 4 a の各々は、例えば、電位レベルが第 1 電位レベル（以下、ローレベルともいう）と、第 1 電位レベルよりも高電位の第 2 電位レベル（以下、ハイレベルともいう）と、の間で変化する信号である。第 1 電位レベルは、例えば、0 V であり、第 2 電位レベルは、M O S F E T のゲート閾値電圧よりも大きな電位レベルである。つまり、複数

の制御信号（複数の第1制御信号S 1 a、複数の第2制御信号S 2 a、複数の第3制御信号S 3 a及び複数の第4制御信号S 4 a）の各々において、第1電位レベルは、その制御信号に対応するスイッチング素子をオフ状態とするための電位レベルであり、第2電位レベルは、その制御信号に対応するスイッチング素子をオン状態とするための電位レベルである。

[0135] 複数の第1スイッチング素子Q 1 aの各々は、対応する第1制御信号S 1 aがハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第2スイッチング素子Q 2 aの各々は、対応する第2制御信号S 2 aがハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第3スイッチング素子Q 3 aの各々は、対応する第3制御信号S 3 aがハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第4スイッチング素子Q 4 aの各々は、対応する第4制御信号S 4 aがハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。

[0136] マルチレベルインバータ1 0 0 aでは、複数のインバータ回路1 aの各々が、第1スイッチング状態又は第2スイッチング状態又は第3スイッチング状態に制御される。つまり、マルチレベルインバータ1 0 0 aは、3つのインバータ回路1 U a、1 V a、1 W aの各々において、スイッチング状態が、第1スイッチング状態と、第2スイッチング状態と、第3スイッチング状態と、のいずれかに制御される。第1スイッチング状態と第2スイッチング状態と第3スイッチング状態とは、第1～第4スイッチング素子Q 1 a～Q 4 aのオンオフの状態の組み合わせが異なる。複数のインバータ回路1 aの各々では、第1スイッチング状態のときの出力電圧と第2スイッチング状態のときの出力電圧と第3スイッチング状態のときの出力電圧とが互いに異なる。つまり、複数のインバータ回路1 aの各々では、第1～第4スイッチング素子Q 1 a～Q 4 aの状態によって出力電圧の電位レベルが3レベルで変化する。なお、複数のインバータ回路1 aの出力電圧に関して、U相のインバータ回路1 U aの出力電圧と、V相のインバータ回路1 V aの出力電圧と

、W相のインバータ回路1W aの出力電圧とは、互いの位相が異なる。

[0137] 第1スイッチング状態は、第1スイッチング素子Q 1 a及び第3スイッチング素子Q 3 aの両方がオン状態、かつ、第2スイッチング素子Q 2 a及び第4スイッチング素子Q 4 aの両方がオフ状態となる組み合わせである。複数のインバータ回路1 aの各々は、第1スイッチング状態に制御されているときに、直流電源部3の正極P 1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1 aの各々は、第1スイッチング状態では、接続点1 3 aの電位が直流電源部3の正極P 1の電位レベル（例えば、 $V_{dc}/2$ ）となる。

[0138] 第2スイッチング状態は、第1スイッチング素子Q 1 a及び第2スイッチング素子Q 2 aの両方がオフ状態、かつ、第3スイッチング素子Q 3 a及び第4スイッチング素子Q 4 aの両方がオン状態となる組み合わせである。複数のインバータ回路1 aの各々は、第2スイッチング状態に制御されているときに、直流電源部3の中間電位点M 1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1 aの各々は、第2スイッチング状態では、接続点1 3 aの電位が中間電位点M 1の電位レベル（例えば、0）となる。

[0139] 第3スイッチング状態は、第1スイッチング素子Q 1 a及び第3スイッチング素子Q 3 aの両方がオフ状態、かつ、第2スイッチング素子Q 2 a及び第4スイッチング素子Q 4 aの両方がオン状態となる組み合わせである。複数のインバータ回路1 aの各々は、第3スイッチング状態に制御されているときに、直流電源部3の負極N 1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1 aの各々は、第3スイッチング状態では、接続点1 3 aの電位が直流電源部3の負極N 1の電位レベル（例えば、 $-V_{dc}/2$ ）となる。

[0140] インバータ回路1 aが第1スイッチング状態のときには、図2 7に示すように直流電源部3の正極P 1－第1スイッチング素子Q 1 a－接続点1 3 a－出力端子4 1 a（図2 6参照）の経路で電流が流れて、交流負荷R A 1（

図 2 6 参照) への出力電圧の電圧値が $V_{dc}/2$ となる。

[0141] また、インバータ回路 1 a が第 1 スイッチング状態のときには、電源部 9 a から第 1 ブートストラップ回路 7 1 a のコンデンサ C 1 1 への充電は行われず、第 1 ブートストラップ回路 7 1 a のコンデンサ C 1 1 から第 1 ゲートドライバ 6 1 a に、第 1 ゲートドライバ 6 1 a により第 1 スイッチング素子 Q 1 a をオンさせるために必要な電圧が供給される。したがって、第 1 ブートストラップ回路 7 1 a のコンデンサ C 1 1 の電荷が、図 2 8 に示すように、コンデンサ C 1 1 - 第 1 ゲートドライバ 6 1 a の高電位側電源端子 6 1 H a - 第 1 ゲートドライバ 6 1 a の低電位側電源端子 6 1 L a - コンデンサ C 1 1 の放電経路 R u 1 a で放電される。これにより、第 1 ブートストラップ回路 7 1 a では、コンデンサ C 1 1 の両端電圧が時間経過とともに低下する。

[0142] また、インバータ回路 1 a が第 1 スイッチング状態のときには、電源部 9 a から第 2 ブートストラップ回路 7 2 a のコンデンサ C 2 1 への充電は行われず、第 2 ブートストラップ回路 7 2 a のコンデンサ C 2 1 から第 3 ゲートドライバ 6 3 a に、第 3 ゲートドライバ 6 3 a により第 3 スイッチング素子 Q 3 a をオンさせるために必要な電圧が供給される。したがって、第 2 ブートストラップ回路 7 2 a のコンデンサ C 2 1 の電荷が、図 2 8 に示すように、コンデンサ C 2 1 - 第 3 ゲートドライバ 6 3 a の高電位側電源端子 6 3 H a - 第 3 ゲートドライバ 6 3 a の低電位側電源端子 6 3 L a - コンデンサ C 2 1 の放電経路 R u 3 a で放電される。これにより、第 2 ブートストラップ回路 7 2 a では、コンデンサ C 2 1 の両端電圧が時間経過とともに低下する。

[0143] また、インバータ回路 1 a が第 2 スイッチング状態のとき（第 1 スイッチング状態から第 2 スイッチング状態に変化したとき）には、例えば、図 2 9 に示すように直流電源部 3 の中間電位点 M 1 - 第 3 スイッチング素子 Q 3 a - 第 4 スイッチング素子 Q 4 a - 接続点 1 3 a - 出力端子 4 1 a（図 2 6 参照）の経路で電流が流れて、交流負荷 R A 1 への出力電圧の電圧値が 0 とな

る。より詳細には、インバータ回路1 U a、1 V a、1 W aが、それぞれ、第2スイッチング状態、第3スイッチング状態、第3スイッチング状態の場合には、直流電源部3の中間電位点M 1ーインバータ回路1 U aの第3スイッチング素子Q 3 aーインバータ回路1 U aの第4スイッチング素子Q 4 aー接続点1 3 aー出力端子4 1 U aの経路で電流が流れる。

[0144] また、インバータ回路1 aが第2スイッチング状態のときには、第2ブートストラップ回路7 2 aのコンデンサC 2 1から第3ゲートドライバ6 3 aに、第3ゲートドライバ6 3 aにより第3スイッチング素子Q 3 aをオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路7 2 aのコンデンサC 2 1の電荷が、図3 0に示すように、コンデンサC 2 1ー第3ゲートドライバ6 3 aの高電位側電源端子6 3 H aー第3ゲートドライバ6 3 aの低電位側電源端子6 3 L aーコンデンサC 2 1の放電経路R u 3 aで放電される。また、インバータ回路1 aが第2スイッチング状態のときには、第2ブートストラップ回路7 2 aのコンデンサC 2 1から第4ゲートドライバ6 4 aに、第4ゲートドライバ6 4 aにより第4スイッチング素子Q 4 aをオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路7 2 aのコンデンサC 2 1の電荷が、コンデンサC 2 1ー第4ゲートドライバ6 4 aの高電位側電源端子6 4 H aー第4ゲートドライバ6 4 aの低電位側電源端子6 4 L aーコンデンサC 2 1の放電経路R u 4 aで放電される。

[0145] また、インバータ回路1 aが第3スイッチング状態のときには、図3 1に示すように、出力端子4 1 aー接続点1 3 aー第2スイッチング素子Q 2 aー直流電源部3の負極N 1の経路で電流が流れて、交流負荷R A 1への出力電圧の電圧値が $-V_{dc}/2$ となる。また、インバータ回路1 aが第3スイッチング状態のときには、電源部9 aにより第1ブートストラップ回路7 1 aのコンデンサC 1 1が充電されるので、コンデンサC 1 1の電圧が時間経過とともに上昇し、コンデンサC 1 1が満充電状態となる。電源部9 aによりコンデンサC 1 1を充電する充電経路R u 9 1は、電源部9 aの正側端子

ーダイオードD 1 1ー抵抗R 1 1ーコンデンサC 1 1ー接続点1 3 aー第2スイッチング素子Q 2 aー電源部9 aの負側端子の経路である。

[0146] また、インバータ回路1 aが第3スイッチング状態のときには、電源部9 aにより第2ブートストラップ回路7 2 aのコンデンサC 2 1が充電される。電源部9 aによりコンデンサC 2 1を充電する充電経路R u 9 2は、電源部9 aの正側端子ーダイオードD 2 1ー抵抗R 2 1ーコンデンサC 2 1ー第4スイッチング素子Q 4 aー接続点1 3 aー第2スイッチング素子Q 2 aー電源部9 aの負側端子の経路である。

[0147] また、インバータ回路1 aが第2スイッチング状態のとき（第3スイッチング状態から第2スイッチング状態に変化したとき）には、例えば、図3 3に示すように出力端子4 1 a（図2 6参照）ー接続点1 3 aー第4スイッチング素子Q 4 aー第3スイッチング素子Q 3 aー中間電位点M 1の経路で電流が流れて、交流負荷R A 1への出力電圧の電圧値が0となる。より詳細には、インバータ回路1 U a、1 V a、1 W aが、それぞれ、第2スイッチング状態、第2スイッチング状態、第1スイッチング状態の場合には、インバータ回路1 U aの出力端子4 1 aー接続点1 3 aー第4スイッチング素子Q 4 aー第3スイッチング素子Q 3 aー中間電位点M 1の経路で電流が流れて、交流負荷R A 1への出力電圧の電圧値が0となる。

[0148] ここで、インバータ回路1 aが第2スイッチング状態のときには、上述の図3 0に示した放電経路R u 3 a、R u 4 aそれぞれで放電される。

[0149] 制御部6 0 aは、例えば、インバータ回路1 U a、1 V a、1 W aそれぞれの出力電圧に関する電圧指令V u、V v、V w（図3 4参照）に基づいてインバータ回路1 U aの第1～第4スイッチング素子Q 1 a～Q 4 aに対する第1～第4制御信号S 1 a～S 4 a（S 1 U a～S 4 U a）、インバータ回路1 V aの第1～第4スイッチング素子Q 1 a～Q 4 aに対する第1～第4制御信号S 1 a～S 4 a（S 1 V a～S 4 V a）、インバータ回路1 W aの第1～第4スイッチング素子Q 1 a～Q 4 aに対する第1～第4制御信号S 1 a～S 4 a（S 1 W a～S 4 W a）を生成する。

[0150] 図34に示すように、電圧指令 V_u と、電圧指令 V_v と、電圧指令 V_w とは、例えば、互いの位相が 120° 異なる正弦波状の信号であり、それぞれ、時間とともに値（電圧指令値）が変化する。なお、電圧指令 V_u 、電圧指令 V_v 及び電圧指令 V_w の1周期の長さは、同じである。制御部60aは、交流負荷RA1の状態を検出する検出部8から出力される情報に基づいて電圧指令 V_u 、 V_v 、 V_w をPI（Proportional Integral）制御してもよい。交流負荷RA1が3相モータの場合、検出部8から出力される情報は、例えば、交流負荷RA1のU相、V相及びW相それぞれに流れる出力電流を検出する複数の電流センサの検出結果の情報と、3相モータの回転数、回転角等を検出するエンコーダの検出結果の情報と、のうち少なくとも1つを含む。

[0151] 以下、3つのインバータ回路1aのうち1つ（例えば、U相のインバータ回路1Ua）の動作について説明する。V相のインバータ回路1Va、W相のインバータ回路1Waの動作は、U相のインバータ回路1Uaの動作と同様である。U相のインバータ回路1Uaの出力電圧と、V相のインバータ回路1Vaの出力電圧と、W相のインバータ回路1Waの出力電圧とは、互いの位相が異なる。

[0152] 制御部60aは、電圧ベクトル制御を行うことによって、複数の第1ゲートドライバ61aと複数の第2ゲートドライバ62aと複数の第3ゲートドライバ63aと複数の第4ゲートドライバ64aとを制御する。

[0153] 以下、制御部60aでの電圧ベクトル制御について、より詳細に説明する。

[0154] 制御部60aは、あらかじめ、一群の電圧ベクトルを記憶している。一群の電圧ベクトルの各々は、複数のインバータ回路1aの第1スイッチング素子Q1aと第2スイッチング素子Q2aとの接続点13aの電位レベルの組み合わせで定まる。言い換えれば、一群の電圧ベクトルは、U相に対応するインバータ回路1Uaのスイッチング状態と、V相に対応するインバータ回路1Vaのスイッチング状態と、W相に対応するインバータ回路1Waのスイッチング状態と、で定まる。一群の電圧ベクトルに含まれる電圧ベクトル

の数は、 $3^3 = 27$ 個である。

[0155] 一群の電圧ベクトルは、図35に示すように、各々の大きさが零である3個の零ベクトル V_{0p} 、 V_{0n} 、 V_{0o} を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot 2V_{dc}$ であり向きが異なる6個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot V_{dc}$ である12個の電圧ベクトル V_{7p} 、 V_{7n} 、 V_{8p} 、 V_{8n} 、 V_{9p} 、 V_{9n} 、 V_{10p} 、 V_{10n} 、 V_{11p} 、 V_{11n} 、 V_{12p} 、 V_{12n} を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot 3^{1/2} \cdot V_{dc}$ であり向きが異なる6個の電圧ベクトル V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} を含む。図35において、6個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 のうち隣り合う2つの電圧ベクトルのなす角度は、60度である。また、6個の電圧ベクトル V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} のうち隣り合う2つの電圧ベクトルのなす角度は、60度である。なお、図35は、一群の電圧ベクトルを直交d-q座標上に図示したベクトル図である。

[0156] 一群の電圧ベクトルは、第1スイッチング状態、第2スイッチング状態及び第3スイッチング状態を、それぞれ、「P」、「O」及び「N」の記号で表現し、U相、V相、W相の順に表記すると、図36に示すように表現できる。

[0157] 図36に示すように、3個の零ベクトル V_{0p} 、 V_{0n} 、 V_{0o} は、それぞれ、 V_{0p} [PPP]、 V_{0n} [NNN]、 V_{0o} [OOO]と表現できる。例えば、 V_{0p} [PPP]は、零ベクトル V_{0p} に関して、U相のインバータ回路1Uaのスイッチング状態が「P」であり、V相のインバータ回路1Vaのスイッチング状態が「P」であり、W相のインバータ回路1Waのスイッチング状態が「P」であることを表現している。例えば、 V_{10p} のように「p」を付してある電圧ベクトルは、「P」を含み、かつ「N」を含まない。この点は、以下、同様である。また、 V_{10n} のように「n」を

付してある電圧ベクトルは、「N」を含み、かつ、「P」を含まない。この点は、以下、同様である。また、V10oのように「o」を付してある電圧ベクトルは、「O」を含み、かつ、「P」及び「N」を含まない。インバータ回路1aのスイッチング状態が「P」の場合、そのインバータ回路1aにおける接続点13aの電位は、直流電源部3の正極P1の電位となる。インバータ回路1aのスイッチング状態が「N」の場合、そのインバータ回路1aにおける接続点13aの電位は、直流電源部3の負極N1の電位となる。インバータ回路1aのスイッチング状態が「O」の場合、そのインバータ回路1aにおける接続点13aの電位は、直流電源部3の中間電位点M1の電位となる。

[0158] また、6個の電圧ベクトルV1、V2、V3、V4、V5、V6は、それぞれ、V1 [PNN]、V2 [PPN]、V3 [NPN]、V4 [NPP]、V5 [NNP]、V6 [PNP]と表現できる。V1 [PNN]、V2 [PPN]、V3 [NPN]、V4 [NPP]、V5 [NNP]、V6 [PNP]のように、「V」に付した数字の後に「p」、「n」、「o」のいずれも付してない電圧ベクトルは、3相のスイッチング状態として、「P」及び「N」を含む。

[0159] また、12個の電圧ベクトルV7p、V7n、V8p、V8n、V9p、V9n、V10p、V10n、V11p、V11n、V12p、V12nは、それぞれ、V7p [POO]、V7n [ONN]、V8p [PPO]、V8n [OON]、V9p [OP O]、V9n [NON]、V10p [OPP]、V10n [NOO]、V11p [OOP]、V11n [NN O]、V12p [POP]、V12n [ON O]と表現できる。

[0160] また、6個の電圧ベクトルV13、V14、V15、V16、V17、V18は、それぞれ、V13 [PON]、V14 [OPN]、V15 [NPO]、V16 [NOP]、V17 [ONP]、V18 [PNO]と表現できる。

[0161] 制御部60aは、複数のインバータ回路1aの各々の出力電圧に関する指

令電圧の瞬時値を指令電圧ベクトル V^* （図37参照）に変換する。指令電圧ベクトル V^* の、直交 $d-q$ 座標上における d 軸成分を V_d とし、指令電圧ベクトル V^* の、直交 $d-q$ 座標上における q 軸成分を V_q とすると、指令電圧ベクトル V^* は、式（4）を用いて求めることができる。

[0162] [数4]

$$V^* = \begin{bmatrix} V_d \\ V_q \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_u \\ V_v \\ V_w \end{bmatrix} \quad \dots \text{式(4)}$$

[0163] 制御部60aは、一群の電圧ベクトルのうち指令電圧ベクトル V^* に隣接する複数（例えば、5つ）の電圧ベクトルを選択する。図38Aの例では、複数の電圧ベクトルは、 V_{8p} [PP0]、 V_{8n} [00N]、 V_{13} [PON]、 V_{7p} [P00]、 V_{7n} [0NN] である。

[0164] 制御部60aは、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル V^* に最も近い2つの第1電圧ベクトル V_{V1} （図37及び38Aの例では、 V_{8p} [PP0] 及び V_{8n} [00N]）のうち1つを、複数のインバータ回路1aの接続点13aの電位レベルが負極の電位となる組み合わせの零ベクトル V_{0n} [NNN] と、第1電圧ベクトル V_{V1} と同じ向きで第1電圧ベクトル V_{V1} とは大きさの異なる少なくとも1つの第2電圧ベクトル V_{V2} （図38Aの例では、 V_2 [PPN]）と、に置換する。基準大きさは、例えば、 $(2/3)^{1/2} \cdot V_{dc}$ である。したがって、複数の電圧ベクトルは、大きさが基準大きさである電圧ベクトル（基準ベクトル）として、12個の電圧ベクトル V_{7p} [P00]、 V_{7n} [0NN]、 V_{8p} [PP0]、 V_{8n} [00N]、 V_{9p} [OP0]、 V_{9n} [NON]、 V_{10p} [OPP]、 V_{10n} [N00]、 V_{11p} [00P]、 V_{11n} [NN0]、 V_{12p} [POP]、 V_{12n} [ON0] を含む。指令電圧ベクトル V^* に最も近い2つの第1電圧ベクトル V_{V1} と指令電圧ベクトル V^* とのなす角度は、30度よりも小さい。

[0165] 制御部60aは、複数の電圧ベクトルのうち第1電圧ベクトル $VV1$ （図38Aの例では、 $V8p$ [P P 0] 及び $V8n$ [0 0 N]）以外の3つの電圧ベクトル（図38Bの例では、 $V13$ [P 0 N]、 $V7p$ [P 0 0] 及び $V7n$ [0 N N]）と、零ベクトル $V0n$ [N N N]と、少なくとも1つの第2電圧ベクトル $VV2$ と、の合成ベクトルを指令電圧ベクトル V^* と一致させるように、所定の制御周期 T_s （図41参照）内において複数の第1ゲートドライバ61aと複数の第2ゲートドライバ62aと複数の第3ゲートドライバ63aと複数の第4ゲートドライバ64aとを制御する。所定の制御周期 T_s は、例えば、キャリア信号の2周期である。

[0166] ところで、第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換しない制御を行う比較例では、制御周期 T_s 内において、指令電圧ベクトル V^* を囲む正三角形の頂点のベクトルの合成ベクトルを、指令電圧ベクトル V^* と一致させる。すなわち、比較例では、2つの第1電圧ベクトル $VV1$ （図38Aの例では、 $V8p$ [P P 0] 及び $V8n$ [0 0 N]）のうち1つと、電圧ベクトル $V13$ [P 0 N]と、電圧ベクトル $V7p$ [P 0 0] 及び $V7n$ [0 N N]と、の合成ベクトルを指令電圧ベクトル V^* と一致させる。比較例では、制御周期 T_s がキャリア信号の1周期である。比較例では、制御周期 T_s 内において、例えば図39に示すように、時系列的に並ぶ2つの電圧ベクトルにおいてU相、V相、W相のうち1相のみのスイッチング状態が「P」と「0」との間又は「0」と「N」との間で変化し、かつ、同じ電圧ベクトルが2回ずつ出力される。図39では、電圧ベクトル $V8n$ [0 0 N] → 電圧ベクトル $V13$ [P 0 N] → 電圧ベクトル $V7p$ [P 0 0] → 電圧ベクトル $V8p$ [P P 0] → 電圧ベクトル $V8p$ [P P 0] → 電圧ベクトル $V7p$ [P 0 0] → 電圧ベクトル $V13$ [P 0 N] → 電圧ベクトル $V8n$ [0 0 N]の順に出力される。図39では、制御周期 T_s に対する、電圧ベクトル $V8p$ 及び電圧ベクトル $V8n$ の配分時間を T_0 とし、電圧ベクトル $V13$ の配分時間を T_1 とし、電圧ベクトル $V7p$ 及び電圧ベクトル $V7n$ の配分時間を T_2 とした場合について例示してある。 T_0 、 T_1 、 T_2 については

、指令電圧ベクトル V^* を囲む正三角形の頂点の電圧ベクトルを V_a 、 V_b 、 V_c とし、指令電圧ベクトル V^* の大きさを V 、角度を θ とすると、式(5)及び式(6)を満足するように、制御部60aが T_0 、 T_1 、 T_2 を決める。式(5)における「 j 」は、虚数単位である。なお、図39の例では、例えば、電圧ベクトル V_a は、電圧ベクトル V_{8p} [PP0] 及び V_{8n} [00N] であり、電圧ベクトル V_b は、電圧ベクトル V_{13} [PON] であり、電圧ベクトル V_c は、電圧ベクトル V_{7p} [PO0] 及び V_{7n} [0NN] である。

[0167] [数5]

$$\begin{aligned} V_a \cdot T_0 + V_b \cdot T_1 + V_c \cdot T_2 \\ = V \cdot T_s \cdot \cos \theta + j V \cdot T_s \cdot \sin \theta \quad \cdots \text{式 (5)} \end{aligned}$$

[0168] [数6]

$$T_0 + T_1 + T_2 = T_s \quad \cdots \text{式 (6)}$$

[0169] 図39の例では、図40に示すように、制御周期 T_s 内の全期間において第3スイッチング素子 Q_{3a} がオン状態となってしまう、第2ブートストラップ回路72aの電圧低下幅が大きくなってしまう。

[0170] これに対して、実施形態3に係るマルチレベルインバータ100aの制御部60aでは、キャリア信号の2周期内において、例えば図41に示すように、電圧ベクトル V_{8n} [00N] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{7p} [PO0] → 電圧ベクトル V_{8p} [PP0] → 電圧ベクトル V_{8p} [PP0] → 電圧ベクトル V_{7p} [PO0] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{8n} [00N] の順に出力される。制御部60aでは、比較例での電圧ベクトル V_{8p} [PP0]、 V_{8p} [PP0] をそれぞれ零ベクトル V_{0n} [NNN] と第2電圧ベクトル V_{V2} (V_2 [PPN]) とに置き換えるので、図41に示すように、U相のスイッチング状態が「N」となる期間を発生させることができる。これにより、実施形態3に係るマルチレベルインバータ100aは、図42に示すように、第1スイッチ

ング素子Q 1 a及び第3スイッチング素子Q 3 aの両方がオフ状態、かつ、第2スイッチング素子Q 2 a及び第4スイッチング素子Q 4 aの両方がオン状態となる第3スイッチング状態を発生させることができる。したがって、実施形態3に係るマルチレベルインバータ100 aは、第1ブートストラップ回路71 aのコンデンサC 11及び第2ブートストラップ回路72 aのコンデンサC 21の電圧低下を抑制できる。

[0171] また、比較例では、指令電圧ベクトル V^* が図38 Aと同じであっても、制御周期 T_s の開始時のキャリア信号の初期値により、制御周期 T_s 内の電圧ベクトルの順序が異なることがある。図43の例では、電圧ベクトル V_{8p} [P P 0] →電圧ベクトル V_{7p} [P 0 0] →電圧ベクトル V_{13} [P 0 N] →電圧ベクトル V_{8n} [0 0 N] →電圧ベクトル V_{8n} [0 0 N] →電圧ベクトル V_{13} [P 0 N] →電圧ベクトル V_{7p} [P 0 0] →電圧ベクトル V_{8p} [P P 0]の順に出力される。また、図43では、図39の例と同様、電圧ベクトル V_{8p} 及び電圧ベクトル V_{8n} の配分時間を T_0 とし、電圧ベクトル V_{13} の配分時間を T_1 とし、電圧ベクトル V_{7p} 及び電圧ベクトル V_{7n} の配分時間を T_2 とした場合について例示してある。この場合、図44に示すように、制御周期 T_s 内の全期間において第3スイッチング状態が発生せず、第1ブートストラップ回路71 aのコンデンサC 11及び第2ブートストラップ回路72 aの電圧低下幅が大きくなってしまう。

[0172] これに対して、実施形態3に係るマルチレベルインバータ100 aの制御部60 aでは、キャリア信号の2周期内において、例えば図45に示すように、電圧ベクトル V_2 [P P N] →電圧ベクトル V_{7p} [P 0 0] →電圧ベクトル V_{13} [P 0 N] →電圧ベクトル V_{8n} [0 0 N] →電圧ベクトル V_{8n} [0 0 N] →電圧ベクトル V_{13} [P 0 N] →電圧ベクトル V_{7p} [P 0 0] →零ベクトル V_{0n} [N N N]の順に出力される。制御部60 aでは、図43の例での電圧ベクトル V_{8p} [P P 0]、 V_{8p} [P P 0]をそれぞれ電圧ベクトル V_2 [P P N]、 V_{0n} [N N N]に置き換えるので、図45に示すように、U相のスイッチング状態が「N」となる期間を発生させ

ることができる。これにより、実施形態3に係るマルチレベルインバータ100aは、図46に示すように、制御周期 T_s 内において第3スイッチング状態を発生させることができる。したがって、実施形態3に係るマルチレベルインバータ100aは、第1ブートストラップ回路71aのコンデンサC11及び第2ブートストラップ回路72aのコンデンサC21の電圧低下を抑制できる。

[0173] ところで、実施形態3に係るマルチレベルインバータ100aでは、制御部60aは、指令電圧ベクトル V^* に対応する指令電圧の極性が正のときに、2つの第1電圧ベクトル $V V 1$ のうち1つを零ベクトル $V 0 n$ [NNN]と第2電圧ベクトル $V V 2$ とに置換する。実施形態3に係るマルチレベルインバータ100aでは、制御部60aは、指令電圧ベクトル V^* に対応する指令電圧の極性が負のときには、第1電圧ベクトル $V V 1$ を零ベクトル $V 0 n$ [NNN]と第2電圧ベクトル $V V 2$ とに置換しない。

[0174] また、マルチレベルインバータ100aでは、制御部60aは、複数の第1ブートストラップ回路71a及び複数の第2ブートストラップ回路72aそれぞれの出力電圧が所定値以下に低下しないように、複数の第1ゲートドライバ61aと複数の第2ゲートドライバ62aと複数の第3ゲートドライバ63aと複数の第4ゲートドライバ64aとを制御する。

[0175] (3) まとめ

実施形態3に係るマルチレベルインバータ100aでは、制御部60aが、一群(27個)の電圧ベクトルのうち指令電圧ベクトル V^* に隣接する複数(5個)の電圧ベクトル(例えば、 $V 8 p$ [P P 0]、 $V 8 n$ [0 0 N]、 $V 1 3$ [P 0 N]、 $V 7 p$ [P 0 0]、 $V 7 n$ [0 N N])を選択する。一群の電圧ベクトルの各々は、複数のインバータ回路1aにおける接続点13aの電位レベルの組み合わせで定まる。制御部60aは、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル V^* に最も近い2つの第1電圧ベクトル $V V 1$ のうち1つの第1電圧ベクトル $V V 1$ を、複数のインバータ回路1aにおける接続点13aの電位レベルが負極N1の電位となる

組み合わせの零ベクトル V_{0n} [NNN] と、第1電圧ベクトル V_{V1} と同じ向きで第1電圧ベクトル V_{V1} の2倍の大きさの第2電圧ベクトル V_{V2} と、に置換する。制御部60aは、複数の電圧ベクトルのうち第1電圧ベクトル V_{V1} 以外の電圧ベクトルと、2つの第1電圧ベクトル V_{V1} の残りの第1電圧ベクトル V_{V1} と、零ベクトル V_{0n} [NNN] と、第2電圧ベクトル V_{V2} と、の合成ベクトルを指令電圧ベクトル V^* と一致させるように、所定の制御周期 T_s 内において複数の第1ゲートドライバ61aと複数の第2ゲートドライバ62aと複数の第3ゲートドライバ63aと複数の第4ゲートドライバ64aとを制御する。

[0176] 実施形態3に係るマルチレベルインバータ100aによれば、ブートストラップ回路の電圧低下を抑制することが可能となる。より詳細には、実施形態3に係るマルチレベルインバータ100aによれば、複数の第1ブートストラップ回路71aのコンデンサC11及び複数の第2ブートストラップ回路72aのコンデンサC21の電圧低下を抑制することが可能となる。

[0177] また、実施形態3に係るマルチレベルインバータ100aでは、電源部9aに含まれるDC-DCコンバータ91aが、複数の第2ゲートドライバ62aと複数の第1ブートストラップ回路71aと複数の第2ブートストラップ回路72aとに電圧を供給する。これにより、実施形態3に係るマルチレベルインバータ100aは、小型化を図ることが可能となる。

[0178] (実施形態4)

実施形態4に係るマルチレベルインバータ100aの回路構成は、実施形態3に係るマルチレベルインバータ100a (図26参照) と同じなので、図示及び説明を省略する。

[0179] 実施形態3に係るマルチレベルインバータ100aでは、例えば、図41の例のように、制御部60aが2つの第1電圧ベクトル V_{V1} (V_{8n} [00N]、 V_{8p} [PP0]) のうち1つの第1電圧ベクトル V_{V1} のみを零ベクトルと第2電圧ベクトル V_{V2} とに置換している。

[0180] これに対して、実施形態4に係るマルチレベルインバータ100aでは、

制御部60aが、例えば、図47の例に示すように、2つの第1電圧ベクトルVV1（図39に示したV8n[00N]、V8p[PP0]）の1つの第1電圧ベクトルVV1（V8n[00N]）を零ベクトルV0n[NNN]に置換し、残りの1つの第1電圧ベクトルVV1（V8p[PP0]）を第2電圧ベクトルVV2（V2[PPN]）に置換する。この場合、実施形態4に係るマルチレベルインバータ100aの制御部60aでは、キャリア信号の2周期内において、図47に示すように、零ベクトルV0n[NNN]→電圧ベクトルV13[PON]→電圧ベクトルV7p[P00]→電圧ベクトルV2[PPN]→電圧ベクトルV2[PPN]→電圧ベクトルV7p[P00]→電圧ベクトルV13[PON]→零ベクトルV0[NNN]の順に出力される。制御部60aでは、図39の例での電圧ベクトルV8n[00N]、V8p[PP0]、V8p[PP0]、V8n[00N]をそれぞれ零ベクトルV0n[NNN]、電圧ベクトルV2[PPN]、電圧ベクトルV2[PPN]、零ベクトルV0n[NNN]に置き換えるので、図47に示すように、U相のスイッチング状態が「N」となる期間を発生させることができる。これにより、実施形態4に係るマルチレベルインバータ100aは、図48に示すように、制御周期Ts内において第3スイッチング状態を発生させることができる。したがって、実施形態4に係るマルチレベルインバータ100aは、第2ブートストラップ回路72aのコンデンサC21の電圧低下を抑制できる。

[0181] また、実施形態3に係るマルチレベルインバータ100aでは、制御部60aが、例えば、図45の例に示すように、図43における2つの第1電圧ベクトルVV1（V8n[00N]、V8p[PP0]）のうち1つの第1電圧ベクトルVV1（V8p[PP0]）のみを零ベクトルV0n[NNN]と第2電圧ベクトルVV2（V2[PPN]）とに置換している。

[0182] これに対して、実施形態4に係るマルチレベルインバータ100aでは、制御部60aが、例えば、図47の例に示すように、図43における2つの第1電圧ベクトルVV1（V8n[00N]、V8p[PP0]）のうち1

つの第1電圧ベクトル $VV1$ ($V8n$ [00N]) を零ベクトル $V0n$ [NNN] に置換し、残りの1つの第1電圧ベクトル $VV1$ ($V8p$ [PP0]) を第2電圧ベクトル $VV2$ ($V2$ [PPN]) に置換する。この場合、実施形態4に係るマルチレベルインバータ100aの制御部60aでは、キャリア信号の2周期内において、図47に示すように、零ベクトル $V0n$ [NNN] → 電圧ベクトル $V13$ [PON] → 電圧ベクトル $V7p$ [P00] → 電圧ベクトル $V2$ [PPN] → 電圧ベクトル $V2$ [PPN] → 電圧ベクトル $V7p$ [P00] → 電圧ベクトル $V13$ [PON] → 零ベクトル $V0n$ [NNN] の順に出力される。制御部60aでは、図43の例での電圧ベクトル $V8p$ [PP0]、 $V8n$ [00N]、 $V8n$ [00N]、 $V8p$ [PP0] をそれぞれ電圧ベクトル $V0n$ [NNN]、 $V2$ [PPN]、 $V2$ [PPN]、 $V0n$ [NNN] に置き換えるので、図47に示すように、U相のスイッチング状態が「N」となる期間を発生させることができる。これにより、実施形態4に係るマルチレベルインバータ100aは、図48に示すように、制御周期 T_s 内において第3スイッチング状態を発生させることができる。したがって、実施形態4に係るマルチレベルインバータ100aは、第2ブートストラップ回路72aのコンデンサC21の電圧低下を抑制できる。

- [0183] 実施形態4に係るマルチレベルインバータ100aでは、制御部60aは、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル V^* に最も近い2つの第1電圧ベクトル $VV1$ の各々を、複数のインバータ回路1aにおける接続点13aの電位レベルが負極N1の電位となる組み合わせの零ベクトル $V0$ [NNN] と、第1電圧ベクトル $VV1$ と同じ向きで第1電圧ベクトル $VV1$ の2倍の大きさの第2電圧ベクトル $VV2$ と、に置換する。制御部60aは、複数の電圧ベクトルのうち第1電圧ベクトル $VV1$ 以外の電圧ベクトルと、零ベクトル $V0$ [NNN] と、第2電圧ベクトル $VV2$ と、の合成ベクトルを指令電圧ベクトル V^* と一致させるように、所定の制御周期 T_s 内において複数の第1ゲートドライバ61aと複数の第2ゲート

ドライバ62aと複数の第3ゲートドライバ63aと複数の第4ゲートドライバ64aとを制御する。

[0184] 実施形態4に係るマルチレベルインバータ100aによれば、ブートストラップ回路の電圧低下を抑制することが可能となる。より詳細には、実施形態4に係るマルチレベルインバータ100aによれば、複数の第1ブートストラップ回路71aのコンデンサC11及び複数の第2ブートストラップ回路72aのコンデンサC21の電圧低下を抑制することが可能となる。

[0185] また、比較例では、指令電圧ベクトル V^* が図38Aと同じであっても、制御周期 T_s の開始時のキャリア信号の初期値により、制御周期 T_s 内の電圧ベクトルの順序が異なることがある。図43の例では、電圧ベクトル V_{8p} [PP0] → 電圧ベクトル V_{7p} [P00] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{8n} [00N] → 電圧ベクトル V_{8n} [00N] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{7p} [P00] → 電圧ベクトル V_{8p} [PP0] の順に出力される。また、図43では、図39の例と同様、電圧ベクトル V_{8p} 及び電圧ベクトル V_{8n} の配分時間を T_0 とし、電圧ベクトル V_{13} の配分時間を T_1 とし、電圧ベクトル V_{7p} 及び電圧ベクトル V_{7n} の配分時間を T_2 とした場合について例示してある。この場合、図44に示すように、制御周期 T_s 内の全期間において第3スイッチング状態が発生せず、第2ブートストラップ回路72aの電圧低下幅が大きくなってしまう。

[0186] これに対して、実施形態4に係るマルチレベルインバータ100aの制御部60aでは、キャリア信号の2周期内において、例えば図49に示すように、電圧ベクトル V_2 [PPN] → 電圧ベクトル V_{7p} [P00] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{0n} [NNN] → 電圧ベクトル V_{0n} [NNN] → 電圧ベクトル V_{13} [PON] → 電圧ベクトル V_{7p} [P00] → 電圧ベクトル V_2 [PPN] の順に出力される。制御部60aでは、図43の例での電圧ベクトル V_{8p} [PP0]、 V_{8n} [00N] をそれぞれ電圧ベクトル V_2 [PPN]、 V_{0n} [NNN] に置き換えるので、図

49に示すように、U相のスイッチング状態が「N」となる期間を発生させることができる。これにより、実施形態4に係るマルチレベルインバータ100aは、図50に示すように、制御周期 T_s 内において第3スイッチング状態を発生させることができる。したがって、実施形態4に係るマルチレベルインバータ100aは、第2ブートストラップ回路72aのコンデンサC21の電圧低下を抑制できる。

[0187] (実施形態5)

実施形態5に係るマルチレベルインバータ100Aについて、図51を参照して説明する。マルチレベルインバータ100Aに関し、実施形態3に係るマルチレベルインバータ100a（図26参照）と同様の構成要素については、同一の符号を付して説明を省略する。

[0188] マルチレベルインバータ100Aは、電源部9aが複数（3つ）のDC-DCコンバータ91aを備えている点で、マルチレベルインバータ100aと相違する。

[0189] マルチレベルインバータ100Aでは、複数のDC-DCコンバータ91aは、複数（3つ）の第4ゲートドライバ64aに対応し、対応する第4ゲートドライバ64aに電圧を供給する。また、マルチレベルインバータ100Aでは、複数のDC-DCコンバータ91aが、複数の第1ブートストラップ回路71aに対応し、対応する第1ブートストラップ回路71aに接続されている。より詳細には、複数のDC-DCコンバータ91aの各々では、その正側端子が、対応する第1ブートストラップ回路71aにおけるダイオードD11のアノードに接続されており、負側端子が、直流電源部3の負極N1に接続されている。

[0190] マルチレベルインバータ100Aでは、制御部60aが、マルチレベルインバータ100aの制御部60aと同様の電圧ベクトル制御を行うことによって、複数の第1ゲートドライバ61aと複数の第2ゲートドライバ62aと複数の第3ゲートドライバ63aと複数の第4ゲートドライバ64aとを制御する。

[0191] よって、実施形態5に係るマルチレベルインバータ100Aは、マルチレベルインバータ100aと同様、複数の第1ブートストラップ回路71aのコンデンサC11及び複数の第2ブートストラップ回路72aのコンデンサC21の電圧低下を抑制することが可能となる。

[0192] (実施形態6)

実施形態6に係るマルチレベルインバータ100Bについて、図52を参照して説明する。マルチレベルインバータ100Bに関し、実施形態3に係るマルチレベルインバータ100a(図26参照)と同様の構成要素については、同一の符号を付して説明を省略する。

[0193] マルチレベルインバータ100Bでは、第3スイッチング素子Q3aと第4スイッチング素子Q4aとを含む双方向スイッチが、第3スイッチング素子Q3aと第4スイッチング素子Q4aとの第1主端子(ソース端子)同士が接続されているコモンドレインの双方向スイッチである。マルチレベルインバータ100Bの双方向スイッチでは、第4スイッチング素子Q4aの第2主端子が中間電位点M1に接続されており、第3スイッチング素子Q3aが接続点13aに接続されている。

[0194] また、マルチレベルインバータ100Bでは、電源部9aが、DC-DCコンバータ91a(以下、第1DC-DCコンバータ91aともいう)の他に、複数(3つ)の第2DC-DCコンバータ92を有する。なお、図52では、複数の第2DC-DCコンバータ92の各々を直流電源の図記号で図示してある。

[0195] 第1DC-DCコンバータ91aは、複数の第2ゲートドライバ62aと複数の第1ブートストラップ回路71aと複数の第2ブートストラップ回路72aとに電圧を供給する。

[0196] 複数の第2DC-DCコンバータ92は、複数の第4ゲートドライバ64aに一対一に対応し、対応する第4ゲートドライバ64aに電圧を供給する。なお、第2DC-DCコンバータ92は、正側端子が第4ゲートドライバ64aの高電位側電源端子に接続されており、負側端子が中間電位点M1、

第4ゲートドライバ64aの低電位側電源端子及び第4スイッチング素子Q4aの第2主端子に接続されている。

[0197] マルチレベルインバータ100Bでは、制御部60aが、マルチレベルインバータ100aの制御部60aと同様の電圧ベクトル制御を行うことによって、複数の第1ゲートドライバ61aと複数の第2ゲートドライバ62aと複数の第3ゲートドライバ63aと複数の第4ゲートドライバ64aとを制御する。

[0198] よって、実施形態6に係るマルチレベルインバータ100Bは、マルチレベルインバータ100aと同様、複数の第1ブートストラップ回路71aのコンデンサC11及び複数の第2ブートストラップ回路72aのコンデンサC21の電圧低下を抑制することが可能となる。

[0199] (実施形態7)

実施形態7に係るマルチレベルインバータ100Cについて、図53を参照して説明する。マルチレベルインバータ100Cに関し、実施形態3に係るマルチレベルインバータ100a(図26参照)と同様の構成要素については、同一の符号を付して説明を省略する。

[0200] マルチレベルインバータ100Cは、マルチレベルインバータ100aにおける複数の第2ブートストラップ回路72aを備えておらず、電源部9aが、DC-DCコンバータ91a(以下、第1DC-DCコンバータ91aともいう)の他に、複数(3つ)の第2DC-DCコンバータ92を有する。なお、図53では、複数の第2DC-DCコンバータ92の各々を直流電源の図記号で図示してある。

[0201] 第1DC-DCコンバータ91aは、複数の第2ゲートドライバ62aと複数の第1ブートストラップ回路71aと複数の第2ブートストラップ回路72aとに電圧を供給する。

[0202] 複数の第2DC-DCコンバータ92は、複数の第3ゲートドライバ63a及び複数の第4ゲートドライバ64aに対応しており、対応する第3ゲートドライバ63a及び対応する第4ゲートドライバ64aに電圧を供給する

。複数の第2 DC-DCコンバータ92の各々は、その正側端子が、対応する第3ゲートドライバ63aの高電位側電源端子及び対応する第4ゲートドライバ64aの高電位側電源端子に接続されている。また、複数の第2 DC-DCコンバータ92aの各々は、その負側端子が、対応する第3ゲートドライバ63aの低電位側電源端子及び対応する第4ゲートドライバ64aの低電位側電源端子に接続されている。

[0203] マルチレベルインバータ100Cでは、制御部60aが、マルチレベルインバータ100aの制御部60aと同様の電圧ベクトル制御を行うことによって、複数の第1ゲートドライバ61aと複数の第2ゲートドライバ62aと複数の第3ゲートドライバ63aと複数の第4ゲートドライバ64aとを制御する。

[0204] よって、実施形態7に係るマルチレベルインバータ100Cは、複数の第1ブートストラップ回路71aのコンデンサC11の電圧低下を抑制することが可能となる。

[0205] （実施形態8）

実施形態8に係るマルチレベルインバータ100Dについて、図54を参照して説明する。マルチレベルインバータ100Dに関し、実施形態7に係るマルチレベルインバータ100C（図53参照）と同様の構成要素については、同一の符号を付して説明を省略する。

[0206] マルチレベルインバータ100Dでは、第1 DC-DCコンバータ91aが複数の第1ブートストラップ回路71aに接続されておらず、第2 DC-DCコンバータ92の正側端子が第1ブートストラップ回路71aのダイオードD11のアノードに接続されている。

[0207] マルチレベルインバータ100Dでは、制御部60aが、実施形態3に係るマルチレベルインバータ100aの制御部60aと同様の電圧ベクトル制御を行うことによって、複数の第1ゲートドライバ61aと複数の第2ゲートドライバ62aと複数の第3ゲートドライバ63aと複数の第4ゲートドライバ64aとを制御する。

[0208] よって、実施形態8に係るマルチレベルインバータ100Dは、複数の第1ブートストラップ回路71aのコンデンサC11の電圧低下を抑制することが可能となる。

[0209] (その他の変形例)

上記の実施形態3～8は、本開示の様々な実施形態の一つに過ぎない。上記の実施形態3～8は、本開示の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0210] 例えば、複数の第1スイッチング素子Q1a、複数の第2スイッチング素子Q2a、複数の第3スイッチング素子Q3a及び複数の第4スイッチング素子Q4aの各々は、MOSFETに限らず、例えば、IGBT (Insulated Gate Bipolar Transistor) であってもよい。この場合、複数の第1スイッチング素子Q1a、複数の第2スイッチング素子Q2a、複数の第3スイッチング素子Q3a及び複数の第4スイッチング素子Q4aの各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、コレクタ端子及びエミッタ端子である。

[0211] また、実施形態3～8に係るマルチレベルインバータ100a、100A～100Dでは、制御部60aは、指令電圧ベクトル V^* に対応する指令電圧の極性が正のときだけに限らず、負のときにも、第1電圧ベクトル V_{V1} を零ベクトル V_{0n} [NNN] と第2電圧ベクトル V_{V2} とに置換してもよい。

[0212] また、複数の第1ブートストラップ回路71aの各々は、ツェナダイオードZ11を含んでいるが、ツェナダイオードZ11を含んでいない構成であってもよい。また、複数の第2ブートストラップ回路72aの各々は、ツェナダイオードZ21を含んでいるが、ツェナダイオードZ21を含んでいない構成であってもよい。

[0213] また、マルチレベルインバータ100aは、3レベル以上のマルチレベルインバータであればよく、例えば、5レベルインバータであってもよい。

[0214] (態様)

本明細書には以下の態様が開示されている。

- [0215] 第1の態様に係るマルチレベルインバータ(100)は、直流電源部(3)と、複数のインバータ回路(1)と、制御装置(6)と、を備える。直流電源部(3)は、正極(P1)と負極(N1)と中間電位点(M1)とを有する。複数のインバータ回路(1)は、直流電源部(3)の正極(P1)と負極(N1)との間に接続されている。制御装置(6)は、複数のインバータ回路(1)を制御する。複数のインバータ回路(1)の各々は、スイッチング回路(10)と、第1ダイオード(D1)と、第2ダイオード(D2)と、第3ダイオード(D3)と、第4ダイオード(D4)と、第5ダイオード(D5)と、第6ダイオード(D6)と、を有する。スイッチング回路(10)では、第1スイッチング素子(Q1)、第2スイッチング素子(Q2)、第3スイッチング素子(Q3)及び第4スイッチング素子(Q4)が、正極(P1)側から負極(N1)側へ第1スイッチング素子(Q1)、第2スイッチング素子(Q2)、第3スイッチング素子(Q3)及び第4スイッチング素子(Q4)の順に並ぶように直列接続されている。第1ダイオード(D1)は、第1スイッチング素子(Q1)に逆並列接続されている。第2ダイオード(D2)は、第2スイッチング素子(Q2)に逆並列接続されている。第3ダイオード(D3)は、第3スイッチング素子(Q3)に逆並列接続されている。第4ダイオード(D4)は、第4スイッチング素子(Q4)に逆並列接続されている。第5ダイオード(D5)は、第1スイッチング素子(Q1)と第2スイッチング素子(Q2)との第1接続点(11)にカソードが接続されており、中間電位点(M1)にアノードが接続されている。第6ダイオード(D6)は、第3スイッチング素子(Q3)と第4スイッチング素子(Q4)との第2接続点(12)にアノードが接続されており、中間電位点(M1)にカソードが接続されている。制御装置(6)は、複数の第1ゲートドライバ(61)と、複数の第2ゲートドライバ(62)と、複数の第3ゲートドライバ(63)と、複数の第4ゲートドライバ(64)と、複数の第1ブートストラップ回路(71)と、複数の第2ブートストラ

ップ回路（72）と、電源部（9）と、制御部（60）と、を有する。複数の第1ゲートドライバ（61）は、複数のインバータ回路（1）の各々の第1スイッチング素子（Q1）を駆動する。複数の第2ゲートドライバ（62）は、複数のインバータ回路（1）の各々の第2スイッチング素子（Q2）を駆動する。複数の第3ゲートドライバ（63）は、複数のインバータ回路（1）の各々の第3スイッチング素子（Q3）を駆動する。複数の第4ゲートドライバ（64）は、複数のインバータ回路（1）の各々の第4スイッチング素子（Q4）を駆動する。複数の第1ブートストラップ回路（71）は、複数の第1ゲートドライバ（61）に一对一に対応し対応する第1ゲートドライバ（61）に電圧を供給する。複数の第2ブートストラップ回路（72）は、複数の第2ゲートドライバ（62）に一对一に対応し対応する第2ゲートドライバ（62）に電圧を供給する。複数の第3ブートストラップ回路（73）は、複数の第3ゲートドライバ（63）に一对一に対応し対応する第3ゲートドライバ（63）に電圧を供給する。電源部（9）は、複数の第4ゲートドライバ（64）に電圧を供給する。制御部（60）は、複数の第1ゲートドライバ（61）、複数の第2ゲートドライバ（62）、複数の第3ゲートドライバ（63）及び複数の第4ゲートドライバ（64）を制御する。制御部（60）は、一群の電圧ベクトルのうち指令電圧ベクトル（ V^* ）に隣接する複数の電圧ベクトルを選択する。一群の電圧ベクトルの各々は、複数のインバータ回路（1）の第2スイッチング素子（Q2）と第3スイッチング素子（Q3）との第3接続点（13）の電位レベルの組み合わせで定まる。制御部（60）は、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル（ V^* ）に最も近い2つの第1電圧ベクトル（ V_{V1} ）のうち1つの第1電圧ベクトル（ V_{V1} ）を、複数のインバータ回路（1）の第2スイッチング素子（Q2）と第3スイッチング素子（Q3）との第3接続点（13）の電位レベルが負極（N1）の電位となる組み合わせの零ベクトル（ $V_{0n} [NNN]$ ）と、第1電圧ベクトル（ V_{V1} ）と同じ向きで第1電圧ベクトル（ V_{V1} ）の2倍の大きさの第2電圧ベクトル（ V_{V2} ）

）と、に置換する。制御部（60）は、複数の電圧ベクトルのうち第1電圧ベクトル（ $VV1$ ）以外の電圧ベクトルと、2つの第1電圧ベクトル（ $VV1$ ）の残りの第1電圧ベクトル（ $VV1$ ）と、零ベクトル（ $VO_n [NNN]$ ）と、第2電圧ベクトル（ $VV2$ ）と、の合成ベクトルを指令電圧ベクトル（ V^* ）と一致させるように、所定の制御周期（ T_s ）内において複数の第1ゲートドライバ（61）と複数の第2ゲートドライバ（62）と複数の第3ゲートドライバ（63）と複数の第4ゲートドライバ（64）とを制御する。

[0216] この態様によれば、ブートストラップ回路の電圧低下を抑制することが可能となる。より詳細には、この態様によれば、複数の第1ブートストラップ回路（71）のコンデンサ（ $C17$ ）、複数の第2ブートストラップ回路（72）のコンデンサ（ $C27$ ）及び複数の第3ブートストラップ回路（73）のコンデンサ（ $C37$ ）の電圧低下を抑制することが可能となる。

[0217] 第2の態様に係るマルチレベルインバータ（100）は、直流電源部（3）と、複数のインバータ回路（1）と、制御装置（6）と、を備える。直流電源部（3）は、正極（ $P1$ ）と負極（ $N1$ ）と中間電位点（ $M1$ ）とを有する。複数のインバータ回路（1）は、直流電源部（3）の正極（ $P1$ ）と負極（ $N1$ ）との間に接続されている。制御装置（6）は、複数のインバータ回路（1）を制御する。複数のインバータ回路（1）の各々は、スイッチング回路（10）と、第1ダイオード（ $D1$ ）と、第2ダイオード（ $D2$ ）と、第3ダイオード（ $D3$ ）と、第4ダイオード（ $D4$ ）と、第5ダイオード（ $D5$ ）と、第6ダイオード（ $D6$ ）と、を有する。スイッチング回路（10）では、第1スイッチング素子（ $Q1$ ）、第2スイッチング素子（ $Q2$ ）、第3スイッチング素子（ $Q3$ ）及び第4スイッチング素子（ $Q4$ ）が、正極（ $P1$ ）側から負極（ $N1$ ）側へ第1スイッチング素子（ $Q1$ ）、第2スイッチング素子（ $Q2$ ）、第3スイッチング素子（ $Q3$ ）及び第4スイッチング素子（ $Q4$ ）の順に並ぶように直列接続されている。第1ダイオード（ $D1$ ）は、第1スイッチング素子（ $Q1$ ）に逆並列接続されている。第2

ダイオード（D 2）は、第2スイッチング素子（Q 2）に逆並列接続されている。第3ダイオード（D 3）は、第3スイッチング素子（Q 3）に逆並列接続されている。第4ダイオード（D 4）は、第4スイッチング素子（Q 4）に逆並列接続されている。第5ダイオード（D 5）は、第1スイッチング素子（Q 1）と第2スイッチング素子（Q 2）との第1接続点（1 1）にカソードが接続されており、中間電位点（M 1）にアノードが接続されている。第6ダイオード（D 6）は、第3スイッチング素子（Q 3）と第4スイッチング素子（Q 4）との第2接続点（1 2）にアノードが接続されており、中間電位点（M 1）にカソードが接続されている。制御装置（6）は、複数の第1ゲートドライバ（6 1）と、複数の第2ゲートドライバ（6 2）と、複数の第3ゲートドライバ（6 3）と、複数の第4ゲートドライバ（6 4）と、複数の第1ブートストラップ回路（7 1）と、複数の第2ブートストラップ回路（7 2）と、電源部（9）と、制御部（6 0）と、を有する。複数の第1ゲートドライバ（6 1）は、複数のインバータ回路（1）の各々の第1スイッチング素子（Q 1）を駆動する。複数の第2ゲートドライバ（6 2）は、複数のインバータ回路（1）の各々の第2スイッチング素子（Q 2）を駆動する。複数の第3ゲートドライバ（6 3）は、複数のインバータ回路（1）の各々の第3スイッチング素子（Q 3）を駆動する。複数の第4ゲートドライバ（6 4）は、複数のインバータ回路（1）の各々の第4スイッチング素子（Q 4）を駆動する。複数の第1ブートストラップ回路（7 1）は、複数の第1ゲートドライバ（6 1）に一对一に対応し対応する第1ゲートドライバ（6 1）に電圧を供給する。複数の第2ブートストラップ回路（7 2）は、複数の第2ゲートドライバ（6 2）に一对一に対応し対応する第2ゲートドライバ（6 2）に電圧を供給する。複数の第3ブートストラップ回路（7 3）は、複数の第3ゲートドライバ（6 3）に一对一に対応し対応する第3ゲートドライバ（6 3）に電圧を供給する。電源部（9）は、複数の第4ゲートドライバ（6 4）に電圧を供給する。制御部（6 0）は、複数の第1ゲートドライバ（6 1）、複数の第2ゲートドライバ（6 2）、複数の

第3ゲートドライバ(63)及び複数の第4ゲートドライバ(64)を制御する。制御部(60)は、一群の電圧ベクトルのうち指令電圧ベクトル(V^*)に隣接する複数の電圧ベクトルを選択する。一群の電圧ベクトルの各々は、複数のインバータ回路(1)の第2スイッチング素子(Q2)と第3スイッチング素子(Q3)との第3接続点(13)の電位レベルの組み合わせで定まる。制御部(60)は、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル(V^*)に最も近い第1電圧ベクトル($VV1$)を、複数のインバータ回路(1)の第2スイッチング素子(Q2)と第3スイッチング素子(Q3)との第3接続点(13)の電位レベルが負極(N1)の電位となる組み合わせの零ベクトル($V_0[NNN]$)と、第1電圧ベクトル($VV1$)と同じ向きで第1電圧ベクトル($VV1$)の2倍の大きさの第2電圧ベクトル($VV2$)と、に置換する。制御部(60)は、複数の電圧ベクトルのうち第1電圧ベクトル($VV1$)以外の電圧ベクトルと、零ベクトル($V_0[NNN]$)と、第2電圧ベクトル($VV2$)と、の合成ベクトルを指令電圧ベクトル(V^*)と一致させるように、所定の制御周期(T_s)内において複数の第1ゲートドライバ(61)と複数の第2ゲートドライバ(62)と複数の第3ゲートドライバ(63)と複数の第4ゲートドライバ(64)とを制御する。

[0218] この態様によれば、ブートストラップ回路の電圧低下を抑制することが可能となる。より詳細には、この態様によれば、複数の第1ブートストラップ回路(71)のコンデンサ($C17$)、複数の第2ブートストラップ回路(72)のコンデンサ($C27$)及び複数の第3ブートストラップ回路(73)のコンデンサ($C37$)の電圧低下を抑制することが可能となる。

[0219] 第3の態様に係るマルチレベルインバータ(100)では、第1又は2の態様において、制御部(60)は、指令電圧ベクトル(V^*)に対応する指令電圧の極性が正のときに、第1電圧ベクトル($VV1$)を零ベクトル($V_0n[NNN]$)と第2電圧ベクトル($VV2$)とに置換する。

[0220] この態様によれば、第1電圧ベクトル($VV1$)を零ベクトル($V_0n[$

NNN]) と第2 電圧ベクトル (V V 2) とに置換する回数を低減できる。

[0221] 第4 の態様に係るマルチレベルインバータ (1 0 0) では、第1 ～3 の態様のいずれか一つにおいて、制御部 (6 0) は、複数の第1 ブートストラップ回路 (7 1) 及び複数の第2 ブートストラップ回路 (7 2) それぞれの出力電圧が所定値以下に低下しないように、複数の第1 ゲートドライバ (6 1) と複数の第2 ゲートドライバ (6 2) と複数の第3 ゲートドライバ (6 3) と複数の第4 ゲートドライバ (6 4) とを制御する。

[0222] この態様によれば、複数の第1 ブートストラップ回路 (7 1) 及び複数の第2 ブートストラップ回路 (7 2) それぞれの出力電圧が所定値以下になることを防止することが可能となる。

[0223] 第5 の態様に係るマルチレベルインバータ (1 0 0) では、第1 ～4 の態様のいずれか一つにおいて、複数の第1 ブートストラップ回路 (7 1) 及び複数の第2 ブートストラップ回路 (7 2) の各々は、コンデンサ (C 1 7) と、ダイオード (D 1 7) と、抵抗 (R 1 7) と、を含む。ダイオード (D 1 7) は、コンデンサ (C 1 7) に直列接続されている。抵抗 (R 1 7) は、コンデンサ (C 1 7) に直列接続されている。

[0224] 第6 の態様に係るマルチレベルインバータ (1 0 0) では、第1 ～5 の態様のいずれか一つにおいて、電源部 (9) は、DC-DCコンバータ (9 1) を含む。DC-DCコンバータ (9 1) は、複数の第4 ゲートドライバ (6 4) と複数の第3 ブートストラップ回路 (7 3) とに電圧を供給する。

[0225] この態様によれば、マルチレベルインバータ (1 0 0) の小型化を図ることが可能となる。

[0226] 第7 の態様に係るマルチレベルインバータ (1 0 0 a ; 1 0 0 A ; 1 0 0 B ; 1 0 0 C ; 1 0 0 D) は、直流電源部 (3) と、複数のインバータ回路 (1 a) と、制御装置 (6 a) と、を備える。直流電源部 (3) は、正極 (P 1) と負極 (N 1) と中間電位点 (M 1) とを有する。複数のインバータ回路 (1 a) は、直流電源部 (3) の正極 (P 1) と負極 (N 1) との間に接続されている。制御装置 (6 a) は、複数のインバータ回路 (1 a) を制

御する。複数のインバータ回路（１ a）の各々は、第１スイッチング素子（Q 1 a）、第２スイッチング素子（Q 2 a）、第３スイッチング素子（Q 3 a）及び第４スイッチング素子（Q 4 a）と、第１ダイオード（D 1 a）、第２ダイオード（D 2 a）、第３ダイオード（D 3 a）及び第４ダイオード（D 4 a）と、を有する。第１ダイオード（D 1 a）、第２ダイオード（D 2 a）、第３ダイオード（D 3 a）及び第４ダイオード（D 4 a）は、第１スイッチング素子（Q 1 a）、第２スイッチング素子（Q 2 a）、第３スイッチング素子（Q 3 a）及び第４スイッチング素子（Q 4 a）にそれぞれ逆並列接続されている。複数のインバータ回路（１ a）の各々では、第１スイッチング素子（Q 1 a）、第２スイッチング素子（Q 2 a）が、正極（P 1）側から負極（N 1）側へ第１スイッチング素子（Q 1 a）、第２スイッチング素子（Q 2 a）の順に並ぶように直列接続されている。複数のインバータ回路（１ a）の各々では、第３スイッチング素子（Q 3 a）と第４スイッチング素子（Q 4 a）との直列回路が、中間電位点（M 1）と出力点との間に接続されている。出力点は、第１スイッチング素子（Q 1 a）と第２スイッチング素子（Q 2 a）との接続点（１ 3 a）である。制御装置（６ a）は、複数の第１ゲートドライバ（６ 1 a）と、複数の第２ゲートドライバ（６ 2 a）と、複数の第３ゲートドライバ（６ 3 a）と、複数の第４ゲートドライバ（６ 4 a）と、複数のブートストラップ回路（７ 1 a）と、電源部（９ a）と、制御部（６ 0 a）と、を有する。複数の第１ゲートドライバ（６ 1 a）は、複数のインバータ回路（１ a）の各々の第１スイッチング素子（Q 1 a）を駆動する。複数の第２ゲートドライバ（６ 2 a）は、複数のインバータ回路（１ a）の各々の第２スイッチング素子（Q 2 a）を駆動する。複数の第３ゲートドライバ（６ 3 a）は、複数のインバータ回路（１ a）の各々の第３スイッチング素子（Q 3 a）を駆動する。複数の第４ゲートドライバ（６ 4 a）は、複数のインバータ回路（１ a）の各々の第４スイッチング素子（Q 4 a）を駆動する。複数のブートストラップ回路（７ 1 a）は、複数の第１ゲートドライバ（６ 1 a）に一対一に対応し、対応する第１ゲート

ドライバ（61a）に電圧を供給する。電源部（9a）は、複数の第2ゲートドライバ（62a）及び複数の第3ゲートドライバ（63a）に電圧を供給する。制御部（60a）は、複数の第1ゲートドライバ（61a）、複数の第2ゲートドライバ（62a）、複数の第3ゲートドライバ（63a）及び複数の第4ゲートドライバ（64a）を制御する。制御部（60a）は、一群の電圧ベクトルのうち指令電圧ベクトル（ V^* ）に隣接する複数の電圧ベクトルを選択する。一群の電圧ベクトルの各々は、複数のインバータ回路（1a）における複数の接続点（13a）の電位レベルの組み合わせで定まる。制御部（60a）は、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル（ V^* ）に最も近い2つの第1電圧ベクトル（ $V V 1$ ）のうち1つの第1電圧ベクトル（ $V V 1$ ）を、複数のインバータ回路（1a）における複数の接続点（13a）の電位レベルが負極（N1）の電位となる組み合わせの零ベクトル（ $V 0 n [N N N]$ ）と、第1電圧ベクトル（ $V V 1$ ）と同じ向きで第1電圧ベクトル（ $V V 1$ ）の2倍の大きさの第2電圧ベクトル（ $V V 2$ ）と、に置換する。制御部（60）は、複数の電圧ベクトルのうち第1電圧ベクトル（ $V V 1$ ）以外の電圧ベクトルと、2つの第1電圧ベクトル（ $V V 1$ ）の残りの第1電圧ベクトル（ $V V 1$ ）と、零ベクトル（ $V 0 n [N N N]$ ）と、第2電圧ベクトル（ $V V 2$ ）と、の合成ベクトルを指令電圧ベクトル（ V^* ）と一致させるように、所定の制御周期（ T_s ）内において複数の第1ゲートドライバ（61a）と複数の第2ゲートドライバ（62a）と複数の第3ゲートドライバ（63a）と複数の第4ゲートドライバ（64a）とを制御する。

[0227] この態様によれば、ブートストラップ回路（71a）の電圧低下を抑制することが可能となる。より詳細には、この態様によれば、複数のブートストラップ回路（71a）のコンデンサ（C11）の電圧低下を抑制することが可能となる。

[0228] 第8の態様に係るマルチレベルインバータ（100a；100A；100B；100C；100D）は、直流電源部（3）と、複数のインバータ回路

(1 a) と、制御装置 (6 a) と、を備える。直流電源部 (3) は、正極 (P 1) と負極 (N 1) と中間電位点 (M 1) とを有する。複数のインバータ回路 (1 a) は、直流電源部 (3) の正極 (P 1) と負極 (N 1) との間に接続されている。制御装置 (6 a) は、複数のインバータ回路 (1 a) を制御する。複数のインバータ回路 (1 a) の各々は、第 1 スイッチング素子 (Q 1 a)、第 2 スイッチング素子 (Q 2 a)、第 3 スイッチング素子 (Q 3 a) 及び第 4 スイッチング素子 (Q 4 a) と、第 1 ダイオード (D 1 a)、第 2 ダイオード (D 2 a)、第 3 ダイオード (D 3 a) 及び第 4 ダイオード (D 4 a) と、を有する。第 1 ダイオード (D 1 a)、第 2 ダイオード (D 2 a)、第 3 ダイオード (D 3 a) 及び第 4 ダイオード (D 4 a) は、第 1 スイッチング素子 (Q 1 a)、第 2 スイッチング素子 (Q 2 a)、第 3 スイッチング素子 (Q 3 a) 及び第 4 スイッチング素子 (Q 4 a) にそれぞれ逆並列接続されている。複数のインバータ回路 (1 a) の各々では、第 1 スイッチング素子 (Q 1 a)、第 2 スイッチング素子 (Q 2 a) が、正極 (P 1) 側から負極 (N 1) 側へ第 1 スイッチング素子 (Q 1 a)、第 2 スイッチング素子 (Q 2 a) の順に並ぶように直列接続されている。複数のインバータ回路 (1 a) の各々では、第 3 スイッチング素子 (Q 3 a) と第 4 スイッチング素子 (Q 4 a) との直列回路が、中間電位点 (M 1) と出力点との間に接続されている。出力点は、第 1 スイッチング素子 (Q 1 a) と第 2 スイッチング素子 (Q 2 a) との接続点 (1 3 a) である。制御装置 (6 a) は、複数の第 1 ゲートドライバ (6 1 a) と、複数の第 2 ゲートドライバ (6 2 a) と、複数の第 3 ゲートドライバ (6 3 a) と、複数の第 4 ゲートドライバ (6 4 a) と、複数のブートストラップ回路 (7 1 a) と、電源部 (9 a) と、制御部 (6 0 a) と、を有する。複数の第 1 ゲートドライバ (6 1 a) は、複数のインバータ回路 (1 a) の各々の第 1 スイッチング素子 (Q 1 a) を駆動する。複数の第 2 ゲートドライバ (6 2 a) は、複数のインバータ回路 (1 a) の各々の第 2 スイッチング素子 (Q 2 a) を駆動する。複数の第 3 ゲートドライバ (6 3 a) は、複数のインバータ回路 (1 a) の各

々の第3スイッチング素子 (Q 3 a) を駆動する。複数の第4ゲートドライバ (6 4 a) は、複数のインバータ回路 (1 a) の各々の第4スイッチング素子 (Q 4 a) を駆動する。複数のブートストラップ回路 (7 1 a) は、複数の第1ゲートドライバ (6 1 a) に一対一に対応し、対応する第1ゲートドライバ (6 1 a) に電圧を供給する。電源部 (9 a) は、複数の第2ゲートドライバ (6 2 a) 及び複数の第3ゲートドライバ (6 3 a) に電圧を供給する。制御部 (6 0 a) は、複数の第1ゲートドライバ (6 1 a)、複数の第2ゲートドライバ (6 2 a)、複数の第3ゲートドライバ (6 3 a) 及び複数の第4ゲートドライバ (6 4 a) を制御する。制御部 (6 0 a) は、一群の電圧ベクトルのうち指令電圧ベクトル (V^*) に隣接する複数の電圧ベクトルを選択する。一群の電圧ベクトルの各々は、複数のインバータ回路 (1 a) における複数の接続点 (1 3 a) の電位レベルの組み合わせで定まる。制御部 (6 0 a) は、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル (V^*) に最も近い2つの第1電圧ベクトル ($V V 1$) の各々を、複数のインバータ回路 (1 a) における複数の接続点 (1 3 a) の電位レベルが負極 (N 1) の電位となる組み合わせの零ベクトル ($V 0 [N N N]$) と、第1電圧ベクトル ($V V 1$) と同じ向きで第1電圧ベクトル ($V V 1$) の2倍の大きさの第2電圧ベクトル ($V V 2$) と、に置換する。制御部 (6 0 a) は、複数の電圧ベクトルのうち第1電圧ベクトル ($V V 1$) 以外の電圧ベクトルと、零ベクトル ($V 0 [N N N]$) と、第2電圧ベクトル ($V V 2$) と、の合成ベクトルを指令電圧ベクトル (V^*) と一致させるように、所定の制御周期 (T_s) 内において複数の第1ゲートドライバ (6 1 a) と複数の第2ゲートドライバ (6 2 a) と複数の第3ゲートドライバ (6 3 a) と複数の第4ゲートドライバ (6 4 a) とを制御する。

[0229] この態様によれば、ブートストラップ回路 (7 1 a) の電圧低下を抑制することが可能となる。より詳細には、この態様によれば、複数のブートストラップ回路 (7 1 a) のコンデンサ (C 1 1) の電圧低下を抑制することが可能となる。

- [0230] 第9の態様に係るマルチレベルインバータ（100a）では、第7又は8の態様において、制御部（60a）は、指令電圧ベクトル（ V^* ）に対応する指令電圧の極性が正のときに、第1電圧ベクトル（ $VV1$ ）を零ベクトル（ $VO_n[NNN]$ ）と第2電圧ベクトル（ $VV2$ ）とに置換する。
- [0231] この態様によれば、第1電圧ベクトル（ $VV1$ ）を零ベクトル（ $VO_n[NNN]$ ）と第2電圧ベクトル（ $VV2$ ）とに置換する回数を低減できる。
- [0232] 第10の態様に係るマルチレベルインバータ（100a；100A；100B；100C；100D）では、第7～9の態様のいずれか一つにおいて、制御部（60a）は、複数のブートストラップ回路（71a）の出力電圧が所定値以下に低下しないように、複数の第1ゲートドライバ（61a）と複数の第2ゲートドライバ（62a）と複数の第3ゲートドライバ（63a）と複数の第4ゲートドライバ（64a）とを制御する。
- [0233] この態様によれば、複数のブートストラップ回路（71a）それぞれの出力電圧が所定値以下になることを防止することが可能となる。
- [0234] 第11の態様に係るマルチレベルインバータ（100a；100A；100B；100C；100D）では、第7～10の態様のいずれか一つにおいて、複数のブートストラップ回路（71a）の各々は、コンデンサ（C11）と、ダイオード（D11）と、抵抗（R11）と、を含む。ダイオード（D11）は、コンデンサ（C11）に直列接続されている。抵抗（R11）は、コンデンサ（C11）に直列接続されている。
- [0235] 第12の態様に係るマルチレベルインバータ（100a；100B；100C；100D）では、第7～11の態様のいずれか一つにおいて、電源部（9a）は、1つのDC-DCコンバータ（91a）を含む。DC-DCコンバータ（91a）は、複数の第2ゲートドライバ（62a）と複数のブートストラップ回路（71a）とに電圧を供給する。
- [0236] この態様によれば、マルチレベルインバータ（100a；100B；100C；100D）の小型化を図ることが可能となる。
- [0237] 第13の態様に係るマルチレベルインバータ（100a；100B；100

OC ; 100D) では、第7～11の態様のいずれか一つにおいて、電源部(9a)は、1つの第1DC-DCコンバータ(91a)と、複数の第2DC-DCコンバータ(92)と、を含む。第1DC-DCコンバータ(91a)は、複数の第2ゲートドライバ(62a)と複数のブートストラップ回路(71a)とに電圧を供給する。複数の第2DC-DCコンバータ(92)は、複数の第4ゲートドライバ(64a)に電圧を供給する。

[0238] この態様によれば、マルチレベルインバータ(100a ; 100B ; 100C ; 100D)の小型化を図ることが可能となる。

符号の説明

- [0239]
- 1 インバータ回路
 - 3 直流電源部
 - 6 制御装置
 - 60 制御部
 - 61 第1ゲートドライバ
 - 62 第2ゲートドライバ
 - 63 第3ゲートドライバ
 - 64 第4ゲートドライバ
 - 9 電源部
 - 91 DC-DCコンバータ
 - 10 スイッチング回路
 - 11 第1接続点
 - 12 第2接続点
 - 13 第3接続点
 - 71 第1ブートストラップ回路
 - 72 第2ブートストラップ回路
 - 73 第3ブートストラップ回路
 - 100 マルチレベルインバータ
 - C17、C27、C37 コンデンサ

D 1 第1ダイオード
D 2 第2ダイオード
D 3 第3ダイオード
D 4 第4ダイオード
D 5 第5ダイオード
D 6 第6ダイオード
D 1 7、D 2 7、D 3 7 ダイオード
P 1 正極
Q 1 第1スイッチング素子
Q 2 第2スイッチング素子
Q 3 第3スイッチング素子
Q 4 第4スイッチング素子
M 1 中間電位点
N 1 負極
R 1 7、R 2 7、R 3 7 抵抗
T s 制御周期
V 0 ~ V 1 8 電圧ベクトル
V * 指令電圧ベクトル
V V 1 第1電圧ベクトル
V V 2 第2電圧ベクトル
1 a インバータ回路
6 a 制御装置
6 0 a 制御部
6 1 a 第1ゲートドライバ
6 2 a 第2ゲートドライバ
6 3 a 第3ゲートドライバ
6 4 a 第4ゲートドライバ
9 a 電源部

9 1 a D C − D C コンバータ（第 1 D C − D C コンバータ）

9 2 第 2 D C − D C コンバータ

1 3 a 接続点（出力点）

7 1 a ブートストラップ回路（第 1 ブートストラップ回路）

7 2 a 第 2 ブートストラップ回路

1 0 0 a、1 0 0 A、1 0 0 B、1 0 0 C、1 0 0 D マルチレベルイン
バータ

C 1 1、C 2 1 コンデンサ

D 1 a 第 1 ダイオード

D 2 a 第 2 ダイオード

D 3 a 第 3 ダイオード

D 4 a 第 4 ダイオード

D 1 1、D 2 1 ダイオード

Q 1 a 第 1 スイッチング素子

Q 2 a 第 2 スイッチング素子

Q 3 a 第 3 スイッチング素子

Q 4 a 第 4 スイッチング素子

R 1 1、R 2 1 抵抗

請求の範囲

[請求項1]

正極と負極と中間電位点とを有する直流電源部と、
前記直流電源部の前記正極と前記負極との間に接続されている複数のインバータ回路と、
前記複数のインバータ回路を制御する制御装置と、を備え、
前記複数のインバータ回路の各々は、
第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子が、前記正極側から前記負極側へ前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の順に並ぶように直列接続されているスイッチング回路と、
前記第1スイッチング素子に逆並列接続されている第1ダイオードと、
前記第2スイッチング素子に逆並列接続されている第2ダイオードと、
前記第3スイッチング素子に逆並列接続されている第3ダイオードと、
前記第4スイッチング素子に逆並列接続されている第4ダイオードと、
前記第1スイッチング素子と前記第2スイッチング素子との第1接続点にカソードが接続されており、前記中間電位点にアノードが接続されている第5ダイオードと、
前記第3スイッチング素子と前記第4スイッチング素子との第2接続点にアノードが接続されており、前記中間電位点にカソードが接続されている第6ダイオードと、を有し、
前記制御装置は、
前記複数のインバータ回路の各々の前記第1スイッチング素子を駆動する複数の第1ゲートドライバと、

前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する複数の第2ゲートドライバと、

前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動する複数の第3ゲートドライバと、

前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する複数の第4ゲートドライバと、

前記複数の第1ゲートドライバに一对一に対応し対応する第1ゲートドライバに電圧を供給する複数の第1ブートストラップ回路と、

前記複数の第2ゲートドライバに一对一に対応し対応する第2ゲートドライバに電圧を供給する複数の第2ブートストラップ回路と、

前記複数の第3ゲートドライバに一对一に対応し対応する第3ゲートドライバに電圧を供給する複数の第3ブートストラップ回路と、

前記複数の第4ゲートドライバに電圧を供給する電源部と、

前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバを制御する制御部と、を有し、

前記制御部は、

各々が前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との第3接続点の電位レベルの組み合わせで定まる一群の電圧ベクトルのうち指令電圧ベクトルに隣接する複数の電圧ベクトルを選択し、

前記複数の電圧ベクトルのうち大きさが基準大きさであり前記指令電圧ベクトルに最も近い2つの第1電圧ベクトルのうち1つの第1電圧ベクトルを、前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との前記第3接続点の電位レベルが前記負極の電位となる組み合わせの零ベクトルと、前記第1電圧ベクトルと同じ向きで前記第1電圧ベクトルの2倍の大きさの第2電圧ベクトルと、に置換し、

前記複数の電圧ベクトルのうち前記第1電圧ベクトル以外の電圧ベクトルと、前記2つの第1電圧ベクトルの残りの第1電圧ベクトルと、前記零ベクトルと、前記第2電圧ベクトルと、の合成ベクトルを前記指令電圧ベクトルと一致させるように、所定の制御周期内において前記複数の第1ゲートドライバと前記複数の第2ゲートドライバと前記複数の第3ゲートドライバと前記複数の第4ゲートドライバとを制御する、

マルチレベルインバータ。

[請求項2]

正極と負極と中間電位点とを有する直流電源部と、

前記直流電源部の前記正極と前記負極との間に接続されている複数のインバータ回路と、

前記複数のインバータ回路を制御する制御装置と、を備え、

前記複数のインバータ回路の各々は、

第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子が、前記正極側から前記負極側へ前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の順に並ぶように直列接続されているスイッチング回路と、

前記第1スイッチング素子に逆並列接続されている第1ダイオードと、

前記第2スイッチング素子に逆並列接続されている第2ダイオードと、

前記第3スイッチング素子に逆並列接続されている第3ダイオードと、

前記第4スイッチング素子に逆並列接続されている第4ダイオードと、

前記第1スイッチング素子と前記第2スイッチング素子との第1接続点にカソードが接続されており、前記中間電位点にアノードが接

続されている第5ダイオードと、

前記第3スイッチング素子と前記第4スイッチング素子との第2接続点にアノードが接続されており、前記中間電位点にカソードが接続されている第6ダイオードと、を有し、

前記制御装置は、

前記複数のインバータ回路の各々の前記第1スイッチング素子を駆動する複数の第1ゲートドライバと、

前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する複数の第2ゲートドライバと、

前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動する複数の第3ゲートドライバと、

前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する複数の第4ゲートドライバと、

前記複数の第1ゲートドライバに一对一に対応し対応する第1ゲートドライバに電圧を供給する複数の第1ブートストラップ回路と、

前記複数の第2ゲートドライバに一对一に対応し対応する第2ゲートドライバに電圧を供給する複数の第2ブートストラップ回路と、

前記複数の第3ゲートドライバに一对一に対応し対応する第3ゲートドライバに電圧を供給する複数の第3ブートストラップ回路と、

前記複数の第4ゲートドライバに電圧を供給する電源部と、

前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバを制御する制御部と、を有し、

前記制御部は、

各々が前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との第3接続点の電位レベルの組み合わせで定まる一群の電圧ベクトルのうち指令電圧ベクトルに隣接する複数の電圧ベクトルを選択し、

前記複数の電圧ベクトルのうち大きさが基準大きさであり前記指令電圧ベクトルに最も近い第1電圧ベクトルを、前記複数のインバータ回路の前記第2スイッチング素子と前記第3スイッチング素子との前記第3接続点の電位レベルが前記負極の電位となる組み合わせの零ベクトルと、前記第1電圧ベクトルと同じ向きで前記第1電圧ベクトルの2倍の大きさの第2電圧ベクトルと、に置換し、

前記複数の電圧ベクトルのうち前記第1電圧ベクトル以外の電圧ベクトルと、前記零ベクトルと、前記第2電圧ベクトルと、の合成ベクトルを前記指令電圧ベクトルと一致させるように、所定の制御周期内において前記複数の第1ゲートドライバと前記複数の第2ゲートドライバと前記複数の第3ゲートドライバと前記複数の第4ゲートドライバとを制御する、

マルチレベルインバータ。

[請求項3] 前記制御部は、前記指令電圧ベクトルに対応する指令電圧の極性が正のときに、前記第1電圧ベクトルを前記零ベクトルと前記第2電圧ベクトルとに置換する、

請求項1又は2に記載のマルチレベルインバータ。

[請求項4] 前記制御部は、

前記複数の第1ブートストラップ回路及び前記複数の第2ブートストラップ回路それぞれの出力電圧が所定値以下に低下しないように、前記複数の第1ゲートドライバと前記複数の第2ゲートドライバと前記複数の第3ゲートドライバと前記複数の第4ゲートドライバとを制御する、

請求項1～3のいずれか一項に記載のマルチレベルインバータ。

[請求項5] 前記複数の第1ブートストラップ回路及び前記複数の第2ブートストラップ回路の各々は、

コンデンサと、

前記コンデンサに直列接続されているダイオードと、

前記コンデンサに直列接続されている抵抗と、を含む、
請求項 1 ～ 4 のいずれか一項に記載のマルチレベルインバータ。

[請求項6]

前記電源部は、

前記複数の第 4 ゲートドライバと前記複数の第 3 ブートストラップ回路とに電圧を供給する 1 つの DC-DC コンバータを含む、

請求項 1 ～ 5 のいずれか一項に記載のマルチレベルインバータ。

[請求項7]

正極と負極と中間電位点とを有する直流電源部と、

前記直流電源部の前記正極と前記負極との間に接続されている複数のインバータ回路と、

前記複数のインバータ回路を制御する制御装置と、を備え、

前記複数のインバータ回路の各々は、

第 1 スイッチング素子、第 2 スイッチング素子、第 3 スイッチング素子及び第 4 スイッチング素子と、

前記第 1 スイッチング素子、前記第 2 スイッチング素子、前記第 3 スイッチング素子及び前記第 4 スイッチング素子にそれぞれ逆並列接続されている、第 1 ダイオード、第 2 ダイオード、第 3 ダイオード及び第 4 ダイオードと、を有し、

前記複数のインバータ回路の各々では、

前記第 1 スイッチング素子、前記第 2 スイッチング素子が、前記正極側から前記負極側へ前記第 1 スイッチング素子、前記第 2 スイッチング素子の順に並ぶように直列接続されており、

前記第 3 スイッチング素子と前記第 4 スイッチング素子との直列回路が、前記中間電位点と出力点との間に接続されており、

前記出力点は、前記第 1 スイッチング素子と前記第 2 スイッチング素子との接続点であり、

前記制御装置は、

前記複数のインバータ回路の各々の前記第 1 スイッチング素子を駆動する複数の第 1 ゲートドライバと、

前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する複数の第2ゲートドライバと、

前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動する複数の第3ゲートドライバと、

前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する複数の第4ゲートドライバと、

前記複数の第1ゲートドライバに一对一に対応し、対応する第1ゲートドライバに電圧を供給する複数のブートストラップ回路と、

前記複数の第2ゲートドライバ及び前記複数の第3ゲートドライバに電圧を供給する電源部と、

前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバを制御する制御部と、を有し、

前記制御部は、

各々が前記複数のインバータ回路における複数の前記接続点の電位レベルの組み合わせで定まる一群の電圧ベクトル、のうち指令電圧ベクトルに隣接する複数の電圧ベクトルを選択し、

前記複数の電圧ベクトルのうち大きさが基準大きさであり前記指令電圧ベクトルに最も近い2つの第1電圧ベクトルのうち1つを、前記複数のインバータ回路における前記複数の前記接続点の電位レベルが前記負極の電位となる組み合わせの零ベクトルと、前記第1電圧ベクトルと同じ向きで前記第1電圧ベクトルの2倍の大きさの第2電圧ベクトルと、に置換し、

前記複数の電圧ベクトルのうち前記第1電圧ベクトル以外の電圧ベクトルと、前記零ベクトルと、前記第2電圧ベクトルと、の合成ベクトルを前記指令電圧ベクトルと一致させるように、所定の制御周期内において前記複数の第1ゲートドライバと前記複数の第2ゲートドライバと前記複数の第3ゲートドライバと前記複数の第4ゲートドラ

イバとを制御する、

マルチレベルインバータ。

[請求項8]

正極と負極と中間電位点とを有する直流電源部と、

前記直流電源部の前記正極と前記負極との間に接続されている複数のインバータ回路と、

前記複数のインバータ回路を制御する制御装置と、を備え、

前記複数のインバータ回路の各々は、

第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子と、

前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子にそれぞれ逆並列接続されている、第1ダイオード、第2ダイオード、第3ダイオード及び第4ダイオードと、を有し、

前記複数のインバータ回路の各々では、

前記第1スイッチング素子、前記第2スイッチング素子が、前記正極側から前記負極側へ前記第1スイッチング素子、前記第2スイッチング素子の順に並ぶように直列接続されており、

前記第3スイッチング素子と前記第4スイッチング素子との直列回路が、前記中間電位点と出力点との間に接続されており、

前記出力点は、前記第1スイッチング素子と前記第2スイッチング素子との接続点であり、

前記制御装置は、

前記複数のインバータ回路の各々の前記第1スイッチング素子を駆動する複数の第1ゲートドライバと、

前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する複数の第2ゲートドライバと、

前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動する複数の第3ゲートドライバと、

前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する複数の第4ゲートドライバと、

前記複数の第1ゲートドライバに一对一に対応し、対応する第1ゲートドライバに電圧を供給する複数のブートストラップ回路と、

前記複数の第2ゲートドライバ及び前記複数の第3ゲートドライバに電圧を供給する電源部と、

前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバを制御する制御部と、を有し、

前記制御部は、

各々が前記複数のインバータ回路における複数の前記接続点の電位レベルの組み合わせで定まる一群の電圧ベクトル、のうち指令電圧ベクトルに隣接する複数の電圧ベクトルを選択し、

前記複数の電圧ベクトルのうち大きさが基準大きさであり前記指令電圧ベクトルに最も近い2つの第1電圧ベクトルの各々を、前記複数のインバータ回路における前記複数の前記接続点の電位レベルが前記負極の電位となる組み合わせの零ベクトルと、前記第1電圧ベクトルと同じ向きで前記第1電圧ベクトルの2倍の大きさの第2電圧ベクトルと、に置換し、

前記複数の電圧ベクトルのうち前記第1電圧ベクトル以外の電圧ベクトルと、前記零ベクトルと、前記第2電圧ベクトルと、の合成ベクトルを前記指令電圧ベクトルと一致させるように、所定の制御周期内において前記複数の第1ゲートドライバと前記複数の第2ゲートドライバと前記複数の第3ゲートドライバと前記複数の第4ゲートドライバとを制御する、

マルチレベルインバータ。

[請求項9]

前記制御部は、前記指令電圧ベクトルに対応する指令電圧の極性が正のときに、前記第1電圧ベクトルを前記零ベクトルと前記第2電圧

ベクトルとに置換する、

請求項 7 又は 8 に記載のマルチレベルインバータ。

[請求項10] 前記制御部は、

前記複数のブートストラップ回路の出力電圧が所定値以下に低下しないように、前記複数の第 1 ゲートドライバと前記複数の第 2 ゲートドライバと前記複数の第 3 ゲートドライバと前記複数の第 4 ゲートドライバとを制御する、

請求項 7 ～ 9 のいずれか一項に記載のマルチレベルインバータ。

[請求項11] 前記複数のブートストラップ回路の各々は、

コンデンサと、

前記コンデンサに直列接続されているダイオードと、

前記コンデンサに直列接続されている抵抗と、を含む、

請求項 7 ～ 10 のいずれか一項に記載のマルチレベルインバータ。

[請求項12] 前記電源部は、

前記複数の第 2 ゲートドライバと前記複数のブートストラップ回路とに電圧を供給する 1 つの DC-DC コンバータを含む、

請求項 7 ～ 11 のいずれか一項に記載のマルチレベルインバータ。

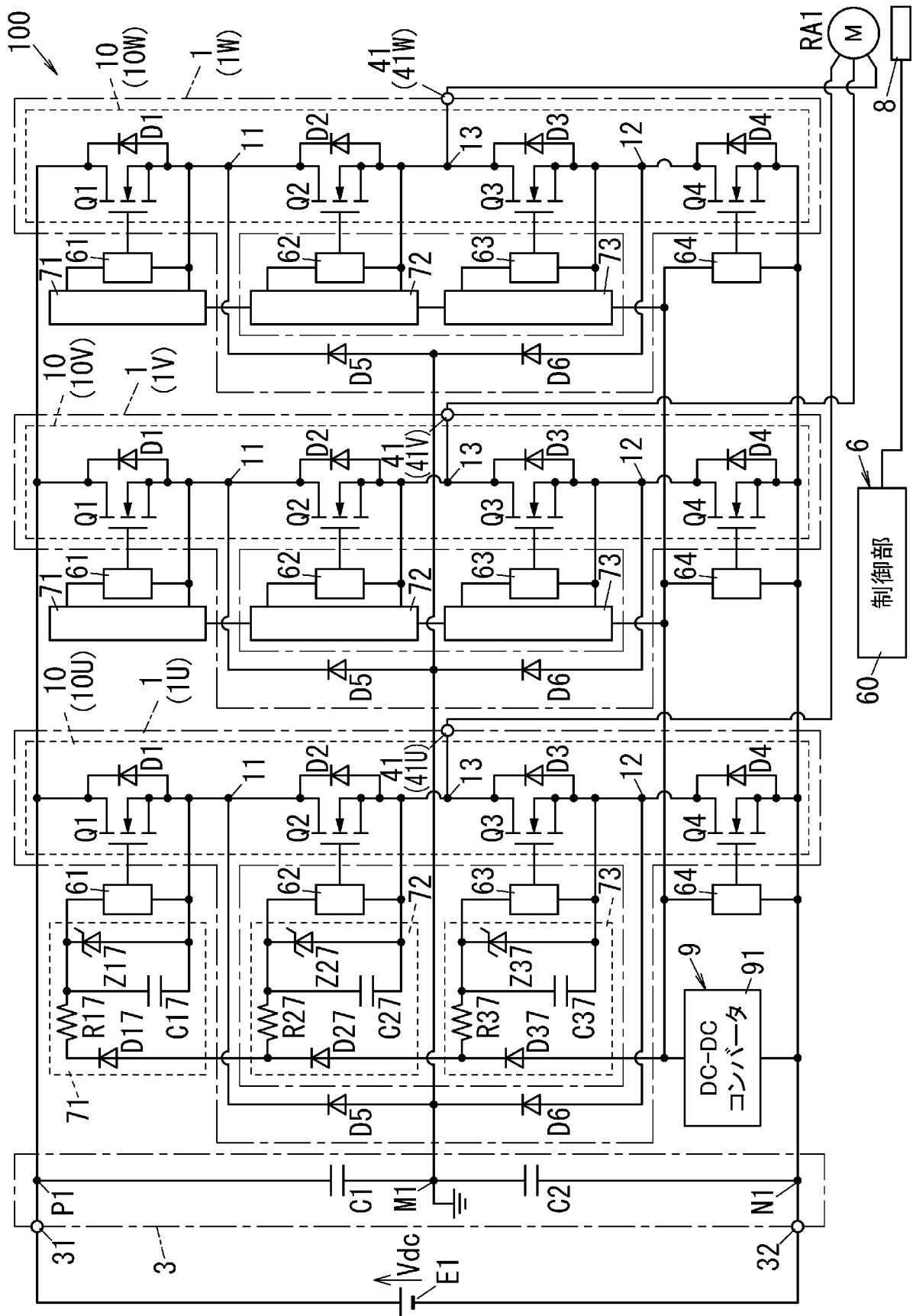
[請求項13] 前記電源部は、

前記複数の第 2 ゲートドライバと前記複数のブートストラップ回路とに電圧を供給する 1 つの第 1 DC-DC コンバータと、

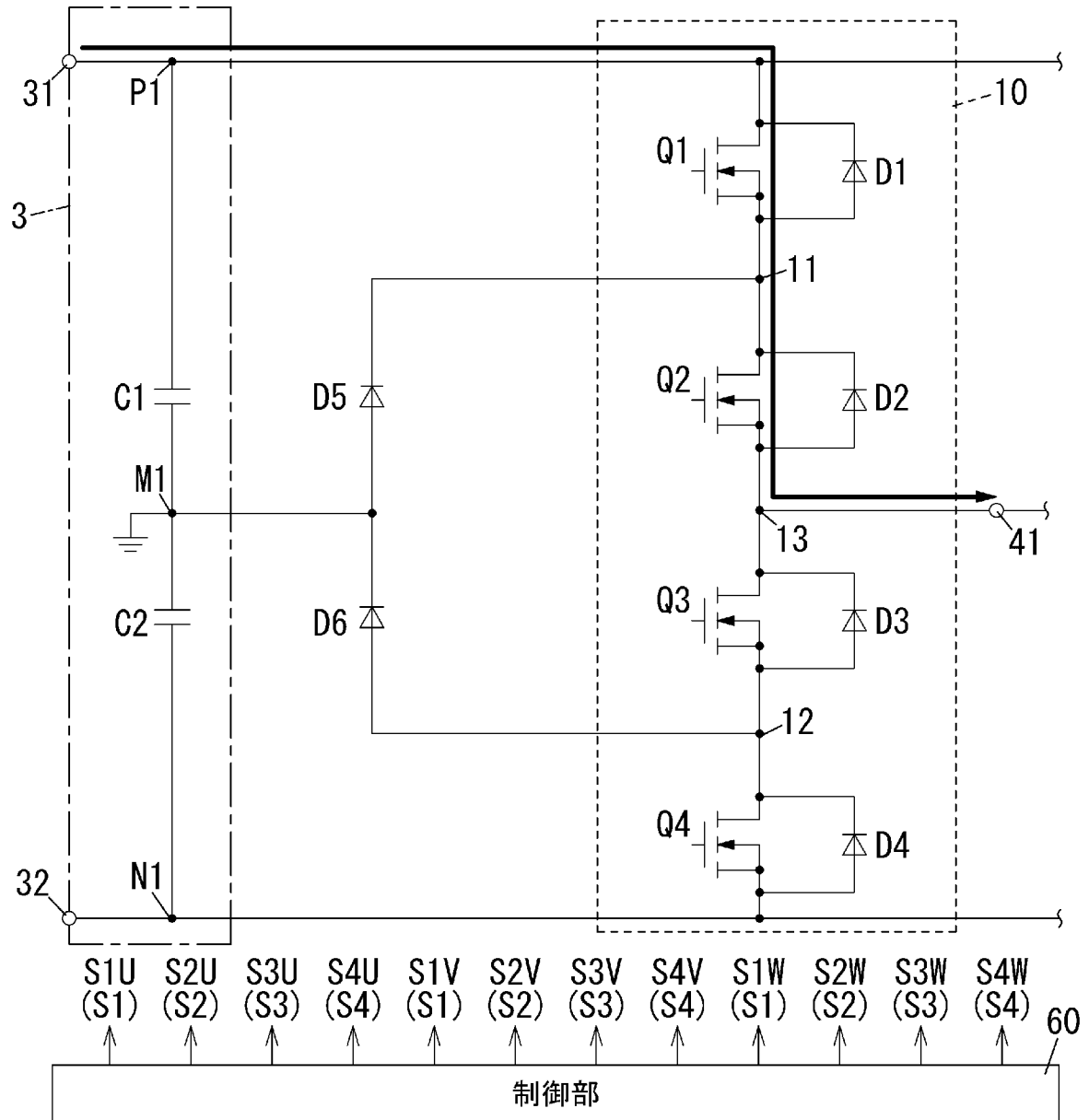
前記複数の第 4 ゲートドライバに電圧を供給する複数の第 2 DC-DC コンバータと、を含む、

請求項 7 ～ 11 のいずれか一項に記載のマルチレベルインバータ。

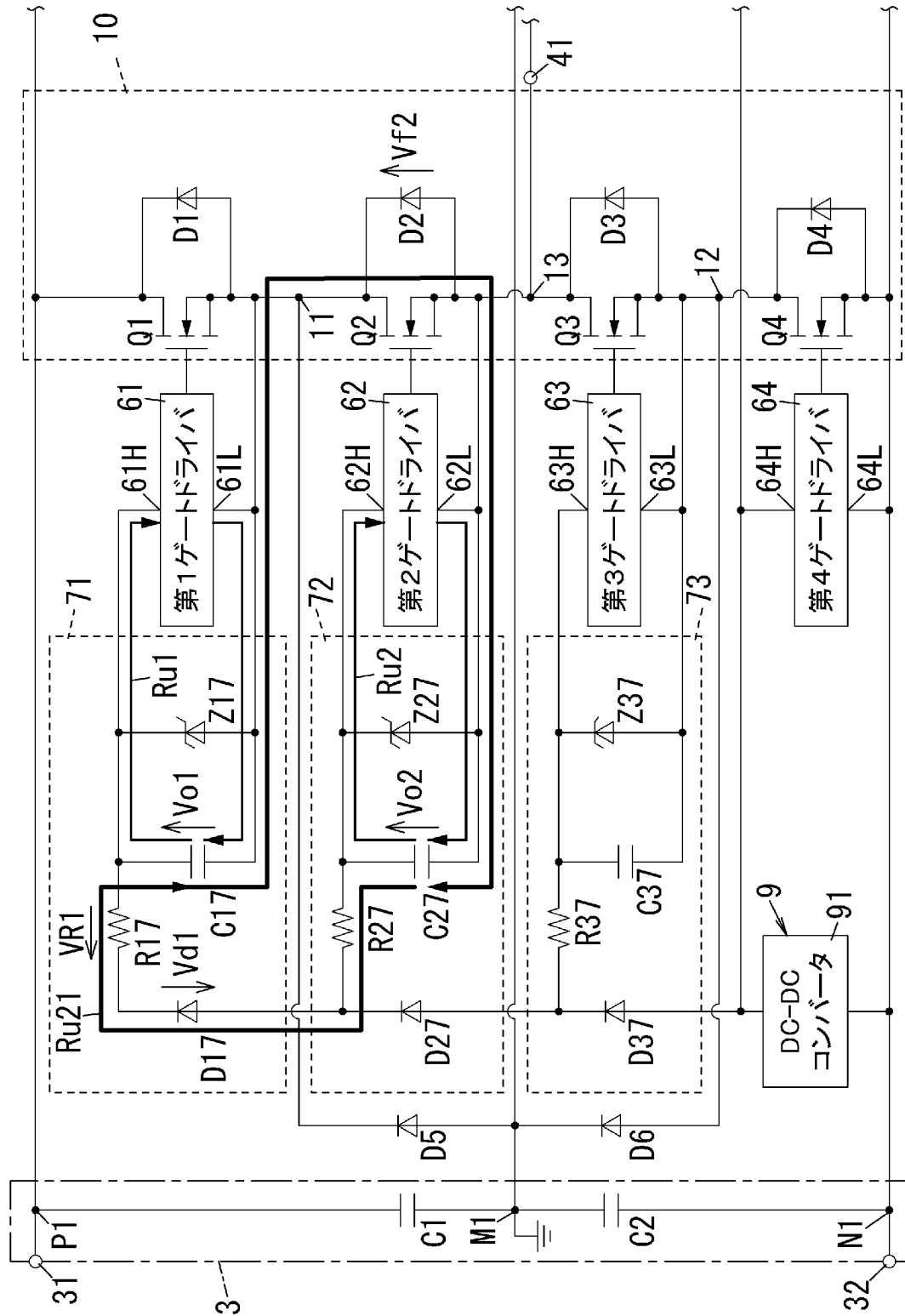
[図1]



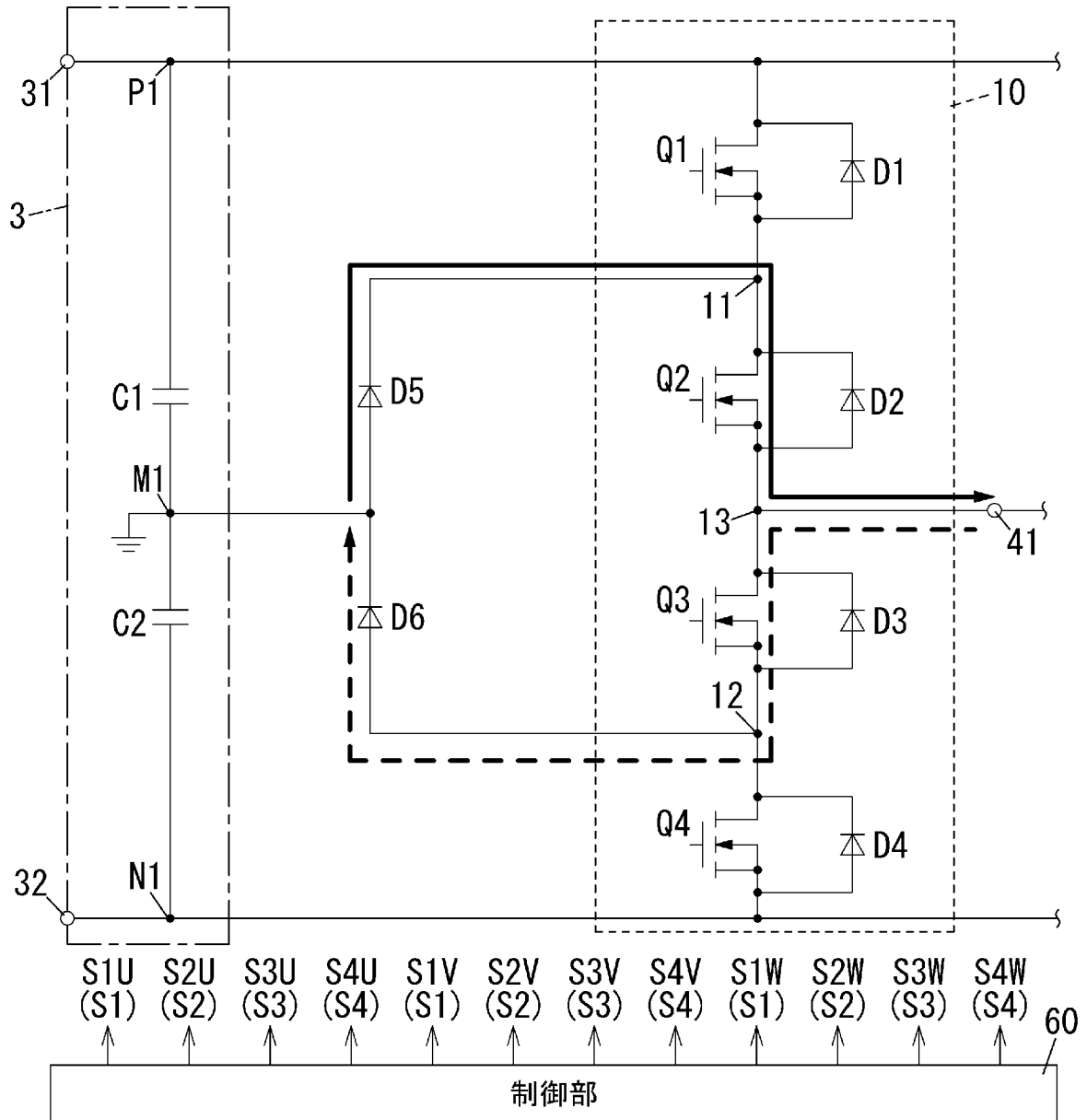
[図2]



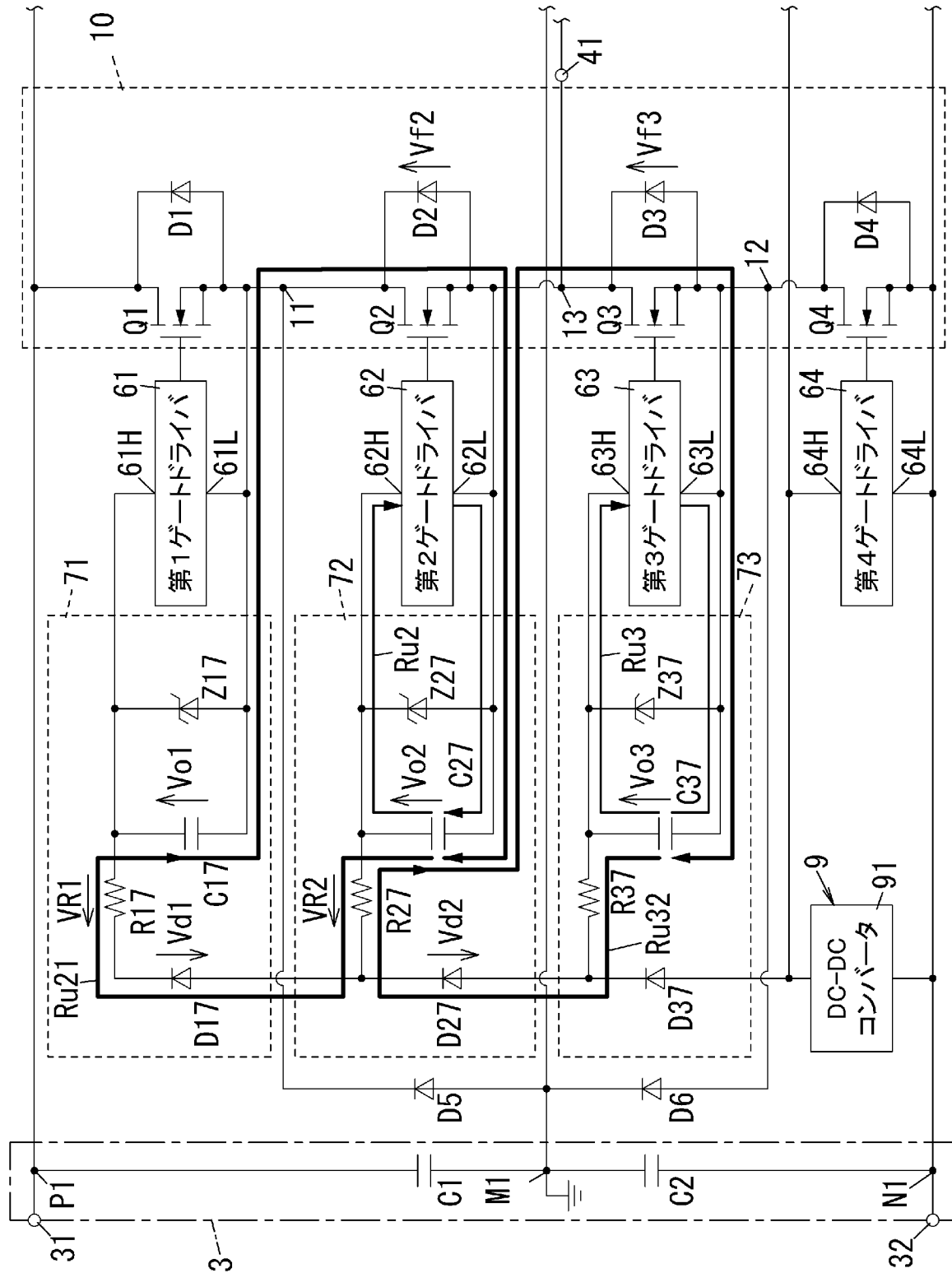
[図3]



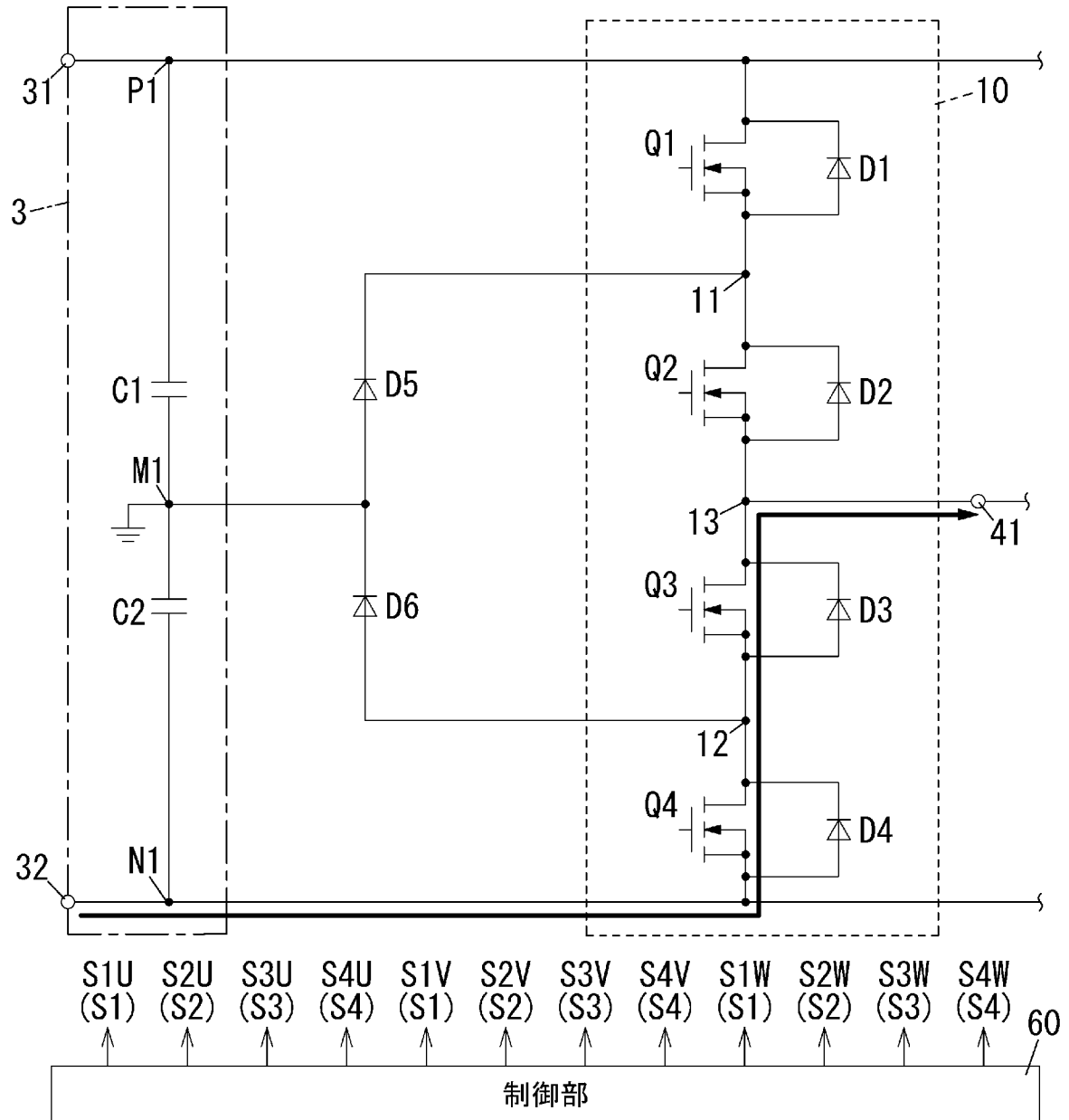
[図4]



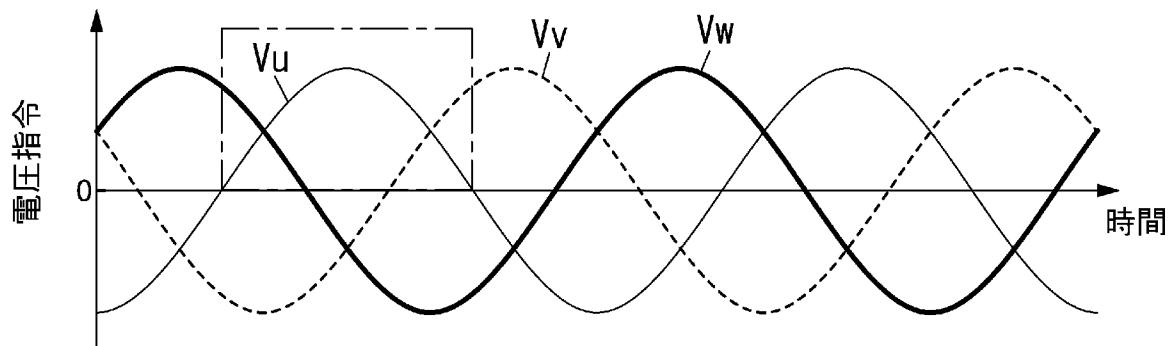
[図5]



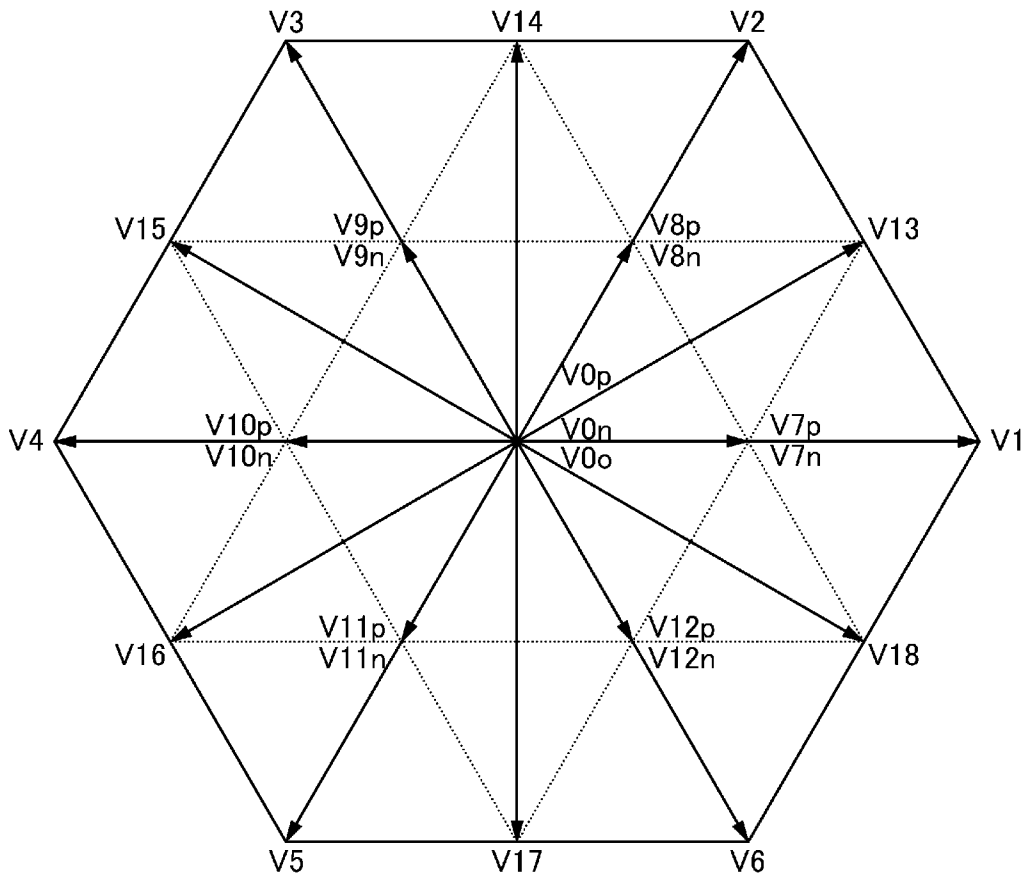
[図6]



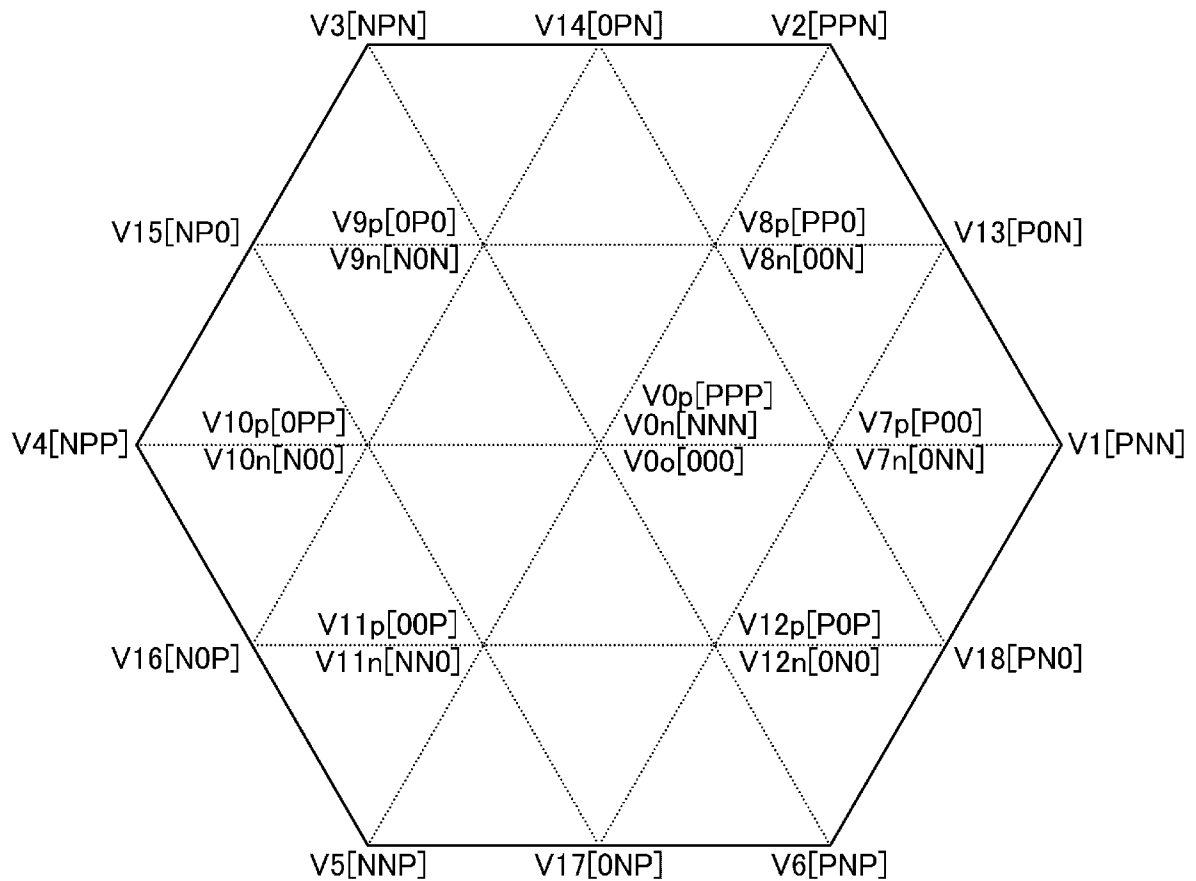
[図8]



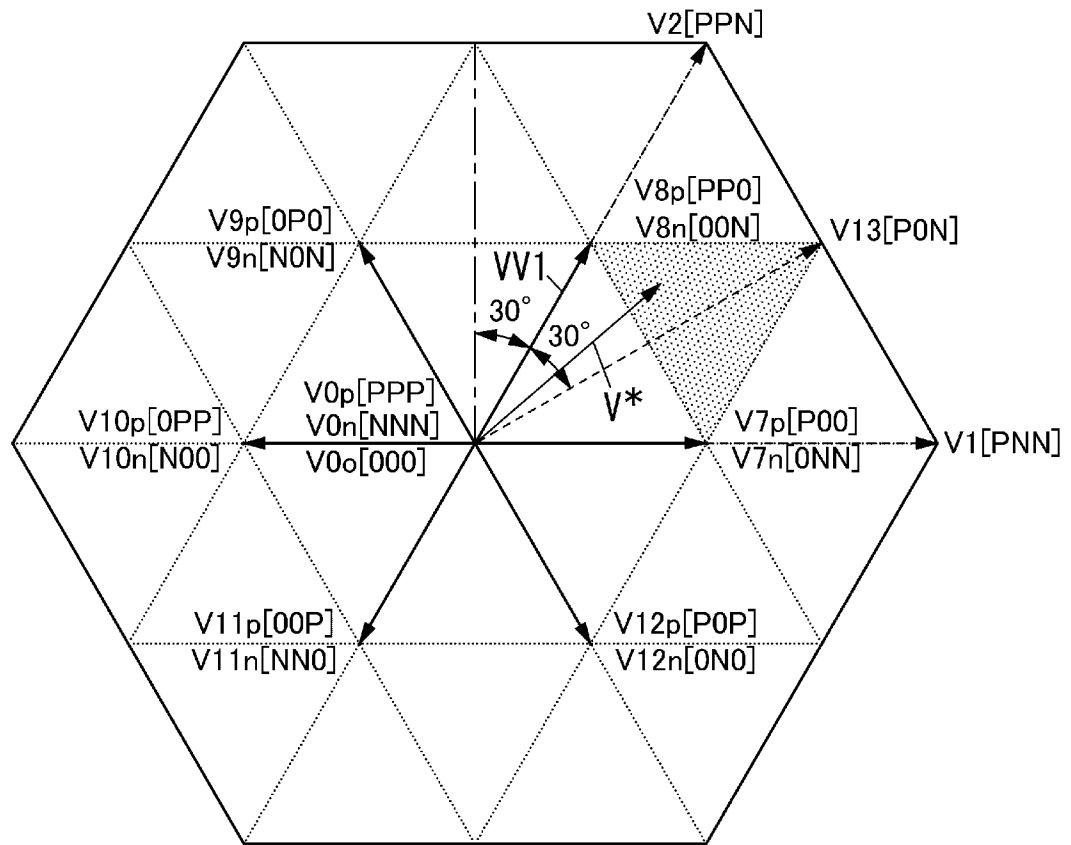
[図9]



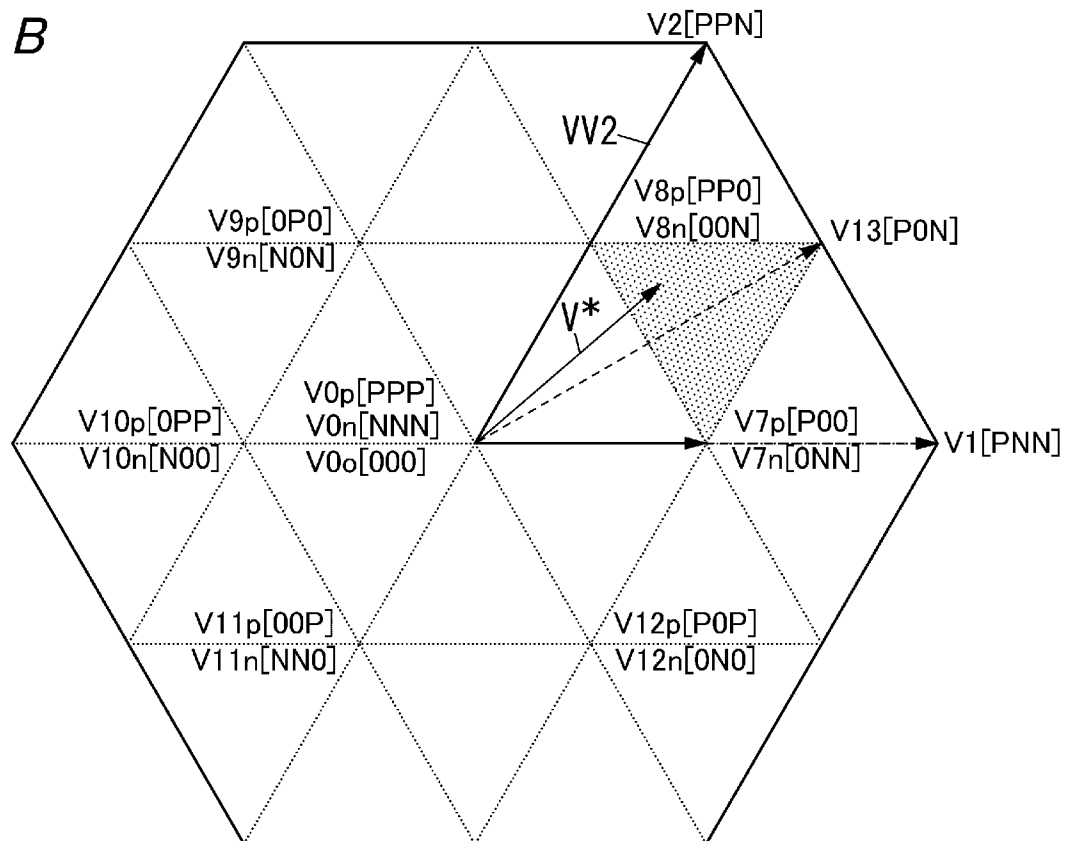
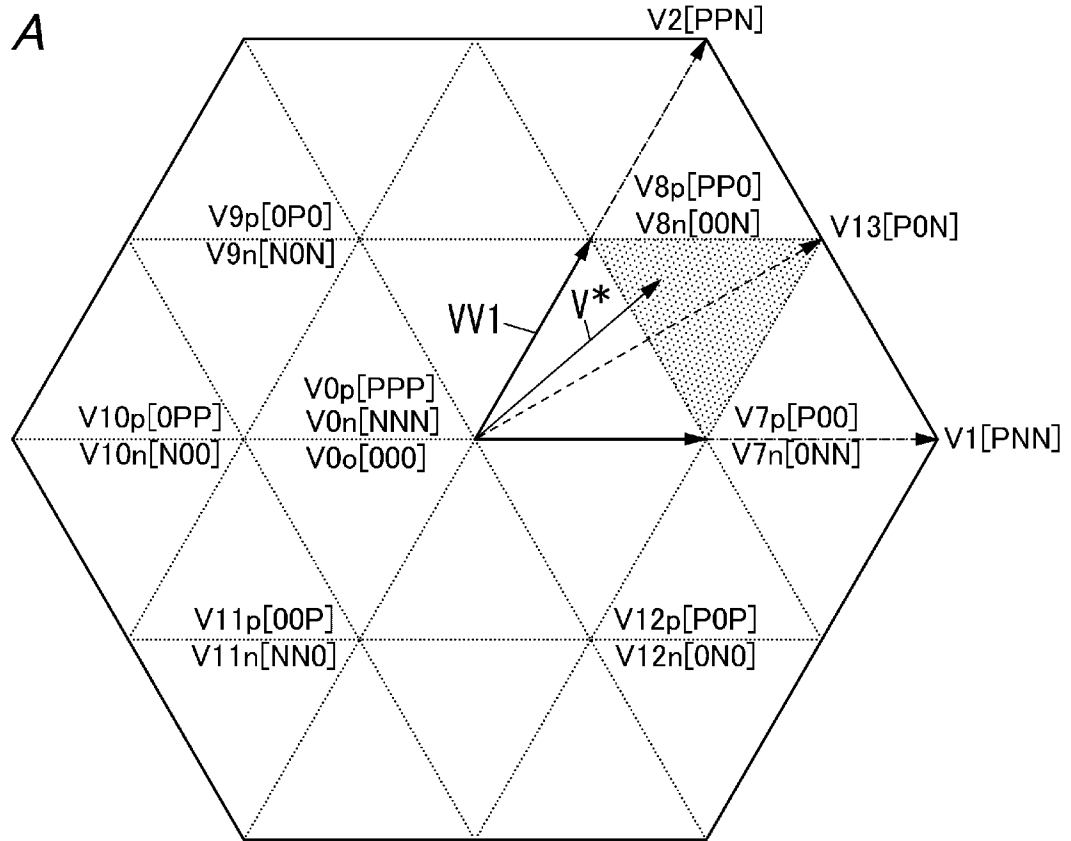
[図10]



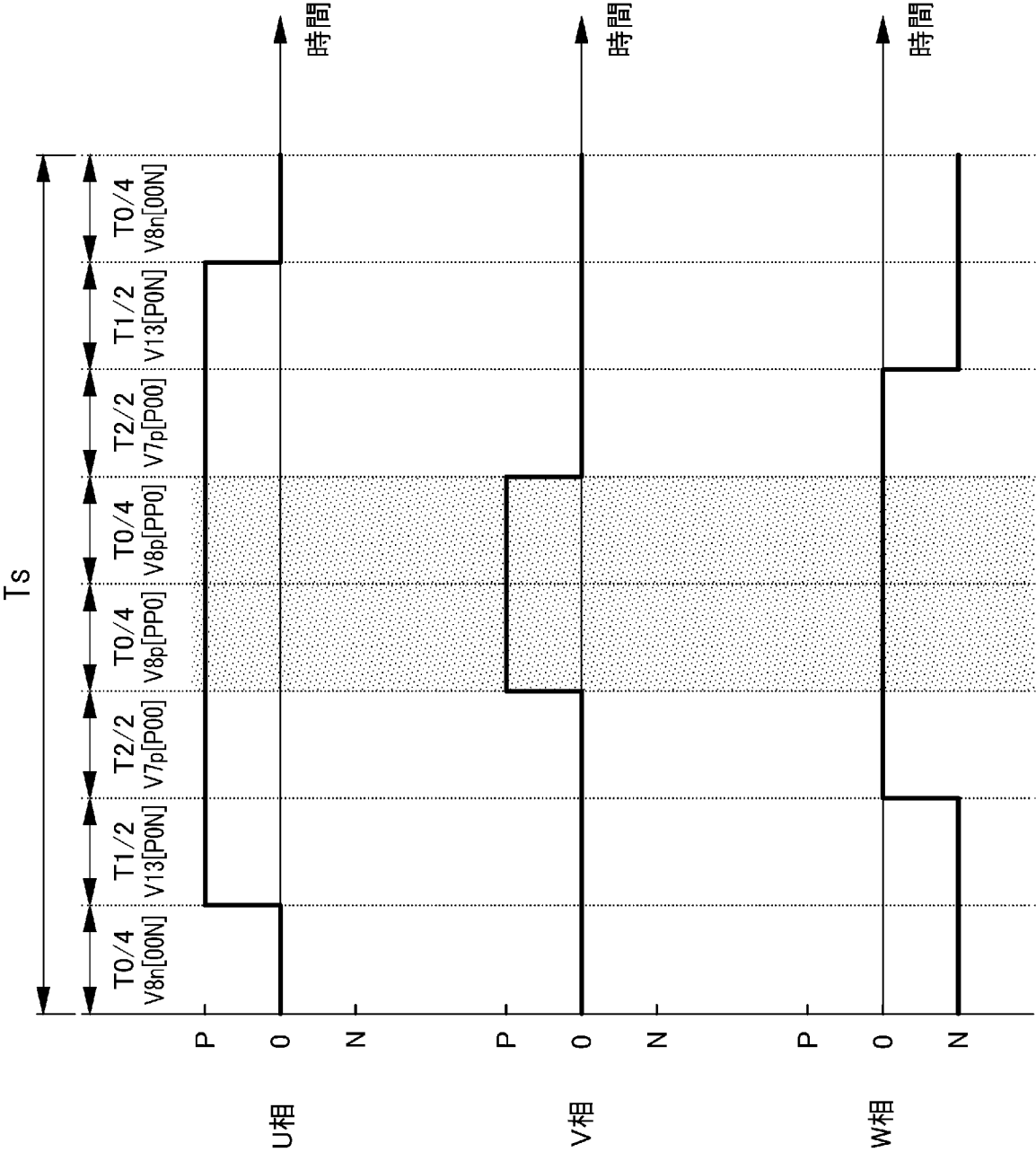
[図11]



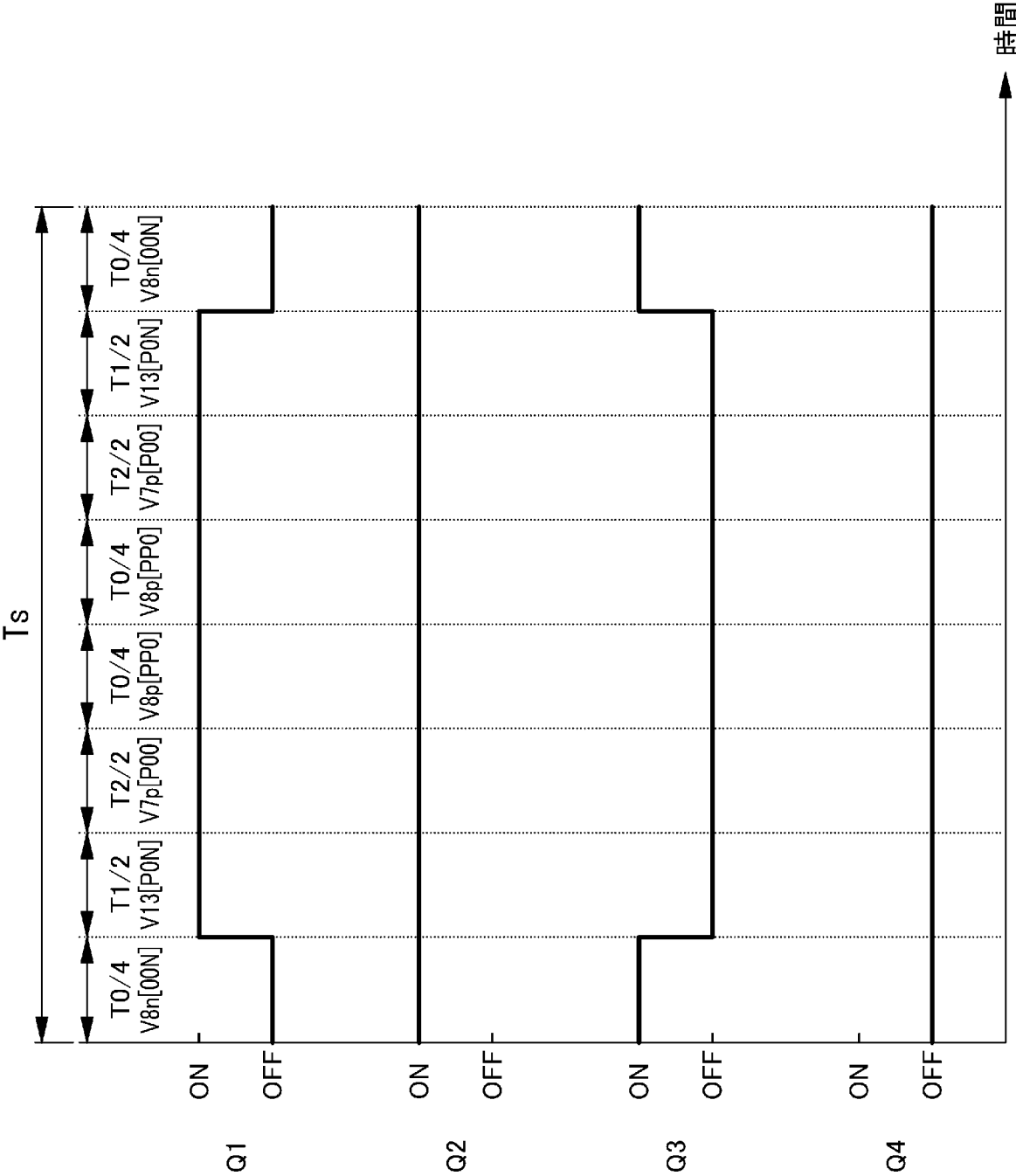
[図12]



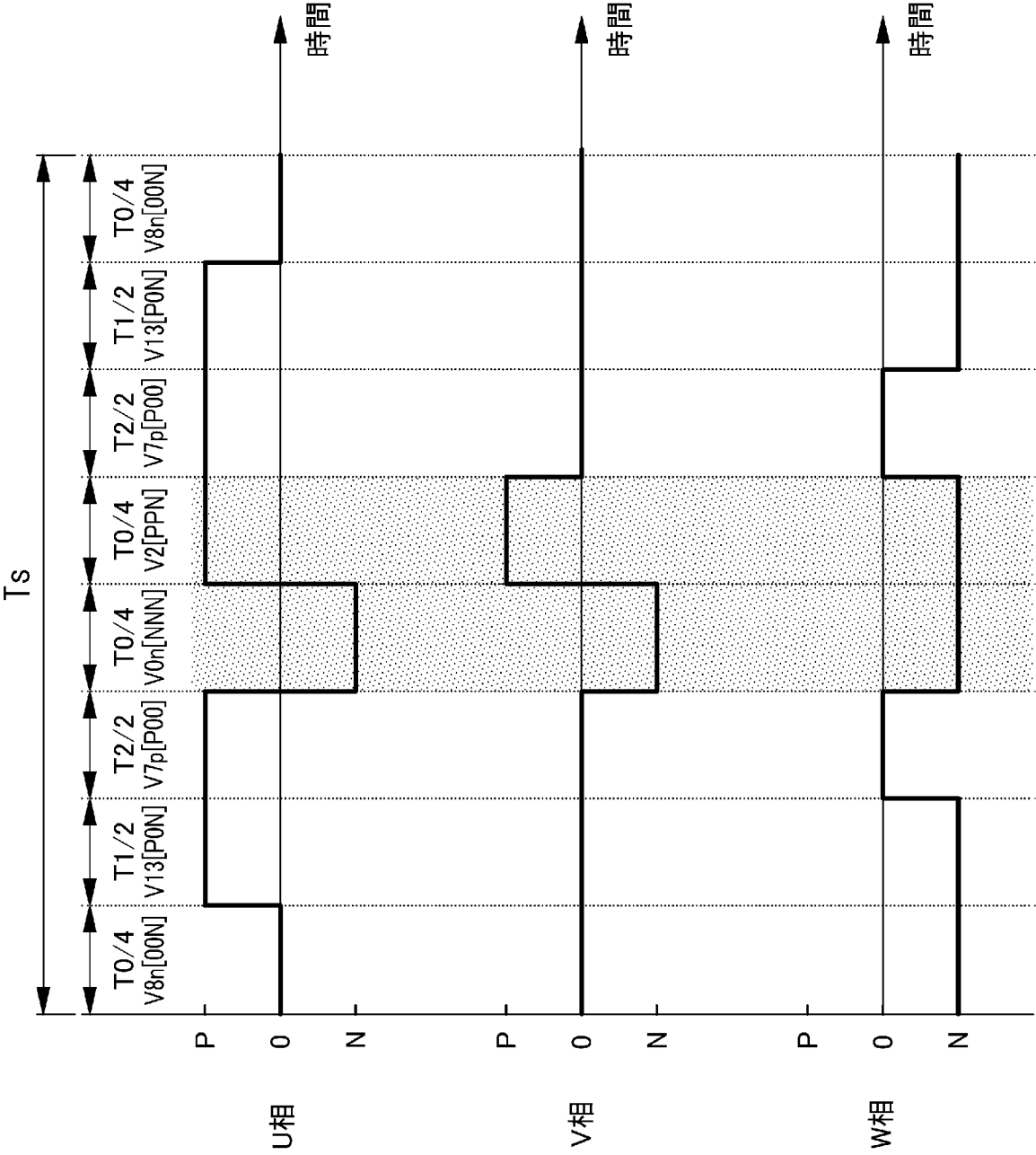
[図13]



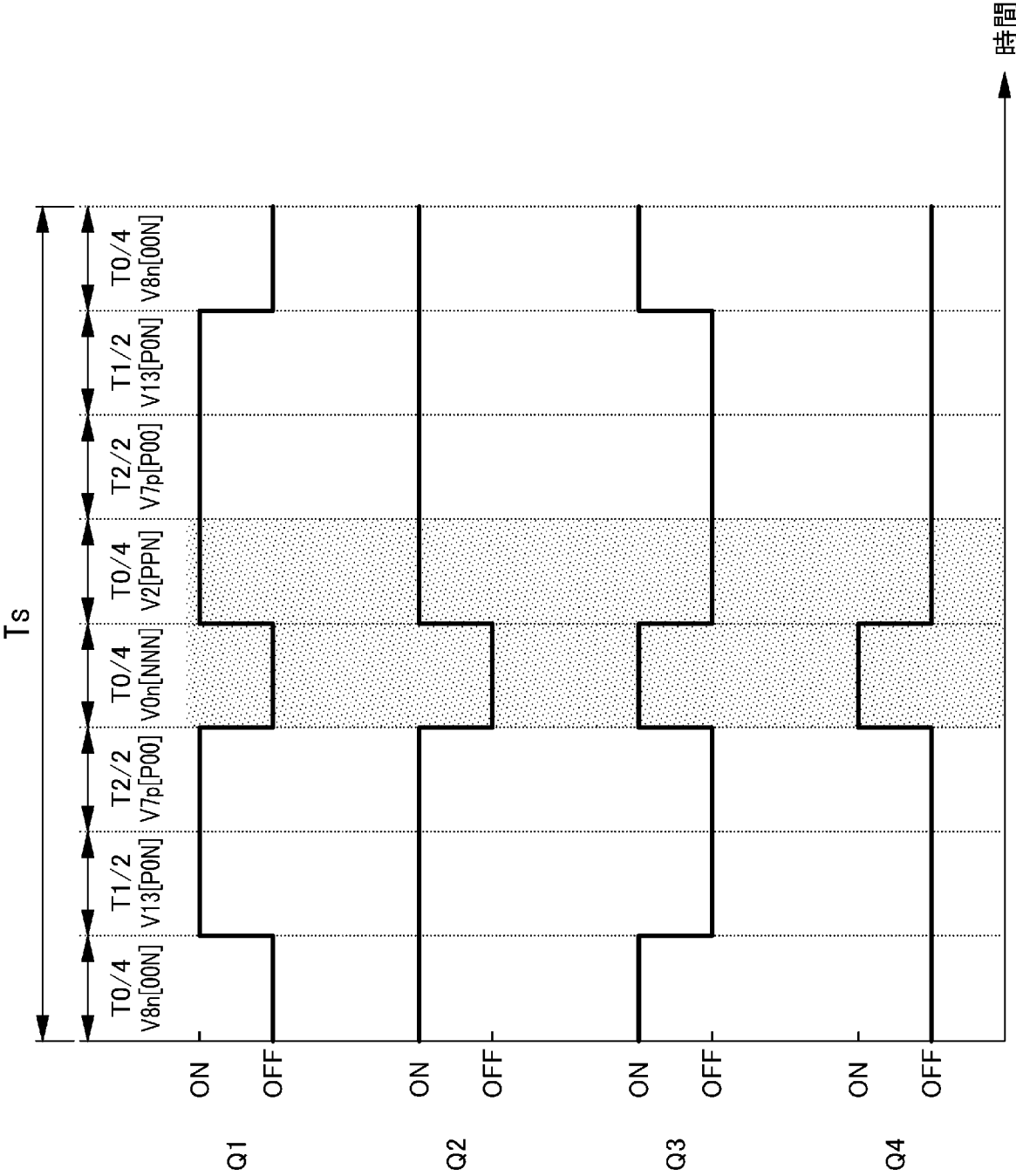
[図14]



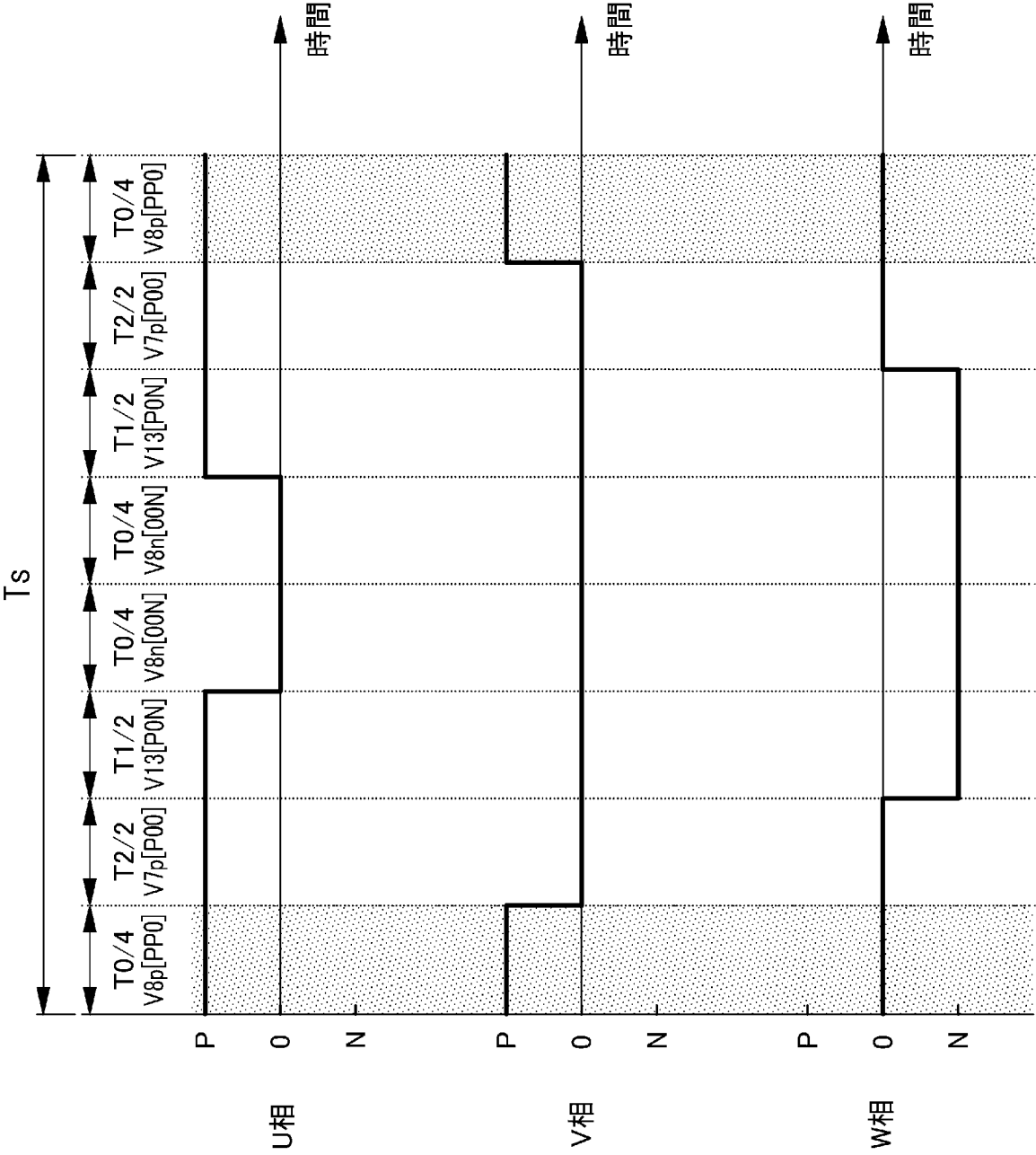
[図15]



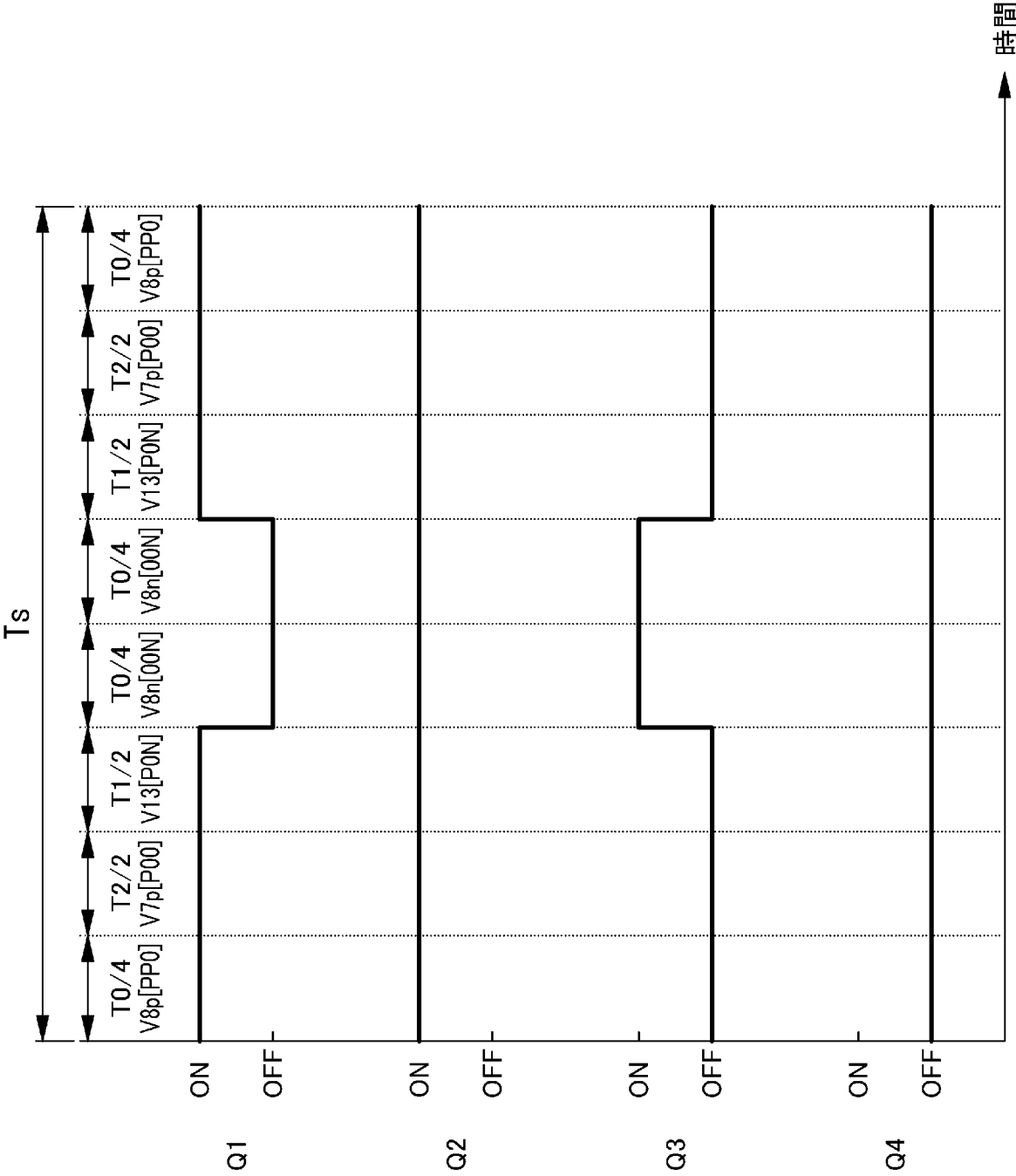
[図16]



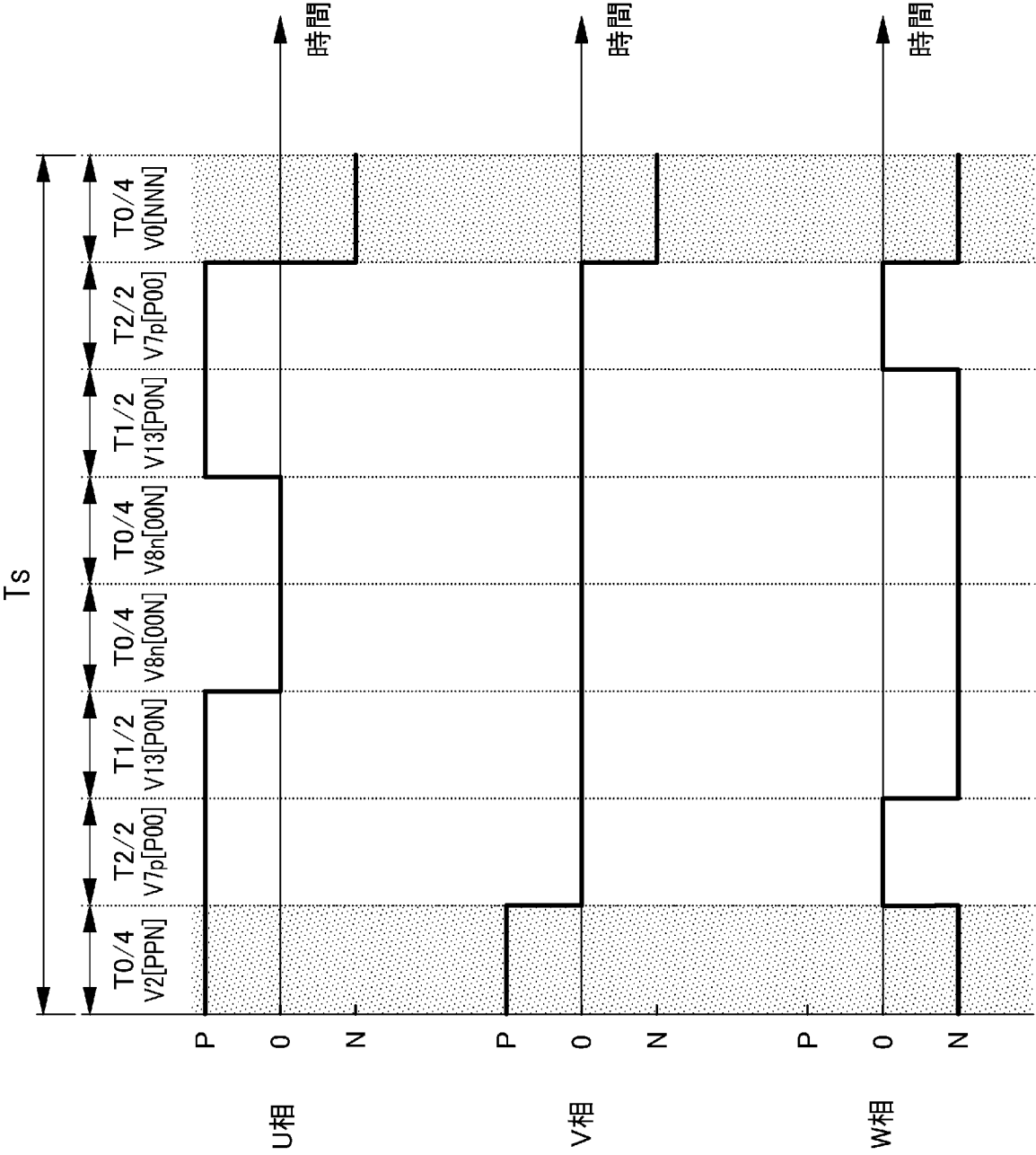
[図17]



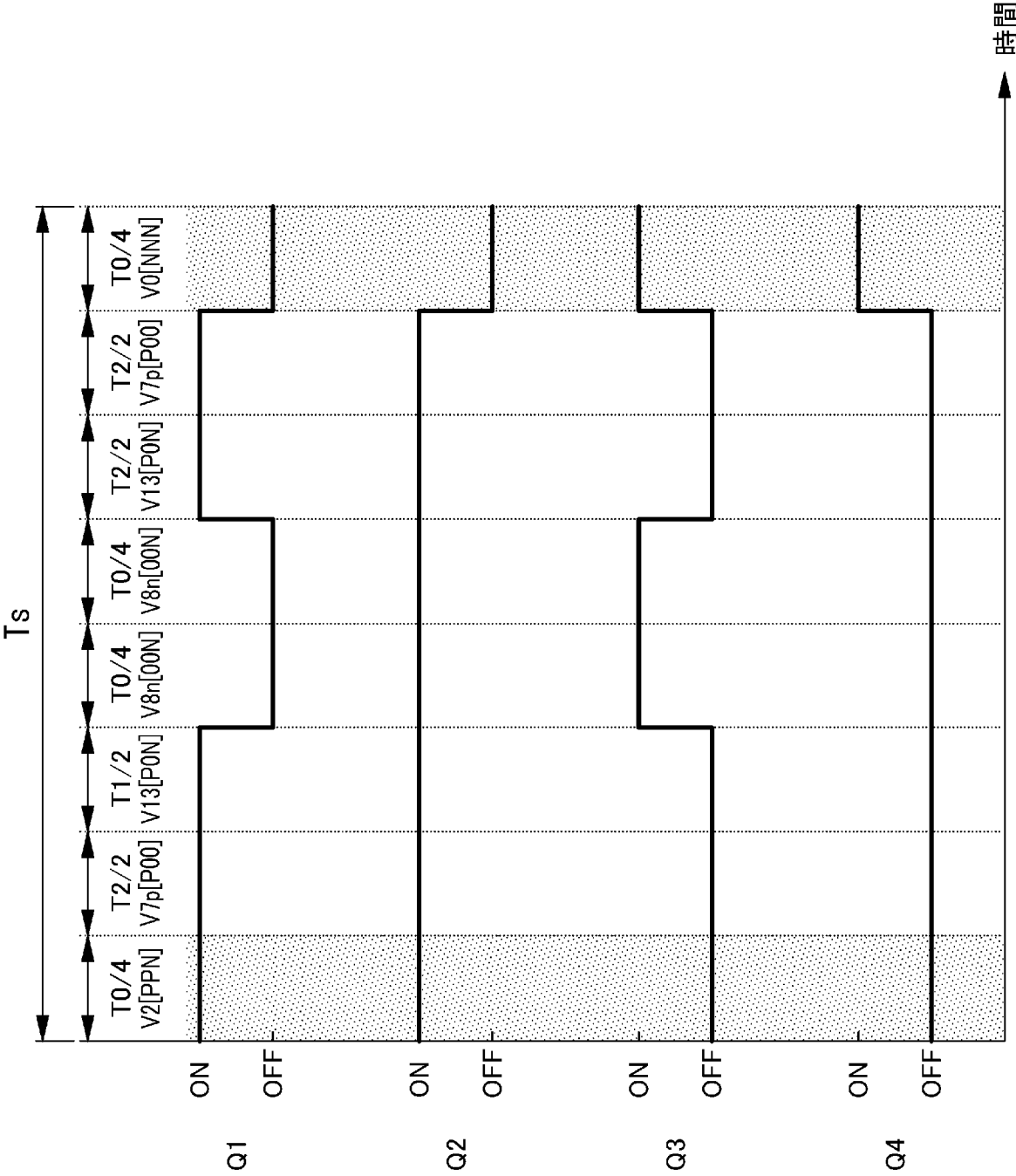
[図18]



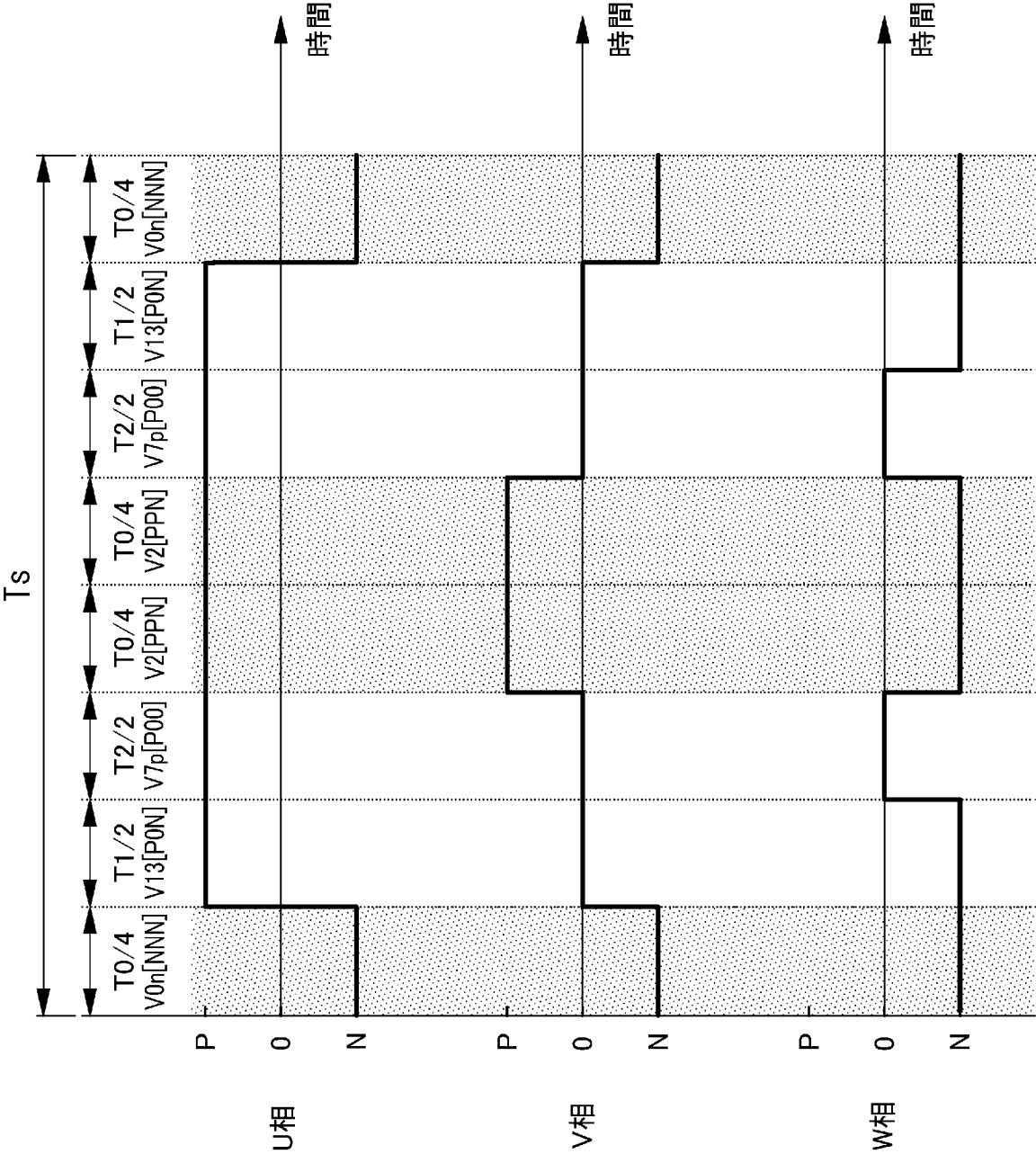
[図19]



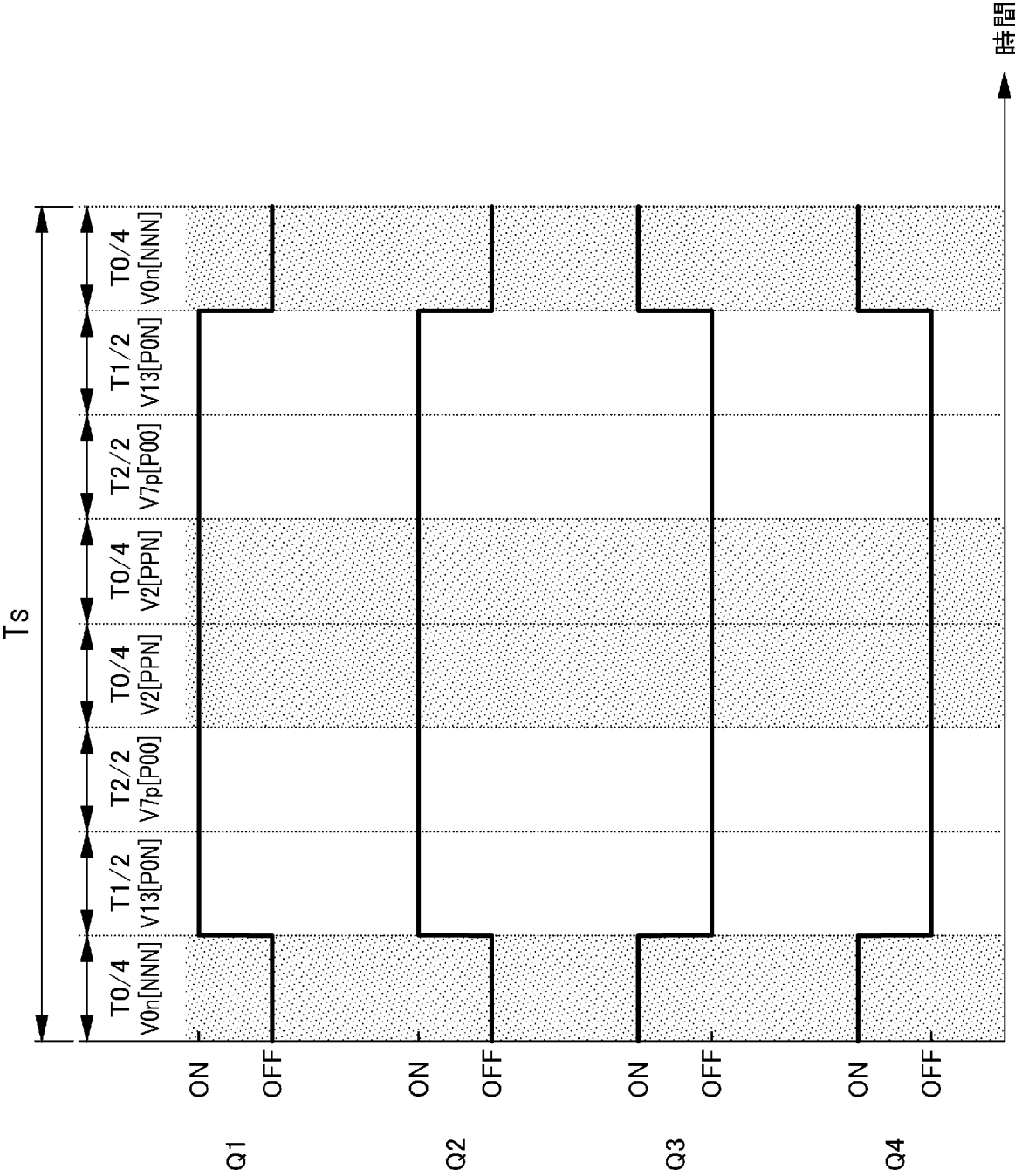
[図20]



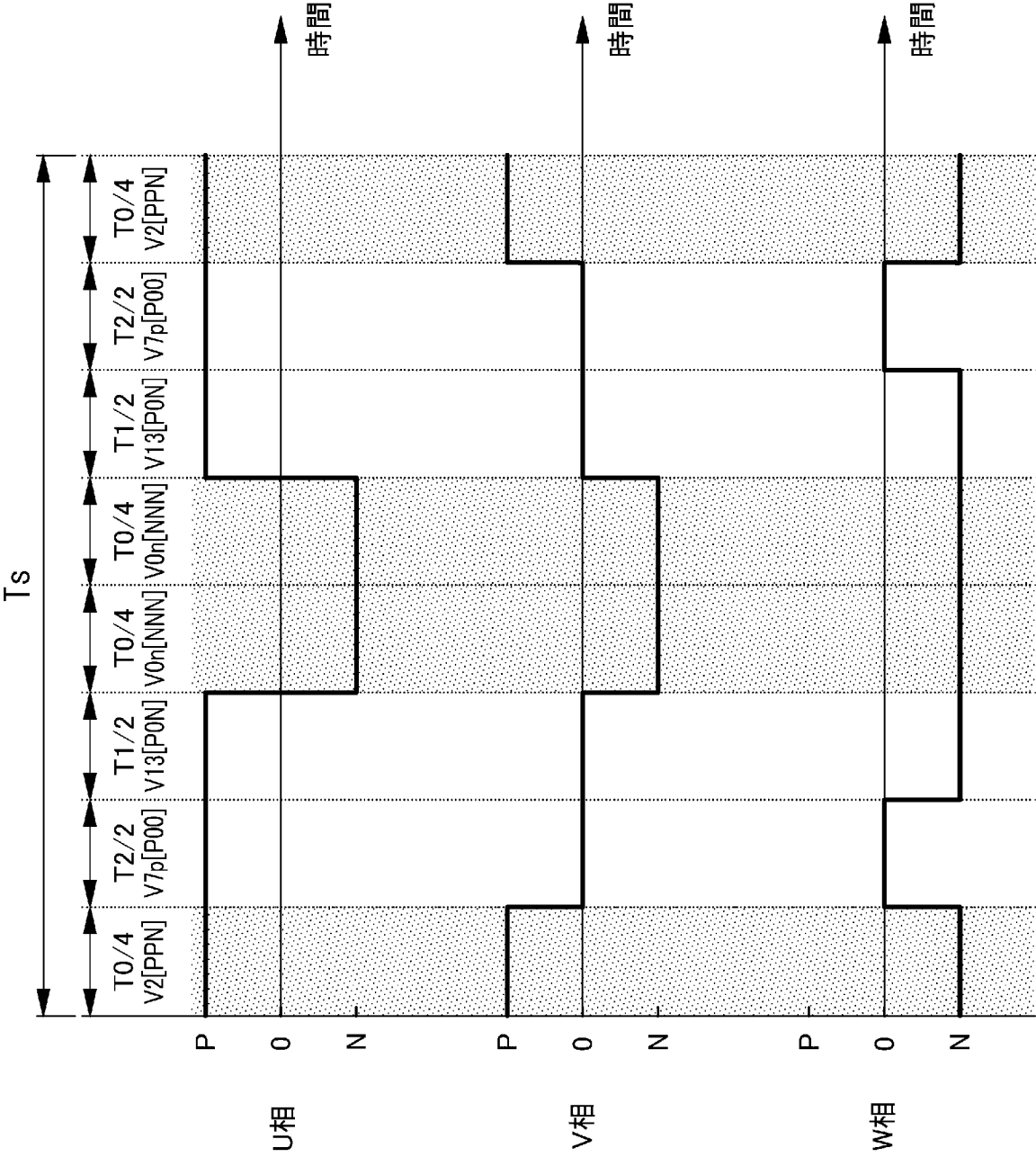
[図21]



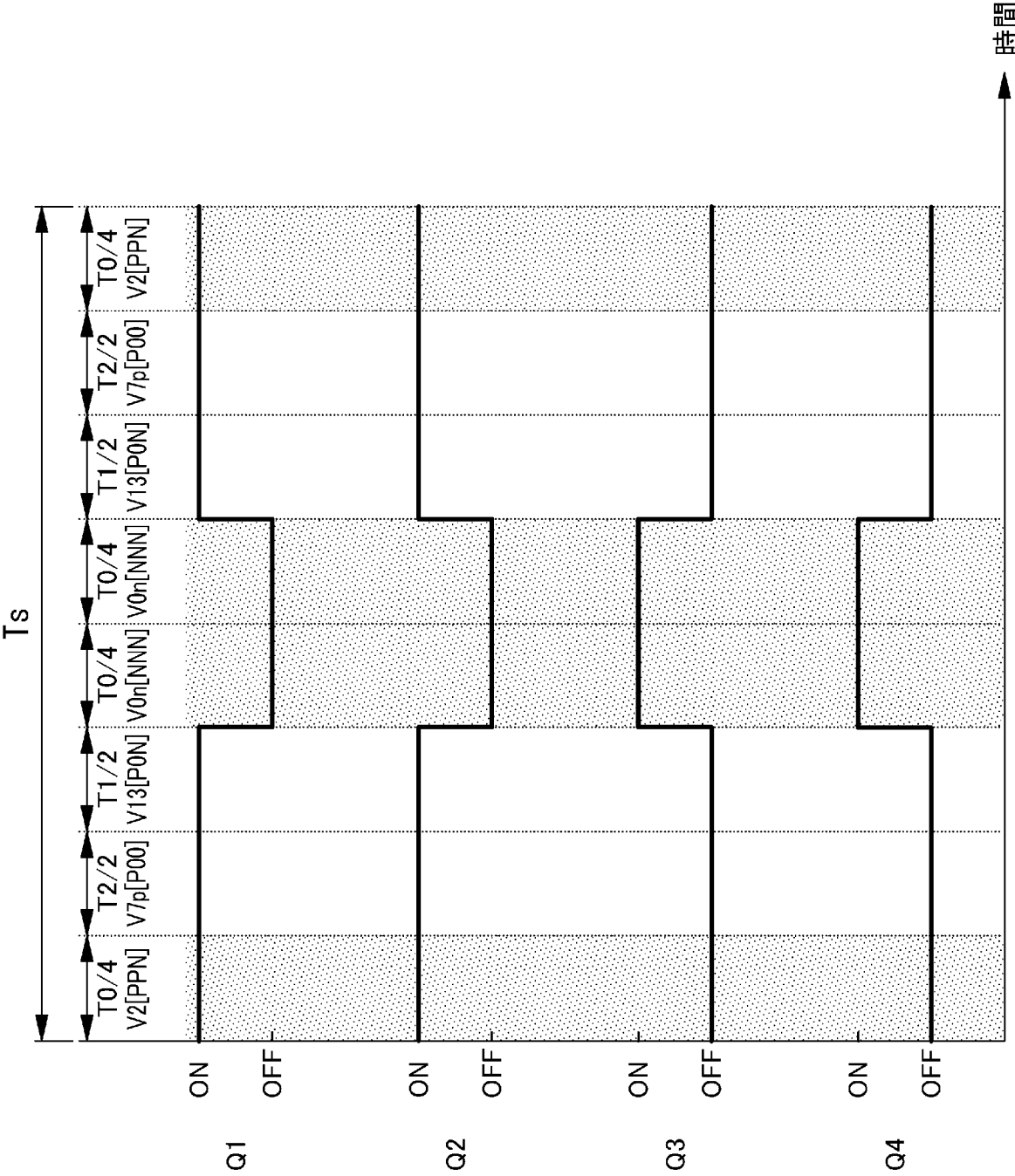
[図22]



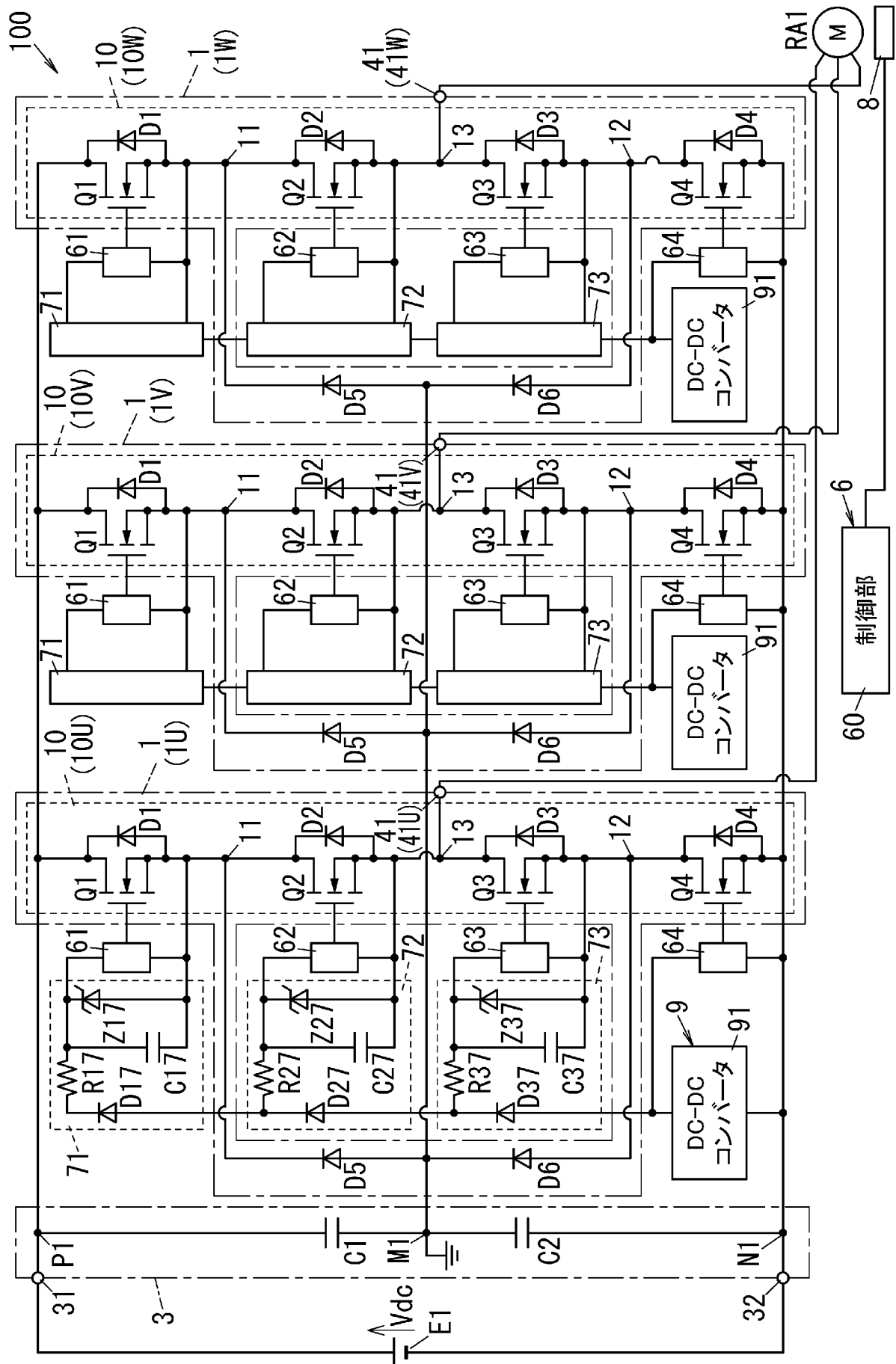
[図23]



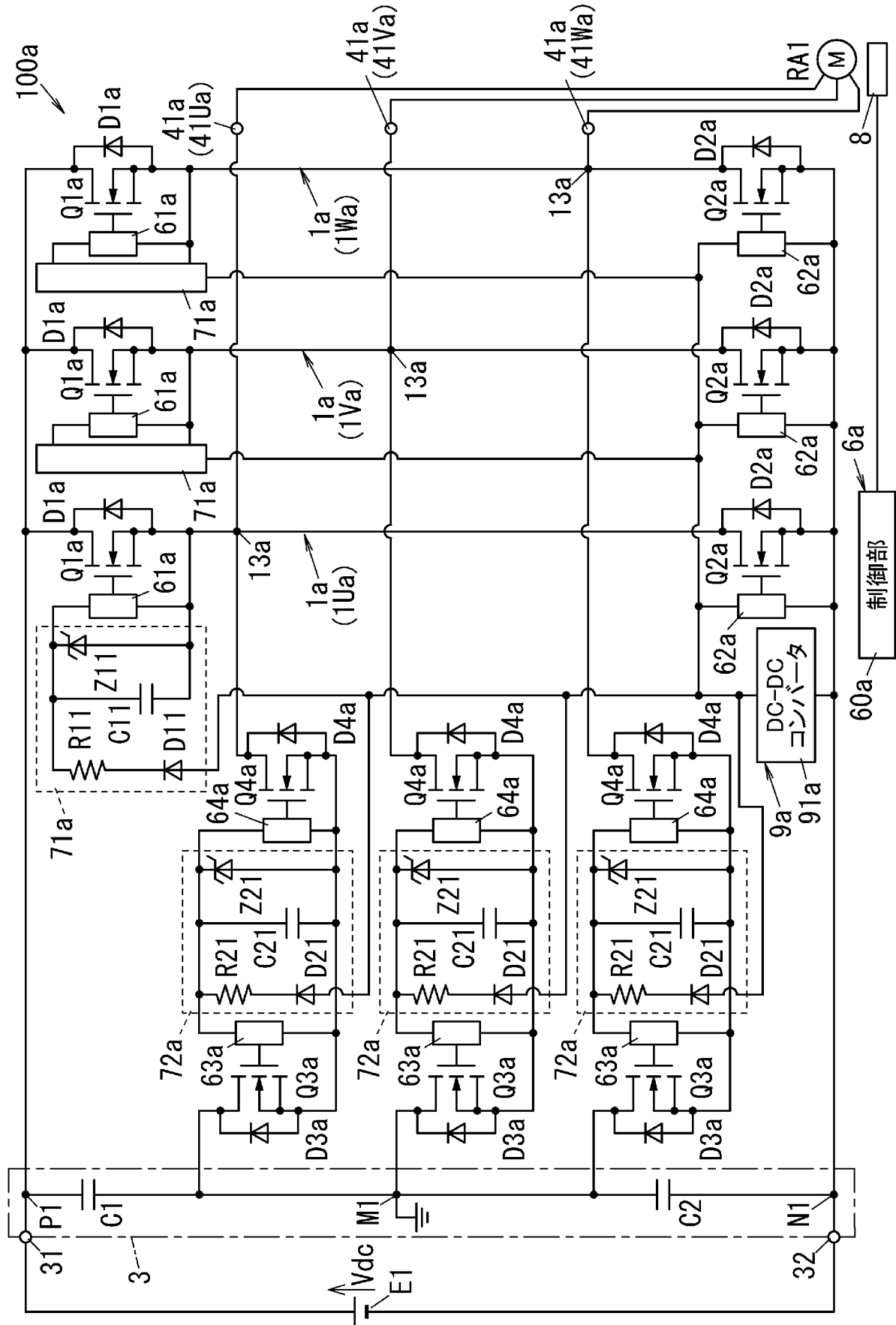
[図24]



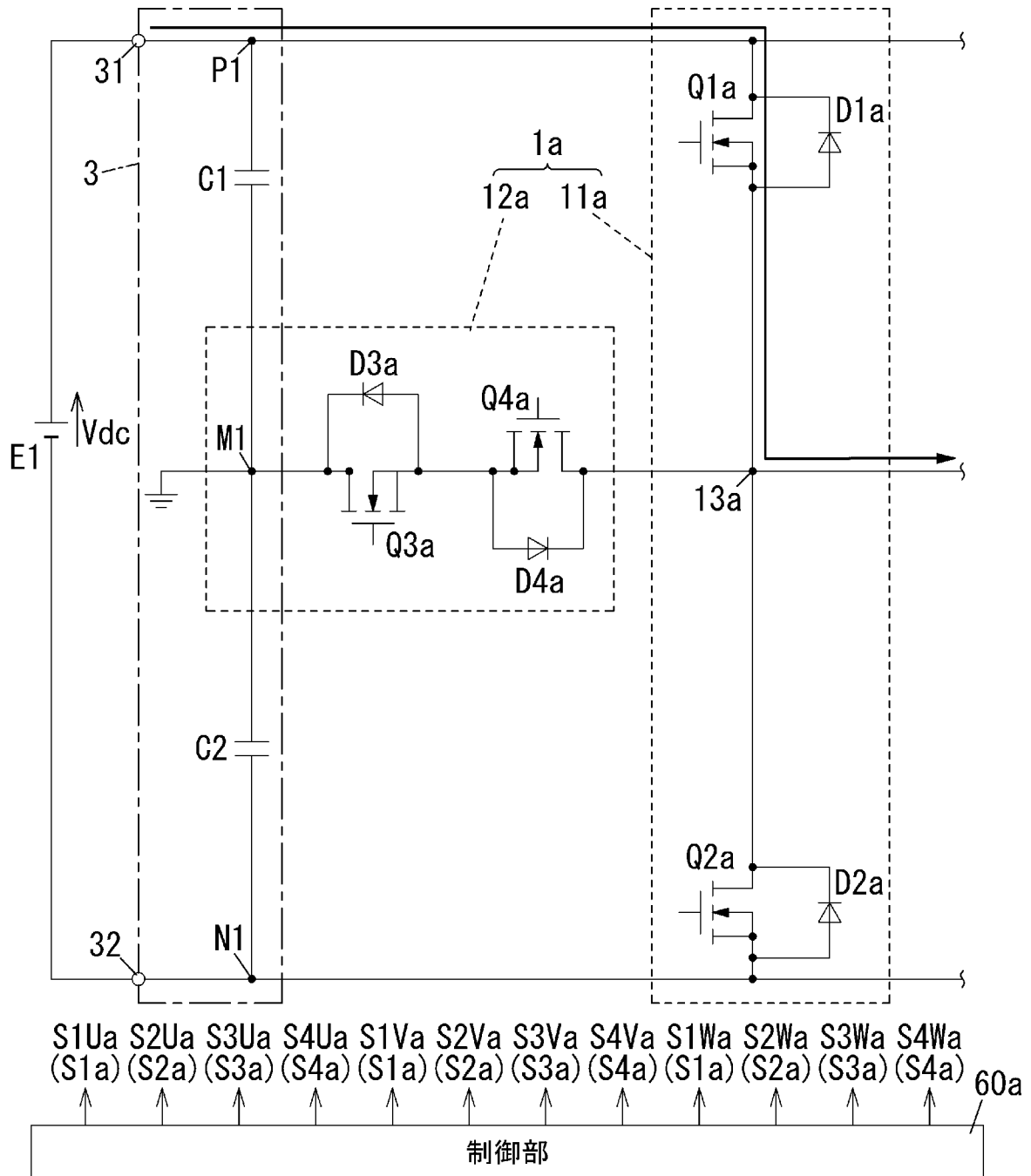
[図25]



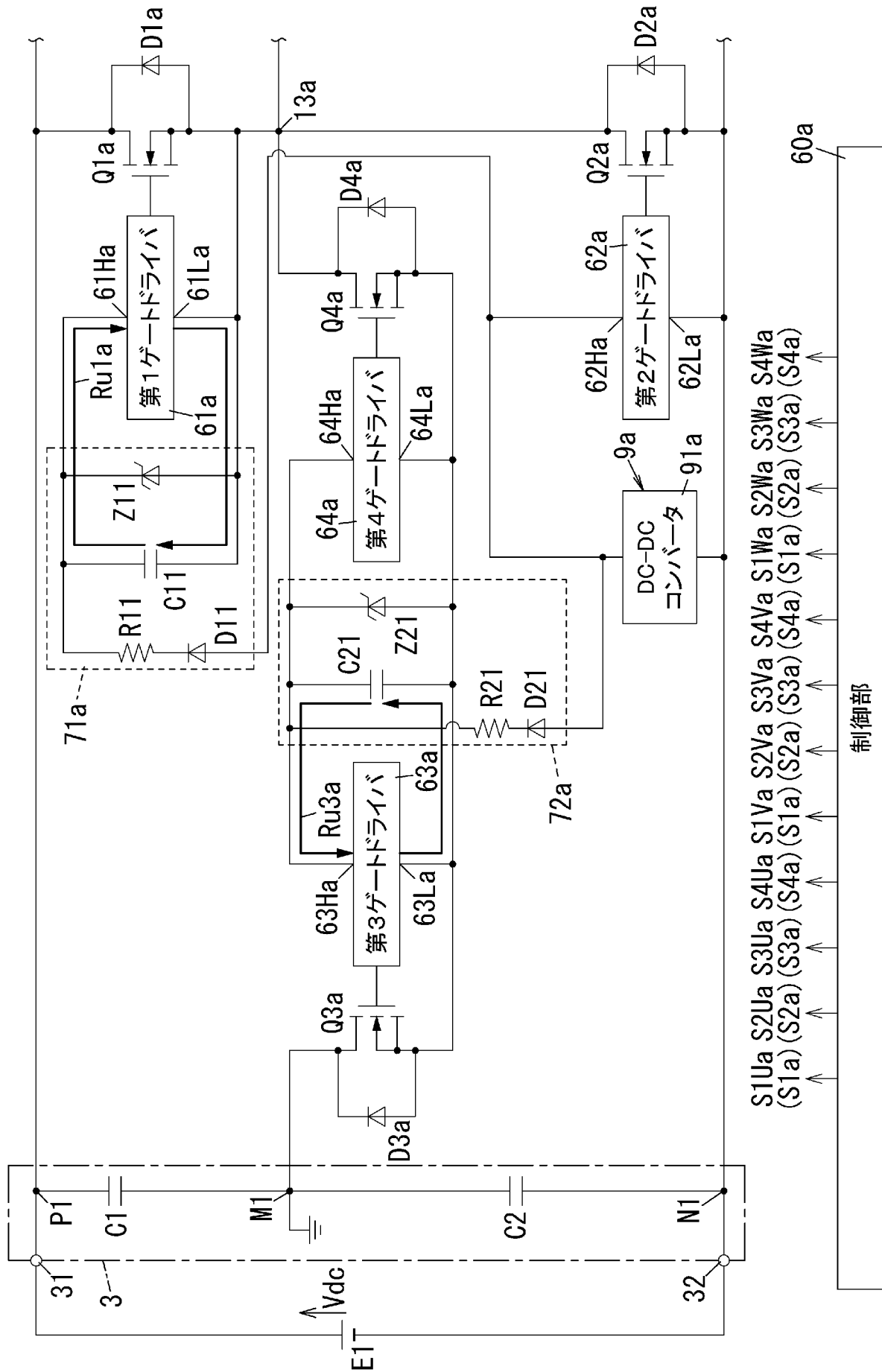
[図26]



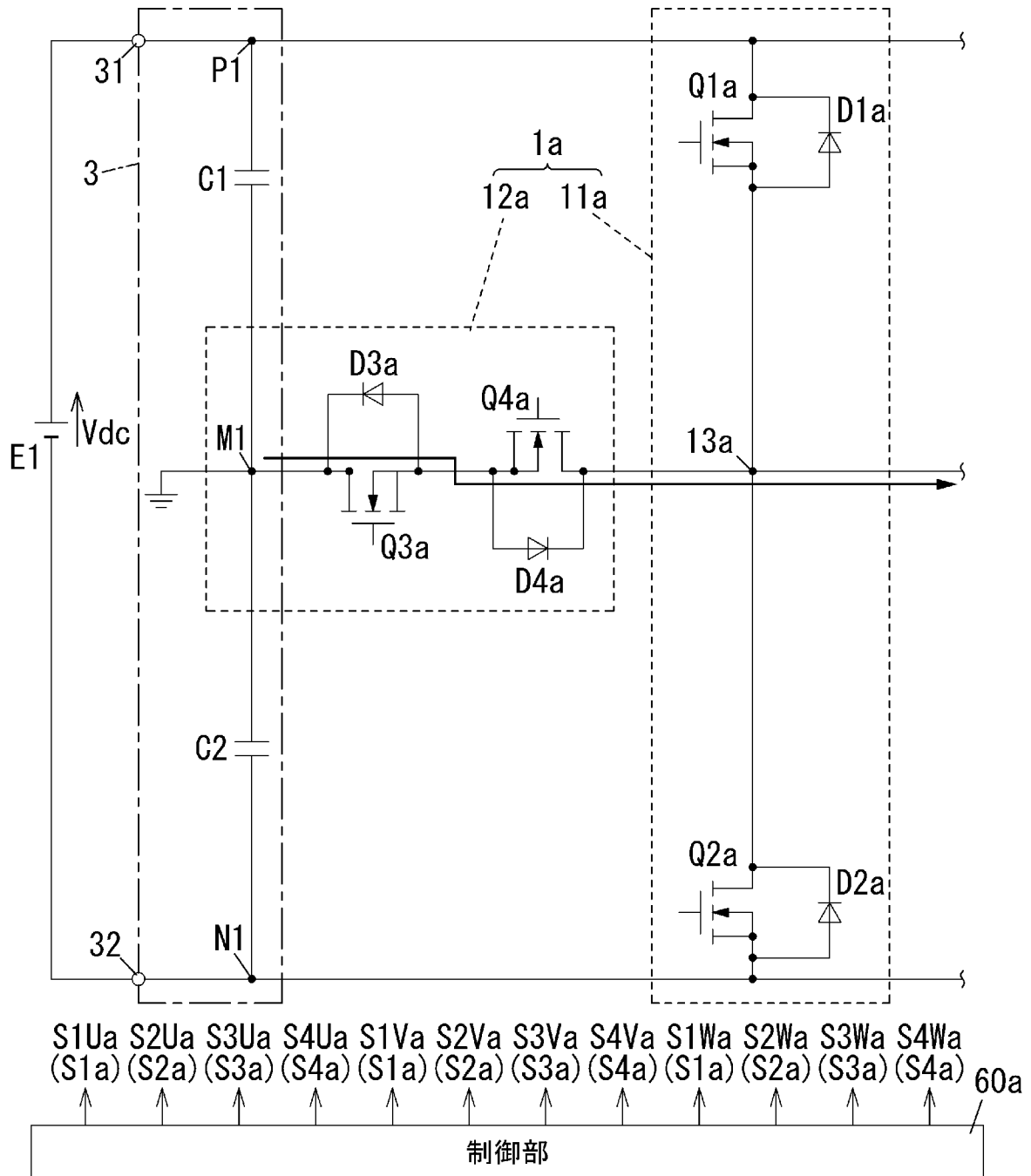
[図27]



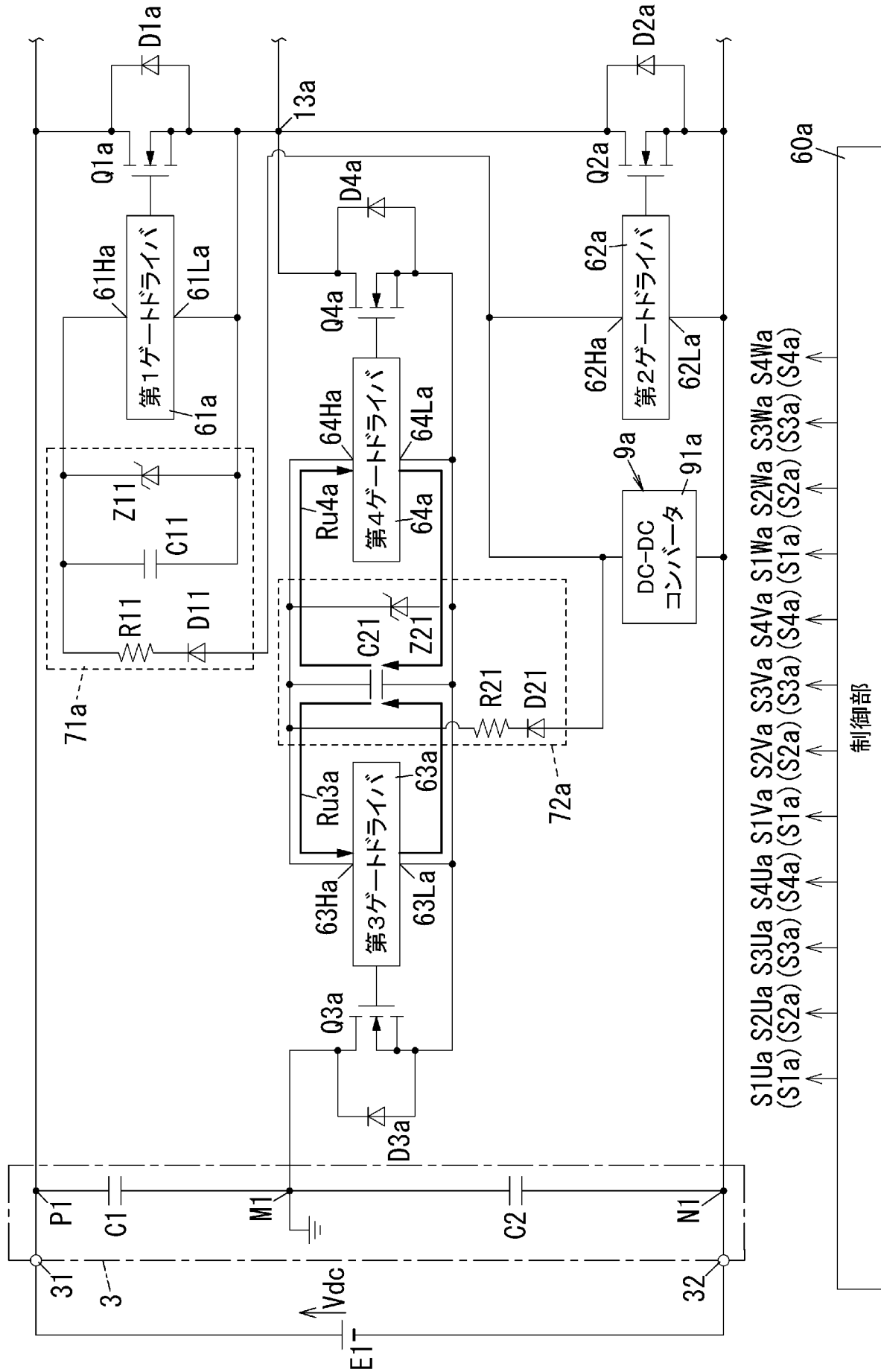
[図28]



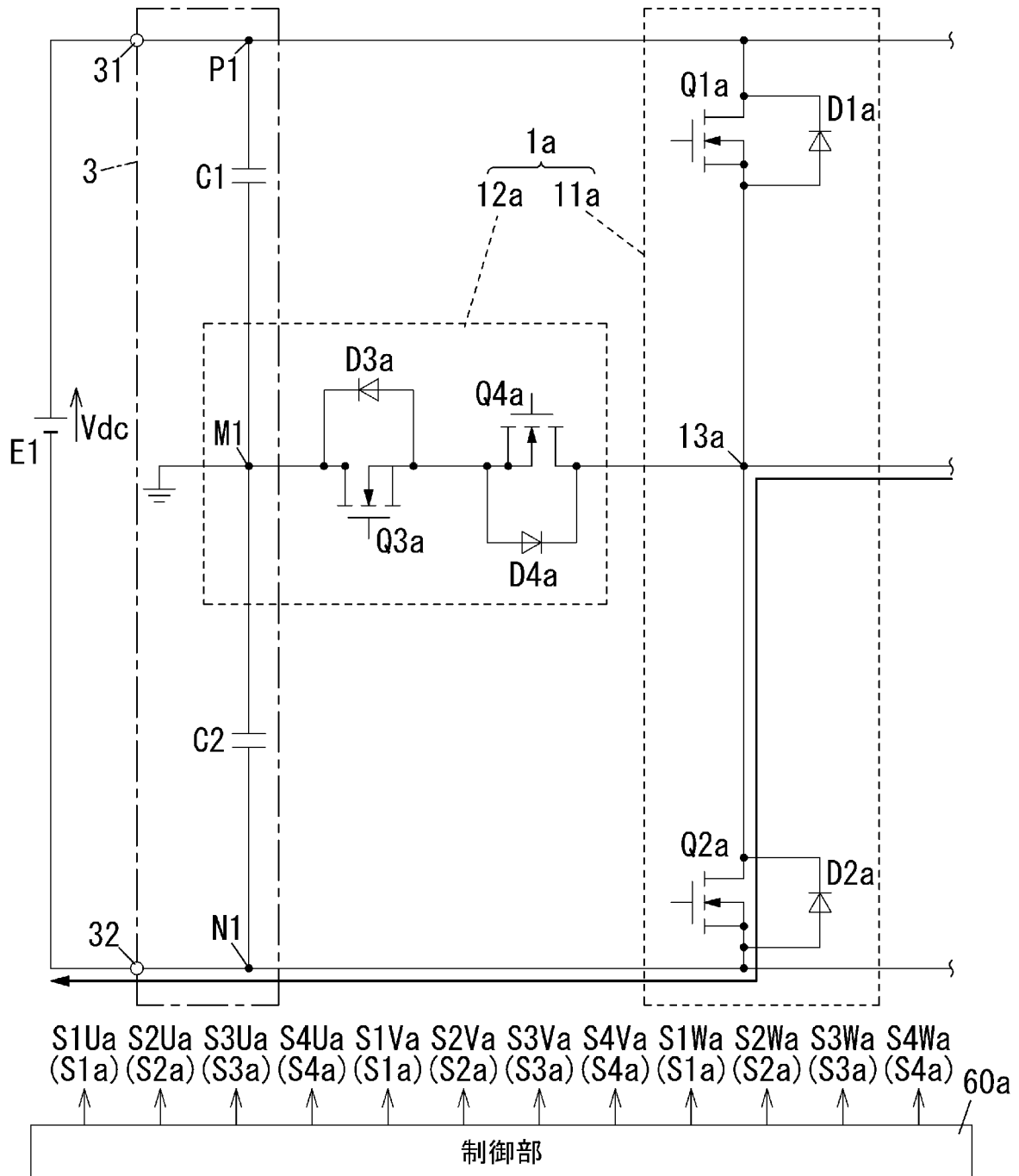
[図29]



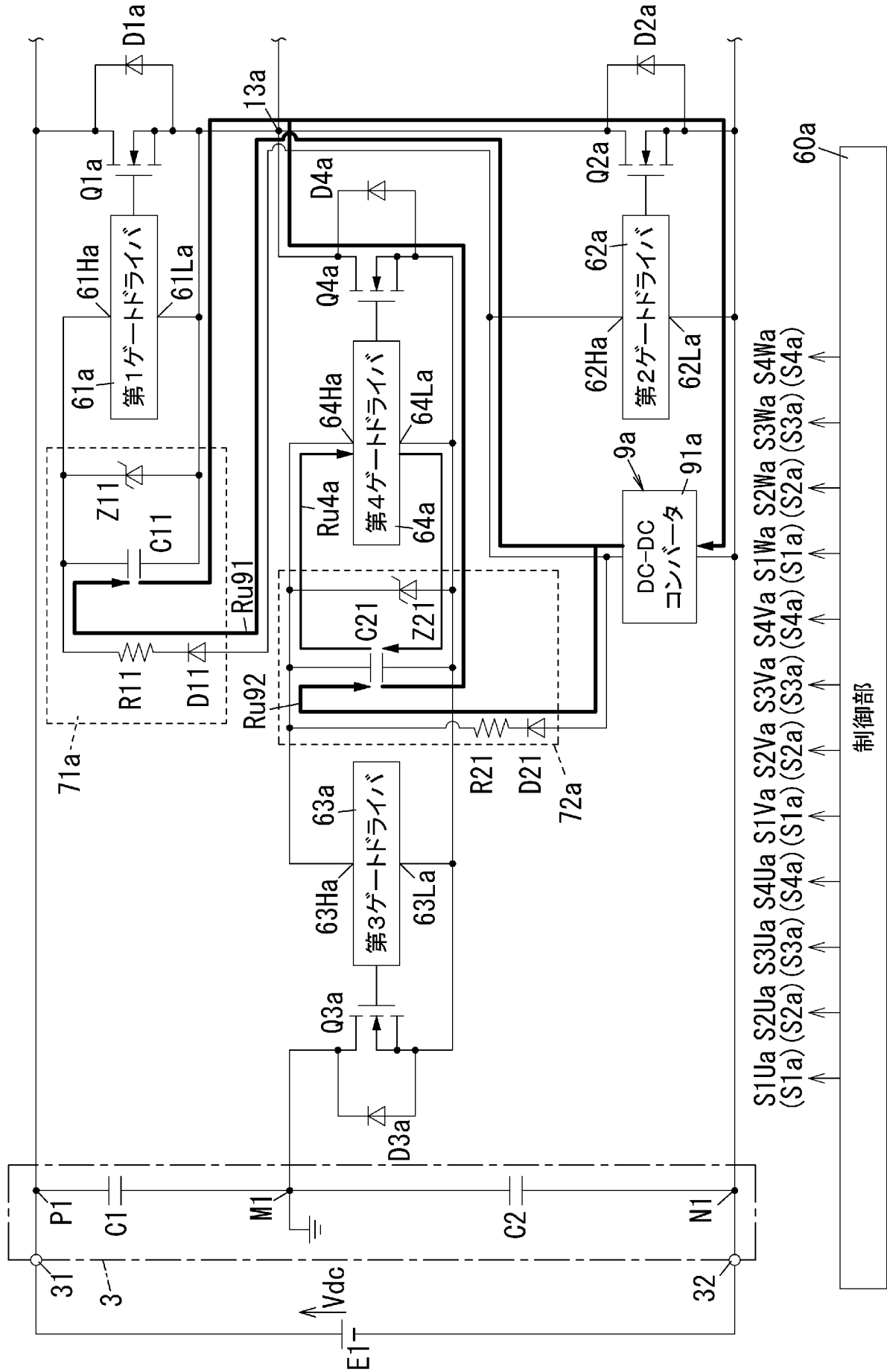
[図30]



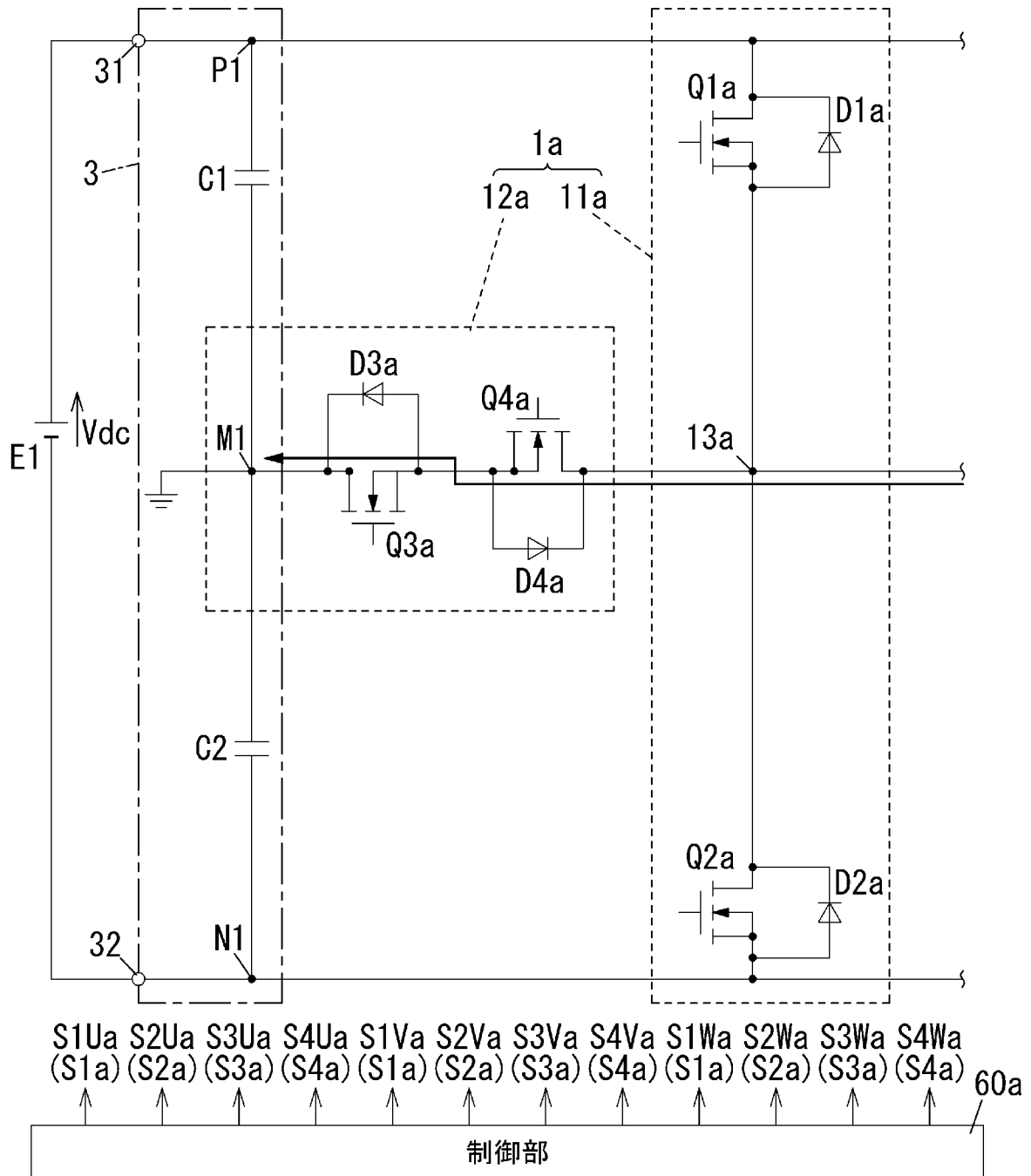
[図31]



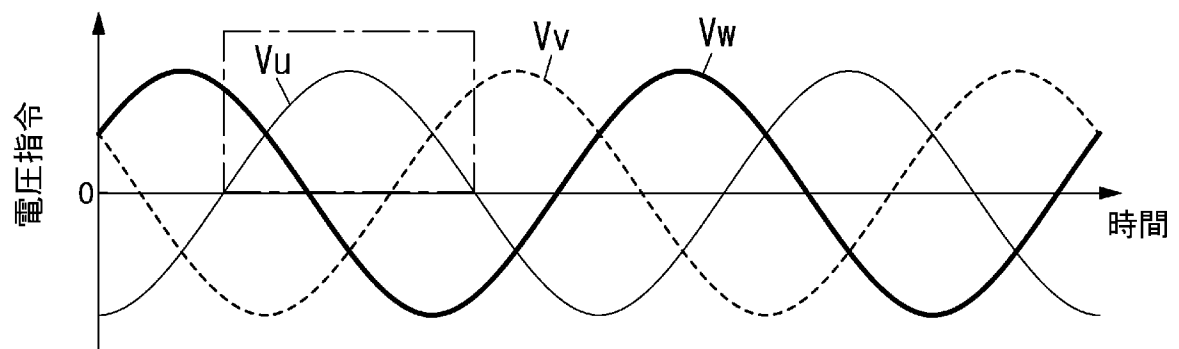
[図32]



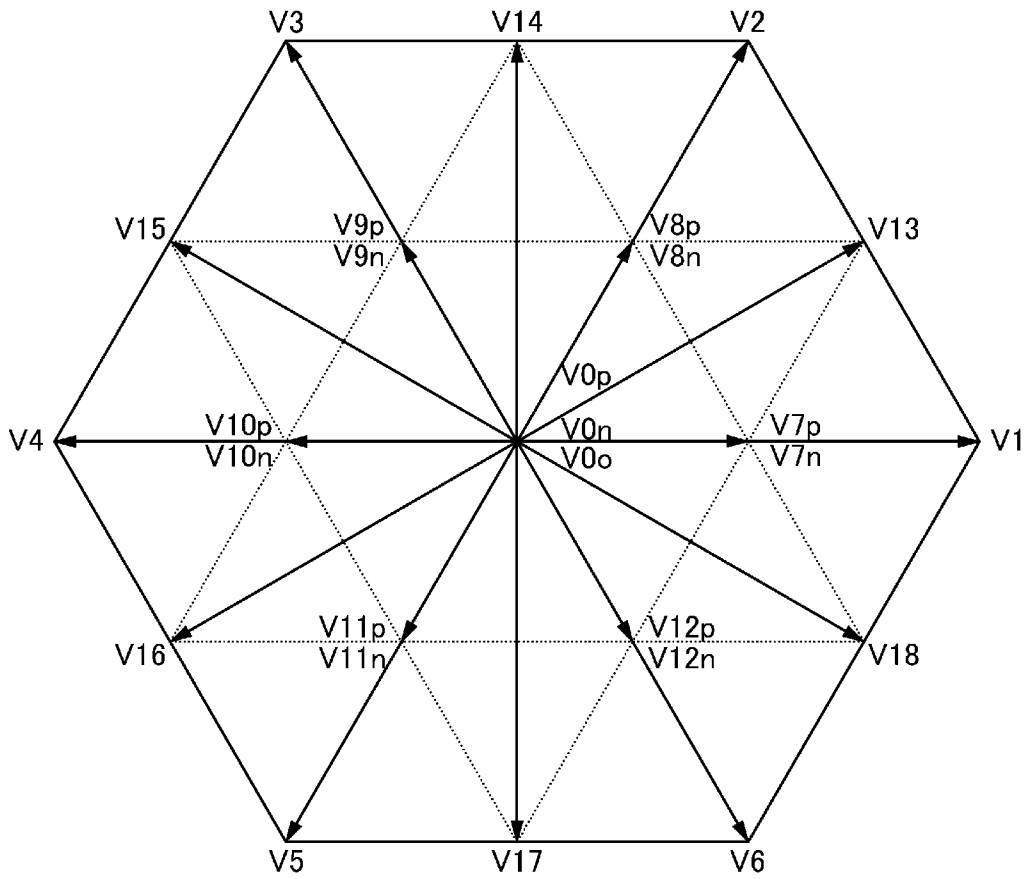
[図33]



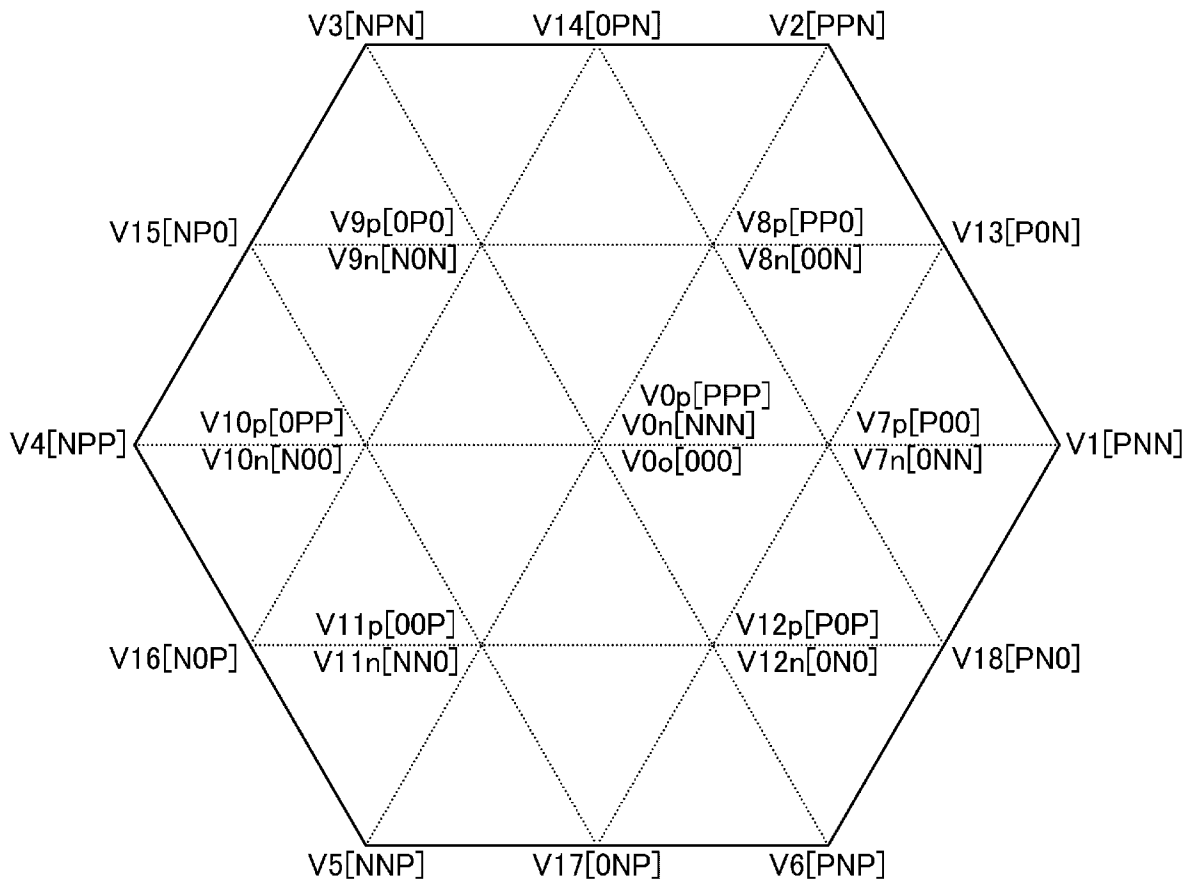
[図34]



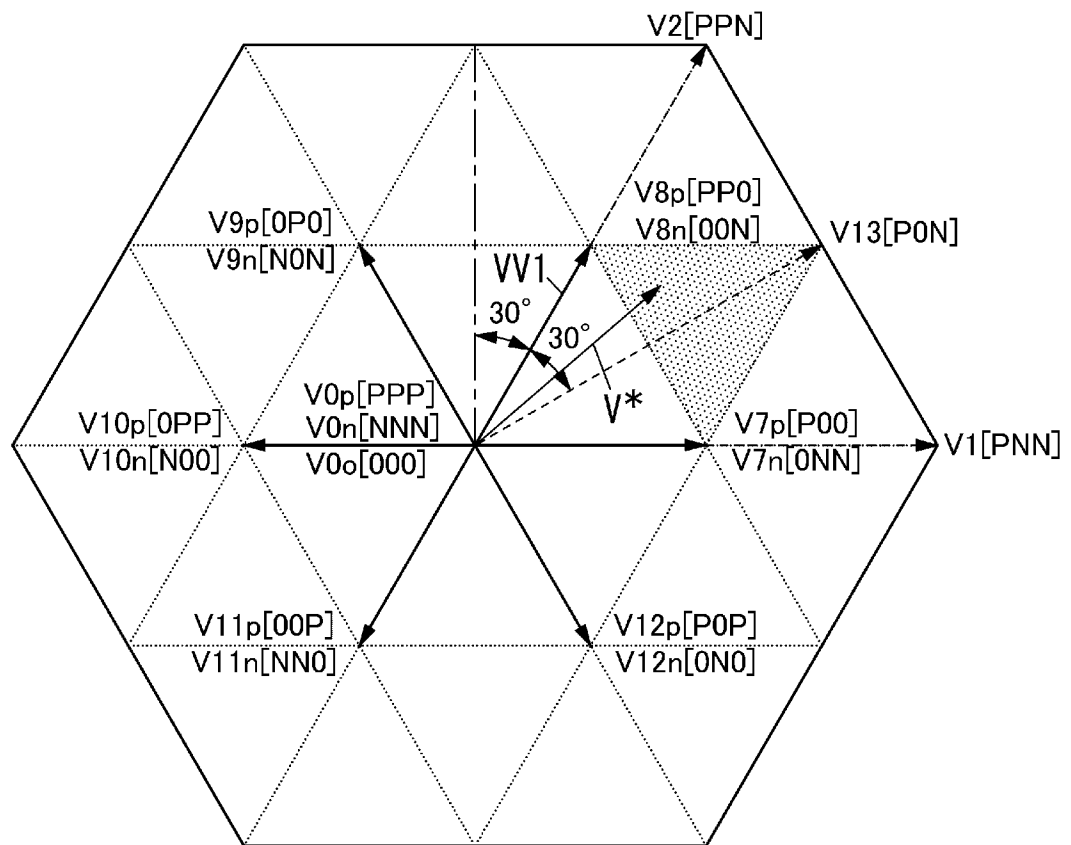
[図35]



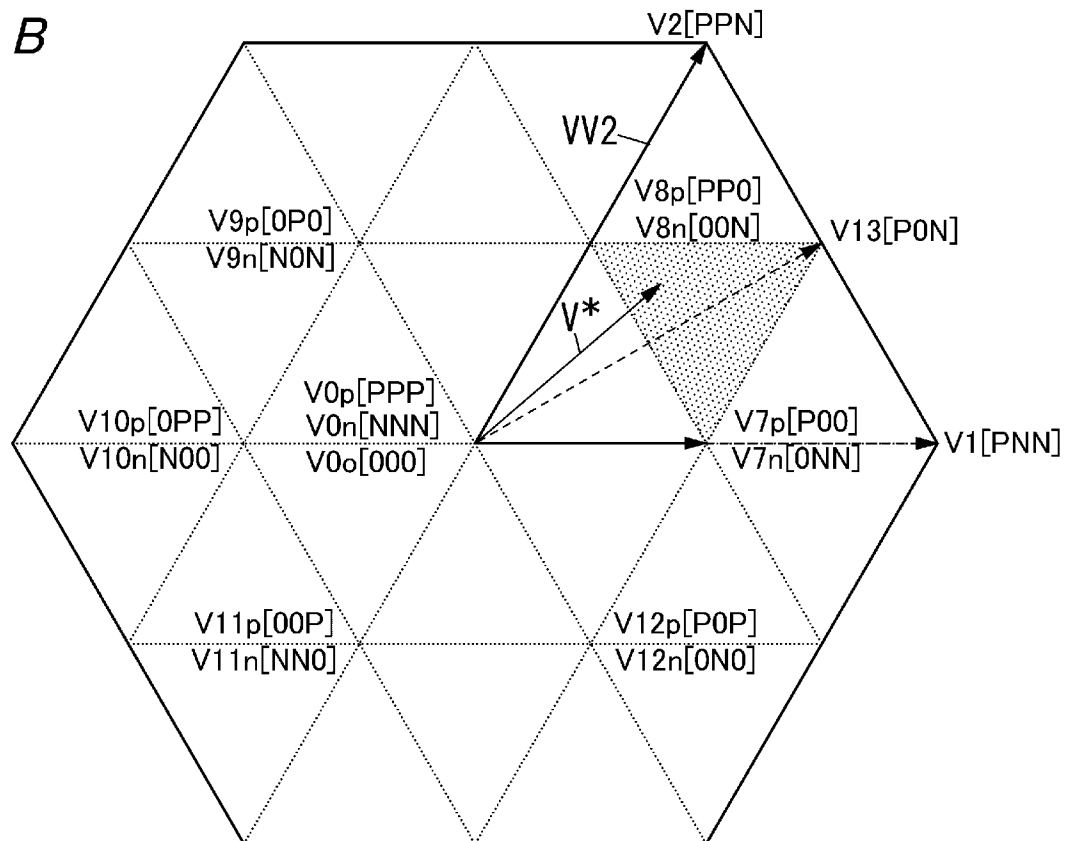
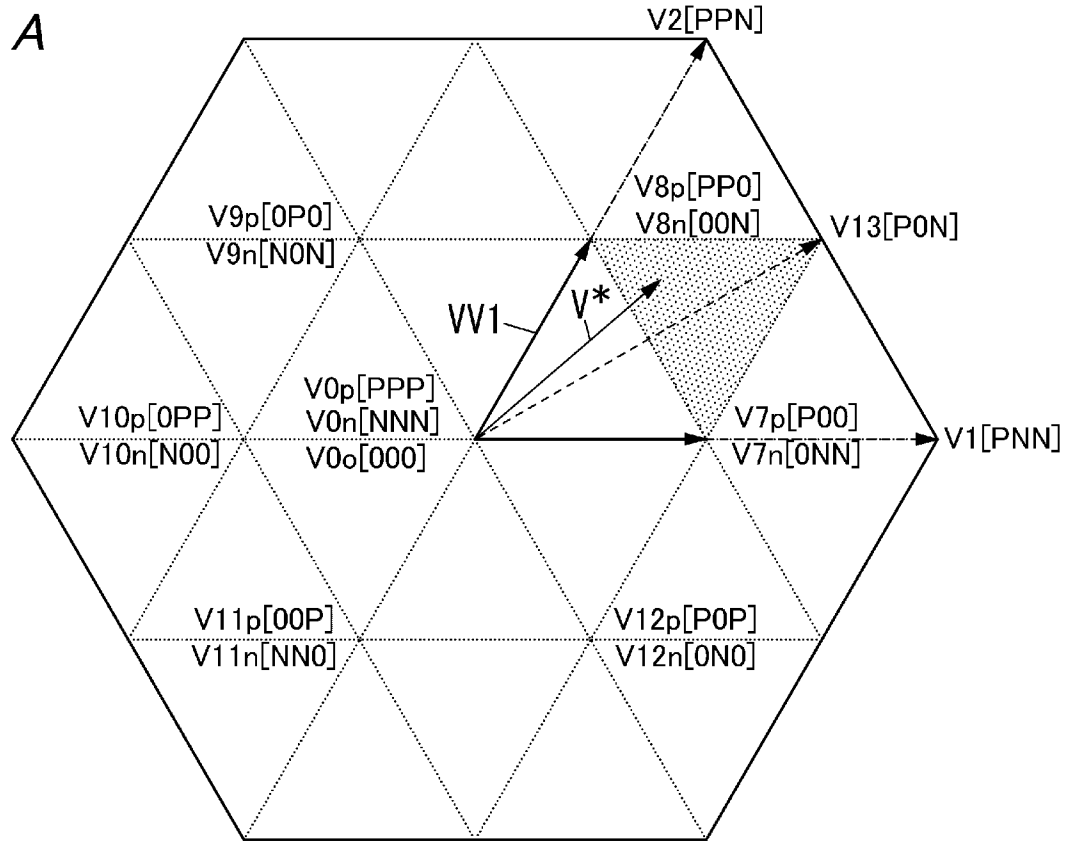
[図36]



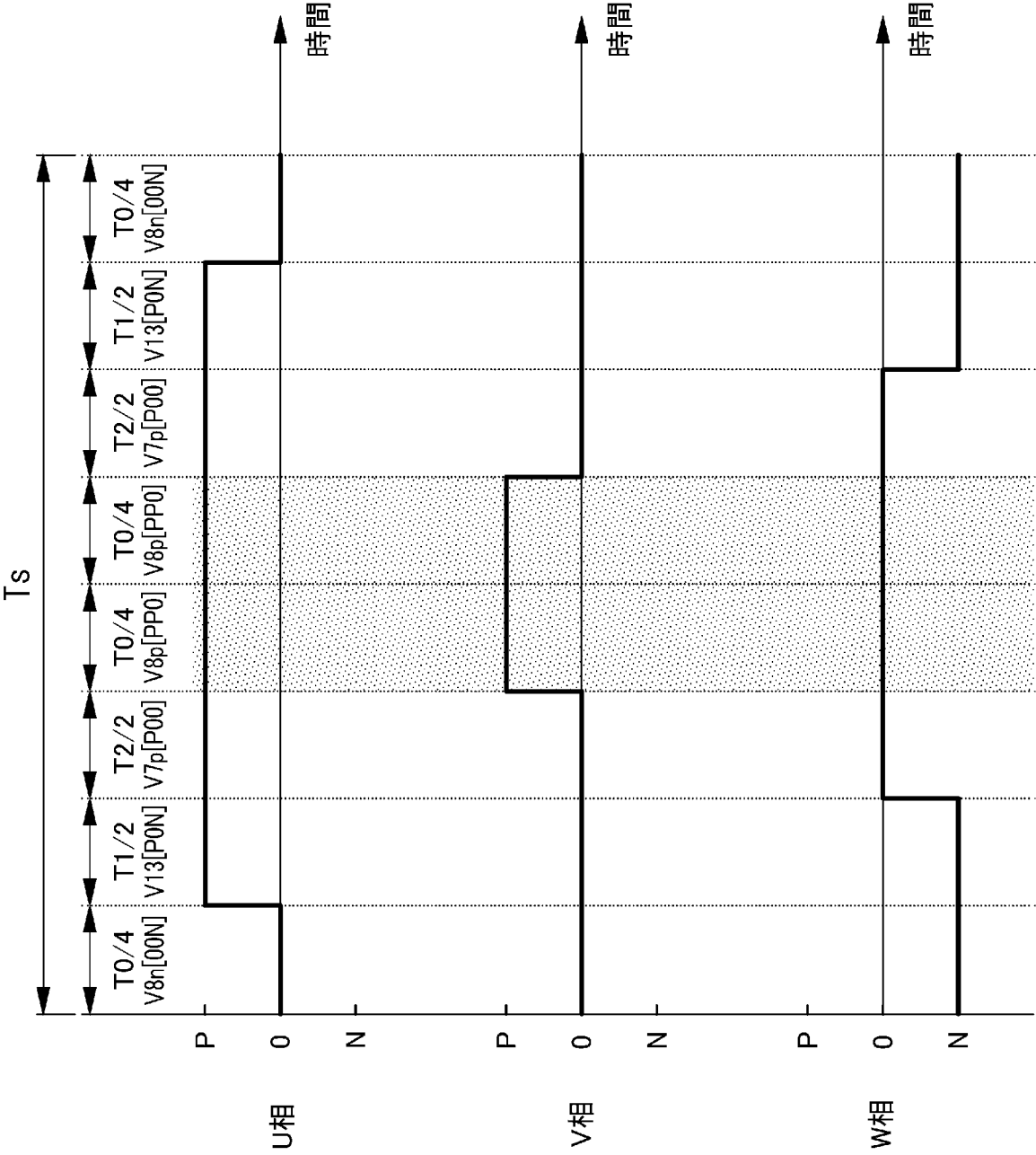
[図37]



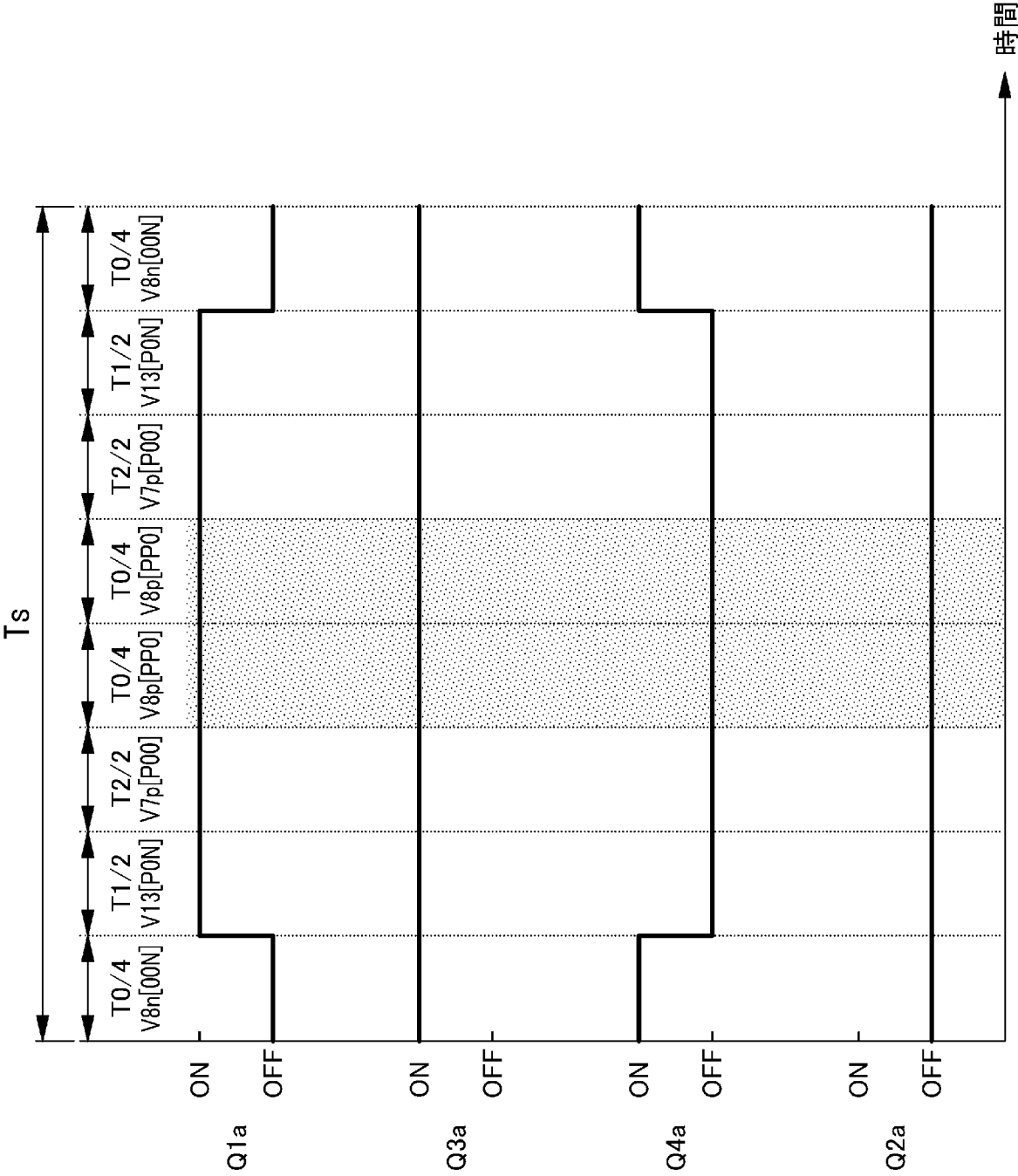
[図38]



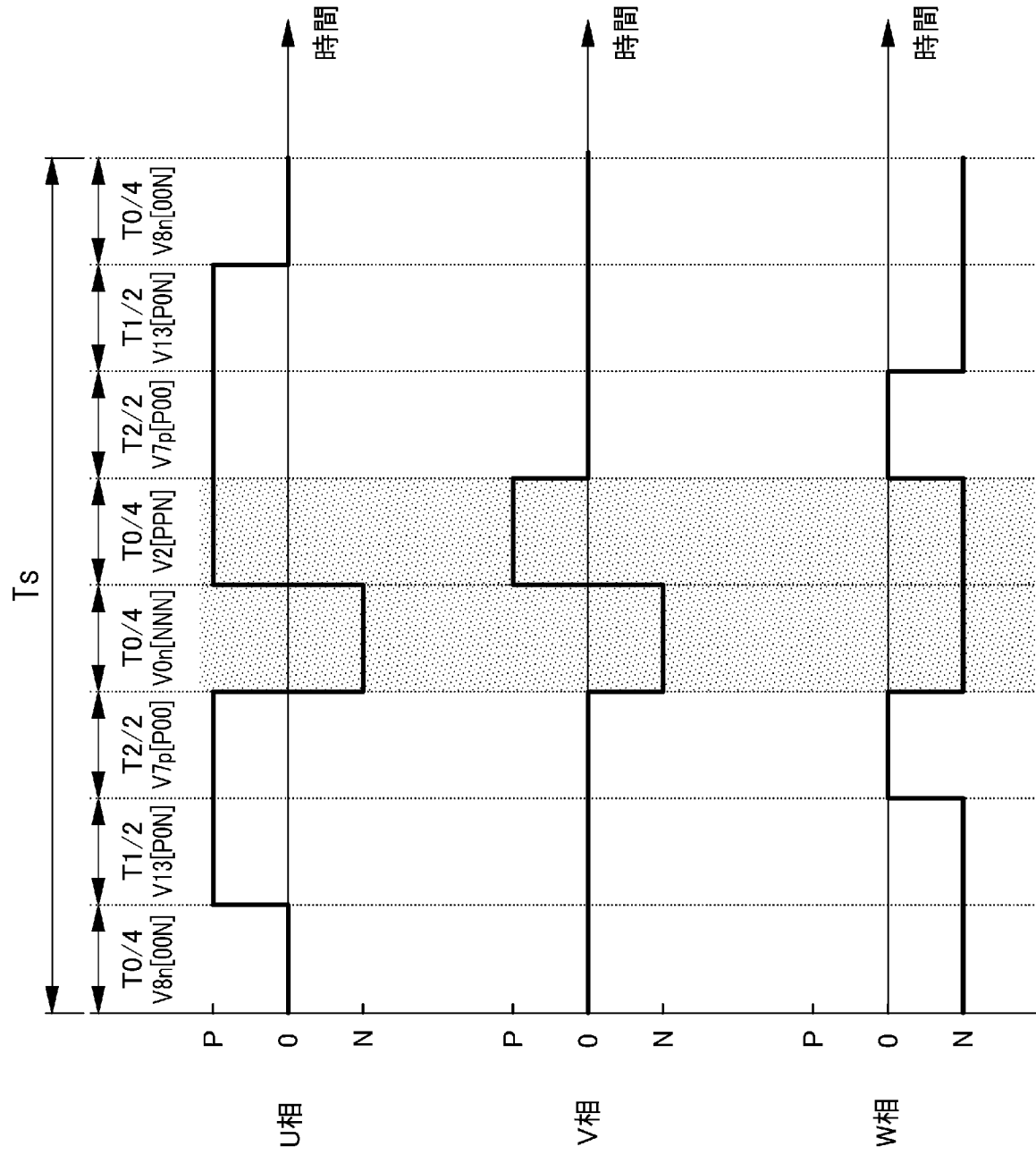
[図39]



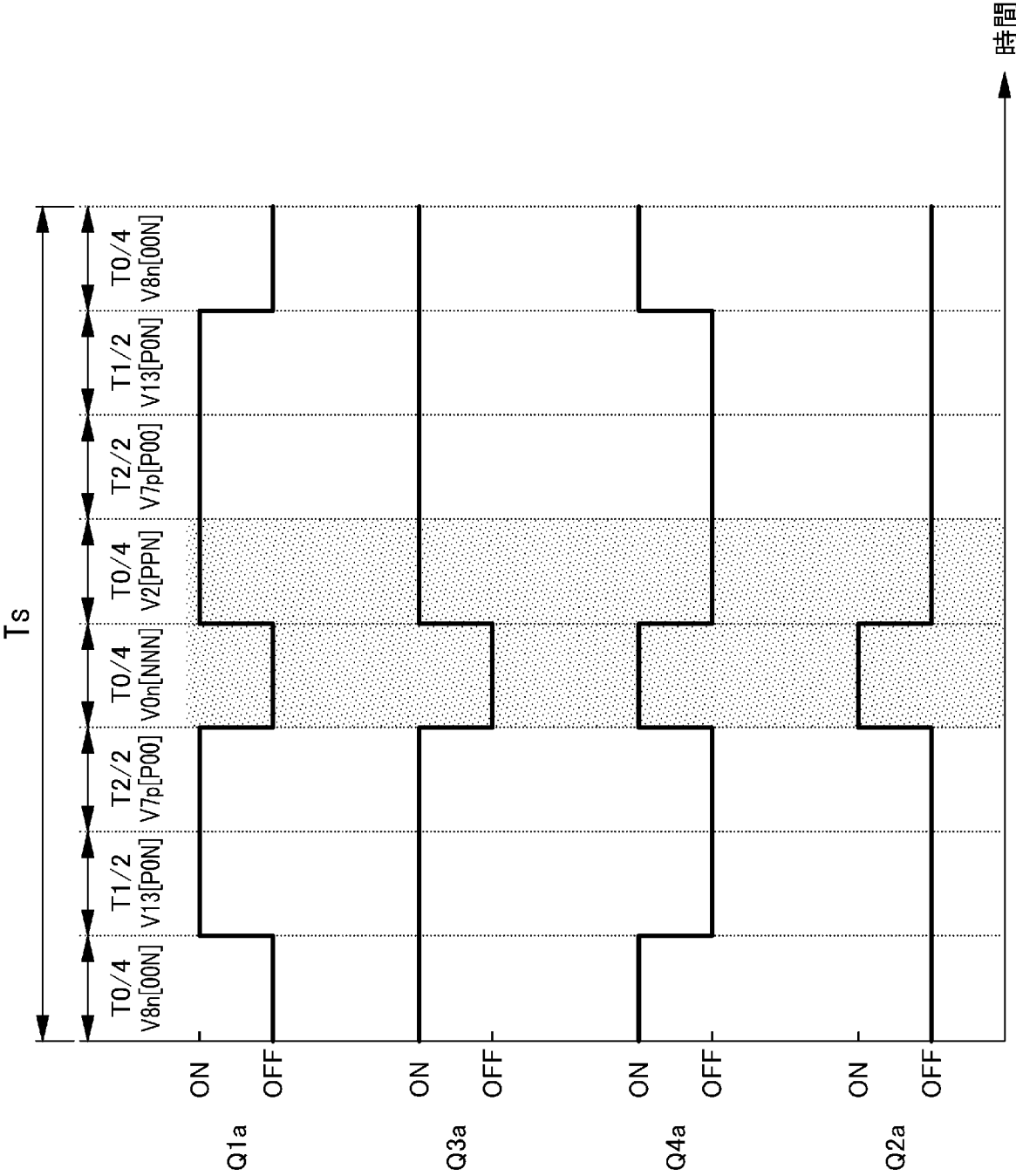
[図40]



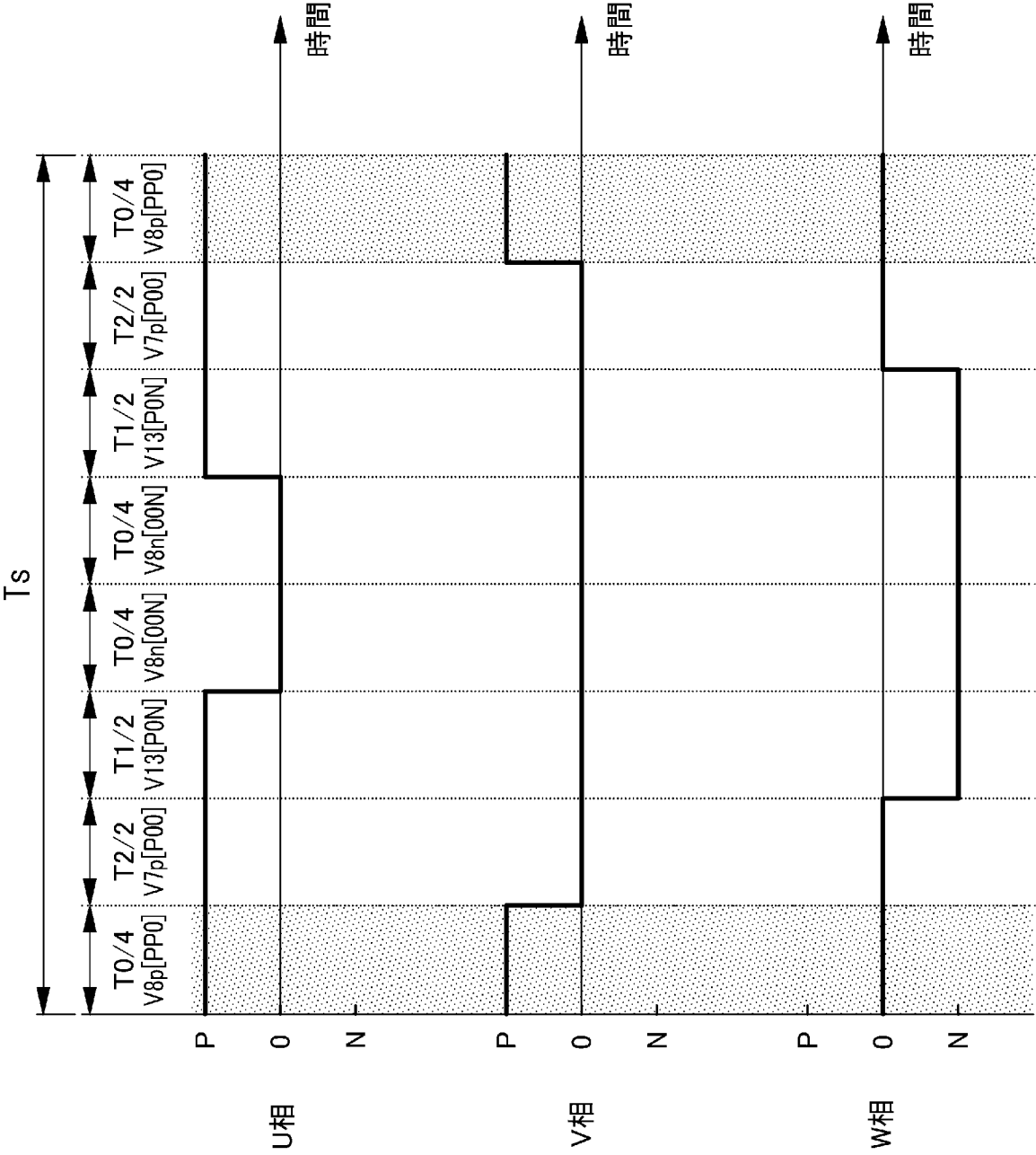
[図41]



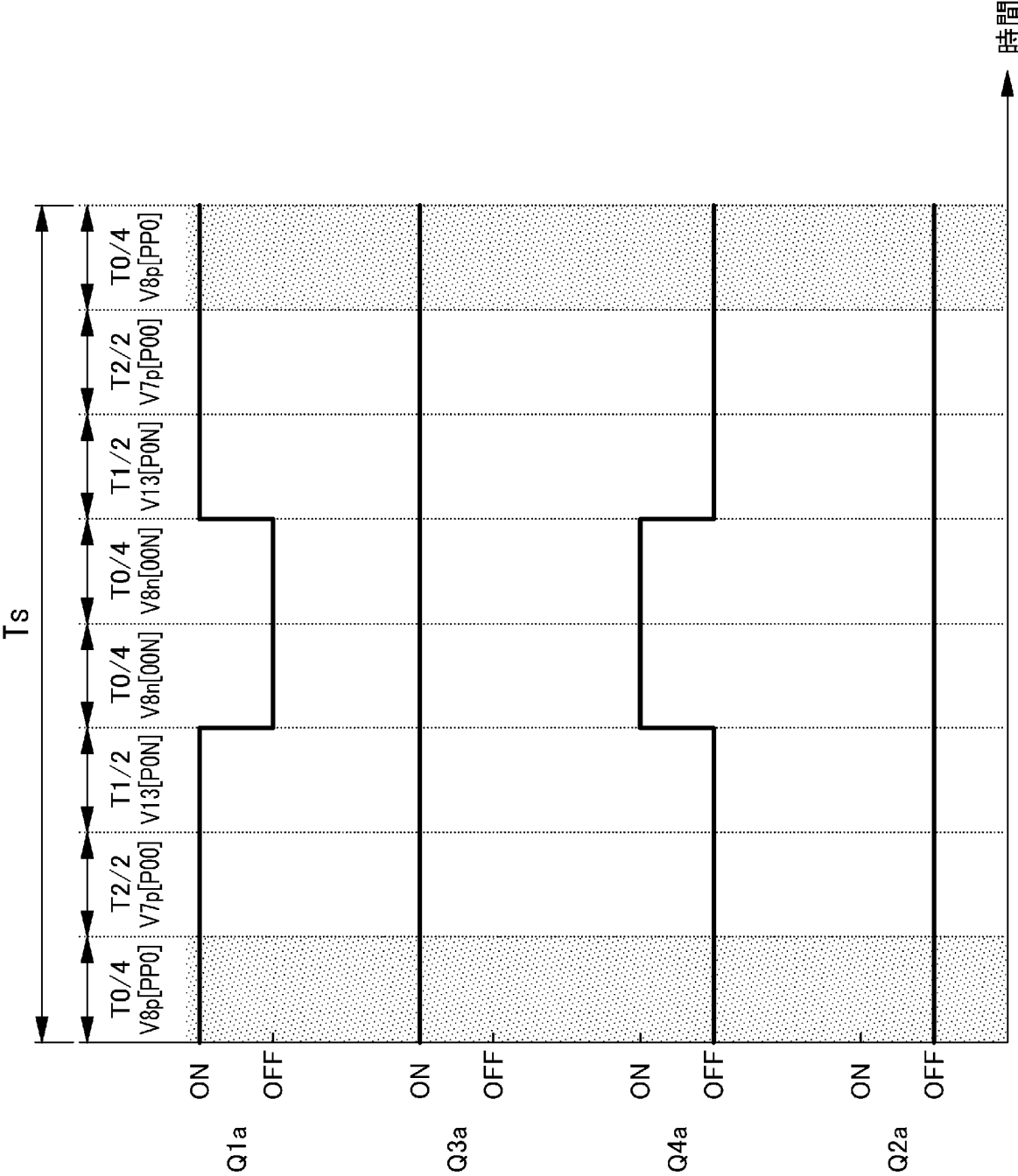
[図42]



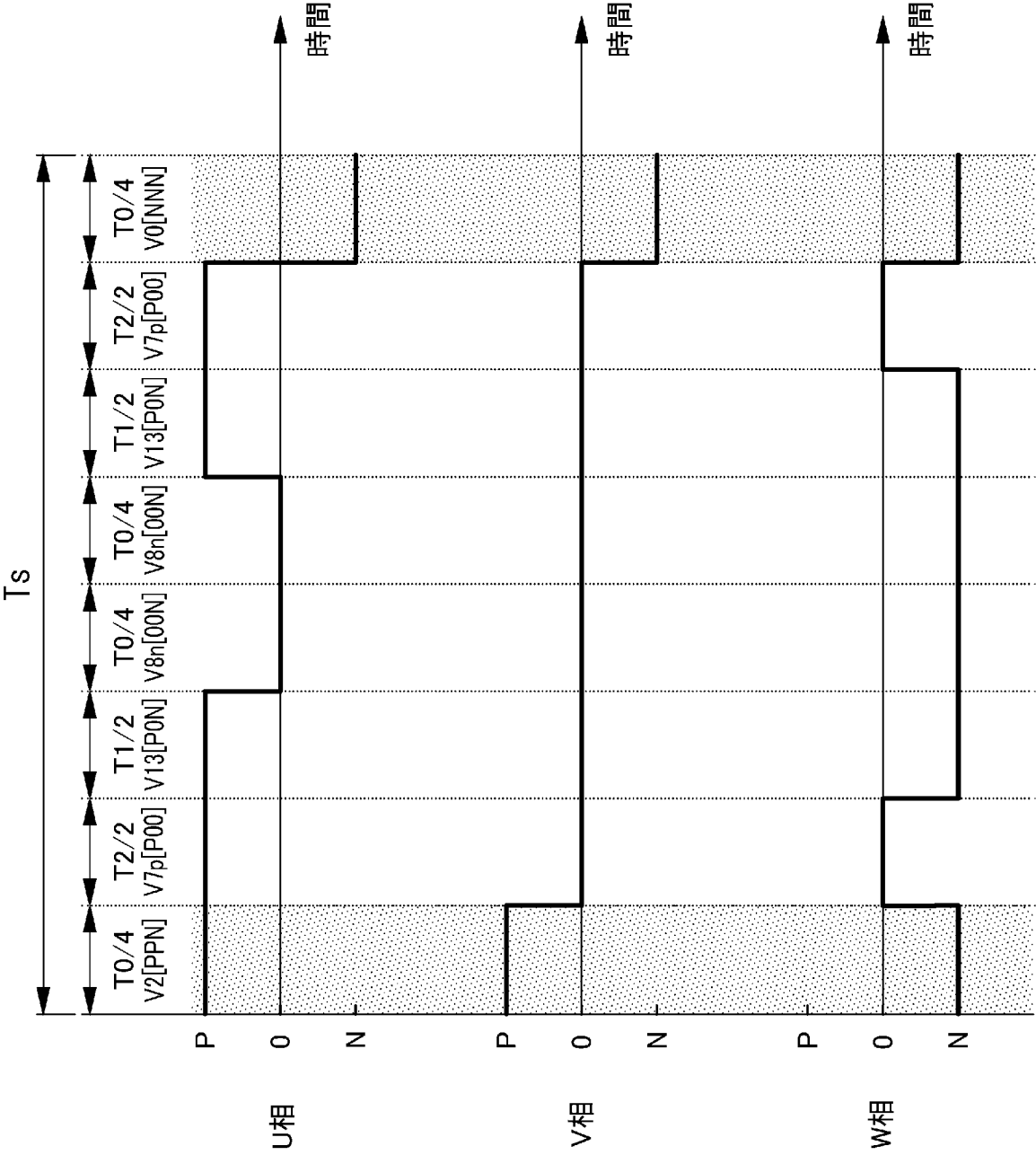
[図43]



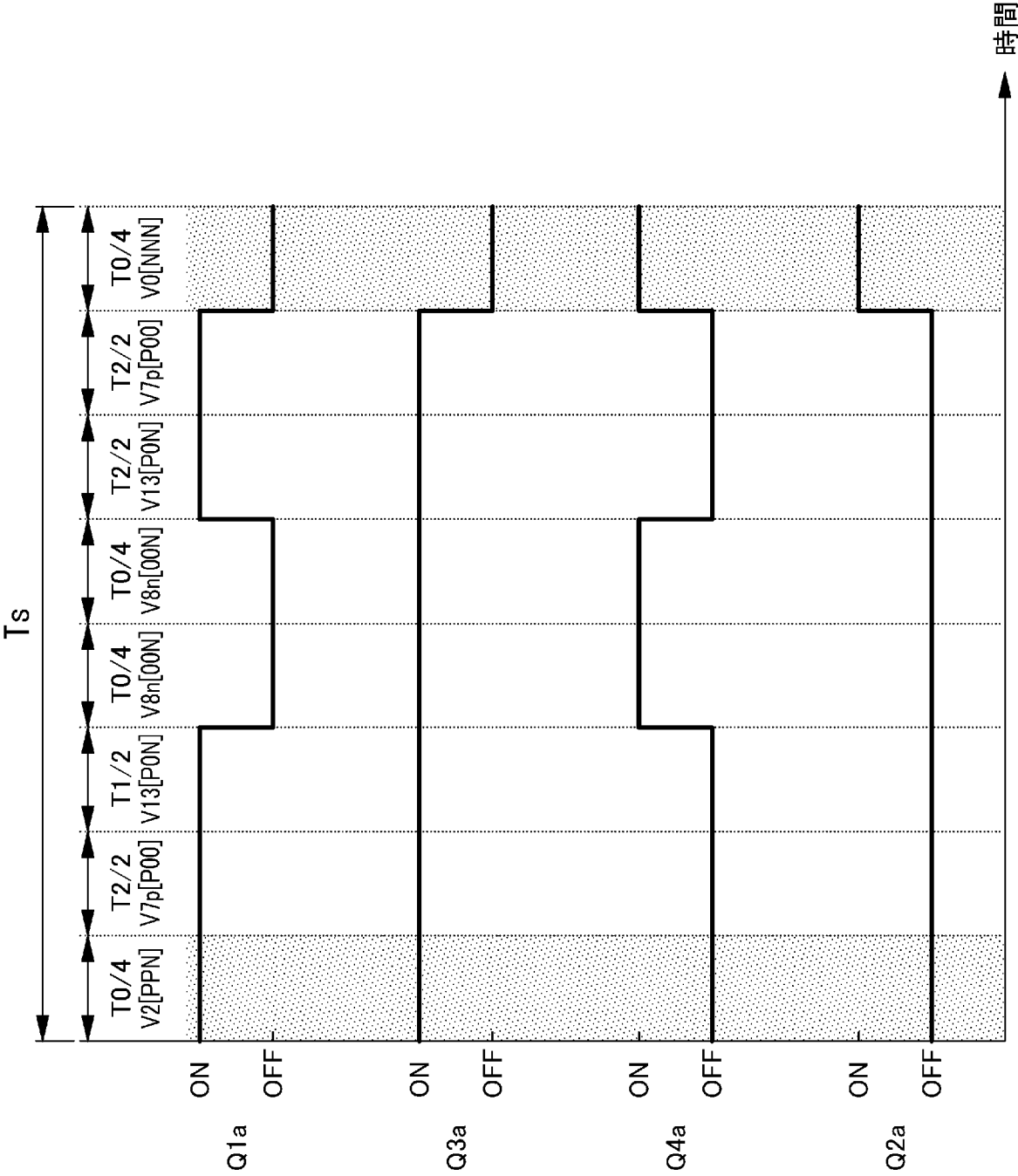
[図44]



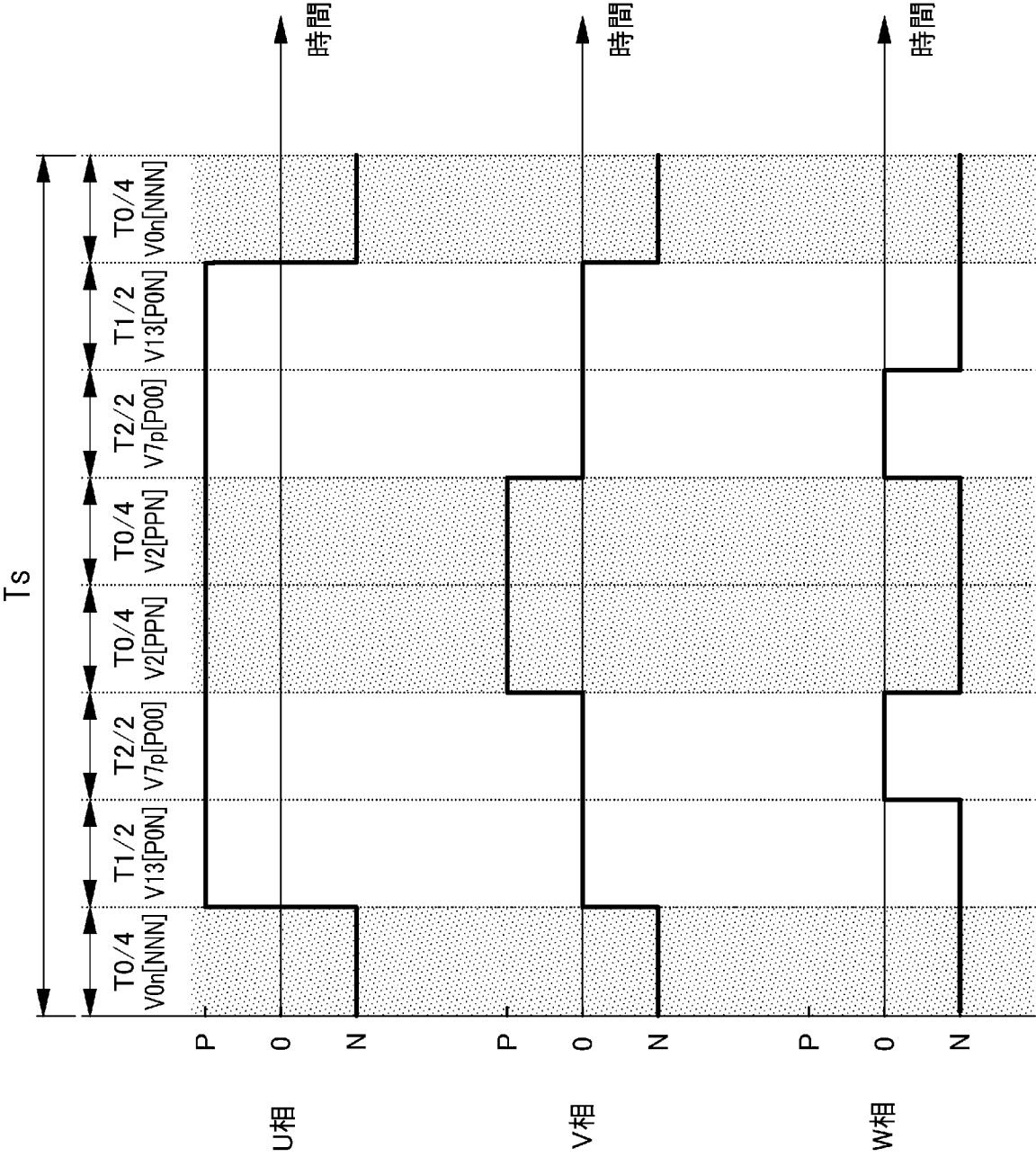
[図45]



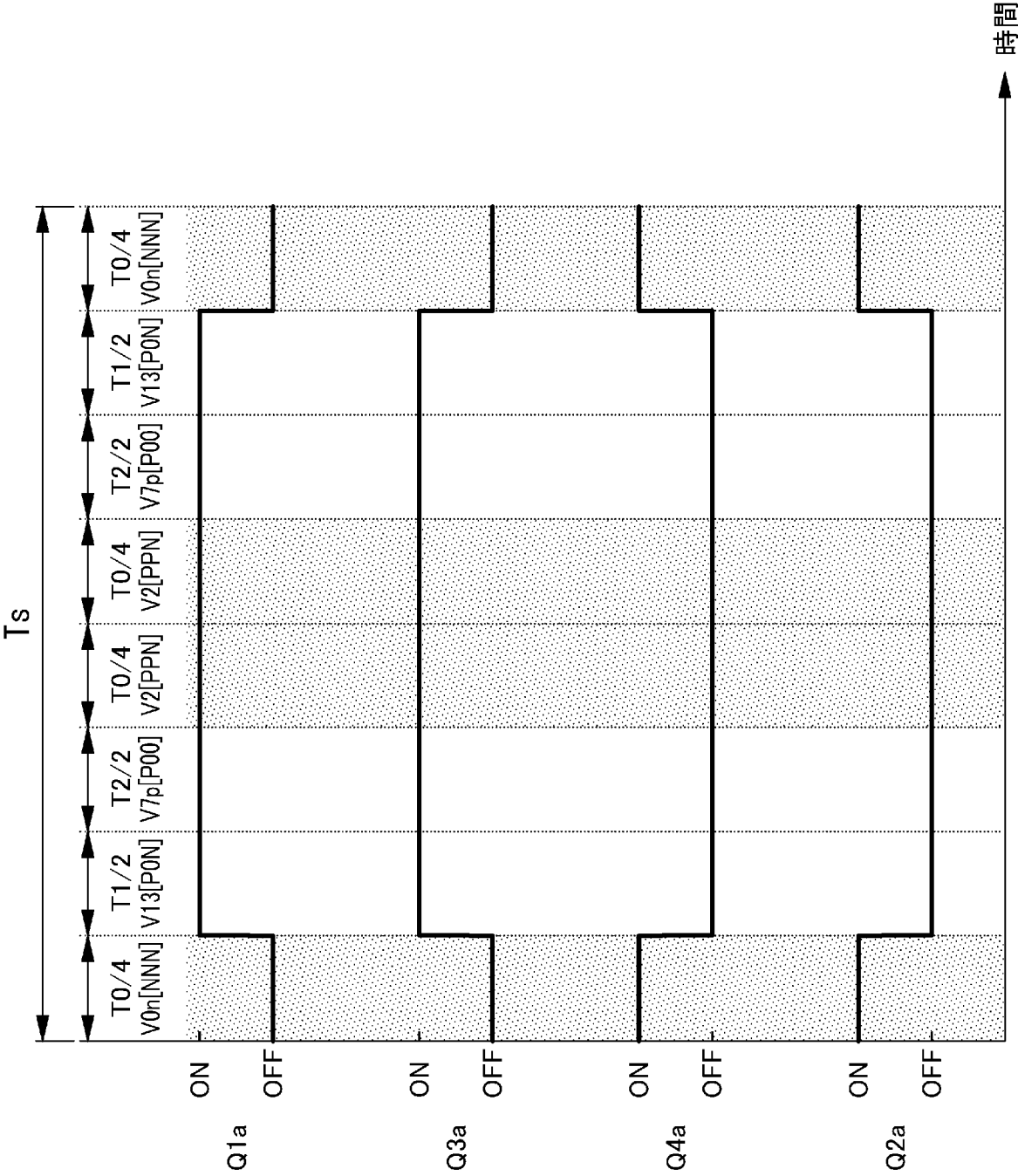
[図46]



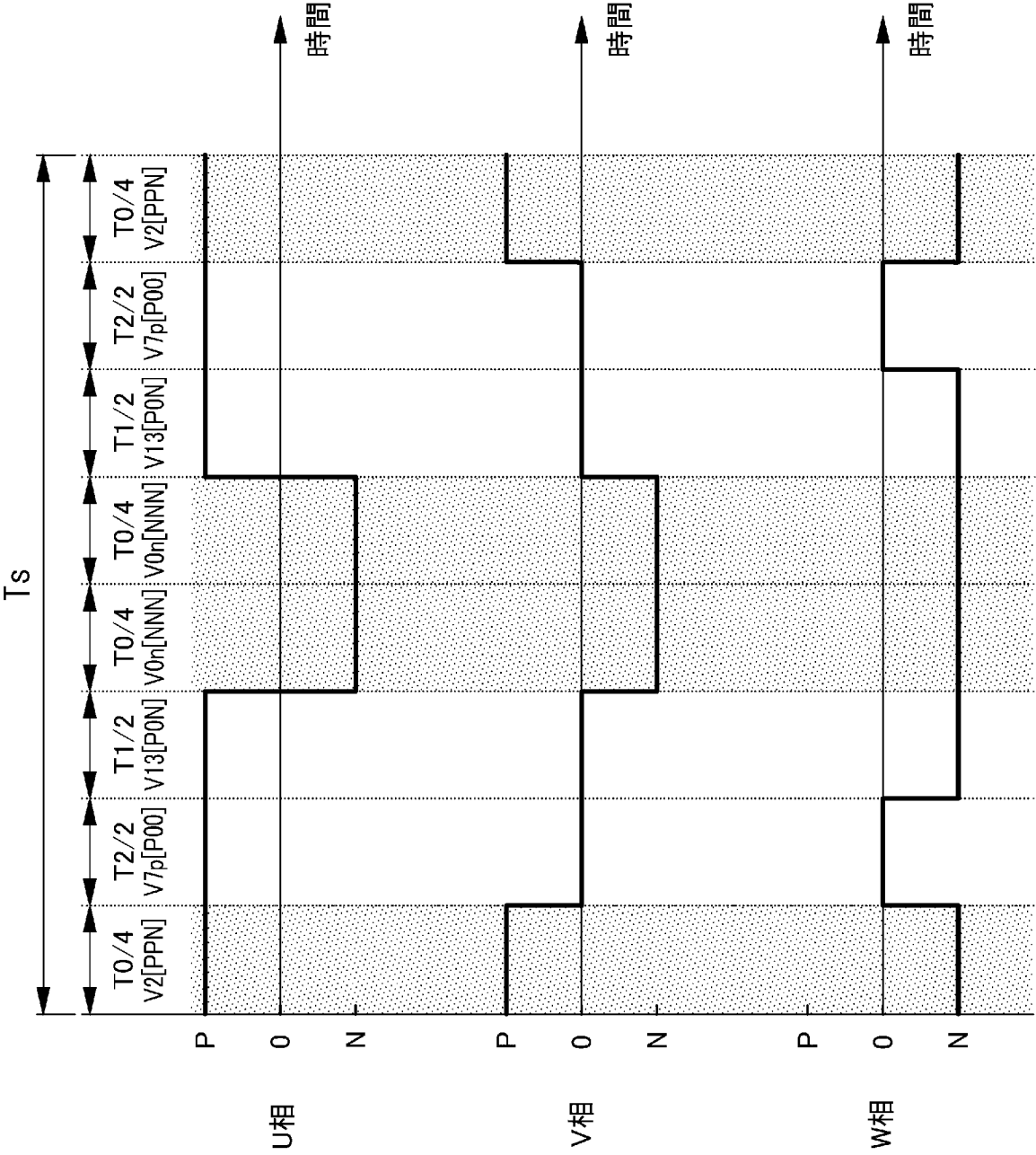
[図47]



[図48]



[図49]



[図50]

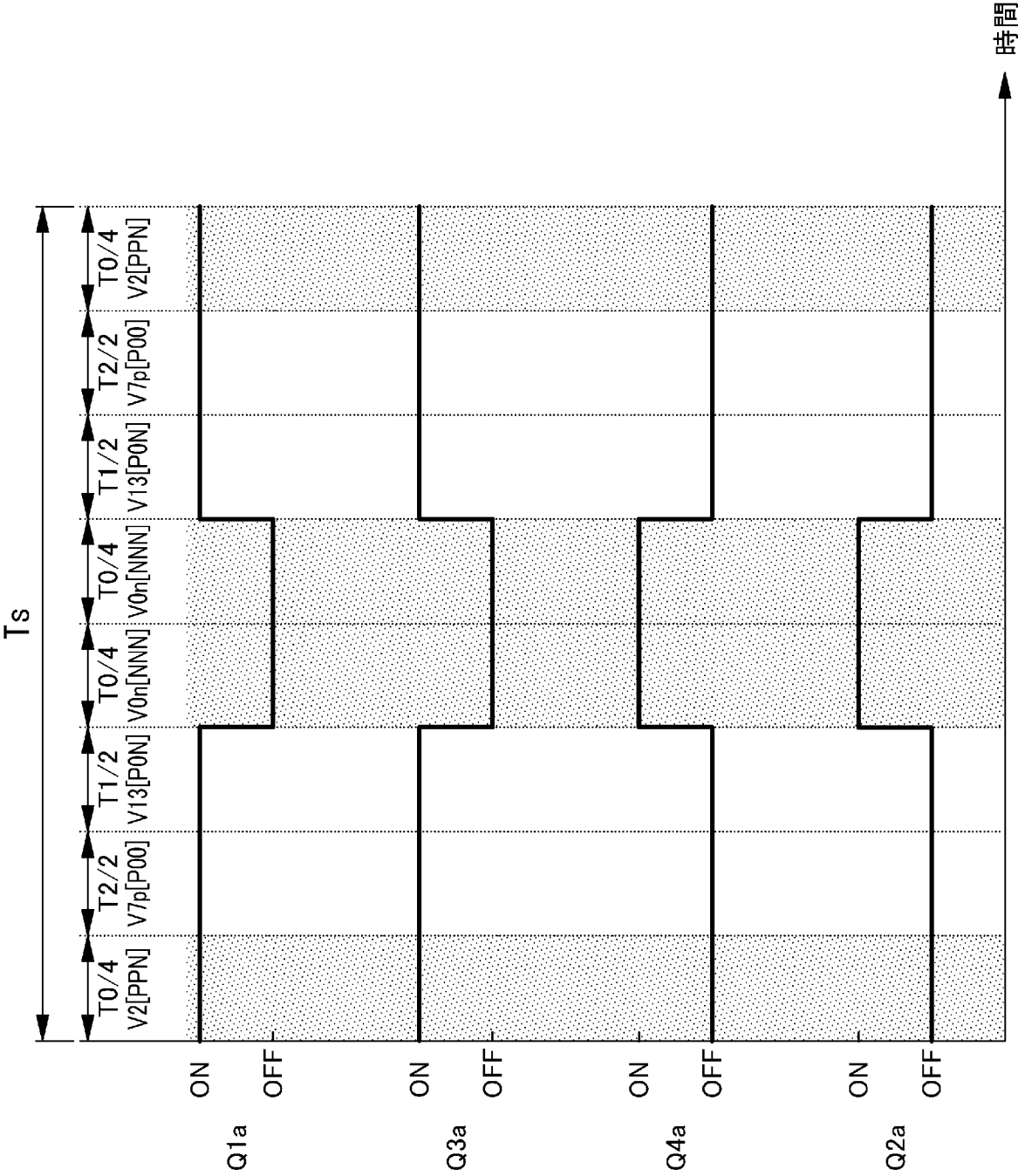


Figure 1 is a schematic diagram of a power supply system 100A. The system includes a 100A input, a 100Vε output, and a 1Wε output. It features three DC-DC converters (91a) and three DC-DC converters (91a). The system is controlled by a control unit (制御部) and includes a motor (M) and a relay (RA1).

The circuit diagram illustrates a power converter system 100C. It features three parallel power stages connected between input terminals 31 and 32. Each stage includes a DC-link capacitor (C1, C2), a split-gate MOSFET driver (Q1a, Q2a, Q3a, Q4a) with anti-parallel diodes (D1a, D2a, D3a, D4a), and a load inductor (L1, L2, L3). The output of each stage is connected to a common output terminal 8 through a resistor (R1, R2, R3). A control unit (制御部) is connected to the gates of the MOSFETs via a DC-DC converter (9a). The system is powered by a Vdc source (E1) and includes various components like resistors (R11, R12, R13), capacitors (Z11, Z12, Z13), and diodes (D11, D12, D13).

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/030963

A. CLASSIFICATION OF SUBJECT MATTER**H02M 7/487**(2007.01)i; **H02M 1/08**(2006.01)i; **H02M 7/48**(2007.01)i

FI: H02M7/487; H02M1/08 C; H02M7/48 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/487; H02M1/08; H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-164567 A (TOSHIBA CORP.) 18 June 1999 (1999-06-18) entire text, all drawings	1-13
A	JP 5-292755 A (DAIKIN IND., LTD.) 05 November 1993 (1993-11-05) entire text, all drawings	1-13
A	JP 2012-244796 A (DENSO CORP.) 10 December 2012 (2012-12-10) entire text, all drawings	1-13
A	CN 103076482 A (LEXING INDUSTRIAL SYSTEMS (WUXI) CO., LTD.) 01 May 2013 (2013-05-01) entire text, all drawings	1-13
A	US 2015/0236618 A1 (CARRIER CORPORATION) 20 August 2015 (2015-08-20) entire text, all drawings	1-13

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

14 November 2023

Date of mailing of the international search report

28 November 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/030963

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	11-164567	A	18 June 1999	US 6151227 A entire text, all drawings CN 1207607 A KR 10-1999-0023289 A	
JP	5-292755	A	05 November 1993	(Family: none)	
JP	2012-244796	A	10 December 2012	(Family: none)	
CN	103076482	A	01 May 2013	CN 103078520 A	
US	2015/0236618	A1	20 August 2015	WO 2014/031401 A2 entire text, all drawings CN 104737439 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/487(2007.01)i; H02M 1/08(2006.01)i; H02M 7/48(2007.01)i FI: H02M7/487; H02M1/08 C; H02M7/48 E										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H02M7/487; H02M1/08; H02M7/48										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 11-164567 A（株式会社東芝）18.06.1999（1999 - 06 - 18） 全文，全図	1-13								
A	JP 5-292755 A（ダイキン工業株式会社）05.11.1993（1993 - 11 - 05） 全文，全図	1-13								
A	JP 2012-244796 A（株式会社デンソー）10.12.2012（2012 - 12 - 10） 全文，全図	1-13								
A	CN 103076482 A（LEXING INDUSTRIAL SYSTEMS（WUXI）CO., LTD.）01.05.2013 （2013 - 05 - 01） 全文，全図	1-13								
A	US 2015/0236618 A1（CARRIER CORPORATION）20.08.2015（2015 - 08 - 20） 全文，全図	1-13								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 14.11.2023	国際調査報告の発送日 28.11.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐藤 匡 5G 9650 電話番号 03-3581-1101 内線 3526									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/030963

引用文献			公表日	パテントファミリー文献	公表日
JP	11-164567	A	18.06.1999	US 6151227 A 全文, 全図 CN 1207607 A KR 10-1999-0023289 A	
JP	5-292755	A	05.11.1993	(ファミリーなし)	
JP	2012-244796	A	10.12.2012	(ファミリーなし)	
CN	103076482	A	01.05.2013	CN 103078520 A	
US	2015/0236618	A1	20.08.2015	WO 2014/031401 A2 全文, 全図 CN 104737439 A	