

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2019년 3월 28일 (28.03.2019) **WIPO | PCT**

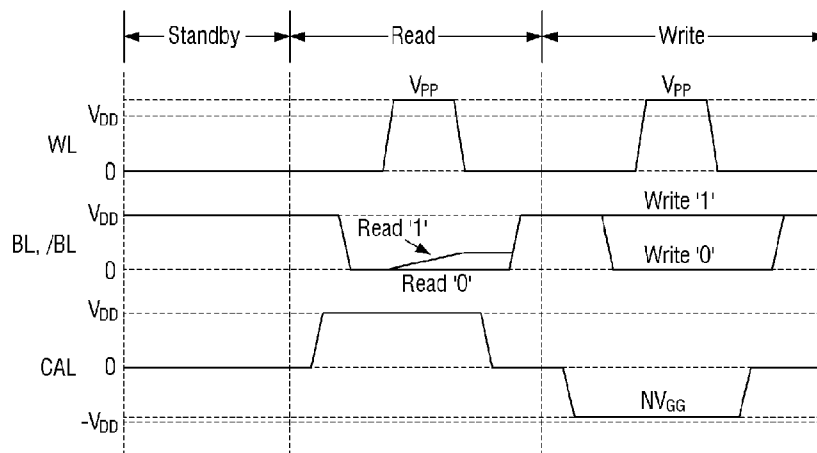


(10) 국제공개번호
WO 2019/059591 A1

- (51) 국제특허분류: *GIIC 11/419* (2006.01) *GIIC 8/08* (2006.01) *GIIC 7/12* (2006.01)
- (21) 국제출원번호: PCT/KR2018/010840
- (22) 국제출원일: 2018년 9월 14일 (14.09.2018)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2017-0122753 2017년 9월 22일 (22.09.2017) KR
- (71) 출원인: 경북대학교 산학협력단 (**KYUNGPOOK NATIONAL UNIVERSITY INDUSTRY-ACADEMIC COOPERATION FOUNDATION**) [KR/KR]; 41566 대구시 북구 대학로 80, Daegu (KR).
- (72) 발명자: 정연배 (**CHUNG, Yeonbae**); 41024 대구시 동구 팔공로53길 40, 405동 1401호, Daegu (KR). 김현명 (**KIM, Hyunmyoung**); 41567 대구시 북구 대현로9길 23-5, 206호, Daegu (KR).
- (74) 대리인: 김태현 (**KIM, Tae-hun**); 06626 서울시 서초구 강남대로 343 신덕빌딩 9층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: ULTRA-LOW VOLTAGE MEMORY DEVICE AND OPERATING METHOD THEREFOR

(54) 발명의 명칭: 초저전압 메모리 장치 및 그 동작 방법



(57) Abstract: A semiconductor memory device is disclosed. The semiconductor memory device comprises: a first circuit unit including a third PMOS transistor and a first inverter, which includes a first NMOS transistor and a first PMOS transistor; a second circuit unit including a fourth PMOS transistor and a second inverter, which includes a second NMOS transistor and a second PMOS transistor; and a cell including a third NMOS transistor for transmitting a signal of a first bit line to the first inverter, and a fourth NMOS transistor for transmitting a signal of a second bit line to the second inverter, the transistors having gate terminals connected to a word line, wherein: the first inverter and the second inverter are cross-coupled to each other; gate terminals of the third PMOS transistor and the fourth PMOS transistor are respectively connected to column-directional auxiliary lines; and the word line supplies a voltage boosted up to a preset amount greater than that of a voltage supplied to a semiconductor memory during a read operation and a write operation in order to drive the third and fourth NMOS transistors.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 반도체 메모리 장치가 개시된다. 반도체 메모리 장치는 제1 NMOS 트랜지스터와 제1 PMOS 트랜지스터를 포함하는 제1 인버터 및 제3 PMOS 트랜지스터를 포함하는 제1 회로부, 제2 NMOS 트랜지스터와 제2 PMOS 트랜지스터를 포함하는 제2 인버터 및 제4 PMOS 트랜지스터를 포함하는 제2 회로부, 게이트 단자가 워드라인에 연결되고, 제1 비트라인의 신호를 제1 인버터로 전달하는 제3 NMOS 트랜지스터, 및 제2 비트라인의 신호를 제2 인버터로 전달하는 제4 NMOS 트랜지스터를 포함하는 셀을 포함하되, 제1 인버터와 제2 인버터는 상호 교차 결합되고, 제3 PMOS 트랜지스터 및 제4 PMOS 트랜지스터의 게이트 단자는 각각 열방향 보조라인에 연결되며, 워드라인은 제3 및 제4 NMOS 트랜지스터를 구동시키기 위해 읽기 동작 및 쓰기 동작에서 반도체 메모리에 공급되는 전압보다 기 설정된 크기만큼 부스팅 된 전압을 공급한다.

명세서

발명의 명칭: 초저전압 메모리 장치 및 그 동작 방법

기술분야

- [1] 본 발명은 반도체 메모리 장치에 관한 것으로서, 보다 상세하게는 트랜지스터의 문턱 전압 이하인 초저전압(ultra-low voltage)에서 동작할 수 있는 반도체 메모리 장치에 관한 것이다.

배경기술

- [2] 임베디드 메모리는 현대 VLSI(Very Large Scale Integration) 및 시스템-온-칩(SoC) 설계에 있어 매우 널리 사용된다. 현재의 임베디드 메모리는 임베디드의 적합한 속성인 로직 CMOS 호환성, 고속, 저전력 동작 때문에 6-트랜지스터(6T) SRAM이 지배적으로 사용된다. SRAM은 SoC와 같은 고집적 시스템에서 중요한 블록이고, SRAM은 전체 칩 면적에서 많은 부분을 차지한다. 6T SRAM은 수 Kbit 에서 수백 Mbit의 범위에서 사용되며, 현대 SoC 분야에서 6T SRAM은 많은 영역을 차지하고 있지만 전력소모 측면에서 문제가 있다.
- [3] CMOS에서의 스케일링 기술과 함께 트랜지스터의 문턱 전압 이하 이면서 전력 소모를 줄일 수 있는 초저전압(ultra-low voltage)에서의 SRAM 안정성은 웨어러블(wearable) 및/또는 휴대용 어플리케이션에서 중요한 문제이다. 또한, 6T SRAM은 읽기 및 쓰기 동작에서 성능이 좋지 않으며, 쓰기 동작에서는 반 선택(half-select) 문제도 나타난다. 워드라인은 선택되지만 비트라인은 선택되지 않는 SRAM 셀들이 반 선택된 셀들이다. 셀들이 반 선택되고 액세스 트랜지스터의 전도도가 충분히 높으면 접지 상태의 데이터 노드의 논리값이 '1'로 강제 전환이 될 수 있어 문제가 있다.
- [4] 도 1a 및 도 1b는 종래의 6T SRAM 셀 구조 및 동작방법을 도시한 것이다.
- [5] 도 1a를 참조하면, 종래의 6T SRAM 셀은 제1, 제2, 제3 및 제4 NMOS와 제1 및 제2 PMOS를 포함한다. 제1 NMOS(N1) 및 제2 NMOS(N2)는 구동 트랜지스터, 제1 PMOS(P1) 및 제2 PMOS(P2)는 부하 트랜지스터, 제3 NMOS(N3) 및 제4 NMOS(N4)는 액세스 트랜지스터로 정의한다. 제1 인버터는 제1 NMOS 트랜지스터와 제1 PMOS 트랜지스터를 포함하고, 제2 인버터는 제2 NMOS 트랜지스터와 제2 PMOS 트랜지스터를 포함한다. 제1 인버터(P1-N1) 및 제2 인버터(P2-N2)는 상호 교차 결합되어 있다.
- [6] 제3 및 제4 NMOS 트랜지스터의 게이트 단자는 워드라인에 연결된다. 제3 NMOS 트랜지스터는 제1 비트라인의 신호를 제1 인버터로 전달하고, 제4 NMOS 트랜지스터는 제2 비트라인의 신호를 제2 인버터로 전달한다.
- [7] 종래 6T SRAM 셀 구조의 근본적인 안정성 문제는 읽기 동작에서 발생된다.
- [8] 도 1b를 참조하면, 읽기 동작에서 제1 비트라인(BL) 및 제2 비트라인(/BL)의 전압이 공급전압(VDD)으로 유지되는 동안, 워드라인(WL)의 전압은 접지에서

공급전압(VDD)으로 전이된다. 워드라인(WL)의 전압이 공급전압(VDD)으로 전이되면, 액세스 트랜지스터(N3, N4)는 턴 온 된다. 액세스 트랜지스터(N3, N4)와 구동 트랜지스터(N1, N2)의 전압 분배 효과 때문에 논리값이 '0'(또는 'low')인 셀의 제1 데이터 노드(DN)의 전압은 액세스 트랜지스터(N3)를 통해 상승하게 된다. 따라서, 제1 비트라인(BL)의 전압은 공급전압(VDD)보다 낮은 전압으로 하강하게 된다.

- [9] 제1 인버터(P1-N1) 및 제2 인버터(P2-N2)의 전압 전달 이득은 액세스 트랜지스터(N3, N4)와 부하 트랜지스터(P1, P2)의 병렬 접속으로 인해 낮아진다. 제1 인버터(P1-N1) 및 제2 인버터(P2-N2)의 전압 전달 이득이 낮아지면서 셀의 노이즈 내성은 심각하게 약화된다.
- [10] 만일 제1 데이터 노드(DN)의 전압이 다른 셀 인버터의 논리 문턱값(threshold)보다 높으면, 셀의 내용이 바뀔 수 있고, 읽기 실패가 초래될 수 있다.
- [11] 상술한 문제는 쓰기 액세스 중에 반 선택(half-select) 문제를 일으킬 수 있다. 또한, 쓰기 동작에서 6T SRAM 셀은 초저 공급전압(ultra-low supply voltage) 체제 하에서 데이터 저장 노드의 내용을 쉽게 플립(flip)할 수 없어 안정성이 저하될 수 있다.
- [12] 상술한 비트셀 안정성의 저하는 임베디드 SRAM 어레이에서의 불량비트율(Fail-bit Rate)을 증가시키고, SoC의 수율을 제한한다.
- [13] 비트셀의 안정성 문제를 해결하기 위해, 여러 구조들의 SRAM 비트셀이 연구되고 있다.
- [14] 예를 들면, 기존의 8T SRAM 셀은 읽기 동작 동안 풀다운 패스(Pull Down Path)를 차단하여 읽기 안정성을 향상시킬 수 있다. 하지만, 상술한 기존의 8T 셀은 싱글 엔디드(Single-ended) 비트라인 구조 때문에 읽기 및 쓰기 기능이 크게 제한된다.
- [15] 또 다른 예로, 데이터 저장 소자와 데이터 출력 소자를 분리시킨 기존의 8T, 9T, 10T SRAM 셀은 읽기 안정성을 홀드 모드에서의 안정성과 같아지도록 만든다. 기존의 8T, 9T, 10T SRAM 셀의 쓰기 능력은 종래 6T SRAM 셀 구조와 동등하다. 그러나, 기존의 8T, 9T, 10T SRAM 셀에서는 다중 비트 오류에 대처하는데 중요할 수 있는 반 선택(half-select) 문제가 쓰기 액세스 중에 일어날 수 있다. 다중 비트 오류는 데이터 단위 중 두 개 이상의 비연속적인 비트를 변경하는 오류를 의미한다. 또한, 기존의 8T, 9T, 10T SRAM 셀은 싱글 엔디드 읽기-비트라인 구조 때문에 액세스 시간 저하가 발생할 수 있다.
- [16] 메모리 어레이에서 선택되지 않은 모든 워드라인들은 각각 읽기 및 쓰기 액세스 동안 토글되기 때문에 쓰기 동작에서 반 선택(half-select) 문제를 우회하는 데이터 인식형 8T SRAM 셀은 상당한 동적 전력을 소비한다.
- [17] 상술한 8T SRAM 셀과 다르게 읽기 안정성에서 탁월한 향상을 가지는 8T SRAM 셀도 존재하지만, 트랜지스터의 문턱 전압 이하인 초저 공급 전압에서

상술한 8T SRAM 셀이 작동되기 어렵다.

- [18] 이에 따라, 트랜지스터의 문턱 전압 이하인 초저전압(ultra-low voltage) 영역에서 읽기 및 쓰기 동작이 적절하게 동작할 수 있는 방법의 필요성이 대두되고 있다.

발명의 상세한 설명

기술적 과제

- [19] 본 발명이 해결하려는 과제는, 트랜지스터의 문턱 전압 이하의 초저전압에서 동작할 수 있는 8T SRAM의 동작 방법을 제안하고, 쓰기 능력을 향상시키며, 읽기 교란(read disturbance)에 의한 영향을 받지 않고 동작할 수 있는 반도체 메모리 장치를 제공함에 있다.

과제 해결 수단

- [20] 상술한 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 반도체 메모리 장치는 제1 NMOS 트랜지스터와 제1 PMOS 트랜지스터를 포함하는 제1 인버터 및 일단이 상기 제1 NMOS 트랜지스터와 연결되고, 타단이 상기 제1 PMOS 트랜지스터와 연결되는 제3 PMOS 트랜지스터를 포함하는 제1 회로부; 제2 NMOS 트랜지스터와 제2 PMOS 트랜지스터를 포함하는 제2 인버터 및 일단이 상기 제2 NMOS 트랜지스터와 연결되고, 타단이 상기 제2 PMOS 트랜지스터와 연결되는 제4 PMOS 트랜지스터를 포함하는 제2 회로부; 게이트 단자가 워드라인에 연결되고, 제1 비트라인의 신호를 상기 제1 인버터로 전달하는 제3 NMOS 트랜지스터; 및 게이트 단자가 상기 워드라인에 연결되고, 제2 비트라인의 신호를 상기 제2 인버터로 전달하는 제4 NMOS 트랜지스터;를 포함하는 SRAM 셀을 포함하되, 상기 제1 인버터와 상기 제2 인버터는 상호 교차 결합되고, 상기 제3 PMOS 트랜지스터 및 상기 제4 PMOS 트랜지스터의 게이트 단자는 각각 열방향 보조라인에 연결되며, 상기 워드라인은 상기 제3 및 제4 NMOS 트랜지스터를 구동시키기 위해 읽기 동작 및 쓰기 동작에서 상기 반도체 메모리에 공급되는 전압보다 기 설정된 크기만큼 부스팅 된 전압을 공급할 수 있다.
- [21] 상기 제3 PMOS 트랜지스터는 상기 제1 NMOS 트랜지스터 일단인 제1 데이터 노드와 연결되고, 상기 제4 PMOS 트랜지스터는 상기 제2 NMOS 트랜지스터의 일단인 제2 데이터 노드와 연결되며, 상기 제1 데이터 노드와 상기 제2 데이터 노드는 상호 반전된 데이터를 유지할 수 있다.
- [22] 상기 열방향 보조라인은, 읽기 동작에서 읽기 교란을 방지하기 위해 상기 제3 및 제4 PMOS 트랜지스터가 턴 오프되도록 제1 양전압으로 상승하고, 쓰기 동작에서 상기 제3 및 제4 PMOS 트랜지스터가 턴 온되도록 음전압으로 하강할 수 있다.
- [23] 상기 읽기 동작은, 대기모드에서 상기 제1 및 제2 비트라인을 기 설정된 전압으로 프리차지하고, 상기 프리차지된 제1 및 제2 비트라인을 접지로

방전시킨 후 상기 제1 비트라인의 전압에 기초하여 데이터 읽기 동작을 수행할 수 있다.

[24] 상기 쓰기 동작은, 상기 제1 및 제2 비트라인에 인가되는 전압에 기초하여 상기 제1 데이터 노드의 논리값을 0 또는 1을 기입할 수 있다.

[25] 상기 반도체 메모리 장치는 일렬로 배열되고 상기 워드라인에 연결된 복수의 상기 SRAM 셀을 포함하고, 상기 복수의 SRAM 셀 각각은 서로 다른 비트라인 쌍 및 열방향 보조라인과 연결되며, 상기 읽기 동작은, 상기 서로 다른 열방향 보조라인 중 하나의 열방향 보조라인을 상기 제1 양전압으로 상승 및 상기 서로 다른 비트라인 쌍 중 한 쌍의 비트라인을 접지 상태로 변경시키고, 나머지 열방향 보조라인을 접지 상태 및 나머지 비트라인 쌍을 제2 양전압 상태로 유지시켜 더미 읽기를 방지할 수 있다.

[26] 상기 제1 양전압 및 상기 제2 양전압은 동일한 전압일 수 있다.

[27] 상기 반도체 메모리에 공급되는 전압은, 상기 트랜지스터의 문턱 전압 이하일 수 있다.

발명의 효과

[28] 이상과 같은 본 발명의 실시 예에 따라 트랜지스터의 문턱 전압 이하의 초저전압 영역에서 읽기 및 쓰기 동작이 적절하게 동작할 수 있다.

[29] 또한, 본 발명의 실시 예에 따른 SRAM 셀은 읽기 및 쓰기 경로에서 차동 스위칭을 사용할 수 있고 효율적인 열 인터리빙 구조를 허용할 수 있으며, 열방향 보조라인(CAL)에 의해 읽기 동작에서 읽기 교란(read disturbance)에 의한 영향을 받지 않고 동작할 수 있다.

[30] 또한, 더미 읽기 안정성의 향상으로 쓰기 액세스에서 나타나는 반 선택 문제가 해결될 수 있고, 부스팅 된 워드라인은 쓰기 액세스에서 메모리 비트의 내용 변경을 용이하게 할 수 있다.

[31] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[32] 도 1a 및 도 1b는 종래의 6T SRAM 셀 구조 및 동작방법을 도시한 것이다.

[33] 도 2a 및 도 2b는 본 발명의 일 실시 예에 따른 8T SRAM 셀 구조 및 동작방법을 도시한 것이다.

[34] 도 3 및 도 4는 본 발명의 일 실시 예에 따른 8T SRAM 셀의 메모리 블록을 나타낸 것이다.

[35] 도 5a는 본 발명의 일 실시 예에 따른 8T SRAM 셀의 읽기 동작에 대한 신호 파형을 나타낸 것이다.

[36] 도 5b는 본 발명의 일 실시 예에 따른 8T SRAM 셀의 쓰기 동작에 대한 신호 파형을 도시한 것이다.

- [37] 도 6a 및 도 6b는 각각 6T 및 본 발명의 일 실시 예에 따른 8T SRAM 셀의 레이아웃을 나타낸 것이다.
- [38] 도 7은 종래의 6T SRAM 셀의 읽기 동작을 위한 버터 플라이 곡선을 도시한 것이다.
- [39] 도 8a 및 도 8b는 읽기 또는 쓰기 액세스 동안 각각 종래 6T 및 본 발명의 일 실시 예에 따른 8T SRAM 셀의 더미 읽기 동작을 위한 버터플라이 곡선을 도시한 것이다.
- [40] 도 9는 더미 읽기 안정성에 대해 6T SRAM 셀과 본 발명의 일 실시 예에 따른 8T SRAM 셀을 비교한 결과를 나타낸 것이다
- [41] 도 10a 및 도 10b는 각각 6T 및 본 발명의 일 실시 예에 따른 8T SRAM 셀의 데이터 쓰기 능력을 나타낸 것이다.
- [42] 도 11은 쓰기 안정성에 대해 6T SRAM 셀과 본 발명의 일 실시 예에 따른 8T SRAM 셀을 비교한 결과를 나타낸 것이다.

발명의 실시를 위한 최선의 형태

- [43] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [44] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [45] 본 명세서에서 사용된 "제1," "제2," 등의 표현들은 다양한 구성요소들을, 순서 및/또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다. 예를 들면, 제1 전압과 제2 전압은, 순서 또는 중요도와 무관하게, 서로 다른 전압을 나타낼 수 있다. 예를 들면, 본 문서에 기재된 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 바꾸어 명명될 수 있다.
- [46] 본 명세서에서, “가진다”, “가질 수 있다”, “포함한다” 또는 “포함할 수 있다” 등의 표현은 해당 특징(예: 수치, 기능, 동작, 또는 부품 등의 구성요소)의

존재를 가리키며, 추가적인 특징의 존재를 배제하지 않는다.

- [47] 본 명세서에서 반도체 메모리 장치는 트랜지스터의 문턱 전압 이하의 전압에서 구동될 수 있다.
- [48] 본 명세서에서 초저전압(ultra-low voltage) 또는 초저 공급전압(ultra-low supply voltage)은 반도체 메모리 장치에 공급되는 전압(V_{DD})으로 트랜지스터의 문턱 전압 이하의 전압으로 정의된다.
- [49] 본 명세서에서 NMOS와 PMOS의 전형적인 문턱전압은 각각 0.5 및 -0.47V으로 정의된다. 하지만, 상술한 NMOS와 PMOS의 문턱전압의 값은 본 발명의 일 실시예를 설명하기 위한 예시일 뿐 이에 한정되는 것은 아니다.
- [50] 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 일 실시예를 상세하게 설명하기로 한다.
- [51] 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 8T SRAM 셀 구조 및 동작방법을 도시한 것이다.
- [52] 도 2a를 참조하면, 본 발명의 일 실시예에 따른 8T SRAM 셀 구조는 종래 6T SRAM 셀 구조에 포함된 액세스 트랜지스터(N3, N4)와 구동 트랜지스터(N1, N2)의 사이에 제3 PMOS 트랜지스터(P3) 및 제4 PMOS 트랜지스터(P4)가 추가된 구조이다.
- [53] 제3 PMOS 트랜지스터(P3)의 일단은 제1 NMOS 트랜지스터(N1)와 연결되고, 타단은 제1 PMOS 트랜지스터(P1)와 연결된다. 제1 회로부는 제1 NMOS 트랜지스터(N1)와 제1 PMOS 트랜지스터(P1)를 포함하는 제1 인버터 및 제3 PMOS 트랜지스터(P3)를 포함한다.
- [54] 제3 PMOS 트랜지스터(P3)는 제1 NMOS 트랜지스터(N1) 일단인 제1 데이터 노드(DN)와 연결될 수 있다.
- [55] 제4 PMOS 트랜지스터(P4)의 일단은 제2 NMOS 트랜지스터(N2)와 연결되고, 타단은 제2 PMOS 트랜지스터(P2)와 연결된다. 제2 회로부는 제2 NMOS 트랜지스터(N2)와 제2 PMOS 트랜지스터(P2)를 포함하는 제2 인버터 및 제4 PMOS 트랜지스터(P4)를 포함한다.
- [56] 제4 PMOS 트랜지스터(P4)는 제2 NMOS 트랜지스터(N2)의 일단인 제2 데이터 노드(/DN)와 연결될 수 있다.
- [57] 본 발명의 일 실시예에서 제1 데이터 노드(DN)의 전위가 'high'(통상 V_{DD})일 때 메모리 셀에는 논리값 '1'이, 제1 데이터 노드(DN)의 전위가 'low'(통상 V_{SS} 또는 접지)일 때는, 메모리 셀에 논리값 '0'이 저장된 것을 의미한다. 본 발명의 일 실시예에 따른 반도체 메모리 장치에서 두 인버터가 래치로 연결된 형태이기 때문에 제1 데이터 노드(DN)와 제2 데이터 노드(/DN)는 상호 반전된 데이터를 유지할 수 있다. 예를 들면, 제1 데이터 노드(DN)에 논리값 '0'이 기입되면 제2 데이터 노드(/DN)에는 논리값 '1'이 기입될 수 있고, 제1 데이터 노드(DN)에 논리값 '1' 기입되면 제2 데이터 노드(/DN)에는 논리값 '0'이 기입될 수 있다.
- [58] 제3 및 제4 PMOS 트랜지스터(P3, P4)의 게이트 단자는 각각 열방향

- 보조라인(CAL: Column wise Assist Line, 이하 CAL이라 함)에 연결된다. 따라서, 열방향 보조라인은 제3 및 제4 PMOS 트랜지스터(P3, P4)를 제어할 수 있다.
- [59] 도 2b는 대기 모드, 읽기 액세스, 쓰기 액세스에서의 셀 바이어스를 나타낸 것이다.
- [60] 도 2b를 참조하면, 대기모드(Standby)에서 제1 및 제2 비트라인(BL, /BL)의 전압은 기 설정된 전압으로 프리차지될 수 있고, CAL 및 워드라인(WL)의 전압은 접지에 연결될 수 있다. 제1 및 제2 비트라인의 기 설정된 전압은 공급전압(V_{DD})일 수 있다. 단, 제1 및 제2 비트라인의 전압이 상술한 값에 한정되는 것은 아니다.
- [61] CAL의 전압이 접지에 연결되면 제3 및 제4 PMOS 트랜지스터는 상시 온 상태를 유지할 수 있다. 따라서, 셀에서 교차결합 된 제1 인버터(P1-N1) 및 제2 인버터(P2-N2)는 상호 반전된 데이터를 유지할 수 있다.
- [62] 제1 인버터와 제2 인버터가 래치 형태로 연결되어 있기 때문에 발생할 수 있는 읽기 교란(read disturbance)은 초저전압이 반도체 메모리 장치에 공급되는 경우 기존보다 더 쉽게 발생할 수 있다. 또한, 제1 및 제2 NMOS 트랜지스터의 문턱 전압은 서로 다른 값을 가질 수 있다. 따라서, 반도체 메모리 장치에 공급되는 전압인 초저전압이 제1 NMOS 트랜지스터의 문턱 전압과 제2 NMOS 트랜지스터의 문턱 전압 사이일 때 문제가 될 수 있다.
- [63] 본 발명의 일 실시 예에 따라 읽기 동작(read)에서, CAL의 전압은 읽기 교란 및 상술한 문제를 방지하기 위해 제3 및 제4 PMOS 트랜지스터(P3, P4)가 턴 오프 되도록 제1 양전압으로 상승될 수 있다. 본 발명의 일 실시 예에서, 제1 양전압은 공급전압(V_{DD})일 수 있다. 셀을 읽는 동안, CAL에 의해 제3 및 제4 PMOS 트랜지스터가 턴 오프 되면 데이터 노드 쌍(DN, /DN)은 비트라인 쌍(BL, /BL)과 분리될 수 있다. 따라서, 8T SRAM 셀은 내부에 저장된 데이터가 방해 받지 않으면서 읽기 메커니즘을 제공할 수 있다. 즉, 읽기 교란(read disturbance)이 제거될 수 있다.
- [64] CAL의 전압이 제1 양전압으로 상승되고, 대기모드에서 기 설정된 전압으로 프리차지된 제1 및 제2 비트라인(BL, /BL)의 전압이 접지로 방전될 수 있다. 제1 및 제2 비트라인의 전압이 접지로 방전된 후, 초저전압에서 읽기 동작이 수행되기 위해 워드라인(WL)에는 반도체 메모리에 공급되는 전압보다 기 설정된 크기만큼 부스팅 된 전압이 공급될 수 있다. 본 발명의 일 실시 예에서 상술한 기 설정된 크기만큼 부스팅 된 전압은 $V_{pp}(=1.3V_{DD})$ 일 수 있다. 단, V_{pp} 는 상술한 값에 한정되는 것은 아니다. 따라서, 워드라인(WL)에 공급된 전압에 의해 제3 및 제4 NMOS 트랜지스터는 턴 온 될 수 있다. 제3 및 제4 NMOS 트랜지스터가 턴 온 되면서, 비트라인 쌍(BL, /BL) 중 하나는 데이터 노드(DN, /DN)의 데이터에 따라 충전될 수 있다.
- [65] 예를 들면, 제1 데이터 노드(DN)에 논리값 '1'이 저장되고 제2 데이터 노드(/DN)에 논리값 '0'이 저장되어 있으면 제1 PMOS 및 제2 NMOS

트랜지스터는 턴 오프 되고, 제2 PMOS 및 제1 NMOS 트랜지스터는 턴 온 될 수 있다. 따라서, PMOS 트랜지스터 중 제2 PMOS 트랜지스터만 턴 온 되므로 읽기 경로가 생성되어 제2 PMOS 트랜지스터 및 제4 NMOS 트랜지스터를 통해 읽기-셀 전류(read-cell current, I_{CELL})가 제2 비트라인(/BL)으로 흐를 수 있다. 따라서, SRAM은 DRAM과 같이 이용될 수 있다. 읽기-셀 전류로 인해 제2 비트라인(/BL)의 전압 변화가 일어날 수 있다. 반면에, 제1 PMOS 및 제3 PMOS 트랜지스터는 턴 오프 되므로 제1 비트라인(BL)으로 전류가 흐를 수 없다. 따라서, 제1 비트라인(BL)의 경우는 전압 변화가 일어날 수 없어 접지 상태가 유지될 수 있다.

[66] 제1 데이터 노드(DN)에 논리값 '0'이 저장되고 제2 데이터 노드(/DN)에 논리값 '1'이 저장되어 있으면, 상술한 바와 반대로 읽기-셀 전류(read-cell current, I_{CELL})는 제1 PMOS 및 제3 NMOS 트랜지스터를 통해 제1 비트라인(BL)로 흐를 수 있다. 따라서, 읽기-셀 전류로 인해 제1 비트라인(BL)의 전압 변화가 일어날 수 있다. 반면에, 제2 비트라인(/BL)으로는 전류가 흐를 수 없어 제2 비트라인(/BL)의 전압 변화는 일어날 수 없다.

[67] 따라서, 셀에 데이터 논리값 '1'이 저장되어 있을 경우 제1 비트라인(BL)으로 전류가 흐르지 않아 제1 비트라인(BL)의 전압은 변화가 없고, 셀에 데이터 논리값 '0'이 저장되어 있을 경우 제1 비트라인(BL)으로 전류가 흘러 제1 비트라인(BL)의 전압은 변화가 일어날 수 있다. 따라서, 제1 비트라인(BL)의 전압에 기초하여 데이터 읽기 동작이 수행될 수 있고, 셀에 저장된 데이터 논리값이 '0' 인지 '1' 인지가 판별될 수 있다.

[68] 상술한 제1 비트라인(BL) 및 제2 비트라인(/BL)의 전압 차이는 감지 증폭기(SA)에 의해 감지되어 풀 스윙 신호로 증폭될 수 있고, 데이터 판별이 이루어질 수 있다.

[69] 읽기 동작이 이루어진 후, 워드라인(WL)의 전압이 접지 상태로 돌아가서 제3 및 제4 NMOS 트랜지스터는 다시 턴 오프 될 수 있고, CAL의 전압도 접지 상태로 돌아가서 제3 및 제4 PMOS 트랜지스터도 턴 온 될 수 있다. 따라서, 상호 교차 결합된 인버터 쌍(P1-N1, P2-N2)의 양의 피드백은 각각의 데이터 상태를 복구할 수 있다.

[70] 쓰기 동작(write)에서, CAL의 전압은 제3 및 제4 PMOS 트랜지스터가 턴 온 되도록 음전압으로 하강될 수 있다. 본 발명의 일 실시 예에서, 음전압은 NV_{GG} ($=-0.9V_{DD}$)일 수 있다. 단, NV_{GG} 는 상술한 값에 한정되는 것은 아니다.

[71] 본 발명의 일 실시 예에 따른 쓰기 동작의 예를 들면, 초기에 제1 데이터 노드(DN)의 전압은 공급전압(V_{DD}), 제2 데이터 노드(/DN)의 전압은 0[V]라고 가정할 수 있다. 따라서, 제1 PMOS 및 제2 NMOS 트랜지스터는 턴 온 될 수 있고, 제2 PMOS 및 제1 NMOS 트랜지스터는 턴 오프 될 수 있다. 제1 데이터 노드(DN)에 논리값 '0'이 기입되려면 제1 비트라인(BL)의 전압은 접지로, 제2 비트라인(/BL)의 전압은 공급전압(V_{DD})으로 설정될 수 있다.

- [72] 비트라인 쌍(BL, /BL)의 전압이 설정된 후 초저전압에서 쓰기 동작이 수행되기 위해 워드라인(WL)의 전압에는 반도체 메모리에 공급되는 전압보다 기 설정된 크기만큼 부스팅 된 전압이 인가될 수 있다. 본 발명의 일 실시 예에서, 기 설정된 크기만큼 부스팅 된 전압은 $V_{PP}(=1.3V_{DD})$ 일 수 있다. 단, V_{PP} 는 상술한 값에 한정되는 것은 아니다. 따라서, 워드라인(WL)에 인가된 전압에 의해 제3 및 제4 NMOS 트랜지스터가 턴 온 될 수 있다. 제3 NMOS 트랜지스터가 턴 온 되면서, 제1 비트라인(BL)의 전압에 의해 노드 PN의 전압은 공급전압(V_{DD})에서 접지로 방출될 수 있다.
- [73] 제3 및 제4 PMOS 트랜지스터의 게이트는 음의 전압으로 바이어스되기 때문에 제1 데이터 노드(DN)는 쉽게 공급전압(V_{DD})으로부터 접지로 방출될 수 있다. 제1 데이터 노드(DN)의 전압 강하는 인버터(MP2-MN2)를 트리거 시킬 수 있다. 셀 내부의 양의 피드백이 셀의 내용을 변화시킬 수 있다.
- [74] 상술한 경우와 반대로 초기에 제1 데이터 노드(DN)의 전압이 0[V], 제2 데이터 노드(/DN)의 전압이 공급전압(V_{DD})으로 가정할 수 있다. 제1 데이터 노드(DN)에 논리값 '1'이 기입되려면 제1 비트라인(BL)의 전압은 공급전압(V_{DD})으로, 제2 비트라인(/BL)의 전압은 접지로 설정될 수 있다. 제2 비트라인(/BL)의 전압에 의해 노드 /PN의 전압은 공급전압(V_{DD})에서 접지로 방출될 수 있고, 제4 PMOS 트랜지스터의 게이트는 음의 전압으로 바이어스 되기 때문에 제2 데이터 노드(/DN)는 쉽게 공급전압(V_{DD})으로부터 접지로 방출될 수 있다. 따라서, 제2 데이터 노드(/DN)의 전압 변화에 의해 제1 회로부는 플립될 수 있고, 제1 데이터 노드(DN)에는 논리값 '1'이 기입될 수 있다.
- [75] 따라서, 제1 및 제2 비트라인(BL, /BL)에 인가되는 전압에 기초하여 제1 데이터 노드(DN)의 논리값이 '0' 또는 '1'로 기입될 수 있다.
- [76] 도 3 및 도 4는 본 발명의 일 실시 예에 따른 8T SRAM 셀의 메모리 블록을 나타낸 것이다.
- [77] 자세하게는, 도 3은 본 발명의 일 실시 예에 따른 8T SRAM 셀을 통합하는 메모리 블록의 논리적 및 물리적 구조를 나타낸 것이고, 도 4는 읽기 또는 쓰기 액세스 중 메모리 블록에서 8T SRAM 셀들의 상태를 나타낸 것이다.
- [78] 본 발명의 일 실시 예에 따른 반도체 메모리 장치는 일렬로 배열될 수 있고 워드라인에 연결된 복수의 8T SRAM 셀이 포함될 수 있으며, 복수의 SRAM 셀 각각은 서로 다른 비트라인 쌍(BL, /BL) 및 열방향 보조라인(CAL)과 연결될 수 있다.
- [79] 도 3을 참조하면, 8T SRAM 셀을 통합하는 메모리 블록은 256개의 워드라인들과 128개의 비트라인 쌍들을 포함하는 32-Kbit 메모리 어레이(memory array) 일 수 있다. 256개의 워드라인들은로우 디코더(row decoder)에 의해 구동될 수 있다.
- [80] 각각의 워드라인은 128 비트가 선택될 수 있는데, 선택된 128 비트 중 8 비트는 16:1 열 다중화(column multiplexing)에 의해 선택될 수 있다. 워드라인은 8

- 어드레스 비트들에 의해 선택될 수 있다.
- [81] 메모리 어레이 내부에는 감지 증폭기(SA), 접지 방전기(ground discharger), 열 게이트(column gate) 및 열 신호 드라이버(column signal driver)가 하단에 위치될 수 있고, CAL 드라이버와 공급전압(VDD) 프리차저(precharger)는 어레이의 다른 쪽에 위치될 수 있다.
- [82] CAL 드라이버는 비트라인 쌍(BL, /BL)과 평행하게 운영되는 CAL 신호를 제어할 수 있고, 8개의 CAL 신호를 공통으로 제공할 수 있다.
- [83] 나머지 핵심 회로인 BSA(block sense amplifier) 및 WDR(write driver)는 기존의 SRAM과 동일하다.
- [84] 각 읽기 또는 쓰기 액세스에서, 열 신호 드라이버와 열 어드레스에 의해 디코딩된 CAL 드라이버는 8개의 인터리브된 열만을 활성화시킬 수 있다.
- [85] 반면에, 도 4를 참조하면 선택된 행의 나머지 열들로부터의 셀들은 비트라인 쌍(BL, /BL) 및 CAL의 전압이 각각 공급전압(V_{DD}) 및 접지로 유지되어 더미 읽기 동작이 수행될 수 있다.
- [86] 본 발명의 일 실시 예에 따른 읽기 동작에서, 서로 다른 열방향 보조라인 중 하나의 열방향 보조라인이 제1 양전압으로 상승 및 서로 다른 비트라인 쌍 중 한 쌍의 비트라인이 접지 상태로 변경될 수 있고, 나머지 열방향 보조라인이 접지 상태 및 나머지 비트라인 쌍이 제2 양전압 상태로 유지되어 더미 읽기가 방지될 수 있다. 제1 양전압과 제2 양전압은 동일한 전압일 수 있고, 제1 양전압은 공급전압(V_{DD})일 수 있다. 단, 제1 양전압 및 제2 양전압은 상술한 값에 한정되는 것은 아니다.
- [87] 또한, 본 발명의 일 실시 예에 따른 반도체 메모리 장치는 읽기 동작에서, 선택된 메모리 셀의 워드라인(WL) 전압이 반도체 메모리에 공급되는 전압보다 기 설정된 크기만큼 부스팅된 전압으로 상승되면, 액세스 트랜지스터(N3, N4)의 채널 컨덕턴스(channel conductance) 증가가 일어날 수 있다. 채널 컨덕턴스의 증가로 비트라인 쌍(BL, /BL) 중 어느 하나의 비트라인에서 메모리 셀로 흐르는 셀 전류가 증가될 수 있다. 따라서, 셀 전류의 증가로 SRAM의 액세스 시간이 줄어들 수 있다. 또한, 상술한 셀 전류의 증가는 쓰기 동작에서도 적용되어 쓰기 시간이 길어지는 현상도 방지될 수 있다.
- [88] 도 5a는 본 발명의 일 실시 예에 따른 8T SRAM 셀의 읽기 동작에 대한 신호 파형을 나타낸 것이다.
- [89] 도 5a를 참조하면, 공급전압(V_{DD})은 0.4[V]이고, 가로축은 시간, 세로축은 전압[V]을 나타낸 것이다. 공급전압(V_{DD}) 프리차지가 디스에이블된 후, CAL의 전압이 양전압까지 끌어올려지면서 읽기 동작이 개시될 수 있다. 본 발명의 일 실시 예에서 CAL의 양전압은 공급전압(V_{DD})일 수 있다.
- [90] CAL의 전압이 공급전압(V_{DD})까지 상승된 후, 대기모드에서 기 설정된 전압으로 프리차지된 제1 및 제2 비트라인 전압이 접지로 방전될 수 있다. 제1 및 제2 비트라인의 기 설정된 전압은 공급전압(V_{DD})일 수 있다. 단, 제1 및 제2

비트라인의 전압이 상술한 값에 한정되는 것은 아니다. 제1 및 제2 비트라인 전압이 접지로 방전된 후, 워드라인(WL)의 전압은 반도체 메모리에 공급되는 전압보다 기 설정된 크기만큼 부스팅 된 전압(V_{PP})으로 상승될 수 있다. 본 발명의 일 실시 예에서 반도체 메모리에 공급되는 전압은 트랜지스터의 문턱 전압 이하일 수 있고, V_{PP} 는 0.52V 일 수 있다. 단, 상술한 값은 본 발명의 일 실시 예일 뿐 이에 한정되는 것은 아니다. 워드라인(WL)의 전압이 V_{PP} 레벨로 상승되면, 저장된 상태에 따라 읽기 셀 전류(read-cell current, I_{CELL})가 흐를 수 있다.

- [91] 본 발명의 일 실시 예로 제1 데이터 노드(DN)의 논리값이 '0'이고, 제2 데이터 노드(DN)의 논리값이 '1'이면 I_{CELL} 은 제2 PMOS(P2)로부터 제4 NMOS(N4)를 통해 제2 비트라인(/BL)으로 흐를 수 있다. I_{CELL} 이 제2 비트라인으로 흐르면서, 제2 비트라인(/BL)의 전압은 접지보다 높은 양전압으로 상승될 수 있다. 따라서, 제1 비트라인(BL)의 전압은 접지 상태로 유지되고, 제2 비트라인(/BL)의 전압은 제1 비트라인(BL)의 전압보다 상승되면서 제1 비트라인(BL)과 제2 비트라인(/BL)의 전압의 차이가 발생될 수 있다.
- [92] 본 발명의 또 다른 일 실시 예로 상술한 바와 반대의 경우에도 적용될 수 있다. 제1 데이터 노드(DN)의 논리값이 '1'이고, 제2 데이터 노드(DN)의 논리값이 '0'이면 I_{CELL} 은 제1 PMOS(P1)로부터 제3 NMOS(N3)를 통해 제1 비트라인(BL)으로 흐를 수 있다. 따라서, 제2 비트라인(/BL)의 전압은 접지 상태로 유지되고, 제1 비트라인(BL)의 전압은 제2 비트라인(/BL)의 전압보다 상승되면서 제1 비트라인(BL)과 제2 비트라인(/BL)의 전압의 차이가 발생될 수 있다.
- [93] 상술한 제1 비트라인(BL) 및 제2 비트라인(/BL)의 전압 차이는 감지 증폭기(SA)에 의해 감지되어 풀 스윙 신호로 증폭될 수 있다.
- [94] 워드라인(WL)의 전압이 다시 접지로 스위칭 되면서 읽기 동작이 끝날 수 있다. 읽기 동작이 끝나면, CAL의 전압은 접지로 복귀되고, 제1 비트라인(BL)과 제2 비트라인(/BL)의 전압은 모두 기 설정된 전압으로 프리차지 될 수 있다. 제1 및 제2 비트라인의 기 설정된 전압은 공급전압(V_{DD})일 수 있다. 단, 제1 및 제2 비트라인의 전압이 상술한 값에 한정되는 것은 아니다.
- [95] 도 5b는 본 발명의 일 실시 예에 따른 8T SRAM 셀의 쓰기 동작에 대한 신호 파형을 도시한 것이다.
- [96] 도 5b를 참조하면, 공급전압(V_{DD})은 0.4[V]이고, 가로축은 시간, 세로축은 전압[V]을 나타낸 것이다. 공급전압(V_{DD}) 프리차지가 디스에이블 된 후, CAL의 전압이 음전압으로 풀 다운되면서 읽기 동작이 개시될 수 있다. CAL의 전압이 음전압으로 풀 다운 된 후, 비트라인 쌍(BL, /BL) 중 어느 하나의 비트라인의 전압이 공급전압(V_{DD})에서 접지로 방출될 수 있다. 따라서, 제1 비트라인(BL)과 제2 비트라인(/BL)의 전압의 차이는 V_{DD} 가 될 수 있다. 비트라인 쌍(BL, /BL) 중 어느 하나의 비트라인의 전압이 접지로 방출된 후, 워드라인(WL)의 전압이

부스팅 된 양전압(V_{PP})으로 상승되면서 제3 및 제4 NMOS 트랜지스터가 턴 온 될 수 있다. 본 발명의 일 실시 예에서 CAL의 전압은 $-0.36V$ 일 수 있고, V_{PP} 는 $0.52V$ 일 수 있다. 단, CAL의 전압 및 V_{PP} 는 상술한 값에 한정되지 않는다.

- [97] 워드라인(WL)이 온으로 활성화 될 때, 셀 데이터 노드(DN 및 /DN)는 원래 상태에서 다른 상태로 즉시 플립될 수 있다.
- [98] 워드라인(WL)의 전압이 다시 접지로 스위칭 되면서 쓰기 동작이 끝날 수 있다. 쓰기 동작이 끝나면, CAL의 전압은 접지로 복귀되고, 제1 비트라인(BL)과 제2 비트라인(/BL)의 전압은 모두 공급전압(V_{DD})으로 프리차지 될 수 있다.
- [99] 도 6a 및 도 6b는 각각 6T 및 본 발명의 일 실시 예에 따른 8T SRAM 셀의 레이아웃을 나타낸 것이다.
- [100] 본 발명의 일 실시 예에서는 다양한 SRAM 안정성 메트릭의 비교를 위해, 종래의 6T SRAM 및 8T SRAM은 180nm 로직 CMOS 기술로 구현될 수 있다.
- [101] 도 6a를 참조하면, 종래의 6T SRAM 셀의 경우, 구동 트랜지스터(N1, N2)의 폭은 420nm, 다른 트랜지스터들의 폭은 220nm 일 수 있다.
- [102] 도 6b를 참조하면, 본 발명의 일 실시 예에 따른 8T SRAM 셀의 경우, 액세스 트랜지스터(N3, N4)의 폭은 420nm, 다른 트랜지스터들의 폭은 220nm 일 수 있다.
- [103] 6T 및 8T SRAM 셀에서 모든 디바이스들은 셀 면적을 최소화하기 위한 최소 채널 길이는 180nm 일 수 있다. 단, 상술한 값들은 본 발명의 일 실시 예로 이에 한정되는 것은 아니다.
- [104] 본 발명의 실시 예에 따른 8T SRAM 셀은 종래의 6T SRAM 셀과 대비하여 44% 더 많은 면적을 차지할 수 있다. 65nm, 45nm 또는 그 이상으로 집적화된 CMOS 기술에서, 6T SRAM 셀과 8T SRAM 셀이 동일한 방식으로 집적화될 것이므로 면적 오버헤드는 동일한 정도로 남아있을 수 있다.
- [105] 도 7은 종래의 6T SRAM 셀의 읽기 동작을 위한 버터 플라이 곡선을 도시한 것이다.
- [106] 정적 잡음 여유(Static Noise Margin, SNM)는 읽기 동작 동안 셀의 상태를 유지할 수 있는 능력의 일반적인 척도를 의미한다. SNM은 곡선에서 최대 정사각형의 한 변의 길이에 해당한다. 최대 정사각형은 2개의 상태 전이 곡선 사이 공간 내에서 만들 수 있는 최대 크기의 정사각형을 의미한다.
- [107] 도 7을 참조하면, 가로축은 제1 데이터 노드(DN)의 전압, 세로축은 제2 데이터 노드(/DN)의 전압을 나타낸다. 공급전압(V_{DD})= $0.4[V]$ 및 실온의 조건에서, 6T SRAM 셀의 SNM은 92[mv] 일 수 있다. 단, 상술한 값은 본 발명의 일 실시 예로 이에 한정되는 것은 아니다.
- [108] 반면에, 본 발명의 일 실시 예에 따른 8T SRAM 셀의 읽기 동작은 CAL의 전압이 제1 양전압으로 상승되면서 수행될 수 있다. 본 발명의 일 실시 예에서 제1 양전압은 공급전압(V_{DD} = $0.4[V]$) 일 수 있다. 단, 상술한 값은 본 발명의 일 실시 예일 뿐 이에 한정되는 것은 아니다. 따라서, CAL의 전압이 제1 양전압으로 유지되므로 제3 및 제4 PMOS 트랜지스터는 턴 오프 될 수 있다.

- [109] 제3 및 제4 PMOS 트랜지스터가 턴 오프 되면 제1 및 제3 NMOS 트랜지스터로 전류가 흐르지 않게 되므로 제1 데이터 노드(DN)는 제1 비트라인(BL)으로부터, 제2 데이터 노드(/DN)는 제2 비트라인(/BL)으로부터 분리될 수 있다. 따라서, 읽기 실패 가능성은 줄어들 수 있고 읽기 동작 여유는 상승될 수 있다. 즉, 읽기 동작은 읽기 교란(read disturbance)의 영향 없이 수행될 수 있다.
- [110] 도 8a 및 도 8b는 읽기 또는 쓰기 액세스 동안 각각 종래 6T 및 본 발명의 일 실시 예에 따른 8T SRAM 셀의 더미 읽기 동작을 위한 버티플라이 곡선을 도시한 것이다.
- [111] 본 발명의 일 실시 예로 초기에 제1 데이터 노드(DN)의 전압은 접지, 제2 데이터 노드(/DN)의 전압은 양전압(V_{DD})인 상태일 수 있다. 상술한 상태에서, 워드라인(WL)의 전압이 부스팅 된 전압인 V_{PP} , 제1 및 제2 비트라인의 전압이 양전압인 V_{DD} 가 되면, 제1 데이터 노드(DN)의 전압은 접지에서 양전압(V_{DD})으로 상승될 수 있다. 제1 데이터 노드(DN)의 전압이 양전압(V_{DD})으로 상승되면, 제2 데이터 노드(/DN)의 전압은 양전압(V_{DD})에서 접지로 전이될 수 있다. 제1 및 제2 데이터 노드의 전압이 변하는 시간 동안, 제4 PMOS 트랜지스터(P4)에서 추가적인 전압 강하로 8T SRAM 셀의 제2 데이터 노드(/DN)의 전압은 접지보다 더 낮아질 수 있다. 상술한 특징은 강인한 SRAM 셀 설계를 위해 필수적인 전압 전달 특성을 제공할 수 있다.
- [112] 도 8a를 참조하면, 공급전압(V_{DD})=0.4[V] 및 25°C 에서 종래 6T SRAM 셀의 더미 읽기 SNM은 92[mV]로 도 7에 도시된 6T SRAM 셀의 읽기 SNM과 같다.
- [113] 도 8b를 참조하면, 공급전압(V_{DD})=0.4[V] 및 25°C 에서 본 발명의 일 실시 예에 따른 8T SRAM 셀의 더미 읽기 SNM은 146[mV]를 나타낸다.
- [114] 따라서, 8T SRAM 셀의 더미 읽기 SNM은 6T SRAM 셀 보다 약 58.7% 더 높을 수 있다. 또한, 공급전압(V_{DD})=0.5[V] 또는 0.3[V]인 경우에서도 8T SRAM 셀의 더미 읽기 SNM이 6T SRAM 셀의 더미 읽기 SNM보다 더 높다. 단, 상술한 값은 본 발명의 일 실시 예로 이에 한정되는 것은 아니다.
- [115] 도 9는 더미 읽기 안정성에 대해 종래 6T SRAM 셀과 본 발명의 일 실시 예에 따른 8T SRAM 셀을 비교한 결과를 나타낸 것이다.
- [116] 도 9를 참조하면, 프로세스 파라미터들은 3-시그마(3σ) 변동성을 갖는다. TT는 일반적-NMOS, 일반적-PMOS, FS는 패스트-NMOS, 슬로우-PMOS, SF는 슬로우-NMOS, 패스트-PMOS, SS는 슬로우-NMOS, 슬로우-PMOS, FF는 패스트-NMOS, 패스트-PMOS를 의미한다. 상술한 패스트(fast)와 슬로우(slow)는 트랜지스터의 동작속도를 의미한다.
- [117] 본 발명의 일 실시 예에 따른 8T SRAM 셀의 더미 읽기 SNM은 종래 6T SRAM 셀에 비해 전형적인 경우(TT, 25°C) 약 58.7% 높았고, 최악 전력(FF, -40°C) 조건에서는 약 155%, 최악 속도(SS, 85°C) 조건에서는 약 28% 더 높았다.
- [118] 특정한 FS 코너에서, 셀 인버터의 논리 문턱전압은 감소될 수 있고 그에 따라 안정성이 악화될 수 있다.

- [119] 본 발명의 일 실시 예에 따라 공급전압(V_{DD})이 0.4[V] 및 실온의 조건에서 극단적 코너(TT, FS) 간의 더미 읽기 정적 잡음 여유(SNM)의 편차는 종래 6T SRAM 셀에서 약 50[mV]의 차이가 나타났지만, 본 발명의 일 실시 예에 따른 8T SRAM 셀에서는 약 25[mV]의 차이만이 나타났다. 따라서, 도 9의 결과는 향상된 프로세스 변동 내성을 의미한다.
- [120] 도 10a 및 도 10b는 각각 6T 및 본 발명의 일 실시 예에 따른 8T SRAM 셀의 데이터 쓰기 능력을 나타낸 것이다.
- [121] 데이터 쓰기 능력은 셀 기입이 얼마나 쉬운지 또는 어려운지를 나타낼 수 있다. 도 10a 및 도 10b를 참조하면, 가로축은 제1 비트라인(BL)의 전압을, 세로축은 제1 및 제2 데이터 노드(DN, /DN)의 전압을 나타낸 것이다.
- [122] 본 발명의 일 실시 예에서 워드라인(WL)의 전압이 부스팅 된 양전압이면서, 제1 비트라인(BL) 전압이 공급전압(V_{DD})에서 더 낮은 전압으로 스위칭될 때 셀 내용이 플립되도록 하는 제1 비트라인(BL)의 전압을 쓰기 여유(WM)로 정의한다. 셀 기입은 제1 비트라인(BL)의 전압이 클수록 용이해진다.
- [123] 공급전압(V_{DD})이 0.4[V] 및 25°C 조건에서 종래 6T SRAM 셀의 쓰기 여유(WM)는 약 48.9[mV]로 측정되었지만, 본 발명의 일 실시 예에 따른 8T SRAM 셀에서의 쓰기 능력은 약 180[mV]로 측정되었다. 따라서, 8T SRAM 셀의 쓰기 능력은 6T SRAM 셀에 비해 약 3.68배 더 높다는 것을 보여준다.
- [124] 또한, 공급전압(V_{DD})이 0.5[V] 또는 0.3[V] 인 경우에서도 본 발명의 일 실시 예에 따른 8T SRAM 셀의 쓰기 능력이 종래 6T SRAM 셀의 쓰기 능력보다 더 높다는 것을 보여준다.
- [125] 단, 상술한 공급전압(V_{DD}) 및 온도는 본 발명의 일 실시 예로 이에 한정되는 것은 아니다.
- [126] 도 11은 쓰기 안정성에 대해 종래 6T SRAM 셀과 본 발명의 일 실시 예에 따른 8T SRAM 셀을 비교한 결과를 나타낸 것이다.
- [127] 본 발명의 일 실시 예에 따라 초저 공급전압(ultra-low supply voltage)에서 비트 셀이 더 나은 쓰기 능력을 달성할 수 있도록 8T SRAM 셀의 쓰기 동작에서 워드라인(WL)에 부스팅 된 전압이 인가될 수 있다. 따라서, 8T SRAM 셀의 쓰기 여유(WM)는 FS 코너를 제외한 6T SRAM 셀 보다 약 3.68~5.39 배 더 높을 수 있다.
- [128] 특정 FS 조건에서, 액세스 트랜지스터(N3, N4)의 전류 도통 능력은 부하 트랜지스터(P1, P2)에 비해 더 강할 수 있다. 따라서, 8T SRAM 셀 및 6T SRAM 셀의 다른 프로세스 조건보다 FS 조건에서 우수한 쓰기 성능이 제공될 수 있다.
- [129] 공급전압(V_{DD})이 0.4[V] 및 25°C 조건에서 왜곡된 프로세스 코너(FS, SF) 양단의 쓰기 여유(WM)의 변동은 종래 6T SRAM 셀에서 약 184[mV](쓰기 실패)가 나타났는데 비해 본 발명의 일 실시 예에 따른 8T SRAM 셀에서는 약 68[mV]가 나타났다. 따라서, 도 11의 결과는 종래 6T SRAM 셀 보다 본 발명의 일 실시 예에 따른 8T SRAM 셀이 프로세스 변동에도 우수한 성능의 쓰기 여유를 제공할 수

있음을 보여준다. 단, 상술한 공급전압(V_{DD}) 및 온도는 본 발명의 일 실시 예로 이에 한정되는 것은 아니다.

[130] 따라서, 본 발명에 따른 반도체 메모리 장치는 트랜지스터의 문턱 전압 이하의 초저전압에서 동작속도가 빠르면서 전력소모가 적은 메모리가 요구되는 웨어러블(wearable) 및/또는 휴대용 어플리케이션에 적용될 수 있다.

[131] 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

청구범위

- [청구항 1] 반도체 메모리 장치에 있어서,
제1 NMOS 트랜지스터와 제1 PMOS 트랜지스터를 포함하는 제1 인버터 및 일단이 상기 제1 NMOS 트랜지스터와 연결되고, 타단이 상기 제1 PMOS 트랜지스터와 연결되는 제3 PMOS 트랜지스터를 포함하는 제1 회로부;
제2 NMOS 트랜지스터와 제2 PMOS 트랜지스터를 포함하는 제2 인버터 및 일단이 상기 제2 NMOS 트랜지스터와 연결되고, 타단이 상기 제2 PMOS 트랜지스터와 연결되는 제4 PMOS 트랜지스터를 포함하는 제2 회로부;
게이트 단자가 워드라인에 연결되고, 제1 비트라인의 신호를 상기 제1 인버터로 전달하는 제3 NMOS 트랜지스터; 및
게이트 단자가 상기 워드라인에 연결되고, 제2 비트라인의 신호를 상기 제2 인버터로 전달하는 제4 NMOS 트랜지스터;를 포함하는 SRAM 셀을 포함하되,
상기 제1 인버터와 상기 제2 인버터는 상호 교차 결합되고,
상기 제3 PMOS 트랜지스터 및 상기 제4 PMOS 트랜지스터의 게이트 단자는 각각 열방향 보조라인에 연결되며,
상기 워드라인은 상기 제3 및 제4 NMOS 트랜지스터를 구동시키기 위해 읽기 동작 및 쓰기 동작에서 상기 반도체 메모리에 공급되는 전압보다 기 설정된 크기만큼 부스팅 된 전압을 공급하는 반도체 메모리 장치.
- [청구항 2] 제1항에 있어서,
상기 제3 PMOS 트랜지스터는 상기 제1 NMOS 트랜지스터 일단인 제1 데이터 노드와 연결되고,
상기 제4 PMOS 트랜지스터는 상기 제2 NMOS 트랜지스터의 일단인 제2 데이터 노드와 연결되며,
상기 제1 데이터 노드와 상기 제2 데이터 노드는 상호 반전된 데이터를 유지하는 반도체 메모리 장치.
- [청구항 3] 제2항에 있어서,
상기 열방향 보조라인은,
상기 읽기 동작에서 읽기 교란을 방지하기 위해 상기 제3 및 제4 PMOS 트랜지스터가 턴 오프되도록 제1 양전압으로 상승하고, 상기 쓰기 동작에서 상기 제3 및 제4 PMOS 트랜지스터가 턴 온되도록 음전압으로 하강하는 반도체 메모리 장치.
- [청구항 4] 제3항에 있어서,
상기 읽기 동작은,
대기 모드에서 상기 제1 및 제2 비트라인을 기 설정된 전압으로

프리차지하고, 상기 프리차지된 제1 및 제2 비트라인을 접지로 방전시킨 후 상기 제1 비트라인의 전압에 기초하여 데이터 읽기 동작을 수행하는 반도체 메모리 장치.

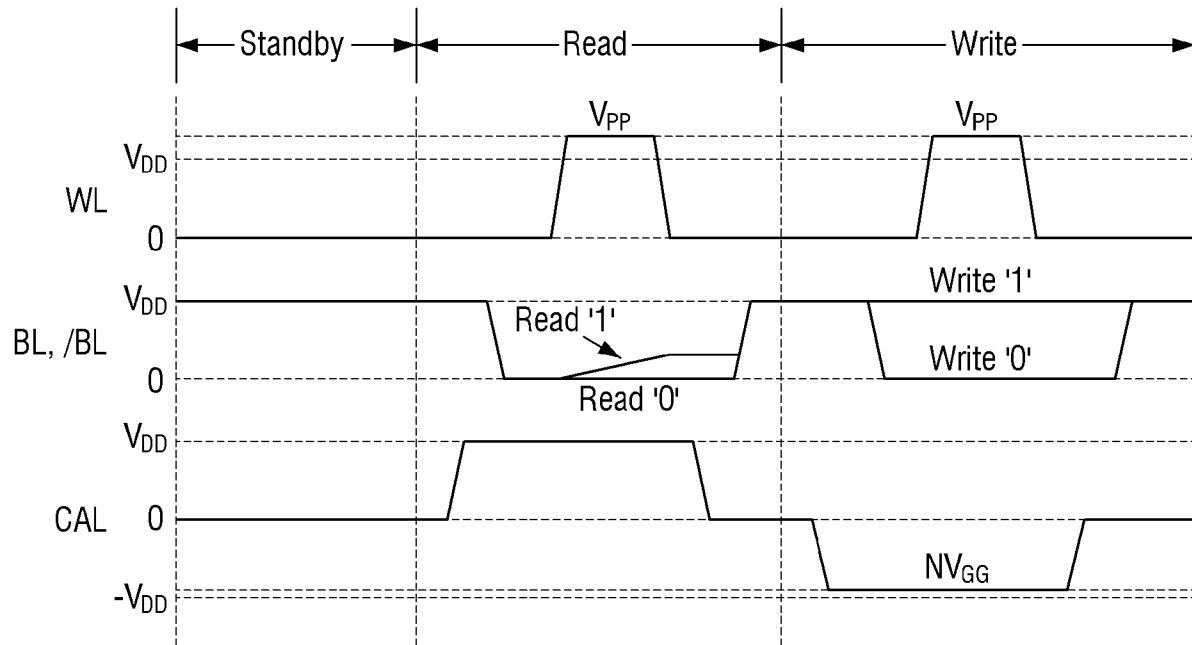
[청구항 5] 제3항에 있어서,
상기 쓰기 동작은,
상기 제1 및 제2 비트라인에 인가되는 전압에 기초하여 상기 제1 데이터 노드의 논리 값을 0 또는 1을 기입하는 반도체 메모리 장치.

[청구항 6] 제3항에 있어서,
상기 반도체 메모리 장치는 일렬로 배열되고 상기 워드라인에 연결된 복수의 상기 SRAM 셀을 포함하고,
상기 복수의 SRAM 셀 각각은 서로 다른 비트라인 쌍 및 열방향 보조라인과 연결되며,
상기 읽기 동작은,
상기 서로 다른 열방향 보조라인 중 하나의 열방향 보조라인을 상기 제1 양전압으로 상승 및 상기 서로 다른 비트라인 쌍 중 한 쌍의 비트라인을 접지 상태로 변경시키고, 나머지 열방향 보조라인을 접지 상태 및 나머지 비트라인 쌍을 제2 양전압 상태로 유지시켜 더미 읽기를 방지하는 반도체 메모리 장치.

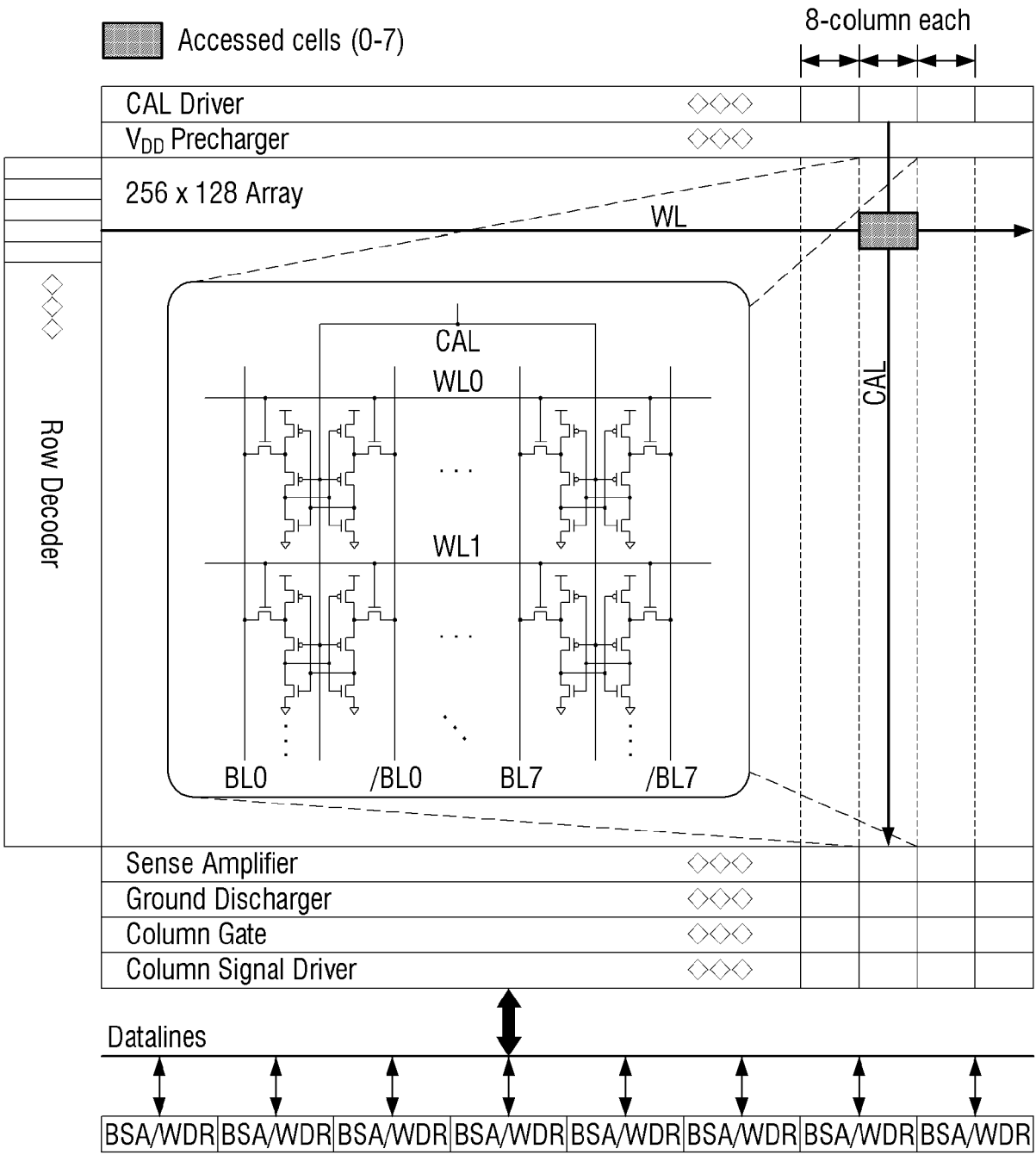
[청구항 7] 제6항에 있어서,
상기 제1 양전압 및 상기 제2 양전압은 동일한 전압인 반도체 메모리 장치.

[청구항 8] 제1항에 있어서,
상기 반도체 메모리에 공급되는 전압은,
상기 트랜지스터의 문턱 전압 이하인 반도체 메모리 장치.

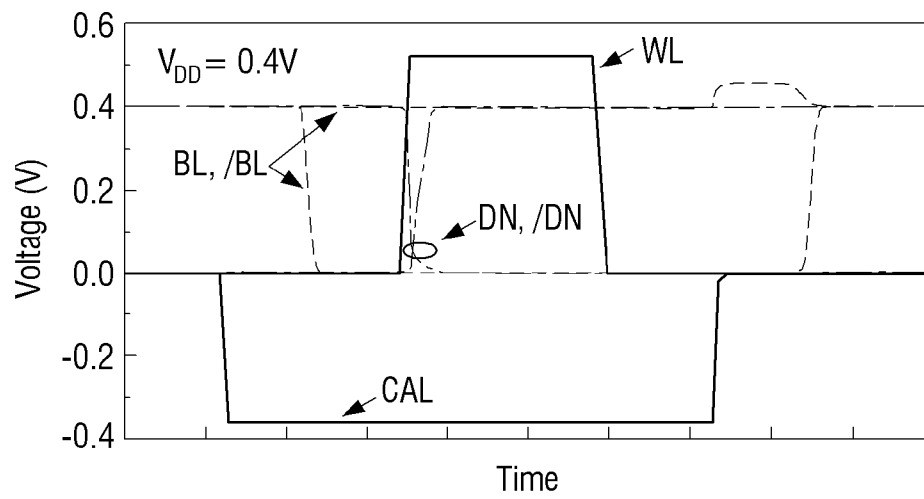
[도2b]



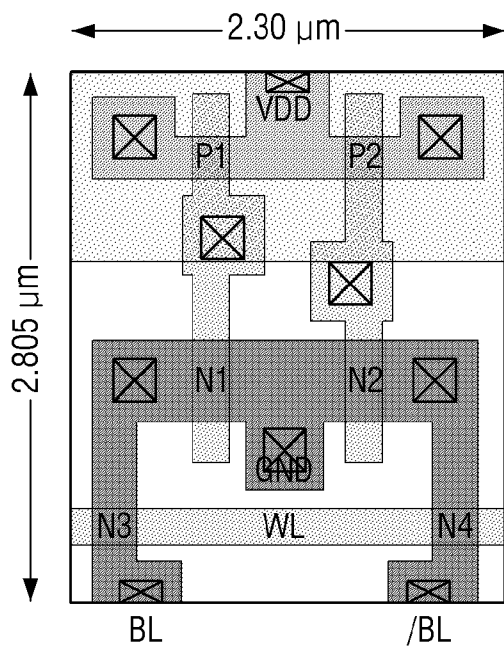
[도3]



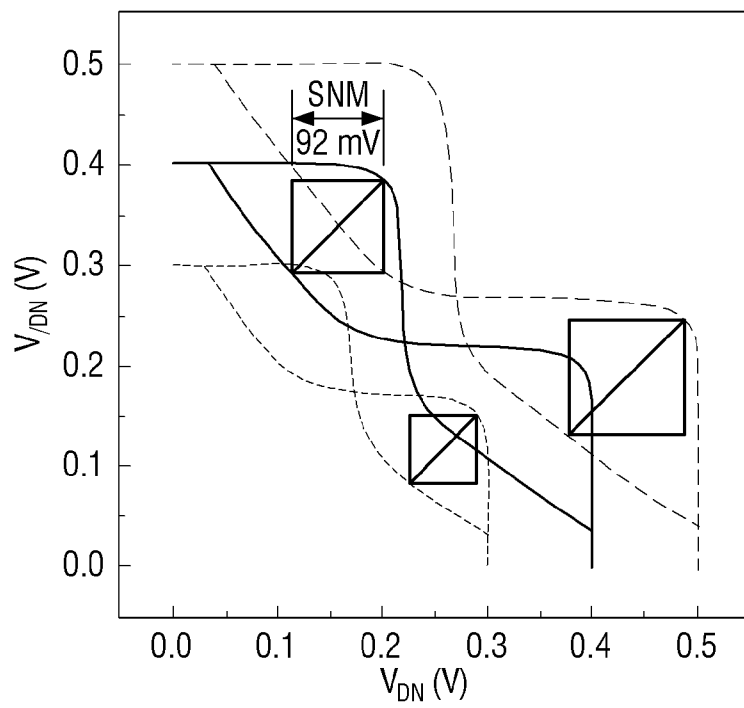
[도5b]



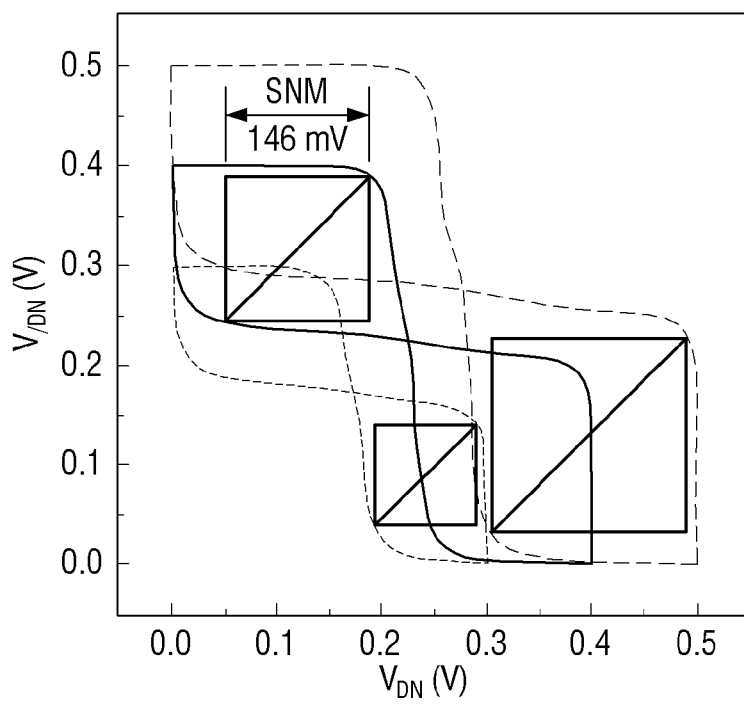
[도6a]



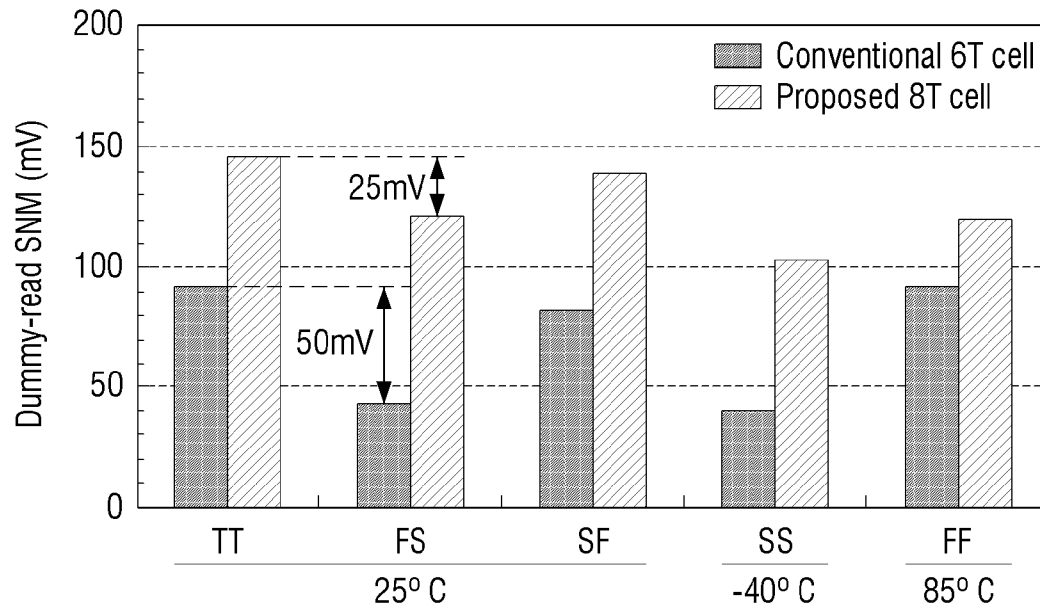
[도8a]



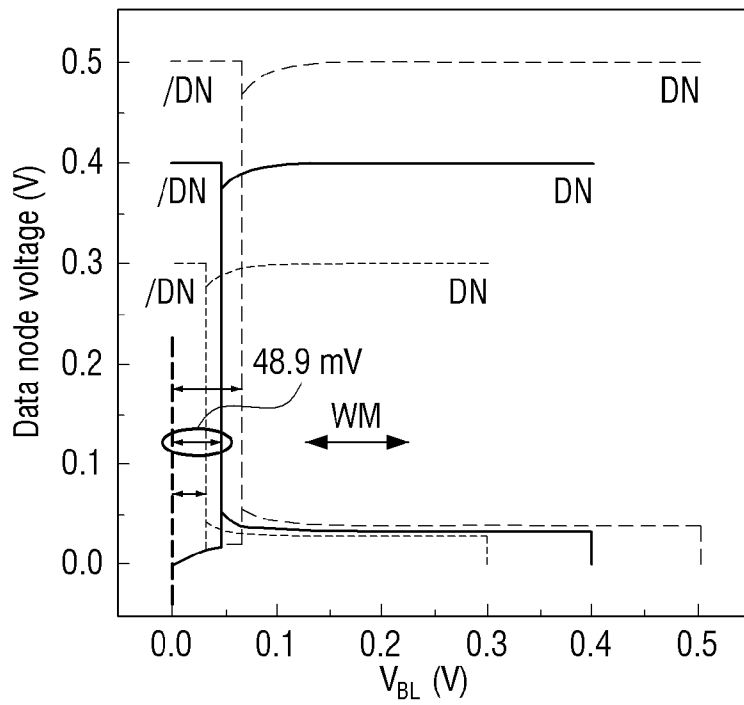
[도8b]



[도9]



[도10a]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2018/010840

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/419(2006.01)i, G11C 7/12(2006.01)i, G11C 8/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C 11/419; G11C 11/413; G11C 11/416; G11C 7/12; G11C 8/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: SRAM, 8T, low voltage, stability

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2016-0093456 A (KYUNGPOOK NATIONAL UNIVERSITY INDUSTRY-ACADEMIC COOPERATION FOUNDATION) 08 August 2016 See claim 1 and figure 2a.	1,2,8
A		3-7
X	CHUNG, Yeon-Bae, "An Advanced Embedded SRAM Cell with Expanded Read/write Stability and Leakage Reduction", Journal of IEEE, Vol. 16, Issue 3, pages 265-273, 2012. See page 266 and figure 2a.	1,2,8
A		3-7
A	KR 10-2014-0120919 A (QUALCOMM INCORPORATED) 14 October 2014 See claims 1-11 and figure 4.	1-8
A	KR 10-2014-0079445 A (QUALCOMM INCORPORATED) 26 June 2014 See claims 1-13 and figure 3.	1-8
A	KR 10-2013-0032823 A (ARM LIMITED) 02 April 2013 See claims 1-11 and figure 1.	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

12 DECEMBER 2018 (12.12.2018)

Date of mailing of the international search report

12 DECEMBER 2018 (12.12.2018)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2018/010840

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2016-0093456 A	08/08/2016	NONE	
KR 10-2014-0120919 A	14/10/2014	CN 104067345 A	24/09/2014
		CN 104067345 B	03/05/2017
		EP 2807649 A1	03/12/2014
		IN 4993CHN2014 A	18/09/2015
		JP 06038956 B2	07/12/2016
		JP 2015-504228 A	05/02/2015
		TW 201346907 A	16/11/2013
		TW 1537945 B	11/06/2016
		US 2013-0188434 A1	25/07/2013
		US 9093125 B2	28/07/2015
		WO 2013-126172 A1	29/08/2013
KR 10-2014-0079445 A	26/06/2014	CN 103875038 A	18/06/2014
		CN 103875038 B	03/05/2017
		EP 2761621 A1	06/08/2014
		IN 1829CHN2014 A	29/05/2015
		JP 05914671 B2	11/05/2016
		JP 2014-528629 A	27/10/2014
		US 2013-0083613 A1	04/04/2013
		US 8824230 B2	02/09/2014
		WO 2013-049763 A1	04/04/2013
KR 10-2013-0032823 A	02/04/2013	TW 201316335 A	16/04/2013
		US 2013-0077416 A1	28/03/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G11C 11/419(2006.01)i, G11C 7/12(2006.01)i, G11C 8/08(2006.01)i																										
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) G11C 11/419; G11C 11/413; G11C 11/416; G11C 7/12; G11C 8/08 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: SRAM, 8T, 저전압, 안정성																										
C. 관련 문헌 <table border="1"> <thead> <tr> <th>카테고리*</th> <th>인용문헌명 및 관련 구절(해당하는 경우)의 기재</th> <th>관련 청구항</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>KR 10-2016-0093456 A (경북대학교 산학협력단) 2016.08.08 청구항 1 및 도 2a 참조.</td> <td>1,2,8</td> </tr> <tr> <td>A</td> <td></td> <td>3-7</td> </tr> <tr> <td>X</td> <td>Yeon-Bae Chung, `An advanced embedded SRAM cell with expanded read/write stability and leakage reduction`, Journal of IKEEE, Vol. 16, Issue 3, pages 265-273, 2012. 266쪽 및 도 2a 참조</td> <td>1,2,8</td> </tr> <tr> <td>A</td> <td></td> <td>3-7</td> </tr> <tr> <td>A</td> <td>KR 10-2014-0120919 A (윌컴 인코포레이티드) 2014.10.14 청구항 1-11 및 도 4 참조.</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>KR 10-2014-0079445 A (윌컴 인코포레이티드) 2014.06.26 청구항 1-13 및 도 3 참조.</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>KR 10-2013-0032823 A (에이알엠 리미티드) 2013.04.02 청구항 1-11 및 도 1 참조.</td> <td>1-8</td> </tr> </tbody> </table>			카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항	X	KR 10-2016-0093456 A (경북대학교 산학협력단) 2016.08.08 청구항 1 및 도 2a 참조.	1,2,8	A		3-7	X	Yeon-Bae Chung, `An advanced embedded SRAM cell with expanded read/write stability and leakage reduction`, Journal of IKEEE, Vol. 16, Issue 3, pages 265-273, 2012. 266쪽 및 도 2a 참조	1,2,8	A		3-7	A	KR 10-2014-0120919 A (윌컴 인코포레이티드) 2014.10.14 청구항 1-11 및 도 4 참조.	1-8	A	KR 10-2014-0079445 A (윌컴 인코포레이티드) 2014.06.26 청구항 1-13 및 도 3 참조.	1-8	A	KR 10-2013-0032823 A (에이알엠 리미티드) 2013.04.02 청구항 1-11 및 도 1 참조.	1-8
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항																								
X	KR 10-2016-0093456 A (경북대학교 산학협력단) 2016.08.08 청구항 1 및 도 2a 참조.	1,2,8																								
A		3-7																								
X	Yeon-Bae Chung, `An advanced embedded SRAM cell with expanded read/write stability and leakage reduction`, Journal of IKEEE, Vol. 16, Issue 3, pages 265-273, 2012. 266쪽 및 도 2a 참조	1,2,8																								
A		3-7																								
A	KR 10-2014-0120919 A (윌컴 인코포레이티드) 2014.10.14 청구항 1-11 및 도 4 참조.	1-8																								
A	KR 10-2014-0079445 A (윌컴 인코포레이티드) 2014.06.26 청구항 1-13 및 도 3 참조.	1-8																								
A	KR 10-2013-0032823 A (에이알엠 리미티드) 2013.04.02 청구항 1-11 및 도 1 참조.	1-8																								
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.																										
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌																										
국제조사의 실제 완료일 2018년 12월 12일 (12.12.2018)		국제조사보고서 발송일 2018년 12월 12일 (12.12.2018)																								
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 변성철 전화번호 +82-42-481-8262 																								

국제조사보고서
대응특허에 관한 정보

국제출원번호

PCT/KR2018/010840

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2016-0093456 A	2016/08/08	없음	
KR 10-2014-0120919 A	2014/10/14	CN 104067345 A CN 104067345 B EP 2807649 A1 IN 4993CHN2014 A JP 06038956 B2 JP 2015-504228 A TW 201346907 A TW I537945 B US 2013-0188434 A1 US 9093125 B2 WO 2013-126172 A1	2014/09/24 2017/05/03 2014/12/03 2015/09/18 2016/12/07 2015/02/05 2013/11/16 2016/06/11 2013/07/25 2015/07/28 2013/08/29
KR 10-2014-0079445 A	2014/06/26	CN 103875038 A CN 103875038 B EP 2761621 A1 IN 1829CHN2014 A JP 05914671 B2 JP 2014-528629 A US 2013-0083613 A1 US 8824230 B2 WO 2013-049763 A1	2014/06/18 2017/05/03 2014/08/06 2015/05/29 2016/05/11 2014/10/27 2013/04/04 2014/09/02 2013/04/04
KR 10-2013-0032823 A	2013/04/02	TW 201316335 A US 2013-0077416 A1	2013/04/16 2013/03/28