

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2017-527975

(P2017-527975A)

(43) 公表日 平成29年9月21日 (2017.9.21)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 7 T	4 M 1 0 4
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 0 1 B	5 F 0 3 3
H O 1 L 21/283 (2006.01)	H O 1 L 21/283 C	5 F 0 4 5
H O 1 L 23/532 (2006.01)	H O 1 L 21/88 M	5 F 0 5 8
H O 1 L 21/768 (2006.01)	H O 1 L 21/90 K	5 F 1 1 0
審査請求 有 予備審査請求 未請求 (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2016-566738 (P2016-566738)
 (86) (22) 出願日 平成26年6月13日 (2014.6.13)
 (85) 翻訳文提出日 平成28年12月20日 (2016.12.20)
 (86) 国際出願番号 PCT/US2014/042395
 (87) 国際公開番号 W02015/191089
 (87) 国際公開日 平成27年12月17日 (2015.12.17)

(71) 出願人 591003943
 インテル・コーポレーション
 アメリカ合衆国 95054 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 カウディーリオ、ロマン
 アメリカ合衆国 95054 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200 インテル
 ・コーポレーション内

最終頁に続く

(54) 【発明の名称】 グラフェンを絶縁体、及びデバイスと統合するためのグラフェンのフッ素化

(57) 【要約】

本開示の実施形態は、製造方法と同様に、フッ素化グラフェンの層を含む多層グラフェンアセンブリと、ダイと、そのような構造を含むシステムとを記載する。フッ素化グラフェンは、非フッ素化グラフェン層の望ましい特性を維持しながら、他のグラフェン層に絶縁インターフェースを提供する。アセンブリは、集積回路デバイスにおいてグラフェンを用いるための、及びグラフェンを他の材料と整合させるための複数の新たなオプションを提供する。他の実施形態は、記載され及び/又は請求され得る。

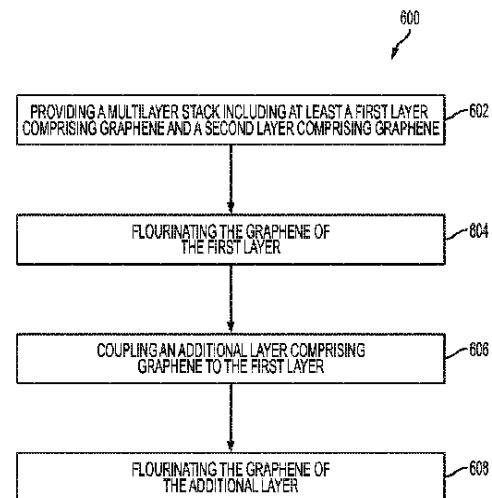


FIG. 6

【特許請求の範囲】**【請求項 1】**

グラフェンを含む第 1 の層と、
前記グラフェンを含む第 1 の層上に直接配置される、フッ素化グラフェンを含む第 2 の層と
を備える、集積回路において用いられるアセンブリ。

【請求項 2】

前記グラフェンを含む第 1 の層は、グラフェンを含む第 3 の層上に直接配置される、請求項 1 に記載のアセンブリ。

【請求項 3】

前記フッ素化グラフェンの第 2 の層上に直接配置される、フッ素化グラフェンを含む第 3 の層を更に備える、請求項 1 に記載のアセンブリ。

【請求項 4】

前記フッ素化グラフェンの第 2 の層上に直接配置される、グラフェンを含む第 3 の層を更に備える、請求項 1 に記載のアセンブリ。

【請求項 5】

前記フッ素化グラフェンの第 2 の層上に配置される電気絶縁材料の層を更に備える、請求項 1 に記載のアセンブリ。

【請求項 6】

前記電気絶縁材料の層上に配置される導電性材料を更に備える、請求項 5 に記載のアセンブリ。

【請求項 7】

前記電気絶縁材料の層上に配置される、フッ素化グラフェンを含む追加の層を更に備える、請求項 5 に記載のアセンブリ。

【請求項 8】

前記フッ素化グラフェンを含む追加の層上に配置される、グラフェンを含む追加の層を更に備える、請求項 7 に記載のアセンブリ。

【請求項 9】

半導体基板と、
前記半導体基板上に配置されるグラフェンを含む層と、
前記グラフェンを含む層上に直接配置される、フッ素化グラフェンを含む層と
を備える、ダイ。

【請求項 10】

前記フッ素化グラフェンを含む層上に配置されるゲート電極を更に備える、請求項 9 に記載のダイ。

【請求項 11】

前記ゲート電極の外面に隣接して配置される、前記フッ素化グラフェンを含む層の領域は、主に非フッ素化グラフェンを含む、請求項 10 に記載のダイ。

【請求項 12】

前記フッ素化グラフェンを含む層と前記ゲート電極との間に配置されるゲート誘電体を更に備える、請求項 10 に記載のダイ。

【請求項 13】

前記ゲート誘電体は、前記フッ素化グラフェンを含む層上に直接配置され、前記ダイは、前記ゲート誘電体と前記ゲート電極との間に直接配置される、フッ素化グラフェンを含む追加の層を更に備える、請求項 12 に記載のダイ。

【請求項 14】

前記ゲート電極は、グラフェンを含む少なくとも 1 つの追加の層から形成される、請求項 10 から 13 のいずれか 1 項に記載のダイ。

【請求項 15】

前記グラフェンを含む層は、トランジスタデバイスのチャネルとしての機能を果たし、

10

20

30

40

50

前記フッ素化グラフェンを含む層は、前記トランジスタデバイスのゲート誘電体としての機能を果たす、請求項 9 に記載のダイ。

【請求項 16】

前記ダイは、前記半導体基板上に配置されるデバイス層を含み、
前記デバイス層は、1 又は複数のトランジスタデバイスを含み、
前記ダイは、前記デバイス層上に配置される相互接続層を含み、
グラフェンを含む前記層は、前記相互接続層に配置され、前記 1 又は複数のトランジスタデバイスの複数の電気信号を伝送する、
請求項 9 に記載のダイ。

【請求項 17】

前記フッ素化グラフェンを含む層上に配置される低誘電率誘電材料を更に備え、前記低誘電率誘電材料は、前記フッ素化グラフェンを含む層と追加の相互接続層との間に配置される、請求項 16 に記載のダイ。

【請求項 18】

グラフェンを含む第 2 の層上に直接配置される、グラフェンを含む第 1 の層を含む多層スタックを提供する段階と、

前記グラフェンを含む第 1 の層の前記グラフェンをフッ素化する段階と
を備える、アセンブリを製造する方法。

【請求項 19】

多層スタックを提供する段階は、
前記グラフェンを含む第 2 の層を、化学的気相成長により基板上に堆積する段階と、
前記グラフェンを含む第 1 の層を、前記グラフェンを含む第 2 の層に結合する段階と
を含む、請求項 18 に記載の方法。

【請求項 20】

グラフェンを含む追加の層を、前記グラフェンを含む第 1 の層に結合する段階を更に備える、請求項 18 に記載の方法。

【請求項 21】

前記グラフェンを含む追加の層の前記グラフェンをフッ素化する段階を更に備える、請求項 20 に記載の方法。

【請求項 22】

フッ素化グラフェンを含む追加の層を、前記グラフェンを含む第 1 の層に結合する段階を更に備える、請求項 18 に記載の方法。

【請求項 23】

前記第 1 の層の前記グラフェンをフッ素化する段階の前に、前記グラフェンを含む第 1 の層上に導電性材料を堆積させる段階と、

前記第 1 の層の前記グラフェンをフッ素化する段階の前に、前記グラフェンを含む第 1 の層の 1 又は複数の部分を露出すべく、前記導電性材料の複数の部分を選択的に除去する段階とを更に備え、

前記導電性材料は、前記第 1 の層の前記グラフェンの前記フッ素化中に、前記導電性材料により覆われる前記グラフェンを含む第 1 の層の複数の部分がフッ素化されることを防ぐ、

請求項 18 に記載の方法。

【請求項 24】

回路基板と、
前記回路基板と結合されるダイとを備え、
前記ダイは、
半導体基板と、
前記半導体基板上に配置されるグラフェンを含む層と、
前記グラフェンを含む層上に直接配置されるフッ素化グラフェンを含む層と
を含む、コンピューティングデバイス。

10

20

30

40

50

【請求項 25】

前記ダイはプロセッサであって、

前記コンピューティングデバイスは、アンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、音声コーデック、映像コーデック、パワーアンプ、全地球測位システム（GPS）デバイス、コンパス、ガイガーカウンタ、加速度計、ジャイロスコープ、スピーカ、及びカメラのうちの 1 又は複数を含むモバイルコンピューティングデバイスである、請求項 24 に記載のコンピューティングデバイス。

【発明の詳細な説明】

【技術分野】

10

【0001】

本開示の実施形態は概して、複数の集積回路の分野、より具体的には、多層グラフェン構造を組み込む集積回路デバイスとダイとシステムとに用いられるフッ素化グラフェンを含む多層グラフェン構造、及びそのような構造とデバイスとを形成するための方法に関する。

【背景技術】

【0002】

グラフェンは、高移動度の可能性、及びもともと薄い物質形状を示すので、関心の高い材料である。しかしながら、典型的には、グラフェンのコンダクタンス及び移動度への顕著な減少なく、グラフェンを集積回路（IC）デバイスで用いる絶縁体と整合させることは難しいとされてきた。フッ素化は、グラフェンの抵抗率を著しく増加し、それを絶縁体に変換することが示されてきた。しかし、グラフェンの有益なコンダクタンス及び移動度特性を維持しながら、高品質なインターフェースの絶縁体をグラフェンに配置するという問題を解決することが出来なかった。

20

【図面の簡単な説明】

【0003】

複数の実施形態は、複数の添付の図面と併せて、以下の詳細な説明によって、容易に理解されるであろう。この説明を容易にすべく、同様の参照符号は、同様の構造要素を示す。複数の実施形態は、複数の添付の図面の図において、例示的なものとして示されており、限定的なものとして示されるものではない。

30

【図 1 A】いくつかの実施形態に従った、異なるグラフェンアセンブリの側断面図を概略的に示す。

【図 1 B】いくつかの実施形態に従った、異なるグラフェンアセンブリの側断面図を概略的に示す。

【図 1 C】いくつかの実施形態に従った、異なるグラフェンアセンブリの側断面図を概略的に示す。

【図 1 D】いくつかの実施形態に従った、異なるグラフェンアセンブリの側断面図を概略的に示す。

【図 1 E】いくつかの実施形態に従った、異なるグラフェンアセンブリの側断面図を概略的に示す。

40

【図 2 A】いくつかの実施形態に従った、他の誘電材料を組み込むグラフェンアセンブリの側断面図を概略的に示す。

【図 2 B】いくつかの実施形態に従った、他の誘電材料を組み込むグラフェンアセンブリの側断面図を概略的に示す。

【図 3 A】いくつかの実施形態に従った、チャンネル又は相互接続構造に用いられるグラフェンアセンブリの側断面図を概略的に示す。

【図 3 B】いくつかの実施形態に従った、チャンネル又は相互接続構造に用いられるグラフェンアセンブリの側断面図を概略的に示す。

【図 4 A】いくつかの実施形態に従った、トンネル障壁として用いられるグラフェン及びフッ素化グラフェンの側断面図を概略的に示す。

50

【図４Ｂ】いくつかの実施形態に従った、トンネル障壁として用いられるグラフェン及びフッ素化グラフェンの側断面図を概略的に示す。

【図４Ｃ】いくつかの実施形態に従った、トンネル障壁として用いられるグラフェン及びフッ素化グラフェンの側断面図を概略的に示す。

【図５】いくつかの実施形態に従った、集積回路（ＩＣ）アセンブリの側断面図を概略的に示す。

【図６】いくつかの実施形態に従った、グラフェンアセンブリを製造する方法のためのフロー図を概略的に示す。

【図７】いくつかの実施形態に従った、グラフェンアセンブリを製造する方法のためのフロー図を概略的に示す。

【図８】いくつかの実施形態に従った、選択的にフッ素化された領域を含むグラフェンアセンブリを製造する方法のためのフロー図を概略的に示す。

【図９】いくつかの実施形態に従った、本明細書に記載されるようなグラフェン構造を含み得る例示的なシステムを、概略的に示す。

【発明を実施するための形態】

【０００４】

本開示の実施形態は、フッ素化グラフェンを含む多層グラフェンアセンブリと、そのようなアセンブリを組み込むダイ及びシステムと、グラフェンアセンブリを形成するための方法とを含む。多層アセンブリを少なくとも１つのフッ素化グラフェン層と共に使用することは、グラフェンが、他の材料と整合し、そのコンダクタンス又は高移動度が劣化することなくＩＣデバイスに用いられることを可能とする。フッ素化グラフェン層は、他のグラフェン層に絶縁インターフェースを提供し得、これらの望ましいコンダクタンス及び移動度性能を維持する。多層グラフェンアセンブリの多数の実装例が開示される。

【０００５】

以下の説明において、複数の例示的な実施の様々な態様は、当業者により一般に用いられる用語を用いて記載されることで、これらの作業の本質を他の当業者に伝達するであろう。しかしながら、本開示の実施形態は、記載される態様のうちのいくつかのみを用いて実施され得ることが当業者には明らかであろう。説明を目的として、例示的な実施の十分な理解を提供すべく、具体的な数、材料、及び構成を記載する。しかしながら、本開示の実施形態は具体的な詳細がなくても実施され得ることが一当業者には明らかであろう。他の例では、周知の特徴は、例示的な実施を不明瞭にしないために、省略され又は簡略化される。

【０００６】

以下の詳細な説明において、この一部を形成する添付の図面に参照が付され、全体に渡り同様の番号が同様の部分を示し、これは本開示の主題が実施され得る、例示の実施形態の方法として示される。他の実施形態が利用され得、本開示の範囲を逸脱することなく、構造的変更又は論理的变化が成され得ることが理解されよう。従って、以下の詳細な説明は限定的意味に解釈されるべきではなく、実施形態の範囲は、添付された特許請求の範囲及びこれらの均等物によって画定される。

【０００７】

本開示の目的のために、「Ａ及び／又はＢ」という表現は、（Ａ）、（Ｂ）又は（Ａ及びＢ）を意味する。本開示の目的のために、「Ａ、Ｂ、及び／又はＣ」という表現は、（Ａ）、（Ｂ）、（Ｃ）、（Ａ及びＢ）、（Ａ及びＣ）、（Ｂ及びＣ）、又は（Ａ、Ｂ、及びＣ）を意味する。

【０００８】

説明は、上／下、内／外、上方／下方等のような視点に基づく説明を用い得る。このような説明は、単に説明を容易にするために用いられるのであり、本明細書に記載される実施形態の応用を任意の具体的な方向に限定することは意図されていない。

【０００９】

説明は、同一又は異なる実施形態のうちの１又は複数をそれぞれ参照し得る表現「実施

10

20

30

40

50

形態において」、「複数の実施形態において」、又は「いくつかの実施形態において」を用い得る。更に、「備える」、「含む」、「有する」等の用語は、本開示の実施形態に関連して用いられるように、同義語である。

【0010】

用語「と結合される」はその派生物とともに、本明細書で用いられ得る。「結合される」は、以下の1又は複数を意味し得る。「結合される」は、2つ又はそれより多くの要素が、直接物理的に又は電氣的に接触することを意味し得る。しかしながら、「結合される」はまた、2つ又はそれより多くの要素が間接的に互いに接触することを意味し得るが、更にまだ互いに協働又は作用し、1又は複数の他の要素が、互いに結合されると言われる要素間に結合され又は接続されることを意味し得る。用語「直接結合される」は、2つ又はそれより多くの要素が直接接触することを意味し得る。

10

【0011】

様々な実施形態において、「第2の特徴部に形成された、堆積された、さもなければ配置された第1の特徴部」という表現は、第1の特徴部が、第2の特徴部にわたって形成されている、堆積されている、又は配置されていることを意味し得、第1の特徴部の少なくとも一部が、第2の特徴部の少なくとも一部と、直接接触し得る（例えば、直接物理的及び/又は電氣的に接触している）。あるいは、間接的に接触し得る（例えば、第1の特徴部と第2の特徴部との間に1又は複数の他の特徴部を有する）。

【0012】

本明細書で用いられるように、用語「モジュール」は、1又は複数のソフトウェア又はファームウェアプログラムを実行する特定用途向け集積回路（ASIC）、電子回路、システムオンチップ（SOC）、プロセッサ（共用、専用、又は群）、及び/又はメモリ（共用、専用、又は群）、論理回路の組み合わせ、及び/又は記載された機能を提供するその他の適切なコンポーネントの一部を指し得、又は含み得る。

20

【0013】

図1Aから1Eは、いくつかの実施形態に従った、異なるグラフェンアセンブリの側断面図を示す。それぞれのアセンブリにおいて、フッ素化グラフェンの1又は複数の層は、（トランジスタ又は非局所スピナルプのような）電荷ベース又はスピンベースのデバイスに対する誘電材料又はトンネル障壁として用いられ得る。更に、それぞれのアセンブリは、電荷流又はスピン流を伝導するのに用いられることが出来る、非フッ素化グラフェンの1又は複数の層を含み得る。図面全体を通して、小さな空間が、異なる層を明確にすべく含まれている。実際のところ、複数の層は互いに接触し得、図面は、（特に、同一の材料の複数の層が互いに隣接して配置されるところで）異なる層をより容易に識別し、分類すべく、いくつかの例においてわずかに分解した断面図を示すものと見なされるべきである。特に断りのない限り、層間の任意の間隙は、これらの目的のために含まれているのであって、最終的なアセンブリにおける間隙又は空間を表すことは意図されていない。

30

【0014】

図1Aは、非フッ素化グラフェンの層106と、フッ素化グラフェンの層104とを含み得るアセンブリ100を示す。非フッ素化グラフェンの層106は、その導電特性を保持し得、従って、電荷流又はスピン流を伝導するのに有用であり、フッ素化グラフェンの層104は、絶縁性を有し、電界効果ゲート用の誘電材料としての機能を果たし得る。ゲート102は、フッ素化グラフェンの層104上に形成され得る。ゲート電極材料は、任意の適切な導電性材料で構成され得、例えば、仕事関数の金属のような、例えば1又は複数の金属を含む。フッ素化グラフェンの層104は、非フッ素化グラフェンの層106の導電特性を減少させることなくゲートが形成されることを可能とし得る。このようにして、インターフェースとして1又は複数のフッ素化グラフェン層を用いることにより、非フッ素化グラフェン層の所望の導電性を維持しながら、グラフェンを複数の材料と整合させ、グラフェンをデバイスに組み込むことが可能となり得る。更に、フッ素化グラフェン層は、原子的に薄く、ピンホールフリーの高品質な誘電体をグラフェンに堆積する際に発生する典型的な問題を回避するピンホールフリーの誘電材料、及び/又はインターフェー

40

50

スを提供し得る。

【0015】

図1Bは、別のアセンブリ110を示す。アセンブリ110は、非フッ素化グラフェン層119を含み得る。非フッ素化グラフェン層119は、その導電特性を保持し得、従って、電荷流又はスピン流を伝導するのに有用であり得る。アセンブリ110は更に、フッ素化グラフェン114、116、118の複数の層を含み得る。以下の図6から8に関連して更に詳細に説明されるように、層114、116、118は、個別に堆積され及びフッ素化され得るか、別個にフッ素化され得、その後、結合され得る。アセンブリ110は更に、ゲート112を含み得る。ゲート112は、上記で説明されたゲート102と同様であり得る。

10

【0016】

図1Cは、アセンブリ120を示す。アセンブリ120は、3つの非フッ素化グラフェン層129、128、126を含み得る。非フッ素化グラフェン層129、128、126は、これらの導電特性を保持し得、従って、電荷流又はスピン流を伝導するのに有用であり得る。追加の非フッ素化グラフェン層の存在は、前の実施形態と比較すると、アセンブリの電荷又はスピンを流す能力を増加させ得る。アセンブリ120は更に、フッ素化グラフェン124の層を含み得る。アセンブリ120は更に、ゲート122を含み得る。ゲート122は、上記で説明されたゲート102と同様であり得る。

【0017】

図1Dは、アセンブリ130を示す。アセンブリ130は、2つの非フッ素化グラフェン層139、138を含み得る。非フッ素化グラフェン層139、138は、これらの導電特性を保持し得、従って、電荷流又はスピン流を伝導するのに有用であり得る。追加の非フッ素化グラフェン層の存在は、いくつかの前の実施形態と比較すると、アセンブリの電荷を流す能力を増加させ得る。アセンブリ130は更に、フッ素化グラフェン136、134の2つの層を含み得る。アセンブリ130は更に、ゲート132を含み得る。ゲート132は、上記で説明されたゲート102と同様であり得る。2つの非フッ素化グラフェン層139、138が示されるが、追加の非フッ素化グラフェン層が含まれ得る。

20

【0018】

図1Eは、アセンブリ140を示す。アセンブリ140は、非フッ素化グラフェン層149を含み得る。非フッ素化グラフェン層149は、その導電特性を保持し得、従って、電荷流又はスピン流を伝導するのに有用であり得る。アセンブリ140は更に、フッ素化グラフェン148、146、144の3つの層を含み得る。アセンブリ140は更に、ゲートを含み得る。上記で説明されたゲートと異なり、ゲートは非フッ素化グラフェンの1又は複数の層から形成され得る。この例において、3つの層152、154、156が示されるが、より少ない又はより多くの層が利用され得る。このようにして、鉛直方向のトンネル電界効果トランジスタ(FET)をグラフェンから形成することが可能となり得る。それにより、別のゲート(不図示)と静電氣的に、又は化学的のいずれかで調整することにより、キャリア濃度を、キャリア密度、又は非フッ素化グラフェン層149もしくはグラフェンゲート(この例において、層152、154、156を含む)のいずれか又は両方を調整することにより、トンネル電流は変調され得る。具体的な配置で示されるが、1又は複数のグラフェン層から形成されるゲートは、限定されるものではないが、アセンブリ100、110、120、130を含む、任意の数のアセンブリに組み込まれ得る。更に、他のアセンブリ構成が可能であり、それらは、具体的に示され、説明されたものより多い又はより少ないグラフェン(フッ素化及び非フッ素化の両方)層を有するアセンブリを含む。非フッ素化グラフェン層149は、ダイ製造処理中に、基板上もしくはダイ製造処理中のダイの別の層上に形成され、又は基板もしくはダイの別の層に結合され得る。

30

40

【0019】

図2A及び2Bは、いくつかの実施形態に従った、他の誘電材料を組み込む複数のグラフェンアセンブリの側断面図を示す。これらの実施形態において、フッ素化グラフェン層は、非フッ素化グラフェン層の望ましい導電特性を維持しながら、非フッ素化グラフェン

50

層を他の誘電材料と整合するのに利用され得る。

【0020】

図2Aは、アセンブリ200を示す。アセンブリ200は、非フッ素化グラフェン層208を含み得る。上記で説明されたように、非フッ素化グラフェン層208は、電荷流又はスピン流を流すのに用いられ得る。単一の非フッ素化グラフェン層208として示されるが、いくつかの実施形態において、例えば、アセンブリ200の電荷又はスピンを流す能力を増加させるべく、追加の非フッ素化グラフェン層が含まれ得る。アセンブリ200は更に、フッ素化グラフェン層206を含み得る。フッ素化グラフェン層206は、非フッ素化グラフェン層208と誘電材料204との間のインターフェースとして作用し得る。様々な実施形態によると、誘電材料204は、二酸化ケイ素(SiO_2)又は高誘電率材料のような材料で形成されるゲート誘電体であり得る。ゲート誘電体層において用いられ得る高誘電率材料の例は、限定されるものではないが、酸化ハフニウム、酸化ハフニウムシリコン、酸化ランタン、酸化ランタンアルミニウム、酸化ジルコニウム、酸化ジルコニウムシリコン、酸化タンタル、酸化チタン、酸化バリウムストロンチウムチタン、酸化バリウムチタン、酸化ストロンチウムチタン、酸化イットリウム、酸化アルミニウム、酸化鉛スカンジウムタンタル、及び亜鉛ニオブ酸鉛を含む。アセンブリ200はまた、ゲート202を含み得る。ゲート202は、ゲート102と同様であり得、上記で説明されたようにゲート電極材料から形成され得る。代替的に、ゲート202は、前に説明され、図2Bにおいて示されるように、非フッ素化グラフェンの1又は複数の層から形成され得る。フッ素化グラフェン層206を提供することは、従って、非フッ素化グラフェン層208の導電特性を維持しながら、多数の他の誘電材料が利用されることを可能とし得る。更に、フッ素化グラフェン層は、原子的に薄く、高品質な誘電材料をグラフェンに堆積する際において発生する典型的な問題を回避する、ピンホールフリーのインターフェースを提供し得る。

10

20

【0021】

図2Bは、アセンブリ220を示す。アセンブリ220は、アセンブリ200と同様であり得るが、この例においては、非フッ素化グラフェンの3つの層222、224、226から形成されるゲートで示される。従って、フッ素化グラフェン228の追加の層は、ゲート(特に層226)と誘電材料230との間のインターフェースとして機能すべく含まれ得る。アセンブリ200と同様で、アセンブリ220は、非フッ素化グラフェン層234を含み得る。上記で説明されたように、非フッ素化グラフェン層234は、電荷流又はスピン流を流すのに用いられ得る。単一の非フッ素化グラフェン層234として示されるが、追加の非フッ素化グラフェン層は、いくつかの実施形態において、例えば、アセンブリ220の電荷又はスピンを流す能力を増加させるべく含まれ得る。アセンブリ220は更に、フッ素化グラフェン層232を含み得る。フッ素化グラフェン層232は、非フッ素化グラフェン層234と誘電材料230との間のインターフェースとして作用し得る。誘電材料230は、上記で説明された誘電材料204と同様であり得る。従って、ゲートと誘電材料との間のインターフェースとしてフッ素化グラフェンの層を含むことにより、非フッ素化グラフェンの1又は複数の層から形成されるゲートを利用することが可能となり得る。具体的な配置が示されているものの、フッ素化又は非フッ素化グラフェンの追加の層を含む、他の変形が可能である。

30

40

【0022】

図3A及び3Bは、チャネル又は相互接続構造で用いられるグラフェンアセンブリの側断面図を示す。図3Aは、アセンブリ300を示す。アセンブリ300は、非フッ素化グラフェン層308を含み得る。非フッ素化グラフェン層308は、いくつかの実施形態において、チャネル又は相互接続として機能し得る。単一の非フッ素化グラフェン層308が示されているが、非フッ素化グラフェンの複数の層が、前に説明されたように含まれ得る。アセンブリ300は更に、フッ素化グラフェン層306を含み得る。フッ素化グラフェン層306は、非フッ素化グラフェン層308上に配置され得る。フッ素化グラフェン層306は、非フッ素化グラフェン層308と誘電材料304との間にインターフェース

50

を提供し得る。いくつかの実施形態において、誘電材料は、誘電率を低下させるためのフッ素及び／又はカーボンドーピングの有無に関わらず、 SiO_2 を含み得る。加えて、低誘電率相互接続誘電体は、誘電率を低下させるべく異なる程度の多孔性を有する、多孔質であり得る。孔は、規則的又は不規則的であり得、低誘電率ポロゲン又はエアからなり得る。100パーセント多孔性の例において、低誘電率誘電材料は、エアギャップ(Air Gap)と一般に称される実装例においてエアからなり得る。誘電材料304は、隣接する相互接続構造のような、隣接する電荷を流すコンポーネント間でのクロストーク又は容量の問題を防ぐ一助となり得る。アセンブリ300は更に、相互接続320を含み得る。相互接続320は、以下で更に詳細に説明されるように電気信号を伝送すべく、導電性材料、例えば、金属又は非フッ素化グラフェンから形成され得る。従って、いくつかの実

10

【0023】

図3Bは、アセンブリ320を示す。アセンブリ320は、フッ素化グラフェンと誘電材料との組み合わせにより分離され得る、2つの多層非フッ素化グラフェン構造を示す。このように、相互接続の配置において主な導体としてグラフェンを用いることが可能となり得る。アセンブリ320は、複数の非フッ素化グラフェン層338、336、334を含み得る。前に説明されたように、複数の層を用いることは、電荷又はスピンを流す能力

20

を増加させ得る。非フッ素化グラフェン層338、336、334は、チャンネル又は相互接続として機能し得る。アセンブリ320は更に、フッ素化グラフェン層332を含み得る。フッ素化グラフェン層332は、非フッ素化グラフェン層338、336、334と誘電材料330との間のインターフェースとして機能し得る。誘電材料330は、図3Aに関して上記で説明された誘電材料304と同様であり得る。第2のフッ素化グラフェン層328は、誘電材料330と、追加の非フッ素化グラフェン層との間で整合すべく、誘電材料330のもう一方の面上に含まれ得る。追加の非フッ素化グラフェン層326、324、322は、追加の相互接続構造を形成すべく含まれ得る。従って、いくつかの実

30

施形態において、誘電材料330と相互接続の非フッ素化グラフェン層との間のフッ素化グラフェン(332、328)のインターフェース層を有する誘電材料330により、複数のグラフェン相互接続は互いに分離され得る。従って、非フッ素化グラフェンの望ましい導電特性を維持しながら、様々な誘電材料をグラフェン相互接続と利用することが可能となり得る。

【0024】

図4Aから4Cは、例えば、横方向の局所又は非局所スピンバルブデバイスにおいて、トンネル障壁として用いられるグラフェン及びフッ素化グラフェンの側断面図を示す。図4Aは、2つのゲート電極402、404を含むアセンブリ400を示す。ゲート電極402、404は、前に説明されたゲート電極と同様であり得、スピンベースのデバイスの場合においては、強磁性金属、又は別のものと比較して1つのスピン型からより多くの電子を注入することが可能である他の材料からなる可能性があるだろう。アセンブリ400

40

はまた、ゲート電極402、404に隣接して位置する非フッ素化グラフェンの領域408、410とともにフッ素化グラフェンの層406を含み得る。この配置は、層406をフッ素化する前にゲート電極402、404を形成することにより形成され得る。このようにして、ゲート電極402、404はフッ素化工程中に領域408、410に対するマスクとして機能し得、領域408及び410がフッ素化されることを防ぐ。アセンブリ400は更に、非フッ素化グラフェン層412を含み得る。非フッ素化グラフェン層412は、電荷ベースのトランジスタデバイス、又はスピンベースの局所又は非局所スピンバルブデバイスの電荷又はスピンチャンネルとして機能し得る。

【0025】

図4Bは、2つのゲート電極422、424を含むアセンブリ420を示す。ゲート電

50

極 4 2 2、4 2 4 は、前に説明されたゲート電極と同様であり得る。図 4 A のアセンブリ 4 0 0 と同様に、アセンブリ 4 2 0 はまた、ゲート電極 4 2 2、4 2 4 に隣接して位置する非フッ素化グラフェンの領域 4 2 8、4 3 0 とともにフッ素化グラフェンの層 4 2 6 を含み得る。この配置は、図 4 A を参照して上記で説明されたように形成され得る。アセンブリ 4 0 0 と異なり、アセンブリ 4 2 0 は、非フッ素化グラフェン層を含まない。むしろ、アセンブリ 4 2 0 は、導電性材料 4 3 2 の層を含み得る。導電性材料 4 3 2 は、スピンチャネル用に Si のような半導体、スピンチャネル用に Cu のような金属、又はスピンチャネル用に MoS₂ のような別の 2 D 材料を含み得る。導電性材料 4 3 2 は、電荷ベースのトランジスタの電荷、又はスピンベースの局所又は非局所スピバルブデバイスの電荷又はスピンチャネルとして機能し得る。従って、いくつかの実施形態において（フッ素化又は非フッ素化された）グラフェンは、他の材料がチャネルを形成するのに用いられるものとしても、トンネル障壁として用いられ得る。

10

【0026】

図 4 C は、2 つのゲート電極 4 4 2、4 4 4 を含むアセンブリ 4 4 0 を示す。ゲート電極 4 4 2、4 4 4 は、前に説明されたゲート電極と同様であり得、スピンベースのデバイスの場合において、強磁性金属、又は別のものと比較して、1 つのスピン型からより多くの電子を注入することが可能である他の材料からなる可能性があるだろう。アセンブリ 4 4 0 はまた、ゲート電極 4 4 2、4 4 4 に隣接して位置するフッ素化グラフェンの層 4 4 6 を含み得る。図 4 A のアセンブリ 4 0 0 と異なり、アセンブリ 4 4 0 においては、ゲート電極 4 4 2、4 4 4 に隣接する領域 4 4 8 及び 4 5 0 がフッ素化される。このようにして、層 4 4 6 のフッ素化グラフェンは、デバイスに対するトンネル障壁を形成し得る。この配置は、層 4 4 6 をフッ素化した後で、ゲート電極 4 4 2、4 4 4 を形成することにより、形成され得る。アセンブリ 4 4 0 は更に、非フッ素化グラフェン層 4 5 2 を含み得る。非フッ素化グラフェン層 4 5 2 は、電荷ベースのトランジスタデバイス、又はスピンベースの局所又は非局所のスピバルブデバイスの電荷又はスピンチャネルとして機能し得る。

20

【0027】

図 5 は、いくつかの実施形態に従った、集積回路（IC）アセンブリ 5 0 0 の側断面図を示す。いくつかの実施形態において、IC アセンブリ 5 0 0 は、パッケージ基板 5 2 1 と電氣的及び / 又は物理的に結合された、1 又は複数のダイ（以下「ダイ 5 0 2」）を含み得る。いくつかの実施形態において、分かるように、パッケージ基板 5 2 1 は、回路基板 5 2 2 と電氣的に結合され得る。

30

【0028】

ダイ 5 0 2 は、CMOS デバイスの形成と関連して用いられる薄膜堆積、リソグラフィ、エッチング等のような半導体製造技術を用いて半導体材料（例えば、シリコン）から作成された個々の製品を表し得る。いくつかの実施形態において、ダイ 5 0 2 は、プロセッサ、メモリ、SoC 又は ASIC であり得、それを含み得、又はいくつかの実施形態における、その一部であり得る。いくつかの実施形態において、例えば、モールド化合物又はアンダーフィル材料（不図示）のような電気絶縁材料が、ダイ 5 0 2 の少なくとも一部及び / 又はダイレベルの相互接続構造 5 0 6 を封止し得る。

40

【0029】

ダイ 5 0 2 は、多種多様な適切な構成によって、パッケージ基板 5 2 1 に取り付けられることが出来、その構成は、例えば、図示されるように、フリップチップ構成でパッケージ基板 5 2 1 に直接結合される構成を含む。フリップチップ構成において、電気回路を含むダイ 5 0 2 のアクティブ面 S 1 は、バンプ、ピラー、又はダイ 5 0 2 を電氣的にパッケージ基板 5 2 1 にまた結合し得る他の適切な構造のようなダイレベル相互接続構造 5 0 6 を用いて、パッケージ基板 5 2 1 の表面に取り付けられる。ダイ 5 0 2 のアクティブ面 S 1 は、本明細書で記載されるようなマルチ閾値電圧のトランジスタデバイスを含み得る。非アクティブ面 S 2 は、分かるように、アクティブ面 S 1 の反対側に配置され得る。

50

【0030】

ダイ５０２は概して、半導体基板５０２ａと、１又は複数のデバイス層（以下「デバイス層５０２ｂ」と、１又は複数の相互接続層（以下、「相互接続層５０２ｃ」と）を含み得る。いくつかの実施形態において、半導体基板５０２ａは、例えばシリコンのようなバルク半導体材料から実質的に構成され得る。デバイス層５０２ｂは、トランジスタデバイスのようなアクティブデバイスが半導体基板に形成される領域を表し得る。デバイス層５０２ｂは、例えば、グラフェンアセンブリ（例えば、上記で説明された１００、１１０、１２０、１３０、１４０、２００、２１０）、及び／又はトランジスタデバイスのソース／ドレイン領域のような構造を含み得る。相互接続層５０２ｃは、デバイス層５０２ｂにおける（電荷又はスピンベースのデバイスであり得る）アクティブデバイスに、又はそれから電気信号又はスピン情報を伝送するように構成される相互接続構造を含み得る。例えば、相互接続層５０２ｃは、電気伝送及び／又はコンタクトを提供するトレンチ及び／又はビアを含み得る。いくつかの実施形態において、３００、３２０のようなアセンブリは、相互接続構造として用いられ得、相互接続層５０２ｃの一部として形成され得る。様々な前の図面で示されるように、ゲート電極構造は、デバイス層５０２ｂのトランジスタデバイスと相互接続層５０２ｃの相互接続構造との間に配置され得、及びそれらを電氣的に結合し得る。

10

【００３１】

いくつかの実施形態において、ダイレベル相互接続構造５０６は、ダイ５０２と他の電気デバイスとの間で電気信号を伝送するように構成され得る。電気信号は、例えば、ダイ５０２の動作と関連して用いられる、入力／出力（Ｉ／Ｏ）信号、及び／又は電源／接地信号を含み得る。

20

【００３２】

いくつかの実施形態において、パッケージ基板５２１は、例えば、味の素ビルドアップフィルム（ＡＢＦ）基板のような、コア及び／又はビルドアップ層を有するエポキシベース積層基板である。パッケージ基板５２１は、他の実施形態において、例えば、ガラス、セラミック又は半導体材料から形成された基板を含む他の適切なタイプの基板を含み得る。

【００３３】

パッケージ基板５２１は、ダイ５０２へ、又はダイ５０２から複数の電気信号を伝送するように構成され電気伝送機能を含み得る。複数の電気伝送機能は、例えば、パッケージ基板５２１の１又は複数の面上に配置されるパッド又はトレース（不図示）、及び／又は例えば、トレンチ、ビア、又は電気信号をパッケージ基板５２１を介して伝送する他の相互接続構造のような内部伝送機能（不図示）を含み得る。例えば、いくつかの実施形態において、パッケージ基板５２１は、ダイ５０２のそれぞれのダイレベル相互接続構造５０６を受け入れるように構成されるパッド（不図示）のような電気伝送機能を含み得る。

30

【００３４】

回路基板５２２は、エポキシ積層のような電気絶縁材料から構成されたプリント回路基板（ＰＣＢ）であり得る。例えば、回路基板５２２は、例えば、ポリテトラフルオロエチレン、難燃剤４（ＦＲ－４）、ＦＲ－１、コットンペーパーのようなフェノールコットンペーパー材料、及び、ＣＥＭ－１、又はＣＥＭ－３のようなエポキシ材料、又はエポキシ樹脂プリプレグ材料を用いて一緒に積層される織布ガラス材料のような材料から構成される電気絶縁層を含み得る。トレース、トレンチ、ビアのような相互接続構造（不図示）は、回路基板５２２を介してダイ５０２の複数の電気信号を伝送すべく、複数の電気絶縁層によって形成され得る。他の実施形態において、回路基板５２２は他の適切な材料から構成され得る。いくつかの実施形態において、回路基板５２２は、マザーボード（例えば、図９のマザーボード９０２）である。

40

【００３５】

例えば、パッケージ基板５２１と回路基板５２２との間の電気信号を更に伝送するように構成される対応する半田ジョイントを形成すべく、半田ボール５１２のようなパッケージレベルの相互接続は、パッケージ基板５２１上、及び／又は回路基板５２２上の１又は

50

複数のパッド（以下、「パッド 5 1 0」）に結合され得る。複数のパッド 5 1 0 は、例えば、ニッケル（Ni）、パラジウム（Pd）、金（Au）、銀（Ag）、銅（Cu）、及びそれらの組み合わせを含む金属のような任意の適切な電気導電性材料から構成され得る。物理的及び／又は電氣的に、パッケージ基板 5 2 1 を回路基板 5 2 2 に結合する他の適切な技術は、他の実施形態において用いられ得る。

【0036】

他の実施形態において、IC アセンブリ 5 0 0 は、例えば、フリップチップ及び／又はワイヤボンディング構成、インターポーザ、システムインパッケージ（SiP）構成及び／又はパッケージオンパッケージ（PoP）構成を含むマルチチップパッケージ構成の適切な組み合わせを含む、多種多様な他の適切な構成を含み得る。ダイ 5 0 2 と IC アセンブリ 5 0 0 の他のコンポーネントとの間の電気信号を伝送する他の適切な技術が、いくつかの実施形態において用いられ得る。

10

【0037】

図 6 は、いくつかの実施形態に従った、グラフェンアセンブリを製造する方法 6 0 0 のフロー図を示す。方法 6 0 0 は、6 0 2 で開始し得、少なくとも第 1 の層と第 2 の層を含み、それぞれがグラフェンを備える、多層スタックを提供する。これは、化学的気相成長（CVD）により基板にグラフェンを備える第 2 の層を堆積することと、グラフェンを備える第 1 の層を、グラフェンを備える第 2 の層に結合することとを含み得る。いくつかの例において、このことは、CVD によるグラフェンの成長、続いて、ウェット又はドライ転送方法のいずれかによる、最終ターゲットの基板に転送することによるグラフェン層の成長を含み得る。このことは、ターゲット基板の多層スタックを構築すべく、複数の転送を有する別個の成長基板での単一層グラフェン成長を含み得る。他の実施形態において、このことは、ターゲット基板への単一の転送工程を有する別個の成長基板に多層グラフェン成長を含み得る。いくつかの実施形態において、この動作は、ターゲット基板上にグラフェンの直接成長を含み得る。更に、このような技術は、上記で説明された様々な実施形態と一致するグラフェン層のスタックを形成すべく、組み合わせられ得る。

20

【0038】

方法 6 0 0 は、6 0 4 に続き得、露出されたグラフェンスタックの最上層のグラフェンをフッ素化する。このことは、最上層を、限定されるものではないが、フッ化キセノン（XeF₂）、フッ化炭素（CF）、CHF₃、又は SF₆ プラズマを含むフッ化を含む材料に露出することを含み得る。いくつかの実施形態において、動作 6 0 4 は、フッ素化された最上のグラフェン層の下に、非フッ素化グラフェン層の多層スタックを残すべく、グラフェンの最上層のフッ素化のみをし得る。例えば、図 1 C のアセンブリ 1 2 0 を形成することにおいて、下の 3 つの層 1 2 6、1 2 8、及び 1 2 9 層のいずれもフッ素化することなく最上層 1 2 4 をフッ素化する場合、動作 6 0 4 を層 1 2 4、1 2 6、1 2 8、及び 1 2 9 のスタックに実行した後に 3 つの非フッ素化層 1 2 6、1 2 8、及び 1 2 9 は残ったままである。例えば、図 1 E の 1 つより多くのフッ素化グラフェン層を要求する実施形態に対して、動作 6 0 6 が実行され、最上層（すなわち 1 4 6）をフッ素化すべく必要に応じて、動作 6 0 8 に続く。このようにして、動作 6 0 6、及び必要に応じて動作 6 0 8 を反復することにより、アセンブリ 1 4 0 は層毎に構築されることが出来る。従って、特定の動作を選択的に省略又は反復することにより、多種多様な構造及び様々な数の層を有するグラフェンアセンブリを形成することが可能となり得る。

30

40

【0039】

方法 6 0 0 は、6 0 6 に続き得、グラフェンを備える追加の層を第 1 の層に結合する。方法 6 0 0 は、6 0 8 に続き得、追加の層のグラフェンをフッ素化する。このことは、追加の層を、限定されるものではないが、フッ化キセノン（XeF₂）又はフッ化炭素（CF）を含むフッ化を含む材料に露出することを含み得る。動作 6 0 6 及び 6 0 8 は、必要に応じて、追加の非フッ素化又はフッ素化グラフェン層を所望のように形成すべく、反復され得る。他の実施形態において、以下に説明されるように、層は、フッ素化グラフェン層が、多層スタックのフッ素化又は非フッ素化層に結合され得るように、結合前にフッ素

50

化され得る。

【0040】

図7は、いくつかの実施形態に従った、グラフェンアセンブリを製造する方法700のフロー図を例示する。方法700は702で開始し得、少なくとも第1の層と第2の層を含む多層スタックを提供し、第1の層と第2の層はそれぞれグラフェンを備える。このことは、グラフェンを含む第2の層を、化学的気相成長により基板上に堆積することと、図6を参照して上記で説明されたように、グラフェンを備える第1の層を、グラフェンを備える第2の層に結合することとを含み得る。

【0041】

方法700は、704に続き得、第1の層のグラフェンをフッ素化する。このことは、最上層を、限定されるものではないが、フッ化キセノン(XeF_2)又はフッ化炭素(CF)を含む、フッ素を含む材料に露出することを含み得る。いくつかの実施形態において、動作704は、上記で説明されたように、非フッ素化グラフェン層の多層スタックを残して完成されなくてもよい。

【0042】

方法700は706に続き得、フッ素化されたグラフェンを備える追加の層を第1の層に結合する。このことは、フッ素化されたグラフェンを備える1つより多くの追加の層を第1の層に結合することを含み得る。例えば、動作704が完成して、続いて、動作706においてフッ素化されたグラフェンを備える2つの層の結合したとき、図1Bのアセンブリ110に示された多層スタックが形成され得る。代替的に、動作702が、動作706においてフッ素化されたグラフェンを備える2つの層の結合をしたのに続くように、動作704が完成しなかった場合、図1Dのアセンブリ130に示された多層スタックが形成され得る。いくつかの例において、グラフェンを多層スタックに結合する前に、グラフェンをフッ素化することがより効率的であり得る。例えば、グラフェンの2つの層は、両方の面(例えば、両方の層)を、一度に1つの層を構築するのと対照的に同一の処理の間にフッ化を含む材料に露出することにより、同時にフッ素化することが可能であり得る。従って、フッ素化されたグラフェンの複数の層が用いられるべき複数の例において、そうしてフッ素化又は非フッ素化グラフェンの層を含む異なるスタックに結合されることが出来る、フッ素化されたグラフェンのスタック(例えば、2つの層)を別個に形成することが有用であり得る。この技術は、図1Bの層114、116、図1Dの層134、136、及び図1Eの層144、146のような複数の層を形成及び結合するのに用いられ得る。

【0043】

図8は、いくつかの実施形態に従った、グラフェンアセンブリを製造する方法800に対するフロー図を例示する。方法800は802で開始し得、第1の層と第2の層を少なくとも含む多層スタックを提供し、第1の層と第2の層はそれぞれ、グラフェンを含む。このことは、グラフェンを備える第2の層を、化学的気相成長により基板上に堆積することと、図6を参照して上記に説明されたように、グラフェンを備える第1の層を、グラフェンを備える第2の層に結合することとを含み得る。

【0044】

方法800は、804に続き得、導電性材料を第1の層に堆積する。このことは、トランジスタデバイスのゲートを形成すべく、ゲート電極材料を堆積することを含み得る。ゲート電極材料は、例えば、仕事関数の金属のような1又は複数の金属を例えば含む、任意の適切な導電性材料から構成され得る。

【0045】

方法800は806に続き得、第1の層の1又は複数の部分を露出すべく、導電性材料の部分を選択的に除去する。このことは、フォトリソ及び/又はエッチング処理、又は任意の他の適切な技術を含み得る。

【0046】

方法800は808に続き得、最上層の露出されたグラフェンをフッ素化する。このこ

10

20

30

40

50

とは、前に説明された、他のフッ素化の動作と同様であり得る。本例においては、第1の層の露出された複数の部分のみがフッ素化され得、導電性材料により覆われた第1の層の部分は、非フッ素化のまま残る。このようにして、導電性材料は、フッ素化の動作に対するマスクとしての機能を果たし得る。このことは、ゲートと非フッ素化グラフェン層（例えば、図4Aにおける412）との間の複数のグラフェントネル障壁（例えば、図4Aにおける408と410）を形成するための技術を提供し得る。非フッ素化グラフェン層（例えば、図4Aにおける412）は、電荷ベース又はスピンベースのデバイスに対して、それぞれ電荷チャネル又はスピンチャネルとしての機能を果たし得る。

【0047】

図9は、いくつかの実施形態に従った、本明細書に記載されるような、グラフェンアセンブリ、又はグラフェンアセンブリを含むダイを含み得る、例示的なシステム（例えば、コンピューティングデバイス900）を概略的に例示する。マザーボード902は、限定されるものではないが、プロセッサ904及び少なくとも1つの通信チップ906を含む多数のコンポーネントを含み得る。プロセッサ904は、マザーボード902に物理的及び電氣的に結合され得る。いくつかの実装例において、少なくとも1つの通信チップ906もまた、物理的及び電氣的にマザーボード902に結合され得る。更なる実装例において、通信チップ906は、プロセッサ904の一部であり得る。

【0048】

その用途に応じて、コンピューティングデバイス900は、物理的及び電氣的にマザーボード902に結合され得る、又はされなくてもよい複数の他のコンポーネントを含み得る。これらの他のコンポーネントは、限定されるものではないが、揮発性メモリ（例えばDRAM）、不揮発性メモリ（例えばROM）、フラッシュメモリ、グラフィックスプロセッサ、デジタル信号プロセッサ、暗号プロセッサ、チップセット、アンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、音声コーデック、映像コーデック、パワーアンプ、全地球測位システム（GPS）デバイス、コンパス、ガイガーカウンタ、加速度計、ジャイロスコープ、スピーカ、カメラ、及び、（ハードディスクドライブ、コンパクトディスク（CD）、デジタル多用途ディスク（DVD）などのような）大容量記憶装置を含み得る。

【0049】

通信チップ906は、コンピューティングデバイス900への及びコンピューティングデバイス900からのデータ転送用の複数の無線通信を可能にし得る。「無線」という用語及びその複数の派生語は、非固体媒体を介し、変調電磁放射線を用いることによって、データ通信を行い得る複数の回路、複数のデバイス、複数のシステム、複数の方法、複数の技術、複数の通信、複数のチャネルなどを説明するのに用いられ得る。当該用語は、関連デバイスが任意の有線をも含まないことを暗示するものではないが、いくつかの実施形態においては含まなくてよい。通信チップ906は、限定されるものではないが、WiFi（登録商標）（IEEE802.11系統）、IEEE802.16標準規格（例えば、IEEE802.16-2005修正）、任意の修正、更新、及び/又は改訂（例えば、アドバンスドLTEプロジェクト、ウルトラモバイルブロードバンド（UMB）プロジェクト（また「3GPP2」と称される）、など）を伴うロングタームエボリューション（LTE）プロジェクトを含む米国電気電子技術者協会（IEEE）規格を含む、多数の無線規格又はプロトコルのうちのいずれかを実装し得る。IEEE802.16準拠BWAネットワークは、概して、WiMAX（登録商標）ネットワークと称されるが、これは、IEEE802.16標準規格の適合性及び相互運用性テストに合格した製品の認証マークであるWorldwide Interoperability for Microwave Accessを表す頭字語である。通信チップ906は、移動通信のグローバルシステム（GSM（登録商標））、汎用パケット無線サービス（GPRS）、ユニバーサル移動通信システム（UMTS）、高速パケットアクセス（HSPA）、発展HSPA（E-HSPA）、又はLTEネットワークに従って動作し得る。通信チップ906は、GSM（登録商標）エボリューション用の発展データ（EDGE）、GSM（登録商

10

20

30

40

50

標) EDGE無線アクセスネットワーク(GERAN)、ユニバーサルテレストリアル無線アクセスネットワーク(UTRAN)、又は発展UTRAN(E-UTRAN)に従って動作し得る。通信チップ906は、符号分割多重アクセス(CDMA)、時分割多元アクセス(TDMA)、デジタルエンハンスドコードレス電話(DECT)、エボリューションデータオブティマイズド(EV-DO)、それらの派生したもの、同様に、3G、4G、5G及びそれ以降として指定された任意の他の無線プロトコルに従って動作し得る。通信チップ906は、他の実施形態において他の無線プロトコルに従って、動作し得る。

【0050】

コンピューティングデバイス900は、複数の通信チップ906を含み得る。例えば、第1の通信チップ906は、Wi-Fi(登録商標)及びBluetooth(登録商標)のような短距離無線通信専用であり得、第2の通信チップ906はGPS、EDGE、GPRS、CDMA、WiMAX(登録商標)、LTE、EV-DO、及びその他のような長距離無線通信専用であり得る。

10

【0051】

コンピューティングデバイス900のプロセッサ904は、いくつかの実施形態に従った、本明細書に記載されるようなグラフェンアセンブリ又はグラフェンアセンブリを含むダイを含み得る。例えば、図5のダイ502は、マザーボード902に取り付けられるパッケージアセンブリにおいて取り付けられ得る。「プロセッサ」という用語は、複数のレジスタ及び/又はメモリからの電子データを処理して、その電子データを、複数のレジスタ及び/又はメモリに格納され得る他の電子データへと変換する任意のデバイス又はデバイスの一部を指し得る。

20

【0052】

通信チップ906はまた、いくつかの実施形態に従った、本明細書に記載されるようなグラフェンアセンブリ、又はグラフェンアセンブリを含むダイを含み得る。更なる実装例において、コンピューティングデバイス900内に収容される別の構成要素(例えば、メモリデバイス、又は他の集積回路デバイス)は、本明細書に記載されるようなグラフェンアセンブリ、又はグラフェンアセンブリを含むダイを含み得る。

【0053】

様々な実装例においてコンピューティングデバイス900は、モバイルコンピューティングデバイス、ラップトップ、ネットブック、ノートブック、ウルトラブック(登録商標)、スマートフォン、タブレット、パーソナルデジタルアシスタント(PDA)、ウルトラモバイルPC、モバイルフォン、デスクトップコンピュータ、サーバ、プリンタ、スキャナ、モニタ、セットトップボックス、エンターテインメントコントロールユニット、デジタルカメラ、ポータブル音楽プレーヤ、又はデジタルビデオレコーダであり得る。更なる実装例において、コンピューティングデバイス900は、データを処理する任意の他の電子デバイスであり得る。

30

【0054】

様々な動作は、特許請求された主題の理解に最も有用である態様で、順に、複数の個別の動作として記載される。しかしながら、当該記載の順序は、これらの動作が、必ず順序に依存することを暗示するものとして解釈されるべきではない。

40

【0055】

[例]

いくつかの非限定的な例が以下に提供される。

【0056】

例1は、集積回路において用いられるアセンブリを含み、アセンブリは、グラフェンを含む第1の層と、グラフェンを含む第1の層上に直接配置される、フッ素化グラフェンを含む第2の層とを備える。

【0057】

例2は、例1のアセンブリを含み、グラフェンを含む第1の層は、グラフェンを含む第

50

3の層上に直接配置される。

【0058】

例3は、例1のアセンブリを含み、フッ素化グラフェンの第2の層上に直接配置される、フッ素化グラフェンを含む第3の層を更に備える。

【0059】

例4は、例1のアセンブリを含み、フッ素化グラフェンの第2の層上に直接配置される、グラフェンを含む第3の層を更に備える。

【0060】

例5は、例1のアセンブリを含み、フッ素化グラフェンの第2の層上に配置される電気絶縁材料の層を更に備える。

【0061】

例6は、例5のアセンブリを含み、電気絶縁材料の層上に配置される導電性材料を更に備える。

【0062】

例7は、例5のアセンブリを含み、電気絶縁材料の層上に配置される、フッ素化グラフェンを含む追加の層を更に備える。

【0063】

例8は、例7のアセンブリを含み、フッ素化グラフェンを含む追加の層上に配置される、グラフェンを含む追加の層を更に備える。

【0064】

例9は、半導体基板と、半導体基板上に配置されるグラフェンを含む層と、グラフェンを含む層上に直接配置される、フッ素化グラフェンを含む層とを備えるダイを含む。

【0065】

例10は、例9のダイを含み、フッ素化グラフェンを含む層上に配置されるゲート電極を更に備える。

【0066】

例11は、例10のダイを含み、ゲート電極の外面に隣接して配置される、フッ素化グラフェンを含む層の領域は、主に非フッ素化グラフェンを含む。

【0067】

例12は、例10のダイを含み、フッ素化グラフェンを含む層とゲート電極との間に配置されるゲート誘電体を更に備える。

【0068】

例13は、例11のダイを含み、ゲート誘電体は、フッ素化グラフェンを含む層上に直接配置され、ダイは、ゲート誘電体とゲート電極との間に直接配置される、フッ素化グラフェンを含む追加の層を更に備える。

【0069】

例14は、例10から13のいずれか1つのダイを含み、ゲート電極は、グラフェンを含む少なくとも1つの追加の層から形成される。

【0070】

例15は、例9のダイを含み、グラフェンを備える層は、トランジスタデバイスのチャネルとしての機能を果たし、フッ素化グラフェンを含む層は、トランジスタデバイスのゲート誘電体としての機能を果たす。

【0071】

例16は、例9のダイを含み、ダイは、半導体基板上に配置されるデバイス層を含み、デバイス層は、1又は複数のトランジスタデバイスを含み、ダイは、デバイス層上に配置される相互接続層を含み、グラフェンを含む層は、相互接続層に配置され、1又は複数のトランジスタデバイスの電気信号を伝送するように構成される。

【0072】

例17は、例16のダイを含み、フッ素化グラフェンを含む層上に配置される低誘電率誘電材料を更に備え、低誘電率誘電材料は、フッ素化グラフェンを含む層と追加の相互接

10

20

30

40

50

続層との間に配置される。

【0073】

例18は、アセンブリを製造する方法を含み、方法は、グラフェンを含む第2の層上に直接配置される、グラフェンを含む第1の層を含む多層スタックを提供する段階と、グラフェンを含む第1の層のグラフェンをフッ素化する段階とを備える。

【0074】

例19は、例18の方法を含み、多層スタックを提供する段階は、グラフェンを含む第2の層を、化学的気相成長により基板上に堆積する段階と、グラフェンを含む第1の層を、グラフェンを含む第2の層に結合する段階とを含む。

【0075】

例20は、例18の方法を含み、グラフェンを含む追加の層を、グラフェンを含む第1の層に結合する段階を更に備える。

【0076】

例21は、例20の方法を含み、グラフェンを含む追加の層のグラフェンをフッ素化する段階を更に備える。

【0077】

例22は、例18の方法を含み、フッ素化グラフェンを含む追加の層を、グラフェンを含む第1の層に結合する段階を更に備える。

【0078】

例23は、例18の方法を含み、第1の層のグラフェンをフッ素化する前に、グラフェンを含む第1の層上に導電性材料を堆積させる段階と、第1の層のグラフェンをフッ素化する前に、グラフェンを含む第1の層の1又は複数の部分を露出すべく、導電性材料の複数の部分を選択的に除去する段階とを更に備え、導電性材料は、第1の層のグラフェンの上記フッ素化中に、導電性材料により覆われるグラフェンを含む第1の層の複数の部分がフッ素化されることを防ぐ。

【0079】

例24は、コンピューティングデバイスを含み、回路基板と、回路基板と結合されるダイとを備え、ダイは、半導体基板と、半導体基板上に配置されるグラフェンを含む層と、グラフェンを含む層上に直接配置されるフッ素化グラフェンを含む層とを含む。

【0080】

例25は、例24のコンピューティングデバイスを含み、ダイはプロセッサで、コンピューティングデバイスは、アンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、音声コーデック、映像コーデック、パワーアンプ、全地球測位システム(GPS)デバイス、コンパス、ガイガーカウンタ、加速度計、ジャイロスコープ、スピーカ、及びカメラのうちの1又は複数を含むモバイルコンピューティングデバイスである。

【0081】

様々な実施形態は、上述の接続形(及び)で記載された複数の実施形態の、代替的(又は)な複数の実施形態を含む、上述の実施形態の任意の適切な組み合わせを含み得る(例えば、「及び」は「及び/又は」であり得る)。更に、いくつかの実施形態は、1又は複数の製造物品(例えば、非一時的なコンピュータ可読媒体)を含み得、製造物品は、そこに格納された複数の命令を有し、命令が実行されるとき、結果的に複数の上述の実施形態のいずれかの動作になる。更に、いくつかの実施形態は、複数の上述の実施形態の様々な動作を実行する任意の適切な手段を有する複数の装置又は複数のシステムを含み得る。

【0082】

要約書に記載されたものを含めて、示された複数の実装例の上記説明は、完全であること、又は本開示の実施形態を開示された厳密な形態に限定することは意図されていない。特定の実装例及び例が例示の目的のために本明細書に記載される一方で、当業者が認識するであろうように、本開示の範囲内で、様々な均等な変形が可能である。

【0083】

10

20

30

40

50

これらの変形は、上記詳細な説明を考慮して、本開示の実施形態に対して行われ得る。以下の特許請求の範囲において用いられる用語は、本開示の様々な実施形態を、明細書及び特許請求の範囲に開示された特定の実装例に限定して解釈されるべきでない。むしろ、範囲は、以下の特許請求の範囲によって全体的に決定され、特許請求の範囲の解釈の確立された原則に従って解釈されるべきである。

【図 1 A】

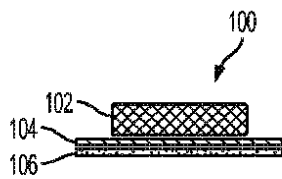


FIG. 1A

【図 1 C】

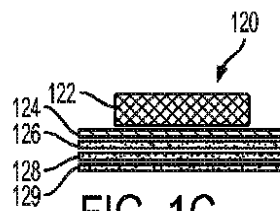


FIG. 1C

【図 1 B】

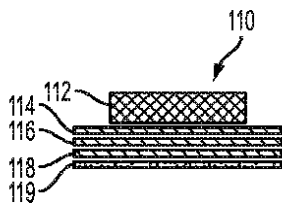


FIG. 1B

【図 1 D】

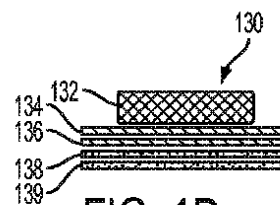
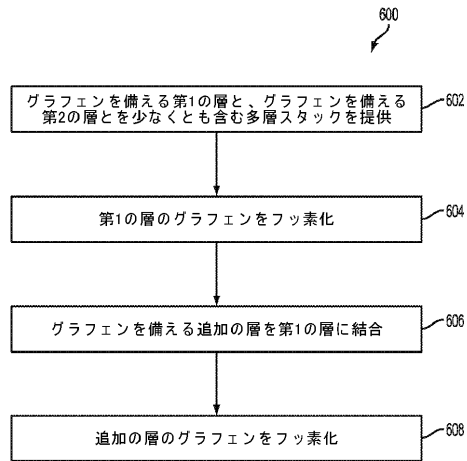
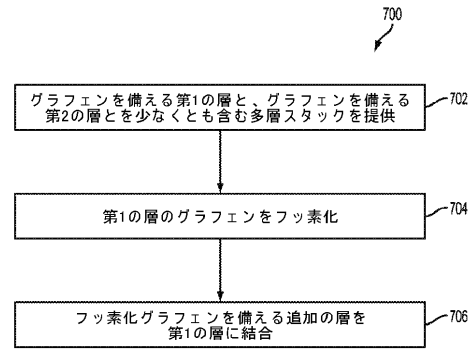


FIG. 1D

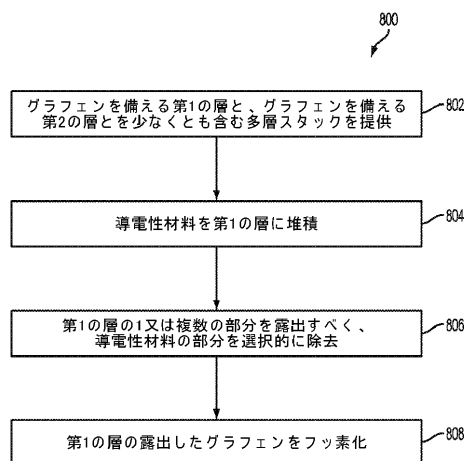
【図 6】



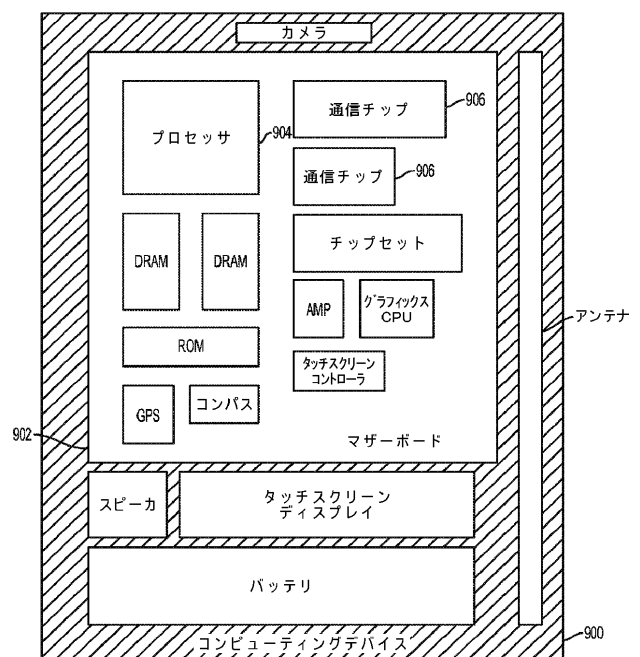
【図 7】



【図 8】



【図 9】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2014/042395
A. CLASSIFICATION OF SUBJECT MATTER H01L 23/14(2006.01)i, H01L 23/18(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 23/14; B05D 3/00; H01L 29/78; H01L 21/04; H01L 21/02; C23C 16/44; H01L 29/16; H01L 29/66; C23C 16/26; H01L 29/775; H01L 23/18 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) cKOMPASS(KIPO internal) & keywords: fluorinated graphene, graphene, IC, interconnect, gate		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2014-0021446 A1 (CHANG-SEUNG LEE et al.) 23 January 2014 See abstract, paragraphs [0079]-[0160], claims 24-34 and figures 1-11.	1-25
A	US 2013-0313522 A1 (AMIRHASAN NOURBAKHSH et al.) 28 November 2013 See abstract, paragraphs [0036]-[0079] and figures 1-2.	1-25
A	US 2012-0085991 A1 (GUY COHEN et al.) 12 April 2012 See abstract, paragraphs [0034]-[0069] and claim 1.	1-25
A	US 2013-0022813 A1 (SHUIE TANG et al.) 24 January 2013 See abstract, paragraphs [0010]-[0032] and claim 1.	1-25
A	US 2013-0001515 A1 (LAIN-JONG LI et al.) 03 January 2013 See abstract, paragraphs [0004]-[0012] and claim 1.	1-25
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 February 2015 (27.02.2015)		Date of mailing of the international search report 27 February 2015 (27.02.2015)
Name and mailing address of the ISA/KR  International Application Division Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. +82 42 472 3473		Authorized officer CHOI, Sang Won Telephone No. +82-42-481-8291 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2014/042395

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2014-0021446 A1	23/01/2014	CN 103579310 A EP 2690664 A1 KR 10-2014-0013405 A	12/02/2014 29/01/2014 05/02/2014
US 2013-0313522 A1	28/11/2013	EP 2667417 A1 KR 10-2013-0131253 A	27/11/2013 03/12/2013
US 2012-0085991 A1	12/04/2012	US 8361853 B2	29/01/2013
US 2013-0022813 A1	24/01/2013	WO 2013-013419 A1	31/01/2013
US 2013-0001515 A1	03/01/2013	CN 102849961 A TW 201303064 A US 8685843 B2	02/01/2013 16/01/2013 01/04/2014

フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H 0 1 L 21/3205 (2006.01)		H 0 1 L 29/28		2 5 0 E
H 0 1 L 51/30 (2006.01)		H 0 1 L 29/78		6 1 8 B
H 0 1 L 21/205 (2006.01)		H 0 1 L 21/205		
H 0 1 L 21/471 (2006.01)		H 0 1 L 21/471		

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 アブジュ、ウイガル

アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内

Fターム(参考) 4M104 AA10 BB36 EE03 EE12 EE14 FF13 GG09
5F033 HH00 KK00 RR01 RR04 TT02
5F045 AB07 AB31 CA15 DA52
5F058 BC20 BD18 BF68
5F110 EE01 FF01 FF02 FF09 FF21 GG01