

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5676671号  
(P5676671)

(45) 発行日 平成27年2月25日(2015.2.25)

(24) 登録日 平成27年1月9日(2015.1.9)

(51) Int.Cl.	F I				
<b>HO 1 G 4/232 (2006.01)</b>	HO 1 G	4/12	3 5 2		
<b>HO 1 G 4/12 (2006.01)</b>	HO 1 G	4/12	3 4 9		
<b>HO 1 G 4/30 (2006.01)</b>	HO 1 G	4/30	3 0 1 D		
<b>HO 1 G 2/06 (2006.01)</b>	HO 1 G	4/30	3 0 1 E		
	HO 1 G	4/30	3 0 1 B		
請求項の数 14 (全 19 頁) 最終頁に続く					

(21) 出願番号 特願2013-66030 (P2013-66030)  
 (22) 出願日 平成25年3月27日(2013.3.27)  
 (65) 公開番号 特開2014-197572 (P2014-197572A)  
 (43) 公開日 平成26年10月16日(2014.10.16)  
 審査請求日 平成25年3月27日(2013.3.27)  
 (31) 優先権主張番号 10-2012-0149348  
 (32) 優先日 平成24年12月20日(2012.12.20)  
 (33) 優先権主張国 韓国 (KR)

前置審査

(73) 特許権者 594023722  
 サムソン エレクトロメカニクス カ  
 ンパニーリミテッド.  
 大韓民国、キョンギード、スウォン-シ、  
 ヨントン-グ、(マエタン-ードン) マエヨ  
 ン-ロ 1 5 0  
 (74) 代理人 100088605  
 弁理士 加藤 公延  
 (72) 発明者 パク・ミン・チョル  
 大韓民国、キョンギード、スウォン、ヨ  
 ントン-グ、マエタン3-ードン 3 1 4、サ  
 ムソン エレクトロメカニクス カ  
 ンパニーリミテッド

最終頁に続く

(54) 【発明の名称】 積層セラミックキャパシタ及び積層セラミックキャパシタの実装基板

(57) 【特許請求の範囲】

【請求項 1】

複数の誘電体層が積層されるセラミック本体と、  
 前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成され、前記誘電体層の上部または下部にそれぞれ配置された複数の内部電極を含んで容量が形成されるアクティブ層と、  
 前記アクティブ層の上部に形成される上部カバー層と、  
 前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、  
 前記セラミック本体の両端面と上下面の一部を覆うように形成される外部電極とを含み、

前記アクティブ層の最下端の内部電極の端部から前記セラミック本体の下面の一部を覆っている外部電極の端部までの距離を E、前記外部電極の端部から前記アクティブ層の最下端の内部電極までの最短距離を T、前記セラミック本体の長手方向のマージンを F、前記セラミック本体の全体厚さの 1 / 2 を A、前記下部カバー層の厚さを B と規定するとき、  
 $1.2 \leq E / T < 2.0$ 、 $30 \mu\text{m} \leq F < 175 \mu\text{m}$ 、 $A > B$  の範囲を満たし、

前記セラミック本体の下面の一部を覆っている外部電極の長手方向の長さは前記マージン F よりも大きい、積層セラミックキャパシタ。

【請求項 2】

前記アクティブ層の全体厚さの 1 / 2 を C、前記上部カバー層の厚さを D と規定するとき、前記アクティブ層の中心部が前記セラミック本体の中心部から外れた割合 ( B + C )

/ A が、 $1.063 \leq (B + C) / A \leq 1.745$  の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 3】

前記下部カバー層の厚さ ( B ) に対する前記上部カバー層の厚さ ( D ) の比  $D / B$  が、 $0.021 \leq D / B \leq 0.422$  の範囲を満たす、請求項 2 に記載の積層セラミックキャパシタ。

【請求項 4】

前記セラミック本体の全体厚さの  $1 / 2$  ( A ) に対する前記下部カバー層の厚さ ( B ) の比  $B / A$  が、 $0.329 \leq B / A$  の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 5】

前記下部カバー層の厚さ ( B ) に対する前記アクティブ層の全体厚さの  $1 / 2$  ( C ) の比  $C / B$  が、 $0.146 \leq C / B \leq 2.458$  の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 6】

電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記セラミック本体の厚さの中心部以下に形成される、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 7】

第 1 及び第 2 の前記内部電極は、前記セラミック本体の端面から露出する部分が内側に向かってテーパ状となるように形成される、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 8】

第 1 及び第 2 の前記内部電極は、前記セラミック本体の外側に露出しない他面の角部が内側に向かってテーパ状となるように形成される、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 9】

上部に一对の電極パッドを有するプリント基板と、  
前記プリント基板上に設けられる積層セラミックキャパシタとを含み、  
前記積層セラミックキャパシタは、複数の誘電体層が積層されるセラミック本体と、前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成され、前記誘電体層の上部または下部にそれぞれ配置された複数の内部電極を含んで容量が形成されるアクティブ層と、前記アクティブ層の上部に形成される上部カバー層と、前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、前記セラミック本体の両端面と上下面の一部を覆うように形成され、前記一对の電極パッドに半田により接続される外部電極とを含み、前記アクティブ層の最下端の内部電極の端部から前記セラミック本体の下面の一部を覆っている外部電極の端部までの距離を E、前記外部電極の端部から前記アクティブ層の最下端の内部電極までの最短距離を T、前記セラミック本体の長手方向のマーヅンを F、前記セラミック本体の全体厚さの  $1 / 2$  を A、前記下部カバー層の厚さを B と規定するとき、 $1.2 \leq E / T < 2.0$ 、 $30 \mu\text{m} \leq F < 175 \mu\text{m}$ 、 $A > B$  の範囲を満たし、前記セラミック本体の下面の一部を覆っている外部電極の長手方向の長さは前記マーヅン F よりも大きい、積層セラミックキャパシタの実装基板。

【請求項 10】

前記アクティブ層の全体厚さの  $1 / 2$  を C、前記上部カバー層の厚さを D と規定するとき、前記アクティブ層の中心部が前記セラミック本体の中心部から外れた割合  $( B + C ) / A$  が、 $1.063 \leq ( B + C ) / A \leq 1.745$  の範囲を満たす、請求項 9 に記載の積層セラミックキャパシタの実装基板。

【請求項 11】

前記下部カバー層の厚さ ( B ) に対する前記上部カバー層の厚さ ( D ) の比  $D / B$  が、 $0.021 \leq D / B \leq 0.422$  の範囲を満たす、請求項 10 に記載の積層セラミックキ

10

20

30

40

50

ャパシタの実装基板。

【請求項 1 2】

前記セラミック本体の全体厚さの  $1/2$  (A) に対する前記下部カバー層の厚さ (B) の比  $B/A$  が、 $0.329 \leq B/A \leq 2.458$  の範囲を満たす、請求項 9 に記載の積層セラミックキャパシタの実装基板。

【請求項 1 3】

前記下部カバー層の厚さ (B) に対する前記アクティブ層の全体厚さの  $1/2$  (C) の比  $C/B$  が、 $0.146 \leq C/B \leq 2.458$  の範囲を満たす、請求項 9 に記載の積層セラミックキャパシタの実装基板。

【請求項 1 4】

電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記半田の高さ以下に形成される、請求項 9 に記載の積層セラミックキャパシタの実装基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層セラミックキャパシタ及び積層セラミックキャパシタの実装基板に関する。

【背景技術】

【0002】

積層チップ電子部品の 1 つである積層セラミックキャパシタ (MLCC: Multi-Layered Ceramic Capacitor) は、液晶ディスプレイ (LCD: Liquid Crystal Display) やプラズマディスプレイパネル (PDP: Plasma Display Panel) などの映像機器、コンピュータ、個人用の携帯情報端末 (PDA: Personal Digital Assistant)、携帯電話などの様々な電子装置のプリント基板に取り付けられて充放電を行う役割を果たすチップ型コンデンサである。

【0003】

このような積層セラミックキャパシタは、小型ながらも高容量が保証されて実装が容易であるという利点により、様々な電子装置の部品として用いられている。

【0004】

前記積層セラミックキャパシタは、複数の誘電体層間に異なる極性の内部電極が交互に積層された構造を有する。

【0005】

前記誘電体層が圧電性及び電歪性を有するため、前記積層セラミックキャパシタに直流又は交流電圧が印加される際に、前記内部電極間に圧電現象が生じて振動が発生することがある。

【0006】

その振動は前記積層セラミックキャパシタの外部電極を介して前記積層セラミックキャパシタが実装されたプリント基板に伝達され、前記プリント基板全体が音響反射面となって雑音となる振動音を発生する。

【0007】

前記振動音の周波数は人に不快感を与える  $20 \sim 20000$  Hz の可聴周波数であり得る。このように人に不快感を与える振動音をアコースティックノイズ (Acoustic Noise) といい、このようなアコースティックノイズを低減するための研究が必要となっている。

【0008】

また、前記積層セラミックキャパシタは、セラミックシート上にシートの面積よりも小さい所定厚さの内部電極を印刷した後に積層するため、マージン部と内部電極が形成された誘電体層間に段差が必然的に生じ、特に、このような段差は最外郭の内部電極が形成さ

10

20

30

40

50

れた部分で大きくなる。

【0009】

このように段差が生じた場合、熱衝撃が加わったり、実装後のプリント基板の反りによる応力が加わると、誘電体層の一部が剥離するデラミネーションやクラックが発生し得る。

【0010】

これにより、前記デラミネーションやクラックから湿気やその他の異物などが内部電極の露出する面に浸透し、前記積層セラミックキャパシタの絶縁抵抗の劣化や信頼性の低下などの問題を引き起こすことがある。このような問題は、特にシート積層数の多い超高容量製品においてより深刻化する。

10

【0011】

下記特許文献1は、下部カバー層が上部カバー層より厚く形成された積層セラミックキャパシタを開示しているが、最外郭の内部電極の端部と外部電極の端部との距離の数値限定に関する内容は開示していない。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開平6-215978号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0013】

当該技術分野においては、圧電現象による振動により発生する騒音を低減すると共に、マージン部と内部電極が形成された誘電体層間の段差を補償して熱衝撃又は実装後のプリント基板の反りによる応力などの機械的衝撃によるデラミネーションやクラックの発生を抑制することができる、積層セラミックキャパシタの新しい工夫が求められている。

【課題を解決するための手段】

【0014】

本発明の一態様は、複数の誘電体層が積層されるセラミック本体と、前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成される複数の内部電極を含んで容量が形成されるアクティブ層と、前記アクティブ層の上部に形成される上部カバー層と、前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、前記セラミック本体の両端面と上下面の一部を覆うように形成される外部電極とを含み、前記アクティブ層の最下端の内部電極の端部から前記セラミック本体の下面の一部を覆っている外部電極の端部までの距離をE、前記外部電極の端部から前記アクティブ層の最下端の内部電極までの最短距離をT、前記セラミック本体の長手方向のマージンをFと規定するとき、 $1.2 \leq E/T \leq 3.0$ 、 $0 \leq F \leq 30 \mu\text{m}$ の範囲を満たす、積層セラミックキャパシタを提供する。

30

【0015】

本発明の一実施形態においては、前記セラミック本体の全体厚さの1/2をA、前記下部カバー層の厚さをB、前記アクティブ層の全体厚さの1/2をC、前記上部カバー層の厚さをDと規定するとき、前記アクティブ層の中心部が前記セラミック本体の中心部から外れた割合 $(B+C)/A$ が、 $0.063 \leq (B+C)/A \leq 0.745$ の範囲を満たすようにしてもよい。

40

【0016】

本発明の一実施形態においては、前記下部カバー層の厚さ(B)に対する前記上部カバー層の厚さ(D)の比 $D/B$ が、 $0.021 \leq D/B \leq 0.422$ の範囲を満たすようにしてもよい。

【0017】

本発明の一実施形態においては、前記セラミック本体の全体厚さの1/2(A)に対する前記下部カバー層の厚さ(B)の比 $B/A$ が、 $0.329 \leq B/A \leq 1.522$ の範囲

50

を満たすようにしてもよい。

【0018】

本発明の一実施形態においては、前記下部カバー層の厚さ(B)に対する前記アクティブ層の全体厚さの1/2(C)の比C/Bが、0.146 <math>C/B < 2.458</math>の範囲を満たすようにしてもよい。

【0019】

本発明の一実施形態においては、電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記セラミック本体の厚さの中心部以下に形成されるようにしてもよい。

【0020】

本発明の一実施形態において、前記第1及び第2内部電極は、前記セラミック本体の端面から露出する部分が内側に向かってテーパ状となるように形成されてもよい。

【0021】

本発明の一実施形態において、前記第1及び第2内部電極は、前記セラミック本体の外側に露出しない他面の角部が内側に向かってテーパ状となるように形成されてもよい。

【0022】

本発明の他の態様は、上部に一对の電極パッドを有するプリント基板と、前記プリント基板上に設けられる積層セラミックキャパシタを含み、前記積層セラミックキャパシタは、複数の誘電体層が積層されるセラミック本体と、前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成される複数の内部電極を含んで容量が形成されるアクティブ層と、前記アクティブ層の上部に形成される上部カバー層と、前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、前記セラミック本体の両端面と上下面の一部を覆うように形成され、前記一对の電極パッドに半田により接続される外部電極とを含み、前記アクティブ層の最下端の内部電極の端部から前記セラミック本体の下面の一部を覆っている外部電極の端部までの距離をE、前記外部電極の端部から前記アクティブ層の最下端の内部電極までの最短距離をT、前記セラミック本体の長手方向のマージンをFと規定するとき、 $1.2 < E/T < 30 \mu m / F$ の範囲を満たす、積層セラミックキャパシタの実装基板を提供する。

【0023】

本発明の一実施形態においては、電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記半田の高さ以下に形成されるようにしてもよい。

【発明の効果】

【0024】

本発明の一実施形態によれば、積層セラミックキャパシタに発生する振動を低減することにより、プリント基板から発生するアコースティックノイズを低減すると共に、セラミック本体の段差を補償して熱衝撃又は実装後のプリント基板の反りによる応力などの機械的衝撃によるデラミネーションやクラックの発生を抑制することにより、湿気やその他の異物などが内部電極の露出する面に浸透することを防止し、積層セラミックキャパシタの絶縁抵抗の劣化を防止して信頼性を向上させることができるという効果がある。

【図面の簡単な説明】

【0025】

【図1】本発明の一実施形態による積層セラミックキャパシタの一部を切開して概略的に示す斜視図である。

【図2】図1の積層セラミックキャパシタを長手方向に切断して示す断面図である。

【図3】積層セラミックキャパシタに含まれる構成要素の寸法関係を説明するために図1の積層セラミックキャパシタを長手方向に切断して概略的に示す断面図である。

【図4】図1の積層セラミックキャパシタがプリント基板に実装された様子を示す斜視図である。

【図5】図4の積層セラミックキャパシタ及びプリント基板を長手方向に切断して示す断

10

20

30

40

50

面図である。

【図 6】図 5 の積層セラミックキャパシタがプリント基板に実装された状態で電圧が印加されて積層セラミックキャパシタが変形した様子を概略的に示す断面図である。

【図 7】本発明の一実施形態による積層セラミックキャパシタに適用される内部電極の変形例を示す横断面図である。

【図 8】本発明の一実施形態による積層セラミックキャパシタに適用される内部電極の変形例を示す横断面図である。

【図 9】本発明の一実施形態による積層セラミックキャパシタに適用される内部電極の変形例を示す横断面図である。

【図 10】本発明の一実施形態による積層セラミックキャパシタに適用される内部電極の変形例を示す横断面図である。

10

【図 11】本発明の一実施形態による積層セラミックキャパシタに適用される内部電極の変形例を示す横断面図である。

【図 12】本発明の一実施形態による積層セラミックキャパシタに適用される内部電極の変形例を示す横断面図である。

【図 13】本発明の一実施形態による積層セラミックキャパシタに適用される内部電極の変形例を示す横断面図である。

【発明を実施するための形態】

【0026】

以下、添付図面を参照して本発明の好ましい実施形態を説明する。

20

【0027】

しかし、本発明の実施形態は様々な他の形態に変形することができ、本発明の範囲が後述する実施形態に限定されるものではない。

【0028】

また、本発明の実施形態は、当該技術分野における通常の知識を有する者に本発明をより完全に説明するために提供されるものである。

【0029】

図面において、構成要素の形状及び大きさなどはより明確な説明のために誇張することもある。

【0030】

30

なお、各実施形態の図面に示される同一の思想の範囲内における機能が同一の構成要素については、同一の符号を付して説明する。

【0031】

本発明の実施形態を明確に説明するために六面体の方向を定義すると、図面に示す L、W、及び T は、それぞれ長手方向、幅方向、及び厚さ方向を示す。ここで、厚さ方向とは、誘電体層の積層方向と同じ概念で用いられる。

【0032】

また、本発明の実施形態を説明するにあたっては、説明の便宜上、セラミック本体の長手方向に第 1 及び第 2 外部電極が形成される面を左右両端面に設定し、これと直交する面を左右側面に設定して説明する。

40

【0033】

積層セラミックキャパシタ

【0034】

図 1 及び図 2 を参照すると、本発明の一実施形態による積層セラミックキャパシタ 100 は、セラミック本体 110 と、第 1 及び第 2 内部電極 121、122 を有するアクティブ層 115 と、上部及び下部カバー層 112、113 と、セラミック本体 110 の両端面を覆うように形成された第 1 及び第 2 外部電極 131、132 とを含む。

【0035】

セラミック本体 110 は、複数の誘電体層 111 を積層した後に焼成して形成したものであり、セラミック本体 110 の形状、寸法、及び誘電体層 111 の積層数が本実施形態

50

のものに限定されるものではない。

【0036】

また、セラミック本体110を形成する複数の誘電体層111は、焼結した状態であり、隣接する誘電体層111同士の境界は走査型電子顕微鏡(SEM: Scanning Electron Microscope)を用いなければ確認できない程度に一体化されている。

【0037】

このようなセラミック本体110は、キャパシタの容量形成に寄与する部分としてのアクティブ層115と、上下マージン部としてアクティブ層115の上下部にそれぞれ形成された上部及び下部カバー層112、113とから構成されてもよい。

10

【0038】

アクティブ層115は、誘電体層111を介して複数の第1及び第2内部電極121、122を繰り返し積層して形成してもよい。

【0039】

ここで、誘電体層111の厚さは、積層セラミックキャパシタ100の容量設計に応じて適宜変更することができ、1層の厚さが焼成後に0.01~1.00 $\mu\text{m}$ となるようにすることが好ましいが、本発明はこれに限定されるものではない。

【0040】

また、誘電体層111は、高誘電率を有するセラミック粉末、例えばチタン酸バリウム( $\text{BaTiO}_3$ )系粉末又はチタン酸ストロンチウム( $\text{SrTiO}_3$ )系粉末を含んでもよいが、本発明はこれに限定されるものではない。

20

【0041】

上部及び下部カバー層112、113は、内部電極を含まないことを除いては、誘電体層111と同じ材質及び構成を有するようにしてもよい。

【0042】

上部及び下部カバー層112、113は、単一の誘電体層又は2つ以上の誘電体層をアクティブ層115の上下面にそれぞれ上下方向に積層して形成してもよく、基本的に物理的又は化学的ストレスによる第1及び第2内部電極121、122の損傷を防止する役割を果たす。

【0043】

また、下部カバー層113は、上部カバー層112よりも誘電体層の積層数を増加させることで上部カバー層112より厚く形成してもよい。

30

【0044】

第1及び第2内部電極121、122は、異なる極性を有する一对の電極であって、誘電体層111上に導電性金属を含む導電性ペーストを所定の厚さで印刷して誘電体層111の積層方向に沿って両端面から交互に露出するように形成し、中間に配置された誘電体層111により互いに電氣的に絶縁されるようにしてもよい。

【0045】

つまり、第1及び第2内部電極121、122は、セラミック本体110の両端面から交互に露出する部分により、第1及び第2外部電極131、132とそれぞれ電氣的に接続されるようにしてもよい。

40

【0046】

従って、第1及び第2外部電極131、132に電圧を印加すると、対向する第1及び第2内部電極121、122間に電荷が蓄積され、このとき、積層セラミックキャパシタ100の静電容量は第1及び第2内部電極121、122の重なる領域の面積に比例する。

【0047】

このような第1及び第2内部電極121、122の厚さは、用途に応じて決定され、例えば、セラミック本体110の大きさを考慮して0.2~1.0 $\mu\text{m}$ の範囲内で決定されるが、本発明はこれに限定されるものではない。

50

## 【0048】

また、第1及び第2内部電極121、122を形成する導電性ペーストに含まれる導電性金属は、ニッケル(Ni)、銅(Cu)、パラジウム(Pd)、又はこれらの合金であってもよいが、本発明はこれに限定されるものではない。

## 【0049】

また、前記導電性ペーストの印刷方法としては、スクリーン印刷法又はグラビア印刷法などを用いてもよいが、本発明はこれに限定されるものではない。

## 【0050】

第1及び第2外部電極131、132は、導電性金属を含む導電性ペーストにより、セラミック本体110の両端面と上下面の一部を覆うように形成されてもよく、前記導電性金属は、ニッケル(Ni)、銅(Cu)、パラジウム(Pd)、金(Au)、又はこれらの合金であってもよいが、本発明はこれに限定されるものではない。

10

## 【0051】

このような第1及び第2外部電極131、132は、プリント基板への実装時に段差が主に生じる第1及び第2内部電極121、122の端部との距離を調整することでデラミネーションやクラックの発生を低減して信頼性を向上させる必要がある。

## 【0052】

図2を参照すると、アクティブ層115の最下端の第2内部電極122の端部からセラミック本体110の下面 $S_B$ の一部を覆っている第1外部電極131の端部までの距離をE、第1外部電極131の端部からアクティブ層115の最下端の第2内部電極122までの最短距離をT、セラミック本体110の一端面から第2内部電極122の端部までの長手方向のマージンをFと規定する。

20

## 【0053】

ここで、デラミネーションやクラックの発生を低減して信頼性を向上させることのできる範囲は、 $1.2 \leq E/T$ である。

## 【0054】

$1.2 > E/T$ の場合は、セラミック本体110の段差が生じる部分又はそれに隣接する部分にプリント基板の反りによる応力などの機械的衝撃が集中するため、反り・クラック発生率が増加する。

## 【0055】

また、セラミック本体110の長手方向のマージンFは、デラミネーションの発生を防止するために、 $30 \mu\text{m}$ 以上にする。

30

## 【0056】

セラミック本体110の長手方向のマージンFが $30 \mu\text{m}$ 未満の場合は、マージンが十分でないため、デラミネーションの発生が増加する。

## 【0057】

以下、本実施形態による積層セラミックキャパシタに含まれる構成要素の寸法とアコースティックノイズの関係を説明する。

## 【0058】

図3を参照すると、セラミック本体110の全体厚さの $1/2$ をA、下部カバー層113の厚さをB、アクティブ層115の全体厚さの $1/2$ をC、上部カバー層112の厚さをDと規定する。

40

## 【0059】

ここで、セラミック本体110の全体厚さとは、セラミック本体110の上面 $S_T$ から下面 $S_B$ までの距離を意味し、アクティブ層115の全体厚さとは、アクティブ層115の最上部に形成された第1内部電極121の上面からアクティブ層115の最下部に形成された第2内部電極122の下面までの距離を意味する。

## 【0060】

また、下部カバー層113の厚さ(B)とは、アクティブ層115の厚さ方向の最下部に形成された第2内部電極122の下面からセラミック本体110の下面 $S_B$ までの距離

50



を意味し、上部カバー層 112 の厚さ (D) とは、アクティブ層 115 の厚さ方向の最上部に形成された第 1 内部電極 121 の上面からセラミック本体 110 の上面  $S_T$  までの距離を意味する。

【0061】

積層セラミックキャパシタ 100 の両端部に形成された第 1 及び第 2 外部電極 131、132 に極性が異なる電圧が印加されると、セラミック本体 110 は、誘電体層 111 の逆圧電効果 (inverse piezoelectric effect) により厚さ方向に膨張と収縮をし、第 1 及び第 2 外部電極 131、132 の両端部は、ポアソン効果 (poisson effect) によりセラミック本体 110 の厚さ方向の膨張と収縮とは逆に収縮と膨張をする。

10

【0062】

ここで、アクティブ層 115 の中心部  $CL_A$  は、第 1 及び第 2 外部電極 131、132 の長手方向の両端部において最大に膨張と収縮をする部分であり、アコースティックノイズ発生の原因となる。

【0063】

つまり、本実施形態においては、アコースティックノイズを低減するために、電圧印加時におけるアクティブ層 115 の中心部  $CL_A$  の変形率と下部カバー層 113 の変形率との差により、セラミック本体 110 の両端面に形成される変曲点 (PI: Point of Inflection) がセラミック本体 110 の厚さの中心部  $CL_C$  以下に形成されるようにしてもよい。

20

【0064】

ここで、アコースティックノイズをさらに低減するために、アクティブ層 115 の中心部  $CL_A$  がセラミック本体 110 の中心部  $CL_C$  から外れた割合  $(B+C)/A$  は、 $1.063 < (B+C)/A < 1.745$  の範囲を満たすことが好ましい。

【0065】

また、下部カバー層 113 の厚さ (B) に対する上部カバー層 112 の厚さ (D) の比  $D/B$  は、 $0.021 < D/B < 0.422$  の範囲を満たすようにしてもよい。

【0066】

また、セラミック本体 110 の全体厚さの  $1/2$  (A) に対する下部カバー層 113 の厚さ (B) の比  $B/A$  は、 $0.329 < B/A < 1.522$  の範囲を満たすようにしてもよい。

30

【0067】

また、下部カバー層 113 の厚さ (B) に対するアクティブ層 115 の全体厚さの  $1/2$  (C) の比  $C/B$  は、 $0.146 < C/B < 2.458$  の範囲を満たすようにしてもよい。

【0068】

実験例

【0069】

本発明の実施例と比較例による積層セラミックキャパシタは次のように製造された。

【0070】

まず、チタン酸バリウム ( $BaTiO_3$ ) 粉末などを含むスラリーをキャリアフィルム上に塗布及び乾燥して  $1.8 \mu m$  の厚さに製造された複数のセラミックグリーンシートを用意する。

40

【0071】

次に、前記セラミックグリーンシート上にスクリーンを用いてニッケル内部電極用導電性ペーストを塗布して内部電極を形成した。

【0072】

次に、前記セラミックグリーンシートを約 370 層積層し、内部電極が形成されていないセラミックグリーンシートを内部電極が形成されたセラミックグリーンシートの上部よりも下部に多く積層した。このセラミック積層体を  $85 \times 1000 kgf/cm^2$  の圧

50

力条件で等静圧圧縮成形 ( i s o s t a t i c p r e s s i n g ) した。

【 0 0 7 3 】

次に、圧着が完了したセラミック積層体を個別のチップ状に切断し、切断された積層チップは大気雰囲気中で 2 3 0 、 6 0 時間保持して脱バインダーを行った。

【 0 0 7 4 】

その後、1 2 0 0 で内部電極が酸化しないように、Ni / Ni O 平衡酸素分圧よりも低い  $1 0^{-11} \sim 1 0^{-10}$  atm の酸素分圧下の還元雰囲気中で焼成した。焼成後の積層チップキャパシタのチップサイズは、長さ × 幅 ( L × W ) が約 1 . 6 4 mm × 0 . 8 8 mm ( L × W , 1 6 0 8 サイズ ) であった。ここで、製造公差は長さ × 幅 ( L × W ) が ± 0 . 1 mm 以内の範囲にし、これを満たすものを対象として実験を行い、アコースティック

10

【 0 0 7 5 】

次に、外部電極形成、めっきなどの工程を経て積層セラミックキャパシタを製造した。

【 0 0 7 6 】

【表 1】

サンプル	A ( $\mu\text{m}$ )	B ( $\mu\text{m}$ )	C ( $\mu\text{m}$ )	D ( $\mu\text{m}$ )	(B+C)/A	B/A	D/B	C/B	AN (dB)	容量 実現率
1*	405.5	40.2	365.4	39.9	1.000	0.099	0.993	9.090	29.5	OK
2*	436.0	70.4	365.9	69.7	1.001	0.161	0.990	5.197	25.7	OK
3*	455.5	90.8	364.3	91.5	0.999	0.199	1.008	4.012	23.1	OK
4*	508.1	24.9	361.1	269.1	0.760	0.049	10.807	14.502	31.2	OK
5*	456.6	25.2	360.1	167.8	0.844	0.055	6.659	14.290	32.5	OK
6*	527.3	30.2	191.0	642.4	0.419	0.057	21.272	6.325	30.3	OK
7*	414.5	30.9	188.8	420.4	0.530	0.075	13.605	6.110	30.5	OK
8*	516.2	39.4	360.7	271.5	0.775	0.076	6.891	9.155	28.2	OK
9*	446.0	39.8	365.5	121.2	0.909	0.089	3.045	9.183	29.1	OK
10*	469.1	40.6	364.2	169.1	0.863	0.087	4.165	8.970	27.9	OK
11*	416.2	40.7	360.7	70.3	0.964	0.098	1.727	8.862	28.4	OK
12*	428.3	40.8	360.0	95.7	0.936	0.095	2.346	8.824	28.9	OK
13*	495.9	40.9	364.9	221.0	0.818	0.082	5.403	8.922	28.1	OK
14*	435.9	25.0	421.3	4.2	1.024	0.057	0.168	16.852	31.6	OK
15*	420.7	70.4	365.9	39.1	1.037	0.167	0.555	5.197	25.7	OK
16	431.7	94.8	364.3	40.0	1.063	0.220	0.422	3.843	19.9	OK
17	443.0	103.8	389.1	4.0	1.113	0.234	0.039	3.749	19.3	OK
18	443.7	119.8	363.2	41.1	1.089	0.270	0.343	3.032	18.7	OK
19	447.1	147.3	362.1	22.7	1.139	0.329	0.154	2.458	17.9	OK
20	452.8	164.7	360.2	20.4	1.159	0.364	0.124	2.187	17.3	OK
21	448.7	170.3	361.0	5.1	1.184	0.380	0.030	2.120	17.2	OK
22	470.7	170.4	365.4	40.2	1.138	0.362	0.236	2.144	17.4	OK
23	491.9	220.3	360.8	41.8	1.181	0.448	0.190	1.638	16.9	OK
24	500.6	270.2	360.5	9.9	1.260	0.540	0.037	1.334	16.8	OK
25	516.9	270.4	361.8	39.7	1.223	0.523	0.147	1.338	16.7	OK
26	502.1	364.9	312.3	14.7	1.349	0.727	0.040	0.856	16.6	OK
27	407.5	421.8	189.1	14.9	1.499	1.035	0.035	0.448	16.6	OK
28	445.8	493.3	179.3	39.7	1.509	1.107	0.080	0.363	16.5	OK
29	483.7	632.0	160.1	15.2	1.638	1.307	0.024	0.253	16.4	OK
30	520.0	643.4	190.7	15.2	1.604	1.237	0.024	0.296	16.4	OK
31	486.4	685.3	121.1	45.3	1.658	1.409	0.066	0.177	16.4	OK
32	507.2	742.7	120.8	30.1	1.702	1.464	0.041	0.163	16.4	OK
33	515.2	773.9	118.2	20.1	1.732	1.502	0.026	0.153	16.4	OK
34	524.5	798.2	116.9	16.9	1.745	1.522	0.021	0.146	16.3	OK
35*	533.4	832.4	109.8	14.8	1.766	1.561	0.018	0.132	16.3	NG
36*	533.3	841.1	105.3	14.9	1.775	1.577	0.018	0.125	16.3	NG
37*	534.1	849.7	101.2	16.1	1.780	1.591	0.019	0.119	16.3	NG

\*は比較例、AN：アコースティックノイズ (Acoustic Noise)

【0077】

上記表1のデータは、図3のように積層セラミックキャパシタ100のセラミック本体110の幅方向(W)の中心部から長手方向(L)及び厚さ方向(T)に切開した断面を走査型電子顕微鏡(SEM)で撮影した写真を基準としてそれぞれの寸法を測定したものである。

10

20

30

40

50

## 【 0 0 7 8 】

前述したように、セラミック本体 1 1 0 の全体厚さの 1 / 2 を A、下部カバー層 1 1 3 の厚さを B、アクティブ層 1 1 5 の全体厚さの 1 / 2 を C、上部カバー層 1 1 2 の厚さを D と規定する。

## 【 0 0 7 9 】

アコースティックノイズを測定するために、アコースティックノイズ測定用基板当たり 1 つのサンプル（積層チップキャパシタ）を上下方向に区分してプリント基板に実装した後、その基板を測定治具に装着した。

## 【 0 0 8 0 】

また、DC パワーサプライ（power supply）及び信号発生器（function generator）を用いて、測定治具に装着された試料の両端子に DC 電圧及び電圧変動を印加した。前記プリント基板の直上に設けられたマイクを用いてアコースティックノイズを測定した。

10

## 【 0 0 8 1 】

上記表 1 において、サンプル 1 ~ 3 は、下部カバー層 1 1 3 の厚さ（B）と上部カバー層 1 1 2 の厚さ（D）が略同一であるカバー対称構造を有する比較例であり、サンプル 4 ~ 1 3 は、上部カバー層 1 1 2 の厚さ（D）が下部カバー層の厚さ（B）より厚い構造を有する比較例である。

## 【 0 0 8 2 】

また、サンプル 1 4、1 5 及び 3 5 ~ 3 7 は、下部カバー層 1 1 3 の厚さ（B）が上部カバー層 1 1 2 の厚さ（D）より厚い構造を有する比較例であり、サンプル 1 6 ~ 3 4 は、本発明の実施形態による実施例である。

20

## 【 0 0 8 3 】

ここで、 $(B + C) / A$  の値が略 1 であると、アクティブ層 1 1 5 の中心部がセラミック本体 1 1 0 の中心部から大きく外れていないことを意味する。下部カバー層 1 1 3 の厚さ（B）と上部カバー層 1 1 2 の厚さ（D）が略同一であるカバー対称構造を有する比較例であるサンプル 1 ~ 3 の  $(B + C) / A$  の値が略 1 である。

## 【 0 0 8 4 】

$(B + C) / A$  の値が 1 より大きいと、アクティブ層 1 1 5 の中心部がセラミック本体 1 1 0 の中心部から上部方向に外れたことを意味し、 $(B + C) / A$  の値が 1 より小さいと、アクティブ層 1 1 5 の中心部がセラミック本体 1 1 0 の中心部から下部方向に外れたことを意味する。

30

## 【 0 0 8 5 】

上記表 1 を参照すると、アクティブ層 1 1 5 の中心部がセラミック本体 1 1 0 の中心部から外れた割合  $(B + C) / A$  が 1 . 0 6 3 ~ 1 . 7 4 5 の範囲を満たす実施例であるサンプル 1 6 ~ 3 4 においては、アコースティックノイズが 2 0 d B 未満に著しく減少したことが分かる。

## 【 0 0 8 6 】

また、アクティブ層 1 1 5 の中心部がセラミック本体 1 1 0 の中心部から外れた割合  $(B + C) / A$  が 1 . 0 6 3 未満のサンプル 1 ~ 1 5 は、アクティブ層 1 1 5 の中心部がセラミック本体 1 1 0 の中心部からほとんど外れていないか、又はアクティブ層 1 1 5 の中心部がセラミック本体 1 1 0 の中心部から下部方向に外れた構造を有する。

40

## 【 0 0 8 7 】

前記  $(B + C) / A$  が 1 . 0 6 3 未満のサンプル 1 ~ 1 5 は、アコースティックノイズが 2 5 ~ 3 2 . 5 d B であり、本発明による実施例に比べてアコースティックノイズ低減効果がないことが分かる。

## 【 0 0 8 8 】

また、アクティブ層 1 1 5 の中心部がセラミック本体 1 1 0 の中心部から外れた割合  $(B + C) / A$  が 1 . 7 4 5 を超えるサンプル 3 5 ~ 3 7 は、目標容量に対する静電容量が小さいため、容量不良が発生した。

50

## 【 0 0 8 9 】

上記表 1 において、容量実現率（すなわち、目標容量に対する静電容量比）が「NG」であると、目標容量値を 100% とするとき、目標容量に対する静電容量値が 80% 未満であることを意味する。

## 【 0 0 9 0 】

また、下部カバー層 1 1 3 の厚さ（B）に対する上部カバー層 1 1 2 の厚さ（D）の比  $D/B$  が  $0.021 < D/B < 0.422$  の範囲を満たす実施例においては、アコースティックノイズが著しく減少したことが分かる。

## 【 0 0 9 1 】

それに対して、下部カバー層 1 1 3 の厚さ（B）に対する上部カバー層 1 1 2 の厚さ（D）の比  $D/B$  が  $0.422$  を超える比較例は、アコースティックノイズ低減効果がないことが分かる。

10

## 【 0 0 9 2 】

また、下部カバー層 1 1 3 の厚さ（B）に対する上部カバー層 1 1 2 の厚さ（D）の比  $D/B$  が  $0.021$  未満の比較例は、上部カバー層 1 1 2 の厚さ（D）に比べて下部カバー層 1 1 3 の厚さ（B）が大きすぎるため、クラックやデラミネーションが発生することがあり、目標容量に対する静電容量が小さいため、容量不良が発生することがある。

## 【 0 0 9 3 】

実施例のうち、セラミック本体 1 1 0 の全体厚さの  $1/2$ （A）に対する下部カバー層 1 1 3 の厚さ（B）の比  $B/A$  が  $0.329 < B/A < 1.522$  の範囲を満たし、かつ下部カバー層 1 1 3 の厚さ（B）に対するアクティブ層 1 1 5 の全体厚さの  $1/2$ （C）の比  $C/B$  が  $0.146 < C/B < 2.458$  の範囲を満たす実施例であるサンプル 1 9 ~ 3 4 においては、アコースティックノイズが  $18 \text{ dB}$  未満にさらに減少したことが分かる。

20

## 【 0 0 9 4 】

それに対して、セラミック本体 1 1 0 の全体厚さの  $1/2$ （A）に対する下部カバー層 1 1 3 の厚さ（B）の比  $B/A$  が  $1.522$  を超え、かつ下部カバー層 1 1 3 の厚さ（B）に対するアクティブ層 1 1 5 の全体厚さの  $1/2$ （C）の比  $C/B$  が  $0.146$  未満のサンプル 3 5 ~ 3 7 は、目標容量に対する静電容量が小さいため、容量不良が発生することがあるという問題があった。

30

## 【 0 0 9 5 】

下記表 2 は、外部電極の端部からアクティブ層 1 1 5 の最下端の内部電極までの最短距離 T に対するアクティブ層 1 1 5 の最下端の内部電極の端部からセラミック本体 1 1 0 の下面の一部を覆っている外部電極の端部までの距離 E の比、すなわち  $E/T$  及びセラミック本体 1 1 0 の長手方向のマージン F による積層セラミックキャパシタ 1 0 0 の反り・クラック及びデラミネーションの発生有無を示すものである。以下の反り・クラック及びデラミネーションの数値は、各サンプル毎に 50 個実験したときの不良発生数を示すものである。

## 【 0 0 9 6 】

【表 2】

No.	T	F	E	E/T	反り・クラック	デラミネーション
1*	220	10	364.0	1.655	0	11
2*	220	20	356.1	1.619	0	4
3	220	30	348.3	1.583	0	0
4	220	40	340.6	1.548	0	0
5	220	50	333.0	1.514	0	0
6	220	75	314.7	1.430	0	0
7	220	100	297.3	1.351	0	0
8	220	125	281.1	1.278	0	0
9	220	150	266.3	1.210	0	0
10*	220	175	253.0	1.150	1	0
11*	220	200	241.7	1.098	3	0
12*	220	225	232.4	1.057	5	0
13*	220	250	225.6	1.026	10	0
14*	160	10	331.2	2.070	0	13
15*	160	20	322.5	2.016	0	3
16	160	30	313.9	1.962	0	0
17	160	40	305.3	1.908	0	0
18	160	50	296.8	1.855	0	0
19	160	75	276.1	1.726	0	0
20	160	100	256.1	1.601	0	0
21	160	125	237.1	1.482	0	0
22	160	150	219.3	1.371	0	0
23	160	175	203.0	1.269	0	0
24*	160	200	188.7	1.179	2	0
25*	160	225	176.7	1.104	5	0
26*	170	250	177.2	1.042	7	0

\*は比較例、T、E及びFの単位は $\mu\text{m}$ である。

## 【0097】

上記表2を参照すると、外部電極の端部からアクティブ層115の最下端の内部電極までの最短距離Tに対するアクティブ層115の最下端の内部電極の端部からセラミック本体110の下面の一部を覆っている外部電極の端部までの距離Eの比E/Tが1.2未満の比較例としてのサンプル10～13及びサンプル24～26は、セラミック本体110内部の段差が生じる部分又はそれに隣接する部分にプリント基板の反りによる応力が集中するため、反り・クラックが発生したことが分かる。

## 【0098】

また、E/Tが1.2以上であり、セラミック本体110の長手方向のマージンFが30 $\mu\text{m}$ 未満の比較例としてのサンプル1、2及びサンプル14、15は、反り・クラックは発生しなかったが、デラミネーション不良が発生したことが分かる。

## 【0099】

つまり、反り・クラック実験及びデラミネーション実験で不良が発生しない好ましい範囲は、外部電極の端部からアクティブ層115の最下端の内部電極までの最短距離Tに対するアクティブ層115の最下端の内部電極の端部からセラミック本体110の下面の一部を覆っている外部電極の端部までの距離Eの比E/Tが1.2以上であり、セラミック本体110の長手方向のマージンFが30 $\mu\text{m}$ 以上である。

## 【0100】

10

20

30

40

50

### 積層セラミックキャパシタの実装基板

#### 【0101】

図4及び図5を参照すると、本実施形態による積層セラミックキャパシタ100の実装基板200は、積層セラミックキャパシタ100が水平に実装されるプリント基板210と、プリント基板210の上面に離隔して形成された第1及び第2電極パッド221、222とを含む。

#### 【0102】

ここで、積層セラミックキャパシタ100は、下部カバー層113が下側に配置され、第1及び第2外部電極131、132がそれぞれ第1及び第2電極パッド221、222上に接触して位置する状態で、半田230によりプリント基板210に電氣的に接続されるようにしてもよい。

10

#### 【0103】

このように積層セラミックキャパシタ100がプリント基板210に実装された状態で電圧を印加すると、アコースティックノイズが発生し得る。

#### 【0104】

ここで、第1及び第2電極パッド221、222の大きさは、積層セラミックキャパシタ100の第1及び第2外部電極131、132と第1及び第2電極パッド221、222とを接続する半田230の量を決定する目安となり、半田230の量によりアコースティックノイズを調節することができる。

20

#### 【0105】

図6を参照すると、積層セラミックキャパシタ100がプリント基板210に実装された状態で、積層セラミックキャパシタ100の両端部に形成された第1及び第2外部電極131、132に極性が異なる電圧が印加されると、セラミック本体110は、誘電体層111の逆圧電効果により厚さ方向に膨張と収縮をし、第1及び第2外部電極131、132の両端部は、ポアソン効果によりセラミック本体110の厚さ方向の膨張と収縮とは逆に収縮と膨張をする。

#### 【0106】

ここで、アクティブ層115の中心部 $CL_A$ は、第1及び第2外部電極131、132の長手方向の両端部において最大に膨張と収縮をする部分であり、アコースティックノイズ発生の原因となる。

30

#### 【0107】

積層セラミックキャパシタ100の長手方向の両端面が最大に膨張すると、半田230の上部には、膨張により外部に押し出される力( $F_1$ )が加わり、半田230の下部には、膨張により外部に押し出される力により外部電極を押し、収縮する力( $F_2$ )が加わる。

#### 【0108】

従って、本実施形態のように、電圧印加時におけるアクティブ層115の中心部 $CL_A$ の変形率と下部カバー層113の変形率との差により、セラミック本体110の両端面に形成される変曲点が半田230の高さ以下に形成された場合、アコースティックノイズをさらに低減することができる。

40

#### 【0109】

##### 内部電極の変形例

#### 【0110】

一方、内部電極の露出する面において中央部に比べて相対的に薄いコーナー部から導電性異物、湿気、イオンなどの不純物が浸透し、絶縁抵抗の劣化や信頼性の低下などの問題が発生し得る。

#### 【0111】

このような問題を解消するためにボトルネックパターンの内部電極を用いることができるが、本発明は、このようなボトルネックパターンの内部電極を用いる場合に適用可能である。

50

## 【 0 1 1 2 】

図 7 ~ 図 1 3 は本発明の一実施形態による積層セラミックキャパシタに適用される内部電極の様々な変形例を示す横断面図である。

## 【 0 1 1 3 】

図 7 に示すように、第 1 及び第 2 内部電極 1 2 1、1 2 2 は、誘電体層 1 1 1 の一端面から交互に露出するように延設される第 1 及び第 2 リード部 1 2 1 a、1 2 2 a をそれぞれ有し、かつ第 1 及び第 2 リード部 1 2 1 a、1 2 2 a と第 1 及び第 2 内部電極 1 2 1、1 2 2 とが接続される角部を内側に向かってテーパ状となるように傾斜面に形成してもよい。

## 【 0 1 1 4 】

また、図 8 に示すように、第 1 及び第 2 リード部 1 2 1 a、1 2 2 a と第 1 及び第 2 内部電極 1 2 1、1 2 2 とが接続される角部は、曲面に形成してもよい。

## 【 0 1 1 5 】

さらに、図 9 に示すように、第 1 及び第 2 リード部 1 2 1 a、1 2 2 a の幅を様々な縮小又は拡大し、当該第 1 及び第 2 リード部 1 2 1 a、1 2 2 a の幅に反比例して誘電体層 1 1 1 の長手方向のマージン部の面積が決定されるようにしてもよい。

## 【 0 1 1 6 】

さらに、図 1 0 に示すように、第 1 及び第 2 リード部 1 2 1 a、1 2 2 a と第 1 及び第 2 内部電極 1 2 1、1 2 2 とが接続される角部を凹部で形成し、誘電体層 1 1 1 の角部に位置するマージン部の面積を十分に確保することにより、反り・クラック及びデラミネーションの発生を低減することができる。

## 【 0 1 1 7 】

一方、図 1 1 に示すように、第 1 及び第 2 内部電極 1 2 1、1 2 2 は、別途のリード部を形成するのではなく、第 1 及び第 2 内部電極 1 2 1、1 2 2 において誘電体層 1 1 1 の一端面から露出する先端面の両角部 1 2 1 c、1 2 2 c を内側に向かってテーパ状となるように傾斜面に形成してもよい。

## 【 0 1 1 8 】

ここで、第 1 及び第 2 内部電極 1 2 1、1 2 2 の角部 1 2 1 c、1 2 2 c は、図 1 2 に示すように、曲面に形成してもよい。

## 【 0 1 1 9 】

一方、図 1 3 に示すように、第 1 及び第 2 内部電極 1 2 1、1 2 2 の露出しない他面の角部 1 2 1 b、1 2 2 b をテーパ状の傾斜面に形成してもよい。

## 【 0 1 2 0 】

ここで、デラミネーションの発生を最小限に抑制するために、角部 1 2 1 b、1 2 2 b の開始点及び終了点を基準として、誘電体層 1 1 1 の先端面に対するマージン部の最長距離が最短距離の約 2 倍となるようにすることが好ましい。

## 【 0 1 2 1 】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されるものではなく、請求の範囲に記載された本発明の技術的思想から外れない範囲内で様々な修正及び変形が可能であることは、当該技術分野における通常の知識を有する者にとって自明である。

## 【 符号の説明 】

## 【 0 1 2 2 】

- 1 0 0 積層セラミックキャパシタ
- 1 1 0 セラミック本体
- 1 1 1 誘電体層
- 1 1 2 上部カバー層
- 1 1 3 下部カバー層
- 1 1 5 アクティブ層
- 1 2 1 第 1 内部電極

10

20

30

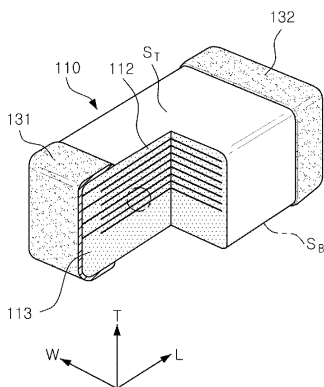
40

50

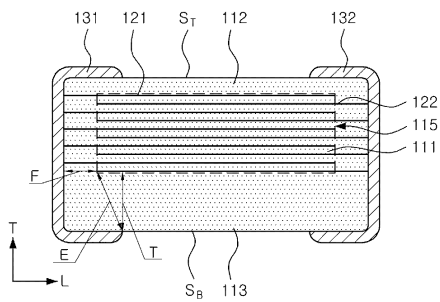


- 1 2 2 第 2 内部電極
- 1 2 1 a 第 1 リード部
- 1 2 2 a 第 2 リード部
- 1 2 1 b、1 2 1 c、1 2 2 b、1 2 2 c 角部
- 1 3 1 第 1 外部電極
- 1 3 2 第 2 外部電極
- 2 0 0 実装基板
- 2 1 0 プリント基板
- 2 2 1 第 1 電極パッド
- 2 2 2 第 2 電極パッド
- 2 3 0 半田

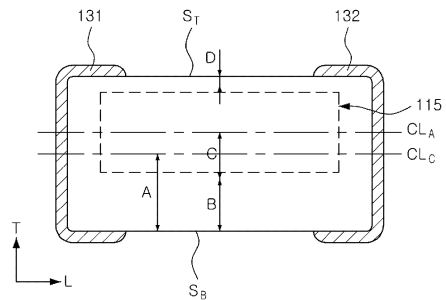
【図 1】



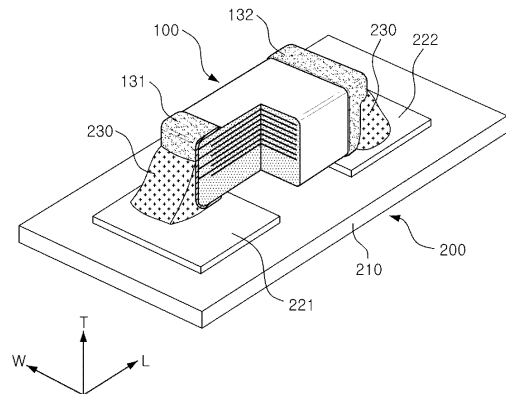
【図 2】



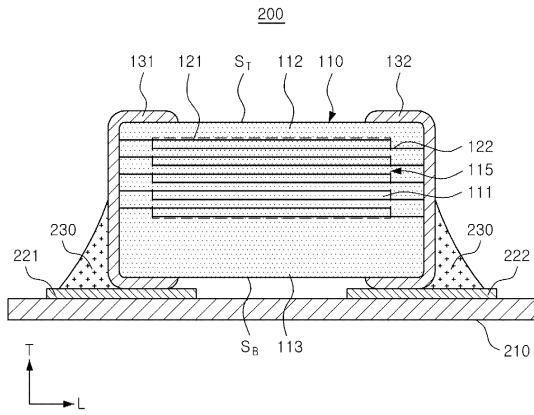
【図 3】



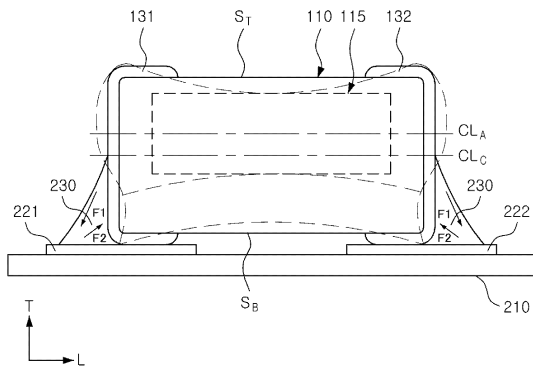
【図 4】



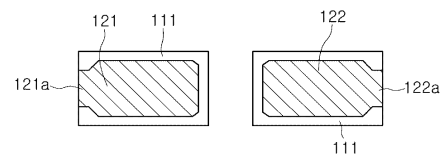
【図5】



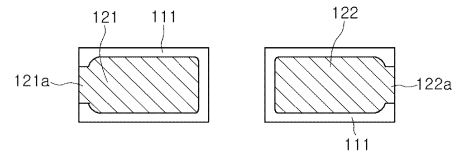
【図6】



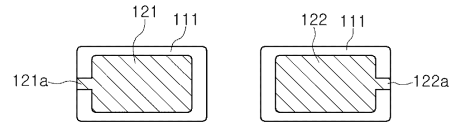
【図7】



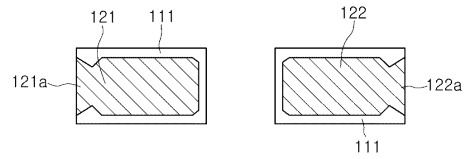
【図8】



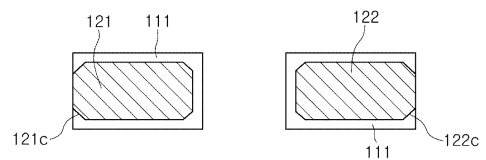
【図9】



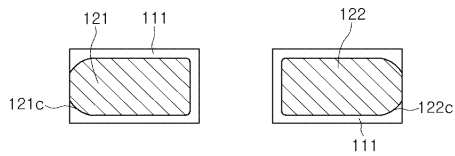
【図10】



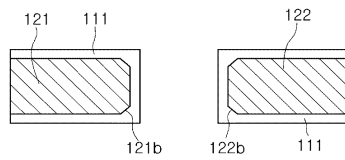
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl. F I  
H 0 1 G 1/035 C

(72)発明者 パク・サン・ス  
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン3 - ドン 3 1 4、サムソン エレ  
クトロ - メカニックス カンパニーリミテッド

(72)発明者 アン・ヨン・ギユ  
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン3 - ドン 3 1 4、サムソン エレ  
クトロ - メカニックス カンパニーリミテッド

(72)発明者 イ・ピョン・ファ  
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン3 - ドン 3 1 4、サムソン エレ  
クトロ - メカニックス カンパニーリミテッド

審査官 小山 和俊

(56)参考文献 特開平10 - 097942 (JP, A)  
特開2012 - 248581 (JP, A)  
特開2002 - 305127 (JP, A)  
特開2000 - 357624 (JP, A)  
特開2004 - 228514 (JP, A)  
特開2005 - 216955 (JP, A)  
特開2012 - 216864 (JP, A)  
特開2004 - 193352 (JP, A)

(58)調査した分野(Int.Cl. , DB名)  
H 0 1 G 4 / 2 3 2  
H 0 1 G 2 / 0 6  
H 0 1 G 4 / 1 2  
H 0 1 G 4 / 3 0