

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3675455号

(P3675455)

(45) 発行日 平成17年7月27日(2005.7.27)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int.Cl.⁷

F I

H O 2 M 3/07

H O 2 M 3/07

H O 1 L 21/822

H O 1 L 27/04

G

H O 1 L 27/04

請求項の数 18 (全 39 頁)

(21) 出願番号 特願2003-175319 (P2003-175319)
 (22) 出願日 平成15年6月19日(2003.6.19)
 (65) 公開番号 特開2005-12942 (P2005-12942A)
 (43) 公開日 平成17年1月13日(2005.1.13)
 審査請求日 平成16年5月31日(2004.5.31)

早期審査対象出願

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (72) 発明者 上條 治雄
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

審査官 川端 修

最終頁に続く

(54) 【発明の名称】 昇圧回路、半導体装置及び表示装置

(57) 【特許請求の範囲】

【請求項1】

チャージポンプ回路を含む昇圧回路であって、
 第1～第M（Mは4以上の整数）の電源線と、
 第1及び第2のチャージポンプ回路と、
 を含み、

前記第1のチャージポンプ回路は、

第j1（ $1 \leq j1 \leq M-2$ 、j1は整数）の昇圧用キャパシタが、第1の期間に第j1
 の電源線と第（j1+1）の電源線との間に接続されると共に前記第1の期間経過後の第
 2の期間に第（j1+1）の電源線と第（j1+2）の電源線との間に接続される第1の
 群の第1～第（M-2）の昇圧用キャパシタを含み、

10

前記第2のチャージポンプ回路は、

第j2（ $1 \leq j2 \leq M-2$ 、j2は整数）の昇圧用キャパシタが、前記第2の期間に第
 j2の電源線と第（j2+1）の電源線との間に接続されると共に前記第1の期間に第（
 j2+1）の電源線と第（j2+2）の電源線との間に接続される第2の群の第1～第（
 M-2）の昇圧用キャパシタを含み、

第p（ $1 \leq p \leq M-1$ 、pは整数）の電源線と第（p+1）の電源線の間の電圧を第1
 及び第2の電源線の間の電圧とすることで、前記第1及び第Mの電源線の間に、前記第1
 及び第2の電源線の間の電圧を（M-1）倍に昇圧した電圧を出力することを特徴とする
 昇圧回路。

20

【請求項 2】

請求項 1 において、

第 k ($1 \leq k \leq M-3$ 、 k は整数) の安定化用キャパシタが、第 $(k+1)$ の電源線と第 $(k+2)$ の電源線との間に接続された第 1～第 $(M-3)$ の安定化用キャパシタを含むことを特徴とする昇圧回路。

【請求項 3】

請求項 2 において、

第 $(M-1)$ の電源線と第 M の電源線との間に接続された第 $(M-2)$ の安定化用キャパシタを更に含むことを特徴とする昇圧回路。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記第 1 及び第 M の電源線との間に接続されたキャパシタを含むことを特徴とする昇圧回路。

【請求項 5】

チャージポンプ回路を含む昇圧回路であって、

第 1～第 $(N+1)$ (N は 3 以上の整数) の電源線と、

第 1 及び第 2 のチャージポンプ回路と、

を含み、

前記第 1 のチャージポンプ回路は、

第 1 のスイッチ素子の一端が第 1 の電源線に接続され、第 $2N$ のスイッチ素子の一端が第 $(N+1)$ の電源線に接続され、第 1 及び第 $2N$ のスイッチ素子を除く残りのスイッチ素子が前記第 1 のスイッチ素子の他端と前記第 $2N$ のスイッチ素子の他端との間に直列に接続された第 1 の群の第 1～第 $2N$ のスイッチ素子と、

各昇圧用キャパシタの一端が、第 j_1 ($1 \leq j_1 \leq 2N-3$ 、 j_1 は奇数) 及び第 (j_1+1) のスイッチ素子が接続された第 j_1 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 (j_1+2) 及び第 (j_1+3) のスイッチ素子が接続された第 (j_1+2) の接続ノードに接続された第 1 の群の第 1～第 $(N-1)$ の昇圧用キャパシタと、

を含み、

前記第 1 の群の第 m_1 ($1 \leq m_1 \leq 2N-1$ 、 m_1 は整数) のスイッチ素子と前記第 1 の群の第 (m_1+1) のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、

前記第 2 のチャージポンプ回路は、

第 1 のスイッチ素子の一端が第 1 の電源線に接続され、第 $2N$ のスイッチ素子の一端が第 $(N+1)$ の電源線に接続され、第 1 及び第 $2N$ のスイッチ素子を除く残りのスイッチ素子が前記第 1 のスイッチ素子の他端と前記第 $2N$ のスイッチ素子の他端との間に直列に接続された第 2 の群の第 1～第 $2N$ のスイッチ素子と、

各昇圧用キャパシタの一端が、第 j_2 ($1 \leq j_2 \leq 2N-3$ 、 j_2 は奇数) 及び第 (j_2+1) のスイッチ素子が接続された第 j_2 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 (j_2+2) 及び第 (j_2+3) のスイッチ素子が接続された第 (j_2+2) の接続ノードに接続された第 2 の群の第 1～第 $(N-1)$ の昇圧用キャパシタと、

を含み、

前記第 2 の群の第 m_2 ($1 \leq m_2 \leq 2N-1$ 、 m_2 は整数) のスイッチ素子と前記第 2 の群の第 (m_2+1) のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、

第 1 の期間では、前記第 1 の群の第 m のスイッチ素子 ($1 \leq m \leq 2N$ 、 m は整数) がオンとなるようにスイッチ制御されると共に、前記第 2 の群の第 m のスイッチ素子がオフとなるようにスイッチ制御され、

前記第 1 の期間の経過後の第 2 の期間では、前記第 1 の群の第 m のスイッチ素子がオフとなるようにスイッチ制御されると共に、前記第 2 の群の第 m のスイッチ素子がオンとなるようにスイッチ制御され、

第 q ($1 \leq q \leq N$ 、 q は整数) の電源線と第 $(q+1)$ の電源線との間の電圧を第 1 及び第 2 の電源線との間の電圧とすることで、前記第 1 及び第 $(N+1)$ の電源線との間に、前記

10

20

30

40

50

第1及び第2の電源線の間の電圧をN倍に昇圧した電圧を出力することを特徴とする昇圧回路。

【請求項6】

請求項5において、

各安定化用キャパシタの一端が、第 k ($2 \leq k \leq 2N-4$ 、 k は偶数)及び第 $(k+1)$ のスイッチ素子が接続された第 k の接続ノードに接続され、該安定化用キャパシタの他端が、第 $(k+2)$ 及び第 $(k+3)$ のスイッチ素子が接続された第 $(k+2)$ の接続ノードに接続された第1～第 $(N-2)$ の安定化用キャパシタを含むことを特徴とする昇圧回路。

【請求項7】

10

請求項6において、

第 N の電源線と第 $(N+1)$ の電源線との間に接続された第 $(N-1)$ の安定化用キャパシタを更に含むことを特徴とする昇圧回路。

【請求項8】

請求項5乃至7のいずれかにおいて、

前記第1及び第 $(N+1)$ の電源線との間に接続されたキャパシタを含むことを特徴とする昇圧回路。

【請求項9】

請求項1乃至8のいずれかにおいて、

各昇圧用キャパシタには、前記第1及び第2の電源線の間の電圧が印加されること特徴とする昇圧回路。 20

【請求項10】

請求項5乃至9のいずれか記載の昇圧回路を含むことを特徴とする半導体装置。

【請求項11】

請求項10において、

前記第1及び第 $(N+1)$ の電源線と電氣的に接続された第1及び第2の端子を含み、半導体装置の外部で、前記第1及び第2の端子の間にキャパシタが接続されることを特徴とする半導体装置。

【請求項12】

請求項10又は11において、

30

電圧を調整する電圧調整回路を含み、

前記電圧調整回路によって調整された電圧が、前記第1及び第2の電源線の間の電圧として供給されることを特徴とする半導体装置。

【請求項13】

請求項12において、

前記電圧調整回路は、

参照電圧と、前記第1及び第 $(N+1)$ の電源線の間の電圧又は該電圧を分割した分割電圧との比較結果に基づいて、電圧を調整することを特徴とする半導体装置。

【請求項14】

請求項10又は11において、

40

前記第1及び第 $(N+1)$ の電源線の間の電圧を分割した分割電圧と、参照電圧との比較結果に基づいて、前記第1～第 $2N$ のスイッチ素子のオンオフ制御を行うためのスイッチ制御信号の周波数を変化させる電圧調整回路を含むことを特徴とする半導体装置。

【請求項15】

請求項10乃至14のいずれかにおいて、

各昇圧用キャパシタには、前記第1及び第2の電源線の間の電圧が印加されること特徴とする半導体装置。

【請求項16】

請求項10乃至15のいずれかにおいて、

前記第1及び第 $(N+1)$ の電源線の間の電圧に基づいて多値の電圧を生成する多値電 50

圧生成回路を含むことを特徴とする半導体装置。

【請求項 17】

請求項 16 において、

前記多値電圧生成回路により生成された多値の電圧に基づいて電気光学装置を駆動するドライバ部を含むことを特徴とする半導体装置。

【請求項 18】

複数の走査線と、

複数のデータ線と、

複数の画素と、

前記複数の走査線を駆動する走査ドライバと、

前記複数のデータ線を駆動する請求項 17 記載の半導体装置と、

を含むことを特徴とする表示装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、昇圧回路、半導体装置及び表示装置に関する。

【0002】

【従来の技術】

表示装置として、電気光学装置を含む液晶表示装置が用いられることがある。液晶表示装置を電子機器に搭載することで、電子機器の小型化と低消費電流化とを両立させることができる。

20

【0003】

ところで、液晶表示装置の駆動には高い電圧が必要とされる。従って、電気光学装置を駆動するドライバ IC (Integrated Circuit) (広義には半導体装置) は、高い電圧を生成する電源回路を内蔵することがコストの観点からも望ましい。この場合、電源回路は、昇圧回路を含む。昇圧回路は、高電位側のシステム電源電圧 VDD と、低電位側の接地電源電圧 VSS との間の電圧を昇圧して、液晶駆動用の出力電圧 Vout を生成する。

【0004】

このような昇圧回路として、いわゆるチャージポンプ方式で昇圧した電圧を生成するチャージポンプ回路を用いることで、低消費電流化を図ることができる。チャージポンプ回路は、キャパシタを含む。液晶パネルとドライバ IC とをモジュール化した液晶パネルモジュールでは、チャージポンプ回路のキャパシタを IC 内に内蔵することにより、実装工程の簡略化と、トータルコストの削減とを図ることができる。例えば、5 倍昇圧を行う一般的なチャージポンプ回路では 5 個のキャパシタを必要とするため、上記の観点から、これらキャパシタを IC 内に内蔵するメリットは大きい。

30

【0005】

【特許文献 1】

特開 2001-211635 号公報

【0006】

【発明が解決しようとする課題】

40

しかしながら、チャージポンプ回路のキャパシタをドライバ IC 内に内蔵した場合、外付けの場合と同じ容量を得るために、内蔵するキャパシタの面積が大きくなってしまいコストが高くなる。一方、内蔵するキャパシタの面積を小さくすると、消費電流が多くなる。このように、内蔵するキャパシタの面積と消費電流とがトレードオフの関係にある。

【0007】

従って、キャパシタの面積を小さくしてコストを削減するため、小容量のキャパシタを用いて従来と同じ能力（電荷供給能力、負荷駆動能力）を有するチャージポンプ方式の昇圧回路が求められる。或いは、キャパシタの面積が同じ（コストが同じ）で、従来の容量内蔵昇圧回路と同じ能力を有し、より一層の低消費電流化が可能なチャージポンプ方式の昇圧回路が求められるということもできる。

50

【0008】

また、ICに外付けされたキャパシタ1個当たりの容量は $0.1 \sim 1 \mu\text{F}$ であり、IC内に内蔵されたキャパシタ1個当たりの容量は 1 nF 程度である。そのため、従来の容量を内蔵しない昇圧回路と同じ能力を得るためには、チャージポンプ回路のスイッチ素子のスイッチング周波数を大きくする必要があり、キャパシタの充放電電流の増加による消費電流の増大を招く。従って、キャパシタの充放電電流を低減するチャージポンプ回路を提供することが望まれる。

【0009】

更にまた、チャージポンプ方式では、出力電圧 V_{out} が出力される電源線に接続される負荷によって電流が引かれた場合、出力電圧 V_{out} が低下してしまうという問題がある。

10

【0010】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その第1の目的は、負荷駆動能力を低下させることなく、低消費化を図る昇圧回路、これを備えた半導体装置及び表示装置を提供することにある。

【0011】

また本発明の第2の目的は、更に、昇圧した電圧を安定して供給する昇圧回路、これを備えた半導体装置及び表示装置を提供することにある。

【0012】

【課題を解決するための手段】

20

上記課題を解決するために本発明は、チャージポンプ回路を含む昇圧回路であって、第1～第M（Mは4以上の整数）の電源線と、第1及び第2のチャージポンプ回路とを含み、前記第1のチャージポンプ回路は、第 j_1 （ $1 \leq j_1 \leq M-2$ 、 j_1 は整数）の昇圧用キャパシタが、第1の期間に第 j_1 の電源線と第 (j_1+1) の電源線との間に接続されると共に前記第1の期間経過後の第2の期間に第 (j_1+1) の電源線と第 (j_1+2) の電源線との間に接続される第1の群の第1～第 $(M-2)$ の昇圧用キャパシタを含み、前記第2のチャージポンプ回路は、第 j_2 （ $1 \leq j_2 \leq M-2$ 、 j_2 は整数）の昇圧用キャパシタが、前記第2の期間に第 j_2 の電源線と第 (j_2+1) の電源線との間に接続されると共に前記第1の期間に第 (j_2+1) の電源線と第 (j_2+2) の電源線との間に接続される第2の群の第1～第 $(M-2)$ の昇圧用キャパシタを含む昇圧回路に関する。

30

【0013】

本発明によれば、昇圧回路を構成する各構成要素に印加される電圧を低くすることができる。従って、製造コストを抑えることができるようになる。しかも、第1の期間では、第2のチャージポンプ回路により昇圧された電圧が第1及び第Mの電源線 V_{L-1} 、 V_L-M の間に出力される。また、第2の期間では、第1のチャージポンプ回路により昇圧された電圧が、第1及び第Mの電源線 V_{L-1} 、 V_L-M の間に出力される。従って、第1の期間及び第2の期間では、第Mの電源線に接続される負荷によって電流が引かれても、昇圧された電圧が降下されることがなく、安定した電圧を出力することができる。

【0014】

また本発明に係る昇圧回路では、第 k （ $1 \leq k \leq M-3$ 、 k は整数）の安定化用キャパシタが、第 $(k+1)$ の電源線と第 $(k+2)$ の電源線との間に接続された第1～第 $(M-3)$ の安定化用キャパシタを含んでもよい。

40

【0015】

また本発明に係る昇圧回路では、第 $(M-1)$ の電源線と第Mの電源線との間に接続された第 $(M-2)$ の安定化用キャパシタを更にも含む。

【0016】

また本発明に係る昇圧回路では、前記第1及び第Mの電源線との間に接続されたキャパシタを含んでもよい。

【0017】

本発明によれば、安定化用キャパシタを接続することで、各電源線の電圧の安定化を図る

50

ことができる。

【0018】

本発明は、チャージポンプ回路を含む昇圧回路であって、第1～第 $(N+1)$ (N は3以上の整数)の電源線と、第1及び第2のチャージポンプ回路とを含み、前記第1のチャージポンプ回路は、第1のスイッチ素子の一端が第1の電源線に接続され、第 $2N$ のスイッチ素子の一端が第 $(N+1)$ の電源線に接続され、第1及び第 $2N$ のスイッチ素子を除く残りのスイッチ素子が前記第1のスイッチ素子の他端と前記第 $2N$ のスイッチ素子の他端との間に直列に接続された第1の群の第1～第 $2N$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 j_1 ($1 \leq j_1 \leq 2N-3$ 、 j_1 は奇数)及び第 (j_1+1) のスイッチ素子が接続された第 j_1 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 (j_1+2) 及び第 (j_1+3) のスイッチ素子が接続された第 (j_1+2) の接続ノードに接続された第1の群の第1～第 $(N-1)$ の昇圧用キャパシタとを含み、前記第1の群の第 m_1 ($1 \leq m_1 \leq 2N-1$ 、 m_1 は整数)のスイッチ素子と前記第1の群の第 (m_1+1) のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、前記第2のチャージポンプ回路は、第1のスイッチ素子の一端が第1の電源線に接続され、第 $2N$ のスイッチ素子の一端が第 $(N+1)$ の電源線に接続され、第1及び第 $2N$ のスイッチ素子を除く残りのスイッチ素子が前記第1のスイッチ素子の他端と前記第 $2N$ のスイッチ素子の他端との間に直列に接続された第2の群の第1～第 $2N$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 j_2 ($1 \leq j_2 \leq 2N-3$ 、 j_2 は奇数)及び第 (j_2+1) のスイッチ素子が接続された第 j_2 の接続ノードに接続され、該昇圧用キャパシタの他端が、第 (j_2+2) 及び第 (j_2+3) のスイッチ素子が接続された第 (j_2+2) の接続ノードに接続された第2の群の第1～第 $(N-1)$ の昇圧用キャパシタとを含み、前記第2の群の第 m_2 ($1 \leq m_2 \leq 2N-1$ 、 m_2 は整数)のスイッチ素子と前記第2の群の第 (m_2+1) のスイッチ素子とが排他的にオンとなるようにスイッチ制御され、第1の期間では、前記第1の群の第 m のスイッチ素子 ($1 \leq m \leq 2N$ 、 m は整数)がオンとなるようにスイッチ制御されると共に、前記第2の群の第 m のスイッチ素子がオフとなるようにスイッチ制御され、前記第1の期間の経過後の第2の期間では、前記第1の群の第 m のスイッチ素子がオフとなるようにスイッチ制御されると共に、前記第2の群の第 m のスイッチ素子がオンとなるようにスイッチ制御される昇圧回路に関係する。

【0019】

また本発明に係る昇圧回路では、各安定化用キャパシタの一端が、第 k ($2 \leq k \leq 2N-4$ 、 k は偶数)及び第 $(k+1)$ のスイッチ素子が接続された第 k の接続ノードに接続され、該安定化用キャパシタの他端が、第 $(k+2)$ 及び第 $(k+3)$ のスイッチ素子が接続された第 $(k+2)$ の接続ノードに接続された第1～第 $(N-2)$ の安定化用キャパシタを含んでもよい。

【0020】

また本発明に係る昇圧回路では、第 N の電源線と第 $(N+1)$ の電源線との間に接続された第 $(N-1)$ の安定化用キャパシタを更に含んでもよい。

【0021】

また本発明に係る昇圧回路では、前記第1及び第 $(N+1)$ の電源線との間に接続されたキャパシタを含んでもよい。

【0022】

また本発明に係る昇圧回路では、各昇圧用キャパシタには、前記第1及び第2の電源線の間の電圧が印加されてもよい。

【0023】

本発明によれば、昇圧回路を構成するスイッチ素子、昇圧用キャパシタや安定化用キャパシタを低耐圧の製造プロセスで作成することができるようになる。また、スイッチ素子を、一般的なMOSトランジスタにより実現した場合、MOSトランジスタを低耐圧の製造プロセスで製造できるようになるので、MOSトランジスタのゲート容量による充放電電流を低減することができる。

10

20

30

40

50

【0024】

更に、一般的なチャージポンプ方式の昇圧回路と比較すると、半導体装置内に同じ面積を費やしてキャパシタを作り込み（コスト同じ）、同じ出力インピーダンスを得よう（能力同じ）とした場合、キャパシタの充放電の周波数を低減できるので、スイッチングに伴う消費電流を低減できる。更にまた、キャパシタを低耐圧の製造プロセスで作りに込み、キャパシタの寄生容量による充放電電流を大幅に削減できる。

【0025】

そして、第1の期間では、第2のチャージポンプ回路により昇圧された電圧が第1及び第Mの電源線 V_L-1 、 V_L-M の間に出力される。また、第2の期間では、第1のチャージポンプ回路により昇圧された電圧が、第1及び第Mの電源線 V_L-1 、 V_L-M の間に出力される。従って、第1の期間及び第2の期間では、第Mの電源線に接続される負荷によって電流が引かれても、昇圧された電圧が降下されることがなく、安定した電圧を出力することができる。

10

【0026】

また本発明は、負荷に接続される出力電源線に昇圧電圧を出力する昇圧回路であって、所与の電圧を昇圧した昇圧電圧を生成して、該昇圧電圧を昇圧電源線に供給する昇圧電圧生成回路と、前記昇圧電源線と前記出力電源線とを、電氣的に接続又は遮断するスイッチ素子と、前記出力電源線の電荷を保持する電荷保持回路と、前記出力電源線に接続された電荷供給回路とを含み、前記電荷供給回路は、前記スイッチ素子が前記昇圧電源線と前記出力電源線とを電氣的に遮断しているときに、前記出力電源線に電荷を供給する昇圧回路に

20

【0027】

また本発明は、上記のいずれか記載の昇圧回路を含む半導体装置に係る。

【0028】

また本発明に係る半導体装置では、前記第1及び第 $(N+1)$ の電源線と電氣的に接続された第1及び第2の端子を含み、半導体装置の外部で、前記第1及び第2の端子の間にキャパシタが接続されてもよい。

【0029】

また本発明に係る半導体装置では、電圧を調整する電圧調整回路を含み、前記電圧調整回路によって調整された電圧が、前記第1及び第2の電源線の間の電圧として供給されても

30

【0030】

また本発明に係る半導体装置では、前記電圧調整回路は、参照電圧と、前記第1及び第 $(N+1)$ の電源線の間の電圧又は該電圧を分割した分割電圧との比較結果に基づいて、電圧を調整してもよい。

【0031】

また本発明に係る半導体装置では、前記第1及び第 $(N+1)$ の電源線の間の電圧を分割した分割電圧と、参照電圧との比較結果に基づいて、前記第1～第 $2N$ のスイッチ素子のオンオフ制御を行うためのスイッチ制御信号の周波数を変化させる電圧調整回路を含んで

40

【0032】

また本発明に係る半導体装置では、各昇圧用キャパシタには、前記第1及び第2の電源線の間の電圧が印加されてもよい。

【0033】

本発明によれば、高精度で、昇圧した電圧を生成する半導体装置の低コスト化及び低消費電力化を実現することができる。

【0034】

また本発明に係る半導体装置では、前記第1及び第 $(N+1)$ の電源線の間の電圧に基づいて多値の電圧を生成する多値電圧生成回路を含んでもよい。

【0035】

50

また本発明に係る半導体装置では、前記多値電圧生成回路により生成された多値の電圧に基づいて電気光学装置を駆動するドライバ部を含んでもよい。

【0036】

本発明によれば、高精度で駆動用電圧を生成することができるので、表示品質の高い駆動を実現する半導体装置を提供できる。

【0037】

また本発明は、複数の走査線と、複数のデータ線と、複数の画素と、前記複数の走査線を駆動する走査ドライバと、前記複数のデータ線を駆動する上記記載の半導体装置とを含む表示装置に係る。

【0038】

本発明によれば、半導体装置の低コスト化及び低消費電力化を両立させることで、より低コストで低消費電力の表示装置を提供できる。

【0039】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0040】

1. 本実施形態の昇圧回路の概要

図1に、本実施形態における昇圧回路の原理的な構成図を示す。昇圧回路10は、システム電源電圧VDDと接地電源電圧VSSとの間の電圧Vを昇圧した昇圧電圧を出力電源線に出力する。出力電源線には、該昇圧電圧を用いる装置（負荷）が接続される。

【0041】

昇圧回路10は、昇圧電圧生成回路12、スイッチ素子SW、電荷保持回路14、電荷供給回路16を含む。

【0042】

昇圧電圧生成回路12は、システム電源電圧VDDと接地電源電圧VSSとの間の電圧V（所与の電圧）を昇圧した昇圧電圧を生成して、該昇圧電圧を昇圧電源線に供給する。スイッチ素子SWは、昇圧電源線と出力電源線とを、電氣的に接続又は遮断する。電荷保持回路14は、出力電源線の電荷を保持する。電荷供給回路16は、出力電源線に接続される。そして、スイッチ素子SWが昇圧電源線と出力電源線とを電氣的に遮断しているときに、電荷供給回路16は、出力電源線に電荷を供給する。より具体的には、スイッチ素子SWが昇圧電源線と出力電源線とを電氣的に遮断しているときに、電荷供給回路16は、出力電源線の昇圧電圧のレベルが維持されるように電荷を供給する。

【0043】

このような構成の昇圧回路10は、昇圧電源線と出力電源線とが電氣的に遮断されている期間でも出力電源線の電圧を維持させることができるので、出力電源線に接続される負荷により電流が引かれた場合でも、電圧の降下を回避できる。

【0044】

昇圧電圧生成回路12（或いは昇圧電圧生成回路12及びスイッチ素子SW、或いは昇圧電圧生成回路12、スイッチ素子SW及び電荷保持回路14）の機能は、チャージポンプ（Charge Pump）回路により実現される。チャージポンプ回路は、更にスイッチ素子とキャパシタを含む。更に、電荷供給回路16の機能は、別個のチャージポンプ回路により実現される。即ち、昇圧回路10は、2つのチャージポンプ回路を含むことができる。

【0045】

ところが、一般的な構成のチャージポンプ回路では、該チャージポンプ回路に含まれるキャパシタをIC（Integrated Circuit）（広義には半導体装置）内に内蔵すると、コスト高になるとされていた。また、内蔵するキャパシタの充放電電流によって消費電流が増加するとされていた。

【0046】

10

20

30

40

50

そこで、本実施形態における昇圧回路の各チャージポンプ回路の構成を以下に述べる構成とすることで、消費電流の低減、低コスト化、及び出力電圧の安定化を図る。

【0047】

2. チャージポンプ回路

本実施形態におけるチャージポンプ回路は、複数のキャパシタを含み、いわゆるチャージポンプ方式により昇圧した電圧を出力する。

【0048】

図2に、本実施形態におけるチャージポンプ回路の動作原理の説明図を示す。本実施形態におけるチャージポンプ回路は、第1～第M（Mは4以上の整数）の電源線 $V_{L-1} \sim V_{L-M}$ を有する。そしてチャージポンプ回路は、第1及び第2の電源線 V_{L-1} 、 V_{L-2} の間の電圧Vを（M-1）倍に昇圧した昇圧電圧（M-1）・Vを、出力電圧 V_{out} として第Mの電源線 V_{L-M} に出力する。図2では、Mが6の場合（5倍昇圧時）の動作原理を示している。

10

【0049】

チャージポンプ回路は、第1～第（M-2）の昇圧用キャパシタ $C_{u1} \sim C_{u(M-2)}$ と、第1～第（M-3）の安定化用キャパシタ $C_{s1} \sim C_{s(M-3)}$ とを含む。

【0050】

第1～第（M-2）の昇圧用キャパシタ $C_{u1} \sim C_{u(M-2)}$ のうち第j（ $1 \leq j \leq M-2$ 、jは整数）の昇圧用キャパシタ C_{uj} は、第1の期間に第jの電源線と第（j+1）の電源線との間に接続される。そして、第jの昇圧用キャパシタは、第1の期間経過後の第2の期間に、第（j+1）の電源線と第（j+2）の電源線との間に接続される。即ち第jの昇圧用キャパシタ C_{uj} に接続される電源線は、第1及び第2の期間の各期間に応じて切り替えられる。

20

【0051】

例えば第1の昇圧用キャパシタ C_{u1} は、第1の期間に第1及び第2の電源線 V_{L-1} 、 V_{L-2} の間に接続され、第2の期間に第2及び第3の電源線 V_{L-2} 、 V_{L-3} の間に接続される。第2の昇圧用キャパシタ C_{u2} は、第1の期間に第2及び第3の電源線 V_{L-2} 、 V_{L-3} の間に接続され、第2の期間に第3及び第4の電源線 V_{L-3} 、 V_{L-4} の間に接続される。第（M-2）の昇圧用キャパシタ $C_{u(M-2)}$ は、第1の期間に第（M-2）及び第（M-1）の電源線 $V_{L-(M-2)}$ 、 $V_{L-(M-1)}$ の間に接続され、第2の期間に第（M-1）及び第Mの電源線 $V_{L-(M-1)}$ 、 V_{L-M} の間に接続される。

30

【0052】

また、第1～第（M-3）の安定化用キャパシタ $C_{s1} \sim C_{s(M-3)}$ のうち第k（ $1 \leq k \leq M-3$ 、kは整数）の安定化用キャパシタ C_{sk} は、第（k+1）の電源線と第（k+2）の電源線との間に接続される。そして、第kの安定化用キャパシタ C_{sk} は、第2の期間において第kの昇圧用キャパシタ C_{uk} から放電された電荷を蓄積（充電）する。即ち第kの安定化用キャパシタ C_{sk} に接続される電源線は、第1及び第2の期間の各期間において共通している。

【0053】

例えば第1の安定化用キャパシタ C_{s1} は、第2及び第3の電源線 V_{L-2} 、 V_{L-3} の間に接続される。そして第1の安定化用キャパシタ C_{s1} は、第2の期間に第1の昇圧用キャパシタ C_{u1} から放電された電荷を蓄積する。上述のように、第2の期間では、第1の安定化用キャパシタ C_{s1} は第2及び第3の電源線 V_{L-2} 、 V_{L-3} の間に接続されている。第2の安定化用キャパシタ C_{s2} は、第3及び第4の電源線 V_{L-3} 、 V_{L-4} の間に接続される。そして第2の安定化用キャパシタ C_{s2} は、第2の期間に第2の昇圧用キャパシタ C_{u2} から放電された電荷を蓄積する。第（M-3）の安定化用キャパシタ $C_{s(M-3)}$ は、第（M-2）及び第（M-1）の電源線 $V_{L-(M-2)}$ 、 $V_{L-(M-1)}$ の間に接続される。そして第（M-3）の安定化用キャパシタ $C_{s(M-3)}$ は、第2の期間に第（M-3）の昇圧用キャパシタ $C_{u(M-3)}$ から放電された電荷を蓄

40

50

積する。

【0054】

このようなチャージポンプ回路の原理的な動作について、図2に示すようにMが6の場合を例に説明する。第1の電源線VL-1には、低電位側の接地電源電圧VSSが供給されている。第2の電源線VL-2には、高電位側のシステム電源電圧VDDが供給されている。第1及び第2の電源線VL-1、VL-2の間には電圧Vが印加される。

【0055】

第1の期間では、第1の昇圧用キャパシタCu1の両端に電圧Vが印加される。そして、第1の期間経過後の第2の期間では、第1の昇圧用キャパシタCu1が、第2の及び第3の電源線VL-2、VL-3の間に接続される。従って、第1の期間において第1の昇圧用キャパシタCu1に蓄積された電荷が放電され、第1の安定化用キャパシタCs1に蓄積される。これにより、第1の安定化用キャパシタCs1の一端が接続される第2の電源線VL-2の電圧Vを基準に、第1の安定化用キャパシタCs1の他端が接続される第3の電源線VL-3が電圧2・Vとなる。

10

【0056】

同様にして、第1の期間に第2及び第3の昇圧用キャパシタCu2、Cu3の各昇圧用キャパシタに蓄積された電荷が第2の期間に放電され、第2及び第3の安定化用キャパシタCs2、Cs3の各安定化用キャパシタに蓄積される。

【0057】

この結果、第4～第6の電源線VL-4～VL-6の電圧は、3・V、4・V、5・Vとなる。即ちチャージポンプ回路の出力電圧として、第1及び第6の電源線VL-1、VL-6の間には、電圧5・Vが印加される。

20

【0058】

また第(M-1)の電源線VL-(M-1)と第Mの電源線VL-Mとの間に接続された第(M-2)の安定化用キャパシタCs(M-2)を更に含み、第(M-2)の安定化用キャパシタCs(M-2)が、第2の期間において第(M-2)の昇圧用キャパシタCu(M-2)から放電された電荷を蓄積することが望ましい。即ちMが6の場合、第5及び第6の電源線VL-5、VL-6の間に、第4の安定化用キャパシタCs4が更に接続されることが望ましい。図2では、第(M-2)の安定化用キャパシタCs(M-2)に相当する第4の安定化用キャパシタCs4が接続されている。この場合、第4の安定化用キャパシタCs4により第2の期間に昇圧された出力電圧Voutを安定した状態で供給することができる。

30

【0059】

更にまた、図2において、第1の電源線VL-1と第Mの電源線VL-Mとの間に接続されたキャパシタを更に含むことが望ましい。即ちMが6の場合、第1及び第6の電源線VL-1、VL-6の間に、キャパシタが接続されることが望ましい。図2では、第1及び第Mの電源線VL-1、VL-Mに相当する第1及び第6の電源線VL-1、VL-6の間に、キャパシタC0が接続されている。この場合、第6の電源線VL-6に接続される負荷に依存した電圧レベルの低下を回避できる。

【0060】

図3に、図2に示すチャージポンプ回路の構成例を示す。図3におけるチャージポンプ回路では、2つの電源線の間には直列に接続された2つのスイッチ素子を排他的にオンとなるように制御することで、第1及び第2の期間の各期間において、各昇圧用キャパシタにそれぞれ接続される電源線を切り替える。

40

【0061】

図3に示すチャージポンプ回路は、第1～第(N+1)(Nは3以上の整数)の電源線VL-1～VL-(N+1)を有する。そして、チャージポンプ回路は、第1及び第2の電源線VL-1、VL-2の間の電圧VをN倍に昇圧した昇圧電圧N・Vを、出力電圧Voutとして、第(N+1)の電源線VL-(N+1)に出力する。図3では、Nが5の場合(5倍昇圧時)の構成例を示している。

50

【0062】

チャージポンプ回路は、第1～第2Nのスイッチ素子SW1～SW2Nと、第1～第(N-1)の昇圧用キャパシタCu1～Cu(N-1)と、第1～第(N-2)の安定化用キャパシタCs1～Cs(N-2)とを含む。

【0063】

第1～第2Nのスイッチ素子の各スイッチ素子は、第1及び第(N+1)の電源線VL-1、VL-(N+1)の間に直列に接続されている。より具体的には、第1のスイッチ素子SW1の一端が第1の電源線VL-1に接続され、第2Nのスイッチ素子SW2Nの一端が第(N+1)の電源線VL-(N+1)に接続される。そして、第1及び第2Nのスイッチ素子SW1、SW2Nを除く残りのスイッチ素子SW2～SW(2N-1)が、第1のスイッチ素子SW1の他端と第2Nのスイッチ素子SW2Nの他端との間に直列に接続される。

10

【0064】

第1～第(N-1)の昇圧用キャパシタCu1～Cu(N-1)の各昇圧用キャパシタの一端が、第j ($1 \leq j \leq 2N-3$ 、jは奇数)及び第(j+1)のスイッチ素子SWj、SW(j+1)が接続された第jの接続ノードND-jに接続される。そして、該昇圧用キャパシタの他端が、第(j+2)及び第(j+3)のスイッチ素子SW(j+2)、SW(j+3)が接続された第(j+2)の接続ノードND-(j+2)に接続される。

【0065】

即ち第1の昇圧用キャパシタCu1は、第1及び第3の接続ノードND-1、ND-3の間に接続される。ここで、第1の接続ノードND-1は第1及び第2のスイッチ素子SW1、SW2が互いに接続されるノードであり、第3の接続ノードND-3は第3及び第4のスイッチ素子SW3、SW4が互いに接続されるノードである。第2の昇圧用キャパシタCu2は、第3及び第5の接続ノードND-3、ND-5の間に接続される。ここで、第5の接続ノードND-5は、第5及び第6のスイッチ素子SW5、SW6が互いに接続されるノードである。同様に、第(N-1)の昇圧用キャパシタCu(N-1)は、第(2N-3)及び第(2N-1)の接続ノードND-(2N-3)、ND-(2N-1)の間に接続される。ここで、第(2N-3)の接続ノードND(2N-3)は第(2N-3)及び第(2N-2)のスイッチ素子SW(2N-3)、SW(2N-2)が互いに接続されるノードであり、第(2N-1)の接続ノードND-(2N-1)は第(2N-1)及び第2Nのスイッチ素子SW(2N-1)、SW2Nが互いに接続されるノードである。

20

30

【0066】

また図3において、第1～第(N-2)の安定化用キャパシタCs1～Cs(N-2)の各安定化用キャパシタの一端が、第k ($2 \leq k \leq 2N-4$ 、kは偶数)及び第(k+1)のスイッチ素子SWk、SW(k+1)が接続された第kの接続ノードND-kに接続される。そして、該安定化用キャパシタの他端が、第(k+2)及び第(k+3)のスイッチ素子SW(k+2)、SW(k+3)が接続された第(k+2)の接続ノードND-(k+2)に接続される。

【0067】

即ち第1の安定化用キャパシタCs1は、第2及び第4の接続ノードND-2、ND-4の間に接続される。ここで、第2の接続ノードND-2は第2及び第3のスイッチ素子SW2、SW3が互いに接続されるノードであり、第4の接続ノードND-4は第4及び第5のスイッチ素子SW4、SW5が互いに接続されるノードである。第2の安定化用キャパシタCs2は、第4及び第6の接続ノードND-4、ND-6の間に接続される。ここで、第6の接続ノードND-6は、第6及び第7のスイッチ素子SW6、SW7が互いに接続されるノードである。同様に、第(N-2)の安定化用キャパシタCs(N-2)は、第(2N-4)及び第(2N-2)の接続ノードND-(2N-4)、ND-(2N-2)の間に接続される。ここで、第(2N-4)の接続ノードND(2N-4)は第(2N-4)及び第(2N-3)のスイッチ素子SW(2N-4)、SW(2N-3)が互い

40

50

に接続されるノードであり、第 $(2N-2)$ の接続ノード $ND-(2N-2)$ は第 $(2N-2)$ 及び第 $(2N-1)$ のスイッチ素子 $SW(2N-2)$ 、 $SW(2N-1)$ が互いに接続されるノードである。

【0068】

そして、図3におけるチャージポンプ回路では、第 m ($1 \leq m \leq 2N-1$ 、 m は整数)のスイッチ素子 SW_m と第 $(m+1)$ のスイッチ素子 $SW(m+1)$ とが排他的にオンとなるようにスイッチ制御され、第1及び第 $(N+1)$ の電源線 $VL-1$ 、 $VL-(N+1)$ の間に、第1及び第2の電源線の間の電圧を N 倍に昇圧した電圧 $N \cdot V$ を出力する。

【0069】

図4に、図3における各スイッチ素子のスイッチ制御を行うスイッチ制御信号の動作を模式的に示す。 10

【0070】

ここで、第1のスイッチ素子 SW_1 のスイッチ制御(オンオフ制御)を行うスイッチ制御信号を S_1 、第2のスイッチ素子 SW_2 のスイッチ制御を行うスイッチ制御信号を S_2 、
・ ・ ・、第 $2N$ のスイッチ素子 SW_{2N} のスイッチ制御を行うスイッチ制御信号を S_{2N} とし、 N が5の場合のスイッチ制御信号 $S_1 \sim S_{10}$ の動作タイミングを模式的に示す。
各スイッチ制御信号は、図4に示すような動作を繰り返すクロック信号である。

【0071】

またHレベルのスイッチ制御信号により、各スイッチ素子はオンとなり、スイッチ素子の両端が電氣的に接続されて導通状態となるものとする。またLレベルのスイッチ制御信号 20
により、各スイッチ素子はオフとなり、スイッチ素子の両端が電氣的に切断されて非導通状態となるものとする。

【0072】

スイッチ制御信号 S_1 、 S_3 、 $\dots$ 、 S_9 は、第1の期間においてHレベルとなり、第2の期間においてLレベルとなる。スイッチ制御信号 S_2 、 S_4 、 $\dots$ 、 S_{10} は、第1の期間においてLレベルとなり、第2の期間においてHレベルとなる。このようにして、第 m のスイッチ素子 SW_m と第 $(m+1)$ のスイッチ素子 $SW(m+1)$ とが排他的にオンとなるようにスイッチ制御される。

【0073】

このとき、第 m のスイッチ素子 SW_m と第 $(m+1)$ のスイッチ素子 $SW(m+1)$ とが 30
同時にオンとなる期間がなくなるようにスイッチ制御されることが望ましい。第 m のスイッチ素子 SW_m と第 $(m+1)$ のスイッチ素子 $SW(m+1)$ とが同時にオンになると、貫通電流による消費電流の増加を招くからである。また図4では、第2の期間が、第1の期間経過後の次の期間となっているが、これに限定されるものではない。例えば第2の期間が、第1の期間経過後の所定の期間を置いて開始されてもよい。要は、第2の期間が、第1の期間経過後であればよい。

【0074】

次に、図3に示すチャージポンプ回路の動作について、 N が5の場合(5倍昇圧)を例に、図5(A)、(B)を参照しながら説明する。

【0075】

図5(A)は、第1の期間における図3のチャージポンプ回路のスイッチ状態を模式的に表したものである。図5(B)は、第2の期間における図3のチャージポンプ回路のスイッチ状態を模式的に表したものである。 40

【0076】

第1の期間では、第1、第3、第5、第7及び第9のスイッチ素子 SW_1 、 SW_3 、 SW_5 、 SW_7 、 SW_9 がオンとなり、第2、第4、第6、第8及び第10のスイッチ素子 SW_2 、 SW_4 、 SW_6 、 SW_8 、 SW_{10} がオフとなる(図5(A))。第1の昇圧用キャパシタ C_{u1} に着目すると、第1の期間中に第1の昇圧用キャパシタ C_{u1} の両端には、第1及び第2の電源線 $VL-1$ 、 $VL-2$ の間の電圧 V (V 、0)が印加される。従って、第1の昇圧用キャパシタ C_{u1} には、第1の期間中にその両端の電圧が V となるよう 50

に電荷が蓄積される。

【0077】

第2の期間では、第1、第3、第5、第7及び第9のスイッチ素子SW1、SW3、SW5、SW7、SW9がオフとなり、第2、第4、第6、第8及び第10のスイッチ素子SW2、SW4、SW6、SW8、SW10がオンとなる（図5（B））。これにより、第1の昇圧用キャパシタCu1の一端には、第1の電源線VL-1に代えて第2の電源線VL-2が接続される。従って、第1の昇圧用キャパシタCu1の他端は、電圧 $2 \cdot V$ となる。第1の昇圧用キャパシタCu1の他端は、第3の電源線VL-3に接続されるため、第2及び第3の電源線VL-2、VL-3の間に接続された第1の安定化用キャパシタCs1の両端にも電圧 V が印加され、第1の安定化用キャパシタCs1には、その両端の電圧が V となるように電荷が蓄積される。これにより、第1の安定化用キャパシタCs1の他端の電圧は、 $2 \cdot V$ となる。

10

【0078】

第2の昇圧用キャパシタCu2についても、ほぼ同様である。即ち、第1の期間中では、第2の昇圧用キャパシタCu2の一端には、第2の電源線VL-2が接続される。第2の電源線VL-2には、電圧 V が供給されているが、第1の昇圧用キャパシタCu1の他端が接続されている。そして、第2の昇圧用キャパシタCu2の他端には、第1の安定化用キャパシタCs1の他端が接続される。そのため、第2の昇圧用キャパシタCu2の両端には、電圧 V （ $2V$ 、 V ）が印加される。従って、第2の昇圧用キャパシタCu2には、第1の期間中にその両端の電圧が V となるように電荷が蓄積される。

20

【0079】

そして、第2の期間になると、第1の昇圧用キャパシタCu1の他端の電圧が $2 \cdot V$ となる。そのため、その一端が第1の昇圧用キャパシタCu1に接続された第2の昇圧用キャパシタCu2の他端の電圧は、 $3 \cdot V$ となる。第2の昇圧用キャパシタCu2の他端は、第4の電源線VL-4に接続されるため、第3及び第4の電源線VL-3、VL-4の間に接続された第2の安定化用キャパシタCs2の両端にも電圧 V が印加され、第2の安定化用キャパシタCs2には、その両端の電圧が V となるように電荷が蓄積される。

【0080】

第3及び第4の昇圧用キャパシタCu3、Cu4の他端の電圧も、上記と同様に、チャージポンプ方式により昇圧された電圧となる。その結果、第6の電源線VL-6の電圧は $5 \cdot V$ となり、出力電圧Voutとして出力される。

30

【0081】

なお、図3、図5（A）、（B）において、第Nの電源線VL-Nと第（N+1）の電源線VL-（N+1）との間に接続された第（N-1）の安定化用キャパシタCs（N-1）を更に含み、第（N-1）の安定化用キャパシタCs（N-1）が、第2の期間において第（N-1）の昇圧用キャパシタCu（N-1）から放電された電荷を蓄積することが望ましい。即ちNが5の場合、第5及び第6の電源線VL-5、VL-6の間に、第4の安定化用キャパシタCs4が更に接続されることが望ましい。図3、図5（A）、（B）では、第（N-1）の安定化用キャパシタCs（N-1）に相当する第4の安定化用キャパシタCs4を破線で示している。この場合、第4の安定化用キャパシタCs4により第2の期間に昇圧された出力電圧Voutを安定した状態で供給することができる。

40

【0082】

更にまた、図3、図5（A）、（B）において、第1の電源線VL-1と第（N+1）の電源線VL-（N+1）との間に接続されたキャパシタを更に含むことが望ましい。即ちNが5の場合、第1及び第6の電源線VL-1、VL-6の間に、キャパシタが接続されることが望ましい。図3、図5（A）、（B）では、第1及び第（N+1）の電源線VL-1、VL-（N+1）に相当する第1及び第6の電源線VL-1、VL-6の間に、キャパシタC0が接続されている。この場合、第6の電源線VL-6に接続される負荷に依存した電圧レベルの低下を回避できる。

【0083】

50

以上のようにチャージポンプ回路を構成することで、各昇圧用キャパシタ及び各安定化用キャパシタには、第1及び第2の電源線 V_{L-1} 、 V_{L-2} の間の電圧 V と同じ電圧が印加される。また、各スイッチ素子も、後述するように、昇圧した電圧 $N \cdot V$ ではなく、電圧 V 又は電圧 $2 \cdot V$ の振幅を有する信号に対する耐圧を有していればよい。従って、各昇圧用キャパシタ及び各安定化用キャパシタをIC内に内蔵させる場合に、電圧 $N \cdot V$ の耐圧を有する高耐圧の製造プロセスを用いることなく低コスト化を実現する低耐圧の製造プロセスにより、スイッチ素子及びキャパシタを形成することができる。

【0084】

2. 1 キャパシタを内蔵する半導体装置

図6に、図3に示すチャージポンプ回路を内蔵する半導体装置の構成の概要を示す。図6において、図3に示す構成要素と同一部分には同一符号を付し、適宜説明を省略する。 10

【0085】

半導体装置（集積回路装置（IC）、チップ）100は、図3に示すチャージポンプ回路200を含む。即ち半導体装置100は、第1のスイッチ素子の一端が第1の電源線に接続され、第2 N （ N は3以上の整数）のスイッチ素子の一端が第（ $N+1$ ）の電源線に接続され、第1及び第2 N のスイッチ素子を除く残りのスイッチ素子が第1のスイッチ素子の他端と第2 N のスイッチ素子の他端との間に直列に接続された第1～第2 N のスイッチ素子と、各昇圧用キャパシタの一端が第 j （ $1 \leq j \leq 2N-3$ 、 j は奇数）及び第（ $j+1$ ）のスイッチ素子が接続された第 j の接続ノードに接続され、該昇圧用キャパシタの他端が第（ $j+2$ ）及び第（ $j+3$ ）のスイッチ素子が接続された第（ $j+2$ ）の接続ノードに接続された第1～第（ $N-1$ ）の昇圧用キャパシタと、各安定化用キャパシタの一端が第 k （ $2 \leq k \leq 2N-4$ 、 k は偶数）及び第（ $k+1$ ）のスイッチ素子が接続された第 k の接続ノードに接続され、該安定化用キャパシタの他端が第（ $k+2$ ）及び第（ $k+3$ ）のスイッチ素子が接続された第（ $k+2$ ）の接続ノードに接続された第1～第（ $N-2$ ）の安定化用キャパシタとを含む。そして、半導体装置100では、第 m （ $1 \leq m \leq 2N-1$ 、 m は整数）のスイッチ素子と第（ $m+1$ ）のスイッチ素子とが排他的にオンとなるようにスイッチ制御される。 20

【0086】

チャージポンプ回路200は、第 N の電源線と第（ $N+1$ ）の電源線との間に接続された第（ $N-1$ ）の安定化用キャパシタを更に含み、第（ $N-1$ ）の安定化用キャパシタが、第2の期間において第（ $N-1$ ）の昇圧用キャパシタから放電された電荷を蓄積するようにしてもよい。 30

【0087】

図6では、 N が5の場合（5倍昇圧）のチャージポンプ回路200の構成を示し、第（ $N-1$ ）の安定化用キャパシタ $C_{s(N-1)}$ に相当する第4の安定化用キャパシタ C_{s4} が第5及び第6の電源線 V_{L-5} 、 V_{L-6} の間に接続されている。

【0088】

半導体装置100は、チャージポンプ回路200の昇圧用キャパシタ及び安定化用キャパシタを内蔵する。図6では、チャージポンプ回路200の第1～第4の昇圧用キャパシタ $C_{u1} \sim C_{u4}$ 及び第1～第4の安定化用キャパシタ $C_{s1} \sim C_{s4}$ が半導体装置100に内蔵される。 40

【0089】

そして、半導体装置100では、昇圧した電圧を安定化させるためのキャパシタのみが外付けされる。より具体的には、半導体装置100は、第1及び第（ $N+1$ ）の電源線 V_{L-1} 、 $V_{L-(N+1)}$ と電氣的に接続された第1及び第2の端子 $T1$ 、 $T2$ を含み、半導体装置100の外部で、第1及び第2の端子 $T1$ 、 $T2$ の間にキャパシタ C_0 が接続される。図6では、半導体装置100は、第1及び第6の電源線 V_{L-1} 、 V_{L-6} と電氣的に接続された第1及び第2の端子 $T1$ 、 $T2$ を含み、半導体装置100の外部で、第1及び第2の端子 $T1$ 、 $T2$ の間にキャパシタ C_0 が接続される。

【0090】

チャージポンプ回路 200 の各スイッチ素子は、金属酸化膜半導体 (Metal-Oxide Semiconductor: MOS) トランジスタにより構成される。より具体的には、第 1 のスイッチ素子 SW1 は、n チャネル型 MOS トランジスタ Tr1 により構成される。第 2 ～第 10 のスイッチ素子 SW2 ～SW10 は、p チャネル型 MOS トランジスタ Tr2 ～Tr10 により構成される。

【0091】

従って、スイッチ素子として MOS トランジスタのオンオフ制御を行うスイッチ制御信号 S1 ～S10 は、図 7 に示すようなタイミングとなる。なお、MOS トランジスタ Tr1 と MOS トランジスタ Tr2 のスイッチ制御信号 S1、S2 として、スイッチ制御信号 S0 を用いる。

10

【0092】

なお、図 6 では、MOS トランジスタごとに、第 1 及び第 2 の期間における導通状態を、“○” (オン) 又は “×” (オフ) で示している。左側には第 1 期間における導通状態、右側には第 2 の期間における導通状態を示している。

【0093】

また図 6 では、昇圧用キャパシタごとに、第 1 及び第 2 の期間において、該昇圧用キャパシタの両端に印加される電圧を示している。左側には第 1 期間において印加される電圧、右側には第 2 の期間において印加される電圧を示している。

【0094】

このようにチャージポンプ回路 200 の動作は図 3、図 4 及び図 5 (A)、(B) で説明した内容と同様である。従って、その説明を省略する。

20

【0095】

2. 2 出力インピーダンス

次に、チャージポンプ回路 200 の効果を説明するために、チャージポンプ回路 200 の出力インピーダンスを求める。

【0096】

チャージポンプ回路 200 の出力インピーダンス Z は、次式 (1) に示すように、昇圧した出力電圧 Vout が供給される第 6 の電源線 VL-6 から電流 I を引いたときに第 6 の電源線 VL-6 の電圧が降下する傾きに対応する。

【0097】

$$V_{out} = I \cdot Z \quad \dots (1)$$

30

チャージポンプ回路の能力は、該チャージポンプ回路の出力インピーダンスを用いることによって表すことができる。出力インピーダンスの値が小さいほど、負荷により電流が引かれたときの電圧の降下が小さくなることを意味する。従って、出力インピーダンスの値が小さいほどチャージポンプ回路の能力 (電荷供給能力、負荷駆動能力) が高く、出力インピーダンスの値が大きいほどチャージポンプ回路の能力が低いことを表す。チャージポンプ回路の能力は、高い方が望ましい。

【0098】

チャージポンプ回路 200 の出力インピーダンスは、次のように簡略化して求められる。

【0099】

40

図 8 (A)、(B) に、チャージポンプ回路 200 の等価回路を示す。図 8 (A) は、第 1 の期間におけるチャージポンプ回路 200 の等価回路を示す。図 8 (B) は、第 2 の期間におけるチャージポンプ回路 200 の等価回路を示す。ここで、各等価回路中の抵抗素子は、MOS トランジスタのオン抵抗を示している。また各等価回路中の電源は、第 1 及び第 2 の電源線 VL-1、VL-2 の間に、電圧 V が印加されていることを示している。

【0100】

次に、各等価回路を用いて、チャージポンプ回路 200 のチャージポンプ動作を 8 つの状態に分けて考える。そして、各状態におけるインピーダンスを求める。

【0101】

図 9 (A) ～ (D) に、チャージポンプ回路 200 のチャージポンプ動作の前半の 4 状態

50

の等価回路を示す。

【0102】

図10(A)～(D)に、チャージポンプ回路200のチャージポンプ動作の後半の4状態の等価回路を示す。

【0103】

即ち図9(A)は、MOSトランジスタTr1、Tr3がオンの状態の等価回路である。図9(B)は、MOSトランジスタTr2、Tr4がオンの状態の等価回路である。図9(C)は、MOSトランジスタTr3、Tr5がオンの状態の等価回路である。図9(D)は、MOSトランジスタTr4、Tr6がオンの状態の等価回路である。

【0104】

また図10(A)は、MOSトランジスタTr5、Tr7がオンの状態の等価回路である。図10(B)は、MOSトランジスタTr6、Tr8がオンの状態の等価回路である。図10(C)は、MOSトランジスタTr7、Tr9がオンの状態の等価回路である。図10(D)は、MOSトランジスタTr8、Tr10がオンの状態の等価回路である。

【0105】

次に、各MOSトランジスタのオン抵抗の抵抗値を r とする。そして、図9(A)～(D)、図10(A)～(D)の各状態において、インピーダンスをDC成分とAC成分とに分ける。

【0106】

各状態のインピーダンスのDC成分は、それぞれ2つのMOSトランジスタのオン抵抗分であるため、 $2r$ である。

【0107】

また各状態で流れる電流 i は、 $i = cfV$ により求められる。ここで、 f はスイッチング周波数である。インピーダンスのAC成分は各状態のスイッチングにより生じるため、 $1/(c \cdot f)$ となる。即ち、図9(A)に示す状態から図9(B)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(Cu1 \cdot f)$ となる。

【0108】

同様に、図9(B)に示す状態から図9(C)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(Cs1 \cdot f)$ となる。図9(C)に示す状態から図9(D)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(Cu2 \cdot f)$ となる。図9(D)に示す状態から図10(A)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(Cs2 \cdot f)$ となる。図10(A)に示す状態から図10(B)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(Cu3 \cdot f)$ となる。図10(B)に示す状態から図10(C)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(Cs3 \cdot f)$ となる。図10(C)に示す状態から図10(D)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(Cu4 \cdot f)$ となる。

【0109】

ここで、各昇圧用キャパシタ及び各安定化用キャパシタの容量値を c とする。出力インピーダンス Z は、インピーダンスのDC成分とAC成分の和となるので、次の(2)式により表される。

【0110】

$$Z = 8 \times 2r + 7 \times 1/(c \cdot f) = 16r + 7/(c \cdot f) \quad \dots (2)$$

なお、 N 倍昇圧の場合、出力インピーダンスの一般式は次の(3)式により表される。

【0111】

$$\begin{aligned} Z &= ((2N-4) \times 2 + 4) \times r + (2N-3)/(c \cdot f) \\ &= (4N-4)r + (2N-3)/(c \cdot f) \quad \dots (3) \end{aligned}$$

【0112】

次に、図6に示すチャージポンプ回路200との対比のため、比較例におけるチャージポンプ回路について説明する。

【0113】

図11に、比較例におけるチャージポンプ回路の構成例を示す。ここで、図6に示すチャージポンプ回路200と同一部分には同一符号を付している。

【0114】

比較例におけるチャージポンプ回路300は、第1及び第2の電源線VLC-1、VLC-2、第1～第(N+2)の出力電源線VLO-1～VLO-(N+2)を有する。そして、第1及び第2の電源線VLC-1、VLC-2の間の電圧VをN倍に昇圧した昇圧電圧 $N \cdot V$ を、出力電圧Voutとして、第(N+2)の出力電源線VLO-(N+2)に出力する。

10

【0115】

チャージポンプ回路300は、低耐圧の第1～第4のスイッチ素子としてのnチャネル型MOSトランジスタLN1、LN2とpチャネル型MOSトランジスタLP1、LP2を含む。またチャージポンプ回路300は、高耐圧の第1～第Nのスイッチ素子としてのpチャネル型MOSトランジスタHP1～HPNを含む。

【0116】

第1及び第2の電源線VLC-1、VLC-2の間に、MOSトランジスタLP1、LN1が直列に接続される。MOSトランジスタLP1、LN1は、スイッチ制御信号S1Cによりオンオフ制御される。また第1及び第2の電源線VLC-1、VLC-2の間に、MOSトランジスタLP2、LN2が直列に接続される。MOSトランジスタLP2、LN2は、スイッチ制御信号S2Cによりオンオフ制御される。

20

【0117】

第2の電源線VLC-2と第(N+2)の出力電源線VLO-(N+2)との間に、MOSトランジスタHP1～HPNが直列に接続される。MOSトランジスタHP1のドレイン端子が第2の電源線VLC-2に接続される。MOSトランジスタHPNのソース端子が第(N+2)の出力電源線VLO-(N+2)に接続される。MOSトランジスタHP1～HPNは、スイッチ制御信号S3C～S(N+2)Cによりオンオフ制御される。

【0118】

第1の出力電源線VLO-1は、MOSトランジスタLN2のドレイン端子とMOSトランジスタLP2のドレイン端子とに接続される。第2の出力電源線VLO-2は、MOSトランジスタLN1のドレイン端子とMOSトランジスタLP1のドレイン端子とに接続される。

30

【0119】

Nが奇数の場合、第2の出力電源線VLO-2とMOSトランジスタHPq ($1 \leq q \leq N$ 、qは偶数)との間にそれぞれフライングコンデンサが接続される。従って、 $(N-1)/2$ 個のフライングコンデンサが第2の出力電源線VLO-2に接続される。また第1の出力電源線VLO-1とMOSトランジスタHPt ($2 \leq t \leq N$ 、tは奇数)との間にそれぞれフライングコンデンサが接続される。従って、 $(N-1)/2$ 個のフライングコンデンサが第1の出力電源線VLO-1に接続される。

40

【0120】

一方、Nが偶数の場合、第2の出力電源線VLO-2とMOSトランジスタHPq ($1 \leq q \leq N$ 、qは偶数)との間にそれぞれフライングコンデンサが接続される。従って、 $N/2$ 個のフライングコンデンサが第2の出力電源線VLO-2に接続される。また第1の出力電源線VLO-1とMOSトランジスタHPt ($2 \leq t \leq N$ 、tは奇数)との間にそれぞれフライングコンデンサが接続される。従って、 $(N/2-1)$ 個のフライングコンデンサが第1の出力電源線VLO-1に接続される。

【0121】

図11は、Nが5の場合(5倍昇圧時)の構成例を示している。また、出力電圧Voutの安定化を図るため、出力電圧Voutが出力される第7の出力電源線VLO-7と、第

50

1の電源線VLC-1との間にキャパシタC5が接続される。

【0122】

なお、図11では、図6と同様に、MOSトランジスタごとに、第1及び第2の期間における導通状態を、“○”(オン)又は“×”(オフ)で示している。左側には第1期間における導通状態、右側には第2の期間における導通状態を示している。

【0123】

また図11では、フライングコンデンサごとに、第1及び第2の期間において、該フライングコンデンサの両端に印加される電圧を示している。左側には第1期間において印加される電圧、右側には第2の期間において印加される電圧を示している。

【0124】

図12に、比較例におけるチャージポンプ回路の動作原理の説明図を示す。このように、第1及び第2の期間を繰り返すことによるチャージポンプ方式により、第(N+2)の出力電源線VLO-(N+2)(図12では第7の出力電源線VLO-7)には、第1及び第2の電源線VLC-1、VLC-2の間の電圧をN倍に昇圧した昇圧電圧が出力電圧Voutとして出力される。

【0125】

比較例におけるチャージポンプ回路300の出力インピーダンスは、次のように簡略化して求められる。

【0126】

図13(A)、(B)に、比較例におけるチャージポンプ回路300の等価回路を示す。図13(A)は、第1の期間におけるチャージポンプ回路300の等価回路を示す。図13(B)は、第2の期間におけるチャージポンプ回路300の等価回路を示す。ここで、各等価回路中の抵抗素子は、MOSトランジスタのオン抵抗を示している。また各等価回路中の電源は、第1及び第2の電源線VLC-1、VLC-2の間に、電圧Vが印加されていることを示している。

【0127】

次に、各等価回路を用いて、チャージポンプ回路300のチャージポンプ動作を5つの状態に分けて考える。そして、各状態におけるインピーダンスを求める。

【0128】

図14(A)～(E)に、チャージポンプ回路300のチャージポンプ動作の5状態の等価回路を示す。

【0129】

即ち図14(A)は、MOSトランジスタHP1、LN1がオンの状態の等価回路である。図14(B)は、MOSトランジスタHP2、LN2がオンの状態の等価回路である。図14(C)は、MOSトランジスタHP3、LN1がオンの状態の等価回路である。図14(D)は、MOSトランジスタHP4、LN2がオンの状態の等価回路である。図14(E)は、MOSトランジスタHP5、LP2がオンの状態の等価回路である。

【0130】

次に、各MOSトランジスタのオン抵抗の抵抗値をrとする。そして、図14(A)～(E)の各状態において、インピーダンスをDC成分とAC成分とに分ける。

【0131】

図14(A)、(E)の各状態のインピーダンスのDC成分は2rである。図14(B)～(D)の各状態のインピーダンスのDC成分は3rである。

【0132】

またインピーダンスのAC成分は、上述と同様に求められる。即ち、図14(A)に示す状態から図14(B)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(C1 \cdot f)$ となる。図14(B)に示す状態から図14(C)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(C2 \cdot f)$ となる。図14(C)に示す状態から図14(D)に示す状態へのスイッチングにより、インピーダンスのAC成分は、 $1/(C3 \cdot f)$ となる。図14(D)に示す状態から図14(E)に示す状

10

20

30

40

50

態へのスイッチングにより、インピーダンスのAC成分は、 $1 / (C4 \cdot f)$ となる。

【0133】

ここで、各フライングコンデンサの容量値をcとする。出力インピーダンス Z_c は、インピーダンスのDC成分とAC成分の和となるので、次の(4)式により表される。なお、第7の出力電源線VLO-7に接続される負荷によりキャパシタC5についてのAC成分も発生するが、キャパシタC5は外付け容量として設けられ、他のフライングコンデンサC1～C4に比べて、その容量値が十分大きい。従って、インピーダンスとしては、フライングコンデンサC1～C4が支配的となり、キャパシタC5によるAC成分については無視できる。

【0134】

$$Z_c = (2 \times 2r + 3 \times 3r) + 4 \times 1 / (c \cdot f) \\ = 13r + 4 / (c \cdot f) \quad \dots (4)$$

なお、N倍昇圧の場合、出力インピーダンスの一般式は次の(5)式により表される。

【0135】

$$Z_c = (2 \times 2r + (N-2) \times 3r) + (N-1) / (c \cdot f) \\ = (3N-2)r + (N-1) / (c \cdot f) \quad \dots (5)$$

【0136】

2. 4 比較例との対比

図6に示すチャージポンプ回路200の構成と、図11に示す比較例におけるチャージポンプ回路300の構成とを対比する。両回路は、同じ5倍昇圧を実現するにも関わらず、チャージポンプ回路200では、キャパシタの数と、スイッチ素子の数とが増える。

【0137】

また、図6に示す本実施形態におけるチャージポンプ回路200の出力インピーダンス Z と、図11に示す比較例におけるチャージポンプ回路300の出力インピーダンス Z_c とを対比する。(2)式及び(4)式より、出力インピーダンス Z_c の方が、出力インピーダンス Z より小さい。

【0138】

以上より、一般的には、本実施形態におけるチャージポンプ回路200を採用するよりも、比較例におけるチャージポンプ回路300を採用することが有利であると考えられる。

【0139】

ところが、チャージポンプ回路を構成するキャパシタを半導体装置内に内蔵させる場合、本実施形態におけるチャージポンプ回路200では、昇圧用キャパシタ及び安定化用キャパシタのすべてを低耐圧の製造プロセスで製造することができる。これに対して、比較例におけるチャージポンプ回路300は、MOSトランジスタHP1～HP5、フライングコンデンサC2～C4を高耐圧プロセスで製造する必要がある。

【0140】

ここで、低耐圧とは、第1及び第2の電源線VLC-1、VLC-2(VL-1、VL-2)の間の電圧V(例えば1.8ボルト～3.3ボルト)により定められる設計ルール上の耐圧である。これに対して高耐圧とは、例えば10ボルト～20ボルトといった高電圧に対する設計ルール上の耐圧である。

【0141】

低耐圧の製造プロセスを用いるか、或いは高耐圧の製造プロセスを用いるかにより、半導体装置内で作り込まれるキャパシタの両電極間の膜厚が変わってくる。低耐圧の製造プロセスで作られキャパシタでは、その両電極間の膜厚をより一層薄くでき、単位面積当たりの容量値を大きくできる。即ち、ある容量値を得る場合、高耐圧の製造プロセスで作られキャパシタの面積より、低耐圧の製造プロセスで作られキャパシタの面積をより小さくできる。また、半導体装置内に内蔵させることを考慮すると、キャパシタの数の増加の影響を小さくできる。

10

20

30

40

50

【0142】

従って、同じ面積を費やして半導体装置内にキャパシタを内蔵させる場合、比較例におけるチャージポンプ回路300に比べて、本実施形態におけるチャージポンプ回路200の方がよい。

【0143】

そして、本実施形態におけるチャージポンプ回路200のキャパシタを内蔵させることで、以下のような利点を有する。

【0144】

第1に、スイッチング素子としてのMOSトランジスタを低耐圧の製造プロセスで製造できるようになるので、MOSトランジスタのゲート容量による充放電電流を低減することができる。同じオン抵抗を実現する高耐圧用のMOSトランジスタと比べて、低耐圧用のMOSトランジスタのチャンネル幅を狭くでき、図6に示すように充放電電圧は低電圧である。これに対して、図11では、充放電電圧が $V \sim 5 \cdot V$ であり、 $5 \cdot V$ は高電圧である。従って、低耐圧用のMOSトランジスタを採用することにより、ゲート膜厚が薄くなり、ゲート容量が大きくなる影響を考慮しても、ゲート容量による充放電電流を低減できる。

10

【0145】

第2に、本実施形態におけるチャージポンプ回路200と、比較例におけるチャージポンプ回路300とについて、半導体装置内に同じ面積を費やしてキャパシタを作り込み（コスト同じ）、同じ出力インピーダンスを得よう（能力同じ）とした場合、本実施形態におけるチャージポンプ回路200によれば、比較例におけるチャージポンプ回路300に比べて、スイッチングに伴う消費電流を低減できる。

20

【0146】

この点について説明する。チャージポンプ回路のキャパシタに電荷を充電するための十分な時間が必要であるため、時定数 $C \cdot r$ は $1 / 2 f$ （電荷が充放電される周波数）より十分小さいものと考えることができる。ここで、例えば時定数 $C \cdot r$ が、スイッチ制御信号のパルスの10分の1であるものとする。また、チャージポンプ回路200とチャージポンプ回路300のキャパシタの容量値が同一で、MOSトランジスタのオン抵抗の抵抗値が同一であるものとする。

【0147】

$$C \cdot r = 1 / (20 \cdot f) \quad \dots (6)$$

30

従って、(6)式を、(2)式及び(4)式に代入すると、次の(7)式及び(8)式が求められる。

【0148】

$$Z = 13 / (20 \cdot C_a \cdot f_a) + 4 / (C_a \cdot f_a) \quad \dots (7)$$

$$Z_c = 16 / (20 \cdot C_b \cdot f_b) + 7 / (C_b \cdot f_b) \quad \dots (8)$$

(7)式及び(8)式において、 C_a はチャージポンプ回路300におけるキャパシタの1個当たりの容量値であり、 C_b はチャージポンプ回路200におけるキャパシタの1個当たりの容量値とする。また、 f_a はチャージポンプ回路300における各キャパシタに電荷が充放電される周波数であり、 f_b はチャージポンプ回路200における各キャパシタに電荷が充放電される周波数である。

40

【0149】

チャージポンプ回路200の出力インピーダンス Z と、チャージポンプ回路300の出力インピーダンス Z_c とを同一にするためには、(7)式及び(8)式より、 $Z = Z_c$ である。これにより、次の(9)式が求められる。

【0150】

$$\begin{aligned} C_b \cdot f_b &= (7.8 / 4.65) \cdot C_a \cdot f_a \\ &= 1.68 \cdot C_a \cdot f_a \quad \dots (9) \end{aligned}$$

低耐圧の製造プロセスによりキャパシタ C_{LV} を製造する場合の絶縁酸化膜の膜厚を10

50

ナノメートル（nm）とし、例えば16ボルトの高耐圧の製造プロセスによりキャパシタCHVを製造する場合の絶縁酸化膜の膜厚を55nmとする。このとき、単位面積当たりの容量比は、次の（10）式で表される。

【0151】

$$CLV = 5.5 \cdot CHV \quad \dots (10)$$

図11に示すチャージポンプ回路300では、フライングコンデンサ（キャパシタ）C1のみが低耐圧、フライングコンデンサC2～C4が高耐圧である必要がある。そのため、すべてのキャパシタの容量値を同一とするためには、全体の面積をSとして、次のようになる。

【0152】

$$\text{低耐圧用キャパシタの面積} : 0.057 \cdot S \quad \dots (11)$$

$$\text{高耐圧用キャパシタ1個当たりの面積} : 0.314 \cdot S \quad \dots (12)$$

一方、図6に示すチャージポンプ回路200では、昇圧用キャパシタ及び安定化用キャパシタすべての計8個とも低耐圧で済むため、全体の面積をSとして、次のようになる。

【0153】

$$\text{低耐圧用キャパシタの面積} : 0.125 \cdot S \quad \dots (13)$$

従って、チャージポンプ回路300のキャパシタ1個の容量値Caと、チャージポンプ回路200のキャパシタ1個当たりの容量値Cbとの合計を同一面積で実現するためには、次の関係式が成り立つ。

【0154】

$$Cb = (0.125 / 0.057) \cdot Ca = 2.19 \cdot Ca \quad \dots (14)$$

（14）式を、（9）式に代入すると、fbとfaの関係が（15）式のようにになる。

【0155】

$$fb = 0.77 \cdot fa \quad \dots (15)$$

（15）式は、本実施形態におけるチャージポンプ回路200の充放電の周波数fbが、比較例におけるチャージポンプ回路300の充放電の周波数faの0.77倍であることを示す。従って、本実施形態によれば、充放電の周波数を低減することができる。即ち、スイッチ制御信号の周波数低減によるスイッチ素子のスイッチングに伴う消費電流を低減することができる。

【0156】

また、本実施形態におけるチャージポンプ回路200のキャパシタを内蔵させる利点の第3の点は、以下の通りである。

【0157】

即ち、本実施形態におけるチャージポンプ回路200と、比較例におけるチャージポンプ回路300とについて、半導体装置内に同じ面積を費やしてキャパシタを作り込み（コスト同じ）、同じ出力インピーダンスを得よう（能力同じ）とした場合、本実施形態におけるチャージポンプ回路200によれば、比較例におけるチャージポンプ回路300に比べて、キャパシタの寄生容量による充放電電流を低減できる。

【0158】

図15に、半導体装置内に内蔵されるキャパシタの寄生容量の説明図を示す。半導体装置内にキャパシタを内蔵させる場合、半導体装置を構成する例えばp型シリコン基板（広義には半導体基板）400に、n型ウェル領域（広義には不純物領域）410が形成される。そして、n型ウェル領域410上に、絶縁酸化膜（広義には絶縁層）420が形成される。そして、絶縁酸化膜420の上に、ポリシリコン膜（広義には導電層）430が形成される。

【0159】

キャパシタは、絶縁酸化膜420を介して、n型ウェル領域410及びポリシリコン膜430の間に形成される。そして、p型シリコン基板400とn型ウェル領域410との接合容量が寄生容量となる。

【0160】

10

20

30

40

50

比較例におけるチャージポンプ回路300では、図11に示すように、フライングコンデンサとしてのキャパシタC1～C4のすべてに、電圧ΔVの充放電が行われる。図11では、キャパシタC1～C4の寄生容量をCx1～Cx4として示している。単位面積当たりの寄生容量をCiとすると、寄生容量による充放電電流Iaは、次の式で表すことができる。

【0161】

$$I_a = C_i \cdot S \cdot V \cdot f_a \quad \dots (16)$$

一方、本実施形態におけるチャージポンプ回路200では、安定化用キャパシタの充放電が繰り返されることなく、昇圧用キャパシタのみで充放電が繰り返される。従って、8個のキャパシタのうちの半分の4個のキャパシタの寄生容量が充放電電流を発生させる。図6では、第1～第4の昇圧用キャパシタCu1～Cu4の寄生容量をCy1～Cy4として示している。第1～第4の昇圧用キャパシタCu1～Cu4の寄生容量をCy1～Cy4による充放電電流Ibは、次の式で表すことができる。

【0162】

$$I_b = C_i \cdot (S/2) \cdot V \cdot f_b \quad \dots (17)$$

(16)式及び(17)式により、IaとIbの関係を求め、(15)式を代入すると次のようになる。

【0163】

$$I_b = I_a / 2 = 0.38 \cdot I_a \quad \dots (18)$$

(18)式は、本実施形態におけるチャージポンプ回路200のキャパシタの寄生容量の充放電電流Ibが、比較例におけるチャージポンプ回路300のキャパシタの寄生容量の充放電電流Iaの0.38倍であることを示す。従って、本実施形態によれば、キャパシタの寄生容量による充放電電流を大幅に削減できる。

【0164】

以上のように、比較例におけるチャージポンプ回路300と対比した場合、本実施形態の構成におけるキャパシタを半導体装置内に内蔵させることで、上述のように大幅に消費電流を削減できるようになる。

【0165】

3. 昇圧回路の構成

次に、本実施形態における昇圧回路の構成例について具体的に説明する。本実施形態における昇圧回路は、上述のチャージポンプ回路が適用される2つのチャージポンプ回路を含む。

【0166】

図16に、本実施形態における昇圧回路の構成の概要を示す。

【0167】

本実施形態における昇圧回路450は、第1～第M（Mは4以上の整数）の電源線VL-1～VL-Mと、第1及び第2のチャージポンプ回路460、470とを含む。第1及び第2のチャージポンプ回路460、470には、それぞれ図2に示すチャージポンプ回路が適用される。そして昇圧回路450は、半導体装置内に設けられる。なお、図16ではMが6（5倍昇圧時）の構成を示している。

【0168】

図17に、図16に示す昇圧回路の動作原理の説明図を示す。このように、昇圧回路450の第1及び第2のチャージポンプ回路460、470の各チャージポンプ回路は、第j（ $1 \leq j \leq M-2$ 、jは整数）の昇圧用キャパシタが、第1の期間に第jの電源線VL-jと第(j+1)の電源線VL-(j+1)との間に接続されると共に、第1の期間経過後の第2の期間に第(j+1)の電源線VL-(j+1)と第(j+2)の電源線VL-(j+2)との間に接続される第1～第(M-2)の昇圧用キャパシタを含む。また第1～第Mの電源線VL-1～VL-Mの各電源線が、第1及び第2のチャージポンプ回路460、470で共通となっている。

【0169】

10

20

30

40

50

そして、第1及び第2のチャージポンプ回路460、470が、互いに異なる位相で、第1及び第Mの電源線 V_{L-1} 、 V_{L-M} の間に、第1及び第2の電源線 V_{L-1} 、 V_{L-2} の間の電圧を $(M-1)$ 倍に昇圧した電圧を出力する。

【0170】

より具体的には、第1のチャージポンプ回路460は、第 j_1 ($1 \leq j_1 \leq M-2$ 、 j_1 は整数)の昇圧用キャパシタが、第1の期間に第 j_1 の電源線と第 (j_1+1) の電源線との間に接続されると共に第1の期間経過後の第2の期間に第 (j_1+1) の電源線と第 (j_1+2) の電源線との間に接続される第1の群の第1～第 $(M-2)$ の昇圧用キャパシタ $C_{u-1A} \sim C_{u-(M-2)A}$ を含む。第2のチャージポンプ回路470は、第 j_2 ($1 \leq j_2 \leq M-2$ 、 j_2 は整数)の昇圧用キャパシタが、第2の期間に第 j_2 の電源線と第 (j_2+1) の電源線との間に接続されると共に第1の期間に第 (j_2+1) の電源線と第 (j_2+2) の電源線との間に接続される第2の群の第1～第 $(M-2)$ の昇圧用キャパシタ $C_{u-2A} \sim C_{u-(M-2)A}$ を含む。従って、第1の期間では、第2のチャージポンプ回路470により昇圧された電圧が第1及び第Mの電源線 V_{L-1} 、 V_{L-M} の間に出力される。また、第2の期間では、第1のチャージポンプ回路480により昇圧された電圧が、第1及び第Mの電源線 V_{L-1} 、 V_{L-M} の間に出力される。

10

【0171】

このように、昇圧回路450では、例えば図1の昇圧電圧生成回路12及びスイッチ素子SWの機能を第1のチャージポンプ回路460に実現させた場合、図1の電荷保持回路14及び電荷供給回路16の機能を第2のチャージポンプ回路470に実現させる。

20

【0172】

従って、昇圧回路450は、第1の期間中では、第1のチャージポンプ回路460により昇圧された電圧を第Mの電源線 V_{L-M} に出力し、第2の期間中では、第2のチャージポンプ回路470により昇圧された電圧を第Mの電源線 V_{L-M} に出力する。そのため、第1及び第2の期間が交互に繰り返される場合、第Mの電源線 V_{L-M} に接続される負荷による電圧の降下を回避できる。

【0173】

そして、一方のチャージポンプ回路の非出力期間は、他方のチャージポンプ回路の出力期間とすることができるため、第1及び第2のチャージポンプ回路460、470の各チャージポンプ回路では、図2に示す安定化用キャパシタが省略された構成を採用することができる。

30

【0174】

なお、各電源線の電圧の安定化のために、図18に示すように、第1～第 $(M-3)$ の安定化用キャパシタを含んでもよい。第1～第 $(M-3)$ の安定化用キャパシタの第 k ($1 \leq k \leq M-3$ 、 k は整数)の安定化用キャパシタ $C_{s k}$ は、第 $(k+1)$ の電源線 $V_{L-(k+1)}$ と第 $(k+2)$ の電源線 $V_{L-(k+2)}$ との間に接続される。更には、第 $(M-1)$ の電源線 $V_{L-(M-1)}$ と第Mの電源線 V_{L-M} との間に接続された第 $(M-2)$ の安定化用キャパシタ $C_{s (M-2)}$ を含んでもよい。

【0175】

図18では、Mが6の場合の構成を示している。従って、第1の安定化用キャパシタ $C_{s 1}$ は、第2の電源線 V_{L-2} と第3の電源線 V_{L-3} との間に接続される。第2の安定化用キャパシタ $C_{s 2}$ は、第3の電源線 V_{L-3} と第4の電源線 V_{L-4} との間に接続される。第3の安定化用キャパシタ $C_{s 3}$ は、第4の電源線 V_{L-4} と第5の電源線 V_{L-5} との間に接続される。そして、第 $(M-2)$ の安定化用キャパシタ $C_{s (M-2)}$ として、第4の安定化用キャパシタ $C_{s 4}$ が、第5の電源線 V_{L-5} と第6の電源線 V_{L-6} との間に接続される。

40

【0176】

なお、図16～図18では、第1及び第Mの電源線 V_{L-1} 、 V_{L-M} の間には、安定化用のため大容量のキャパシタ C_0 が接続されている。

【0177】

50

また図16～図18では、5倍昇圧時の構成を示しているが、これに限定されるものではなく、 $(M-1)$ 倍昇圧時も同様に構成することができる。

【0178】

このように、昇圧回路450に、図2に示すチャージポンプ動作を行うチャージポンプ回路を適用することで、昇圧回路450を半導体装置に内蔵させた場合に、消費電流の低減、低コスト化、及び出力電圧の安定化を図ることができる。

【0179】

また第1及び第2のチャージポンプ回路460、470の各チャージポンプ回路に、図3に示すチャージポンプ回路を適用することができる。

【0180】

この場合、図16では、 N が5の場合、第1のチャージポンプ回路460は、スイッチ制御信号 $S0A \sim S10A$ のスイッチ制御信号に基づくチャージポンプ動作により、第1及び第2の電源線 $VL-1$ 、 $VL-2$ の間の電圧を昇圧した電圧を、第6の電源線 $VL-6$ に出力する。第2のチャージポンプ回路470は、スイッチ制御信号 $S0B \sim S10B$ のスイッチ制御信号に基づくチャージポンプ動作により、第1及び第2の電源線 $VL-1$ 、 $VL-2$ の間の電圧を昇圧した昇圧電圧を、第6の電源線 $VL-6$ に出力する。

【0181】

スイッチ制御信号 $S0A \sim S10A$ は、図7に示すスイッチ制御信号 $S0 \sim S10$ と同様のタイミングの信号である。スイッチ制御信号 $S0B \sim S10B$ は、反転回路480により、スイッチ制御信号 $S0A \sim S10A$ をそれぞれ反転した信号である。従って、第1及び第2のチャージポンプ回路460、470は、それぞれ互いに異なる位相でチャージポンプ動作を行って、昇圧電圧を第6の電源線 $VL-6$ に出力する。

【0182】

図19に、各チャージポンプ回路に図3に示すチャージポンプ回路が適用された昇圧回路を含む半導体装置の構成の概要を示す。但し、図19において、図3に示す構成要素と同一部分には同一符号を付し、適宜説明を省略する。なお、第1のチャージポンプ回路460の構成要素の符号の末尾にA、第2のチャージポンプ回路470の構成要素の符号の末尾にBを付している。

【0183】

半導体装置500は、昇圧回路450を含む。昇圧回路450は、第1～第 $(N+1)$ (N は3以上の整数)の電源線と、第1及び第2のチャージポンプ回路460、470を含む。各チャージポンプ回路は、第1のスイッチ素子の一端が第1の電源線に接続され、第 $2N$ のスイッチ素子の一端が第 $(N+1)$ の電源線に接続され、第1及び第 $2N$ のスイッチ素子を除く残りのスイッチ素子が第1のスイッチ素子の他端と第 $2N$ のスイッチ素子の他端との間に直列に接続された第1～第 $2N$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 j ($1 \leq j \leq 2N-3$ 、 j は奇数)及び第 $(j+1)$ のスイッチ素子が接続された第 j の接続ノードに接続され、該昇圧用キャパシタの他端が、第 $(j+2)$ 及び第 $(j+3)$ のスイッチ素子が接続された第 $(j+2)$ の接続ノードに接続された第1～第 $(N-1)$ の昇圧用キャパシタとを含む。半導体装置500では、第1～第 $(N+1)$ の電源線の各電源線が、第1及び第2のチャージポンプ回路460、470の間で共通となっている。そして、各チャージポンプ回路の第 m ($1 \leq m \leq 2N-1$ 、 m は整数)のスイッチ素子と第 $(m+1)$ のスイッチ素子とが排他的にオンとなるようにスイッチ制御されると共に、第1のチャージポンプ回路の第1～第 $2N$ のスイッチ素子と、第2のチャージポンプ回路の第1～第 $2N$ のスイッチ素子とが、互いに異なる位相でオンオフ制御される。

【0184】

より具体的には、第1のチャージポンプ回路460は、第1のスイッチ素子の一端が第1の電源線に接続され、第 $2N$ のスイッチ素子の一端が第 $(N+1)$ の電源線に接続され、第1及び第 $2N$ のスイッチ素子を除く残りのスイッチ素子が第1のスイッチ素子の他端と第 $2N$ のスイッチ素子の他端との間に直列に接続された第1の群の第1～第 $2N$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 j_1 ($1 \leq j_1 \leq 2N-3$ 、 j_1 は奇数)及

10

20

30

40

50

び第 $(j1 + 1)$ のスイッチ素子が接続された第 $j1$ の接続ノードに接続され、該昇圧用キャパシタの他端が、第 $(j1 + 2)$ 及び第 $(j1 + 3)$ のスイッチ素子が接続された第 $(j1 + 2)$ の接続ノードに接続された第 1 の群の第 1 ～第 $(N - 1)$ の昇圧用キャパシタ $Cu - 1A \sim Cu - (N - 1)A$ とを含む。そして、第 1 の群の第 $m1$ ($1 \leq m1 \leq 2N - 1$ 、 $m1$ は整数) 及び第 $(m1 + 1)$ のスイッチ素子とが排他的にオンとなるようにスイッチ制御される。第 2 のチャージポンプ回路 470 は、第 1 のスイッチ素子の一端が第 1 の電源線に接続され、第 $2N$ のスイッチ素子の一端が第 $(N + 1)$ の電源線に接続され、第 1 及び第 $2N$ のスイッチ素子を除く残りのスイッチ素子が第 1 のスイッチ素子の他端と第 $2N$ のスイッチ素子の他端との間に直列に接続された第 2 の群の第 1 ～第 $2N$ のスイッチ素子と、各昇圧用キャパシタの一端が、第 $j2$ ($1 \leq j2 \leq 2N - 3$ 、 $j2$ は奇数) 及び第 $(j2 + 1)$ のスイッチ素子が接続された第 $j2$ の接続ノードに接続され、該昇圧用キャパシタの他端が、第 $(j2 + 2)$ 及び第 $(j2 + 3)$ のスイッチ素子が接続された第 $(j2 + 2)$ の接続ノードに接続された第 2 の群の第 1 ～第 $(N - 1)$ の昇圧用キャパシタ $Cu - 1B \sim Cu - (N - 1)B$ とを含む。そして、第 2 の群の第 $m2$ ($1 \leq m2 \leq 2N - 1$ 、 $m2$ は整数) 及び第 $(m2 + 1)$ のスイッチ素子とが排他的にオンとなるようにスイッチ制御される。

10

【0185】

第 1 の期間では、第 1 の群の第 m のスイッチ素子 ($1 \leq m \leq 2N$ 、 m は整数) がオンとなるようにスイッチ制御されると共に、第 2 の群の第 m のスイッチ素子がオフとなるようにスイッチ制御される。第 1 の期間の経過後の第 2 の期間では、第 1 の群の第 m のスイッチ素子がオフとなるようにスイッチ制御されると共に、第 2 の群の第 m のスイッチ素子がオンとなるようにスイッチ制御される。

20

【0186】

図 19 では、 N が 5 の場合 (5 倍昇圧) の昇圧回路 450 の構成を示す。そして、半導体装置 500 では、昇圧した電圧を安定化させるためのキャパシタのみが外付けされる。より具体的には、半導体装置 500 は、第 1 及び第 $(N + 1)$ の電源線 $VL - 1$ 、 $VL - (N + 1)$ と電氣的に接続された第 1 及び第 2 の端子 $T1$ 、 $T2$ を含み、半導体装置 500 の外部で、第 1 及び第 2 の端子 $T1$ 、 $T2$ の間にキャパシタ $C0$ が接続される。図 19 では、 N が 5 の場合の構成を示し、半導体装置 500 は、第 1 及び第 6 の電源線 $VL - 1$ 、 $VL - 6$ と電氣的に接続された第 1 及び第 2 の端子 $T1$ 、 $T2$ を含み、半導体装置 500 の外部で、第 1 及び第 2 の端子 $T1$ 、 $T2$ の間にキャパシタ $C0$ が接続される。

30

【0187】

半導体装置 500 は、各チャージポンプ回路の昇圧用キャパシタを内蔵する。図 19 では、各チャージポンプ回路の第 1 ～第 4 の昇圧用キャパシタ ($Cu1 - A \sim Cu4 - A$ 、 $Cu1 - B \sim Cu4 - B$) が半導体装置 500 に内蔵される。

【0188】

各チャージポンプ回路の各スイッチ素子は、MOS トランジスタにより構成される。より具体的には、第 1 のチャージポンプ回路 460 では、第 1 のスイッチ素子 $SW1A$ は、 n チャネル型 MOS トランジスタ $Tr1A$ により構成される。第 2 ～第 10 のスイッチ素子 $SW2A \sim SW10A$ は、 p チャネル型 MOS トランジスタ $Tr2A \sim Tr10A$ により構成される。第 2 のチャージポンプ回路 440 では、第 1 のスイッチ素子 $SW1B$ は、 n チャネル型 MOS トランジスタ $Tr1B$ により構成される。第 2 ～第 10 のスイッチ素子 $SW2B \sim SW10B$ は、 p チャネル型 MOS トランジスタ $Tr2B \sim Tr10B$ により構成される。

40

【0189】

従って、スイッチ素子として MOS トランジスタのオンオフ制御を行うスイッチ制御信号 $S0A \sim S10A$ 、 $S0B \sim S10B$ は、図 20 に示すようなタイミングとなる。図 19 では、反転回路 480 の図示を省略しているが、半導体装置 500 内に反転回路 480 が含まれる。従って、スイッチ制御信号 $S0A \sim S10A$ と、スイッチ制御信号 $S0B \sim S10B$ とは、互いに位相が反転している。

50

【0190】

図19では、図1における昇圧電圧生成回路12の機能は、第1のチャージポンプ回路460により実現される。また、図1の電荷保持回路14及び電荷供給回路16の機能は、第2のチャージポンプ回路470により実現される。この場合、図1の昇圧電源線は、第9の接続ノードND-9Aと同電位に信号線に相当する。図1のスイッチ素子SWは、第10のスイッチ素子SW10Aに相当する。図1の出力電源線は、第6の電源線VL-6に相当する。

【0191】

なお、図19では、MOSトランジスタごとに、第1及び第2の期間における導通状態を、“○”（オン）又は“×”（オフ）で示している。左側には第1期間における導通状態、右側には第2の期間における導通状態を示している。

10

【0192】

また図19では、昇圧用キャパシタごとに、第1及び第2の期間において、該昇圧用キャパシタの両端に印加される電圧を示している。左側には第1期間において印加される電圧、右側には第2の期間において印加される電圧を示している。

【0193】

図21(A)、(B)に、昇圧回路450の等価回路を示す。図21(A)は、第1の期間における昇圧回路450の等価回路を示す。図21(B)は、第2の期間における昇圧回路450の等価回路を示す。ここで、各等価回路中の抵抗素子は、MOSトランジスタのオン抵抗を示している。また各等価回路中の電源は、第1及び第2の電源線VL-1、VL-2の間に、電圧Vが印加されていることを示している。

20

【0194】

昇圧回路450の動作は、各期間において、図3、及び図5(A)、(B)で説明した内容と同様である。従って、その説明を省略する。

【0195】

なお、図19において、各電源線の電圧の安定化のために、各電源線間に安定化用キャパシタを設けてもよい。

【0196】

図22に、本実施形態における半導体装置の他の構成例を示す。図22では、図19と同一部分には同一符号を付し、適宜説明を省略する。

30

【0197】

図22における半導体装置は、図19に示す半導体装置に対し、更に安定化キャパシタが接続される構成を有している。より具体的には、図22では、各安定化用キャパシタの一端が、第k ($2 \leq k \leq 2N-4$ 、kは偶数)及び第(k+1)のスイッチ素子が接続された第kの接続ノードに接続され、該安定化用キャパシタの他端が、第(k+2)及び第(k+3)のスイッチ素子が接続された第(k+2)の接続ノードに接続された第1～第(N-2)の安定化用キャパシタを含む。

【0198】

図22では、Nが5の場合の構成を示している。即ち、第1の安定化用キャパシタCs1が、第2の接続ノードND-2A(ND-2B)と、第4の接続ノードND-4A(ND-4B)との間に接続される。第2の接続ノードND-2A(ND-2B)は、第2のスイッチ素子SW2A(SW2B)としてのMOSトランジスタTr2A(Tr2B)のソース端子と、第3のスイッチ素子SW3A(SW3B)としてのMOSトランジスタTr3A(Tr3B)のドレイン端子とが接続されるノードである。接続ノードND-2A、ND-2Bは互いに電氣的に接続され、同電位である。第4の接続ノードND-4A(ND-4B)は、第4のスイッチ素子SW4A(SW4B)としてのMOSトランジスタTr4A(Tr4B)のソース端子と、第5のスイッチ素子SW5A(SW5B)としてのMOSトランジスタTr5A(Tr5B)のドレイン端子とが接続されるノードである。接続ノードND-4A、ND-4Bは互いに電氣的に接続され、同電位である。

40

【0199】

50

同様に、第2の安定化用キャパシタ $Cs2$ が、第4の接続ノード $ND-4A$ ($ND-4B$)と、第6の接続ノード $ND-6A$ ($ND-6B$)との間に接続される。第3の安定化用キャパシタ $Cs3$ が、第6の接続ノード $ND-6A$ ($ND-6B$)と、第8の接続ノード $ND-8A$ ($ND-8B$)との間に接続される。

【0200】

また、第 N の電源線と第 $(N+1)$ の電源線との間に接続された第 $(N-1)$ の安定化用キャパシタを更に含んでもよい。即ち、 N が5の場合を示す図22の半導体装置500では、第5及び第6の電源線 $VL-5$ 、 $VL-6$ の間に、第4の安定化用キャパシタ $Cs4$ が更に接続されてもよい。

【0201】

図23(A)、(B)に、図22の昇圧回路の等価回路を示す。ここでは、第4の安定化用キャパシタ $Cs4$ が省略される場合の等価回路を示す。図23(A)は、第1の期間における図22の昇圧回路の等価回路を示す。図23(B)は、第2の期間における図22の昇圧回路の等価回路を示す。ここで、各等価回路中の抵抗素子は、MOSトランジスタのオン抵抗を示している。また各等価回路中の電源は、第1及び第2の電源線 $VL-1$ 、 $VL-2$ の間に、電圧 V が印加されていることを示している。

【0202】

3.1 電圧調整

本実施形態における半導体装置500の昇圧回路450では、以下のように、昇圧回路450の第1及び第2の電源線の間の電圧を調整することで、昇圧回路450によって昇圧される電圧を調整してもよい。

【0203】

図24に、昇圧回路の昇圧電圧を調整した後の電圧を出力する電源回路を内蔵する半導体装置の第1の構成例の概要を示す。ただし、図19に示す半導体装置500と同一部分には同一符号を付し、適宜説明を省略する。

【0204】

図24に示す半導体装置550は、電源回路600を含む。電源回路600は、図19に示す昇圧回路450を含み、昇圧回路450の昇圧電圧を調整した後の1又は複数の電圧($V1$ 、 $V2$ 、...)を出力することができる。

【0205】

半導体装置550は、図19に示す半導体装置500と同様に、第1及び第2の端子 $T1$ 、 $T2$ を有している。第1及び第2の端子 $T1$ 、 $T2$ には、昇圧回路450の第1及び第6の電源線 $VL-1$ 、 $VL-6$ が接続されている。そして、半導体装置550の外部において、第1及び第2の端子 $T1$ 、 $T2$ の間にキャパシタ $C0$ が接続(外付け)されている。

【0206】

そして電源回路600は、多値電圧生成回路605を含む。多値電圧生成回路605は、第1及び第6の電源線 $VL-1$ 、 $VL-6$ (広義には第1及び第 $(N+1)$ の電源線)の間の電圧に基づいて、多値の電圧 $V1$ 、 $V2$ 、...を生成する。多値電圧生成回路605は、第2～第5の電源線 $VL-2$ ～ $VL-5$ の各中間電圧をレギュレータで調整し、多値の電圧 $V1$ 、 $V2$ 、...として出力できる。多値電圧生成回路605によって生成された多値の電圧は、例えば電気光学装置を駆動するために用いられる。

【0207】

即ち第6の電源線 $VL-6$ に出力された昇圧電圧が、そのまま電源回路600から出力される。これは、例えば図22に示すように第4の安定化キャパシタ $Cs4$ を設けることで、昇圧回路450の出力電圧 $Vout$ を安定化させることで実現できる。また電源回路600は、電圧調整回路610と、比較回路620とを含む。電圧調整回路610は、高電位側のシステム電源電圧 VDD と、低電位側の接地電源電圧 VSS との間の電圧を調整した調整電圧 $VREG$ を出力する。昇圧回路450の第2の電源線 $VL-2$ には、調整電圧 $VREG$ が供給される。

10

20

30

40

50

【0208】

比較回路620は、参照電圧V_{ref}と、昇圧回路450の昇圧電圧に基づく分圧電圧とを比較し、その比較結果を電圧調整回路610に出力する。より具体的には、比較回路620は、第1及び第6の電源線V_{L-1}、V_{L-6}（広義には第1及び第(N+1)の電源線）の間の電圧を分割した分割電圧と、参照電圧V_{ref}とを比較し、その比較結果に対応した比較結果信号を出力する。そして、電圧調整回路610は、比較回路620の比較結果信号に基づいて、高電位側のシステム電源電圧V_{DD}と、低電位側の接地電源電圧V_{SS}との間の電圧を調整した調整電圧V_{REG}を出力する。

【0209】

図25に、電圧調整回路610の構成例を示す。電圧調整回路610は、分圧回路612と、ボルテージフォロワ接続された演算増幅器614と、スイッチ回路616とを含む。 10

【0210】

分圧回路612は、システム電源電圧V_{DD}と接地電源電圧V_{SS}との間に接続された抵抗素子を含み、システム電源電圧V_{DD}と接地電源電圧V_{SS}との間の電圧の分割電圧のいずれかを出力する。

【0211】

演算増幅器614は、システム電源電圧V_{DD}と接地電源電圧V_{SS}との間に接続される。演算増幅器614は、調整電圧V_{REG}を出力すると共に、演算増幅器614の出力は、負帰還される。

【0212】

スイッチ回路616は、分圧回路612の分圧点と、演算増幅器614の入力と接続する。スイッチ回路616は、比較回路620の比較結果信号に基づいて、分圧回路612の複数の分圧点のいずれか1つを、演算増幅器614の入力に接続する。 20

【0213】

なお図24及び図25では、第1及び第(N+1)の電源線の間の電圧を分割した分割電圧と、参照電圧との比較結果に基づいて、電圧を調整したが、これに限定されるものではない。例えば参照電圧V_{ref}と、出力電圧(V_{out})との比較結果に基づいて電圧を調整してもよい。

【0214】

図26に、昇圧回路の昇圧電圧を調整した後の電圧を出力する電源回路を内蔵する半導体装置の第2の構成例の概要を示す。ただし、図19に示す半導体装置500と同一部分には同一符号を付し、適宜説明を省略する。 30

【0215】

図26に示す半導体装置700は、電源回路800を含む。電源回路800は、図24に示す電源回路600と同様に、図19に示す昇圧回路450を含み、昇圧回路450の昇圧電圧を調整した後の1又は複数の電圧(V₁、V₂、...)を出力することができる。

【0216】

また電源回路800は、多値電圧生成回路605と、比較回路620と、昇圧クロック生成回路（広義には電圧調整回路）810とを含む。昇圧クロック生成回路810は、比較回路620の比較結果に基づいて、昇圧クロック（スイッチ制御信号S₁～S₁₀）の周波数を変更する制御を行う。より具体的には、昇圧クロック生成回路810は、第1及び第6の電源線V_{L-1}、V_{L-6}（広義には第1及び第(N+1)の電源線）の間の電圧を分割した分割電圧と、参照電圧V_{ref}との比較結果に基づいて、昇圧回路450内の第1～第10のスイッチ素子としてのMOSトランジスタ（広義には第1～第2Nのスイッチ素子）のオンオフ制御を行うためのスイッチ制御信号の周波数を変化させる。 40

【0217】

例えば、スイッチ制御信号の周波数を高くすることにより、出力電圧V_{out}が高くなるように調整する。またスイッチ制御信号の周波数を低くすることにより、出力電圧V_{out}が低くなるように調整する。 50

【0218】

4. 表示装置への適用

次に、上述の昇圧回路を含む半導体装置の表示装置への適用例について説明する。

【0219】

図27に、表示装置の構成例を示す。図27では、表示装置として液晶表示装置の構成例を示している。

【0220】

液晶表示装置900は、半導体装置910と、Yドライバ（広義には走査ドライバ）920と、液晶表示パネル（広義には電気光学装置）930とを含む。

【0221】

液晶表示パネル930のパネル基板上に、半導体装置910及びYドライバ920のうち少なくとも1つを形成してもよい。また半導体装置910にYドライバ920を内蔵させてもよい。

【0222】

液晶表示パネル930は、複数の走査線と、複数のデータ線と、複数の画素とを含む。各画素は、走査線とデータ線の交差位置に対応して配置される。走査線は、Yドライバ920によって走査される。データ線は、半導体装置910によって駆動される。即ち半導体装置910は、データドライバに適用される。

【0223】

半導体装置910としては、図24に示す半導体装置550、又は図26に示す半導体装置700を採用することができる。この場合、半導体装置910は、ドライバ部912を含む。

【0224】

ドライバ部912は、第1及び第(N+1)の電源線間の電圧を用いて液晶表示パネル（電気光学装置）930を駆動する。より具体的には、ドライバ部912には、電源回路（電源回路600又は電源回路800）により生成された多値の電圧が供給される。そして、ドライバ部912は、多値の電圧の中から、表示データに対応した電圧を選択し、液晶表示パネル930のデータ線に、該電圧を出力する。

【0225】

また、Yドライバ920では、高い電圧が必要とされる場合が多く、半導体装置910の電源回路が、例えばYドライバ920には+15V、-15V等の高電圧を供給する。そして、電源回路は、ドライバ部912に、例えば出力電圧V_{out}、中間電圧（又は該中間電圧を調整した電圧）V₁、V₂、・・・の電圧を供給する。

【0226】

このような構成の液晶表示装置を含む電子機器として、例えば、マルチメディア対応のパーソナルコンピュータ（PC）、携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテーブルコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、腕時計、時計、POS端末、タッチパネルを備えた装置、ページャ、ミニディスクプレーヤ、ICカード、各種電子機器のリモコン、各種計測機器などを挙げることができる。

【0227】

また、液晶表示パネル930は、駆動方式で言えば、パネル自体にスイッチング素子を用いない単純マトリックス液晶表示パネルやスタティック駆動液晶表示パネル、またTFTで代表される三端子スイッチング素子あるいはMIMで代表される二端子スイッチング素子を用いたアクティブマトリックス液晶表示パネル、電気光学特性で言えば、TN型、STN型、ゲストホスト型、相転移型、強誘電型など、種々のタイプの液晶パネルを用いることができる。

【0228】

液晶表示パネルとしてLCDディスプレイを使用した場合について説明したが、本発明ではこれに限定されず、例えばエレクトロルミネッセンス、プラズマディスプレイ、FED

10

20

30

40

50

(Field Emission Display) パネル等種々の表示装置を使用することができる。

【0229】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0230】

また、図2、図3、図6、図17～図19、図22、図24～図27において、例えばスイッチ素子間やキャパシタ間等に、付加的な素子を含めた場合も本発明の均等な範囲に含まれる。

【0231】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【図1】 本実施形態における昇圧回路の原理的な構成図。

【図2】 本実施形態におけるチャージポンプ回路の動作原理の説明図。

【図3】 図2に示すチャージポンプ回路の構成例の構成図。

【図4】 図3のスイッチ制御信号の動作を模式的に示すタイミング図。

【図5】 図5(A)は第1の期間における図3のチャージポンプ回路のスイッチ状態の模式図。図5(B)は第2の期間における図3のチャージポンプ回路のスイッチ状態の模式図。

【図6】 本実施形態におけるチャージポンプ回路を含む半導体装置の構成の概要を示す構成図。

【図7】 図6のスイッチ制御信号の動作を模式的に示すタイミング図。

【図8】 図8(A)、(B)はチャージポンプ回路の等価回路図。

【図9】 図9(A)～(D)はチャージポンプ回路のチャージポンプ動作の前半の4状態の等価回路図。

【図10】 図10(A)～(D)はチャージポンプ回路のチャージポンプ動作の後半の4状態の等価回路図。

【図11】 比較例におけるチャージポンプ回路の構成例の構成図。

【図12】 比較例におけるチャージポンプ回路の動作原理の説明図。

【図13】 図13(A)、(B)は比較例におけるチャージポンプ回路の等価回路図。

【図14】 図14(A)～(E)はチャージポンプ回路のチャージポンプ動作の5状態の等価回路図。

【図15】 半導体装置内に内蔵されるキャパシタの寄生容量の説明図。

【図16】 本実施形態における昇圧回路の概要を示すブロック図。

【図17】 本実施形態における昇圧回路の動作原理の説明図。

【図18】 本実施形態における昇圧回路の動作原理の他の説明図。

【図19】 本実施形態における半導体装置の構成例を示す構成図。

【図20】 図19のスイッチ制御信号の動作を模式的に示すタイミング図。

【図21】 図21(A)、(B)は昇圧回路の等価回路図。

【図22】 本実施形態における半導体装置の他の構成例を示す構成図。

【図23】 図23(A)、(B)は図21の昇圧回路の等価回路図。

【図24】 昇圧回路の昇圧電圧を調整した後の電圧を出力する電源回路を内蔵する半導体装置の第1の構成例の構成図。

【図25】 電圧調整回路の構成例のブロック図。

【図26】 昇圧回路の昇圧電圧を調整した後の電圧を出力する電源回路を内蔵する半導体装置の第2の構成例の構成図。

【図27】 表示装置の構成例の構成図。

【符号の説明】

C0 キャパシタ、Cu1-A～Cu4-A、Cu-1B～Cu-4B 第1～第4の昇

10

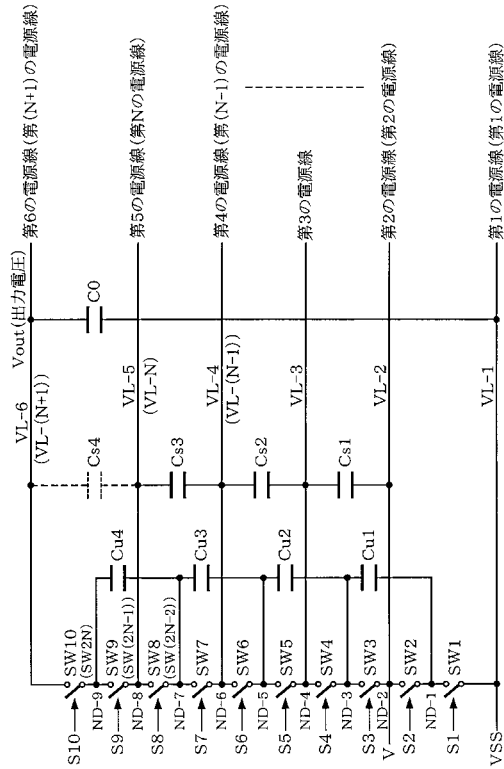
20

30

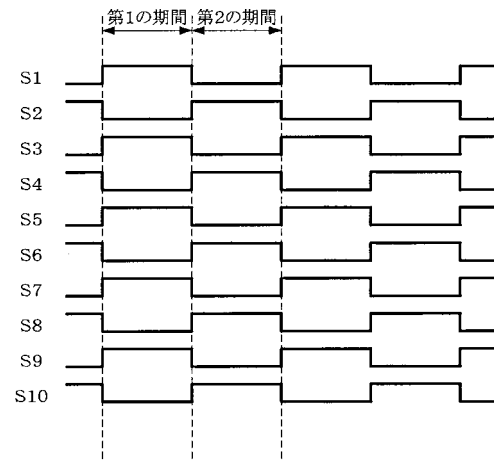
40

50

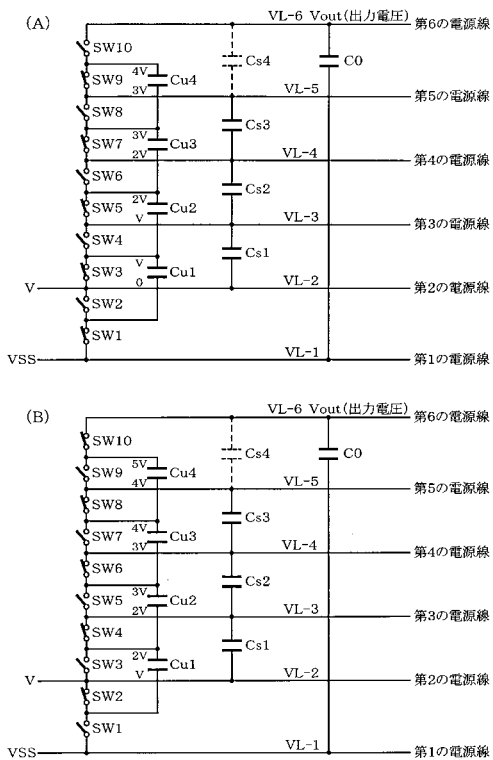
【図 3】



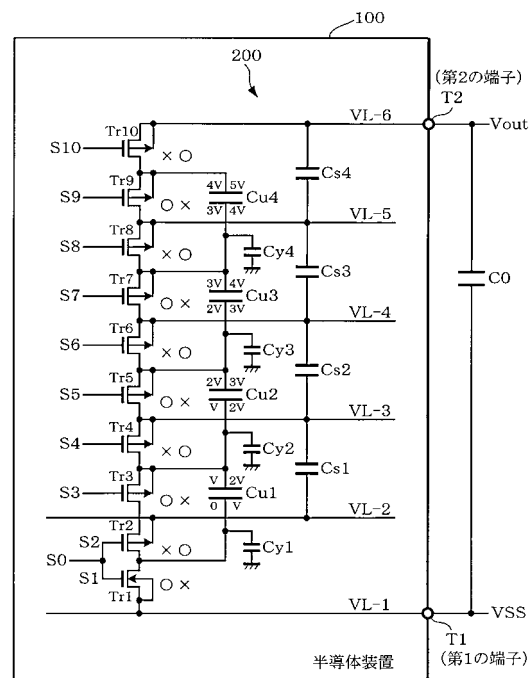
【図 4】



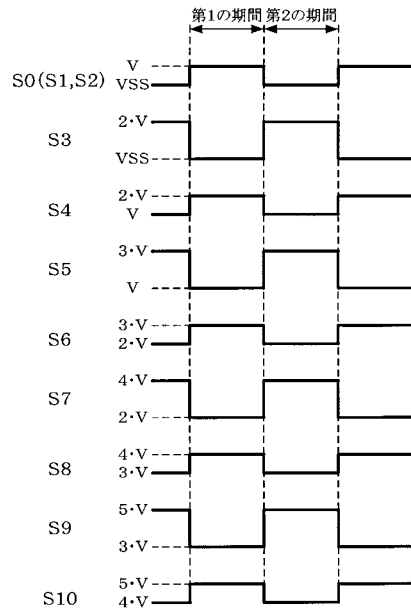
【図 5】



【図 6】

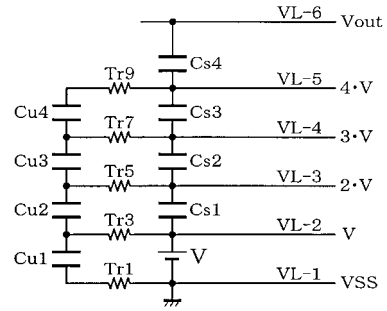


【図 7】

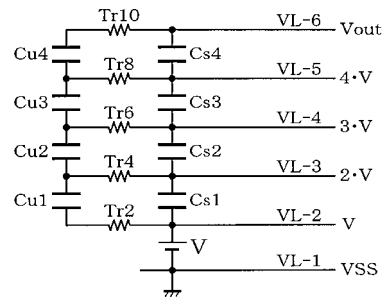


【図 8】

(A)

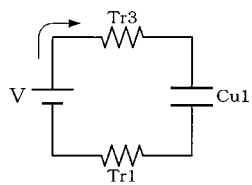


(B)

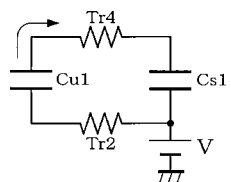


【図 9】

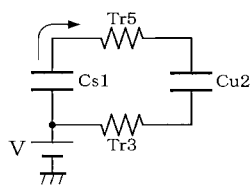
(A)



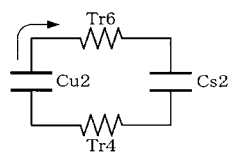
(B)



(C)

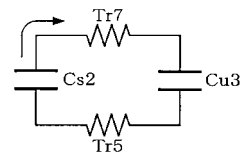


(D)

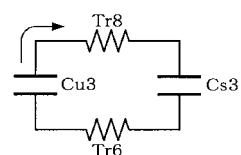


【図 10】

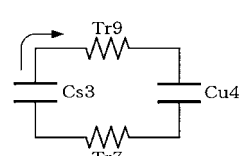
(A)



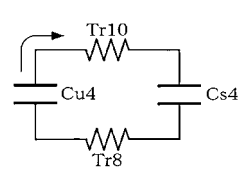
(B)



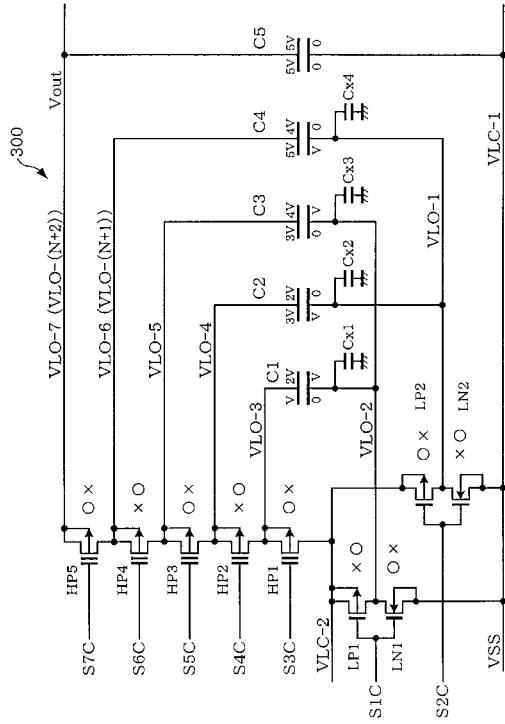
(C)



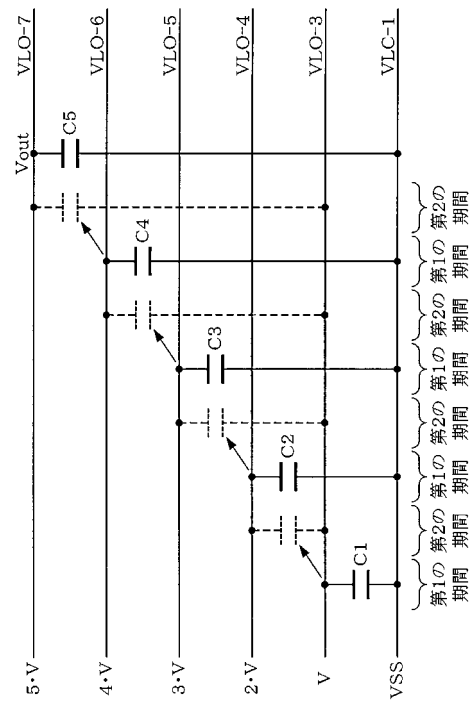
(D)



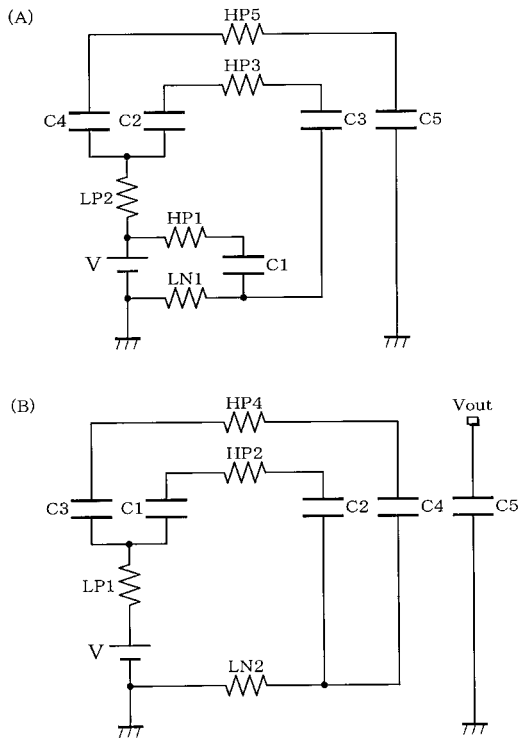
【図 1 1】



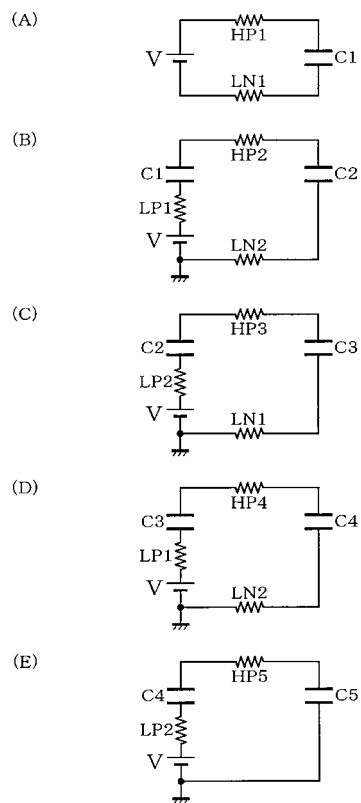
【図 1 2】



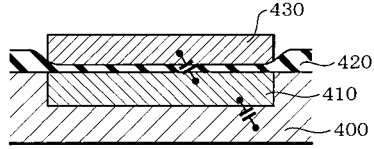
【図 1 3】



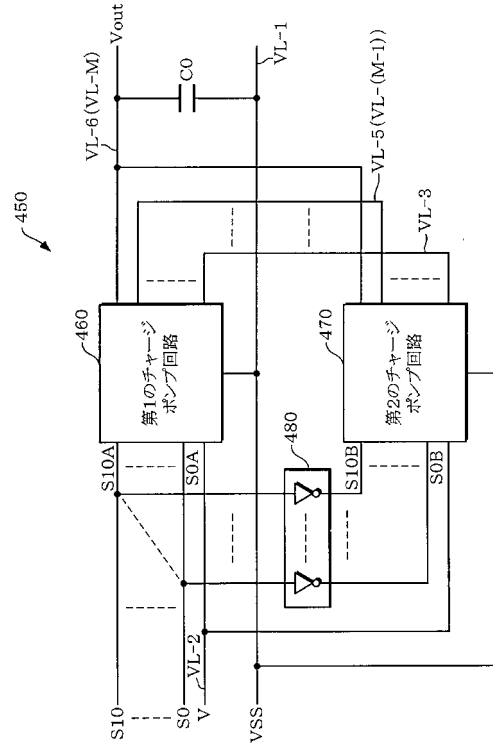
【図 1 4】



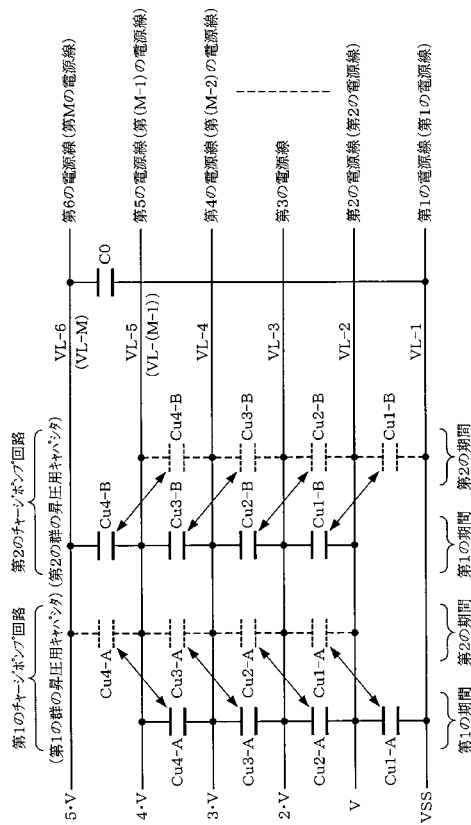
【図 15】



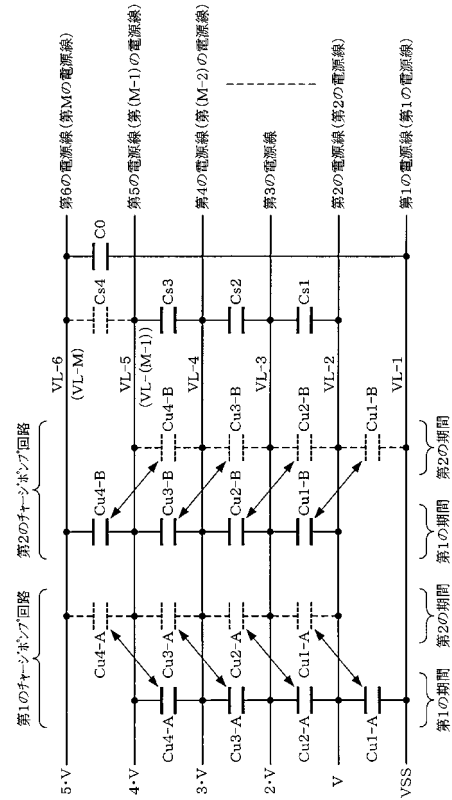
【図 16】



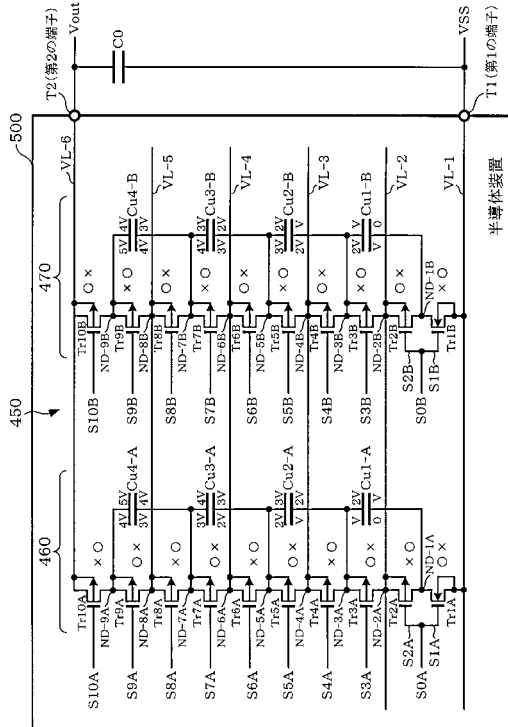
【図 17】



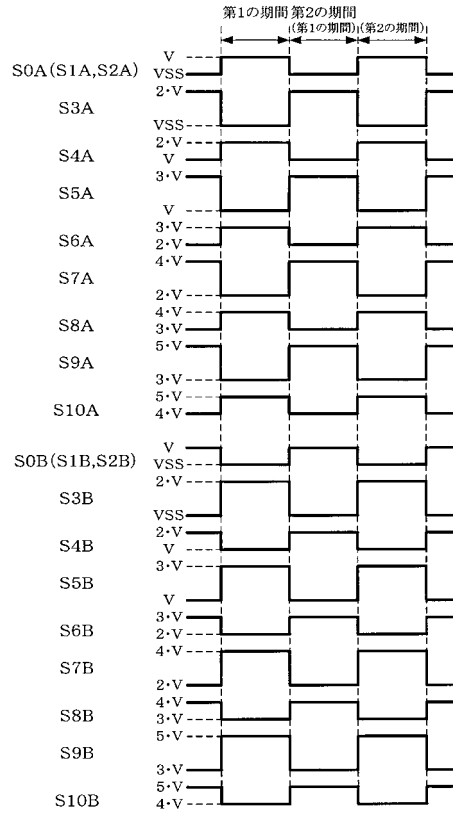
【図 18】



【图 19】

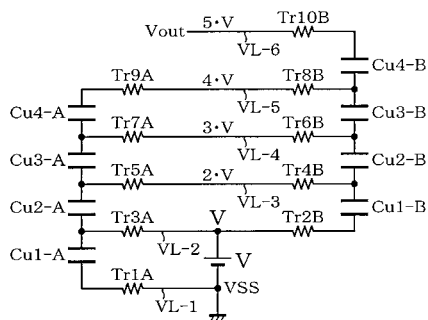


【 図 2 0 】

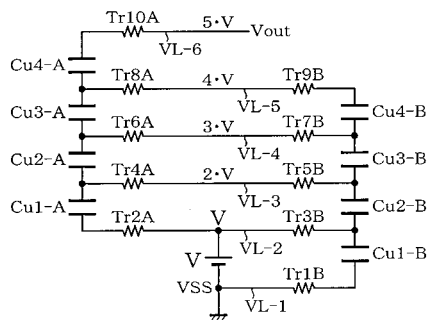


【図 2 1】

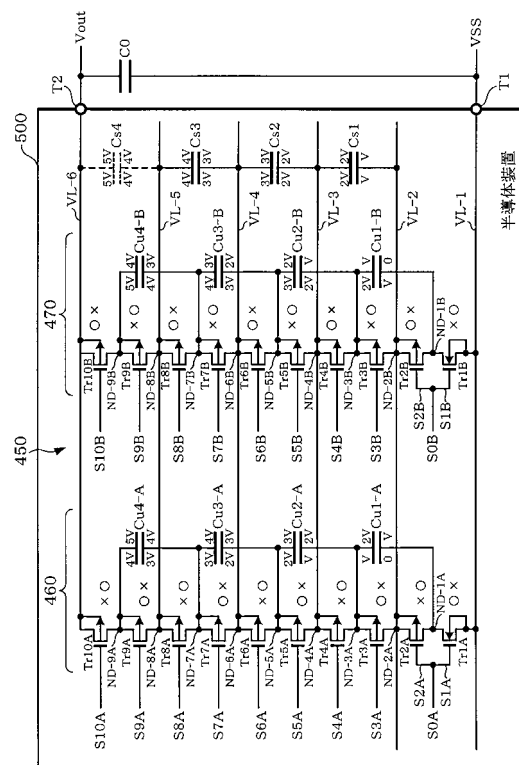
(A)



(B)

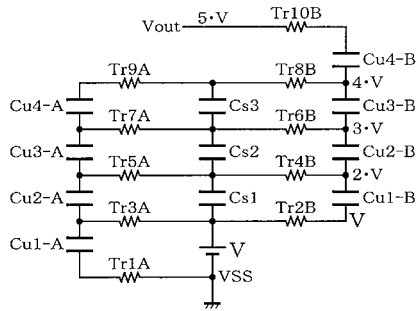


【 図 2 2 】

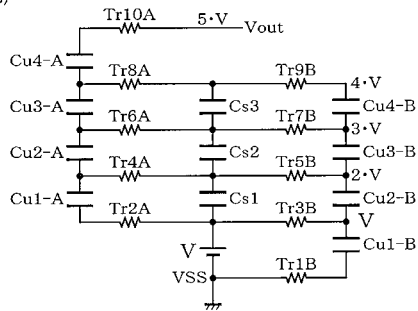


【図 2 3】

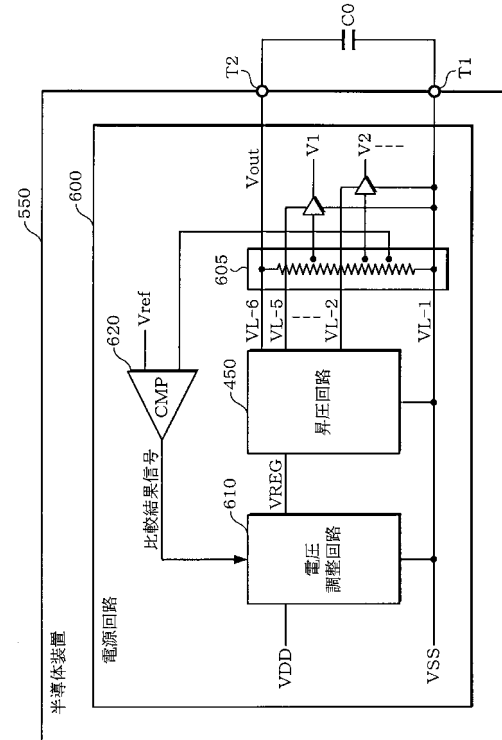
(A)



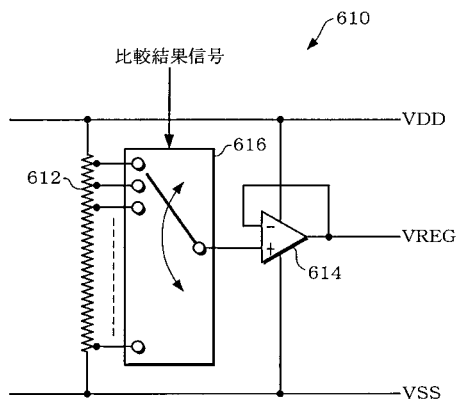
(B)



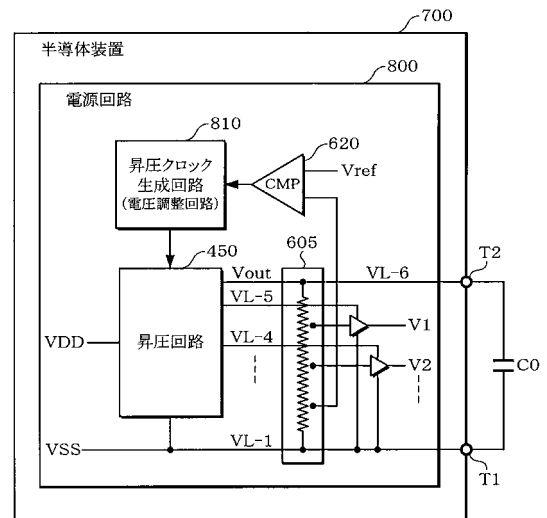
【図 2 4】



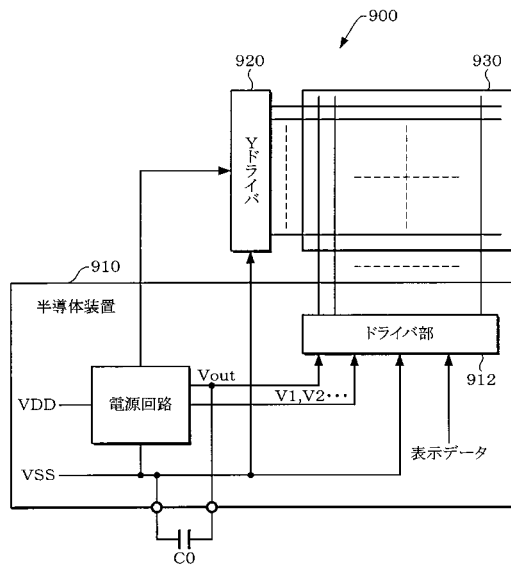
【図 2 5】



【図 2 6】



【図 27】



フロントページの続き

- (56)参考文献 特開平06-351229 (JP, A)
特開2000-330085 (JP, A)
特開2003-132679 (JP, A)
特開2003-164142 (JP, A)
特開2003-111386 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H02M 3/07

H01L 21/822

H01L 27/04