

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6110593号
(P6110593)

(45) 発行日 平成29年4月5日(2017.4.5)

(24) 登録日 平成29年3月17日(2017.3.17)

(51) Int.Cl.

H01L 29/786 (2006.01)
C23C 14/08 (2006.01)

F 1

H01L 29/78
H01L 29/78
C23C 14/08618B
618F
K

請求項の数 6 (全 28 頁)

(21) 出願番号 特願2012-13833 (P2012-13833)
 (22) 出願日 平成24年1月26日 (2012.1.26)
 (65) 公開番号 特開2012-169612 (P2012-169612A)
 (43) 公開日 平成24年9月6日 (2012.9.6)
 審査請求日 平成27年1月13日 (2015.1.13)
 (31) 優先権主張番号 特願2011-14652 (P2011-14652)
 (32) 優先日 平成23年1月27日 (2011.1.27)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 佐々木 俊成
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 野田 耕生
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 遠藤 佑太
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 小堺 行彦

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極と、
 ゲート絶縁膜と、
 一対の電極と、

前記ゲート絶縁膜を介して、前記ゲート電極と少なくとも一部が重畳し、かつ前記一対の電極と少なくとも一部が接するp型酸化物半導体材料を含むn型酸化物半導体膜と、を有し、

前記p型酸化物半導体材料は、Ni、La、Sr、NdまたはNaの少なくともいずれかを含み、

前記ゲート電極は、第1の膜と第2の膜とを有し、

前記第1の膜は、前記ゲート絶縁膜と前記第2の膜との間に設けられ、

前記第1の膜は、 $1 \times 10^{-2} \text{ cm}^{-3}$ 以上7原子%以下の窒素を含み、且つIn、GaおよびZnを含む酸化物膜であり、

前記第2の膜は、シート抵抗が $10 \text{ } / \text{sq}$ 以下の膜であることを特徴とする半導体装置。

【請求項 2】

ゲート電極と、
 ゲート絶縁膜と、
 一対の電極と、

10

20

前記ゲート絶縁膜を介して、前記ゲート電極と少なくとも一部が重畠し、かつ前記一対の電極と少なくとも一部が接するp型酸化物半導体材料を含むn型酸化物半導体膜と、を有し、

前記p型酸化物半導体材料は、Ni-O系材料、La-Ni-O系材料、Nd-Ni-O系材料、Sr-Cu-O系材料またはLa-Cu-O系材料の少なくともいずれかを含み、

前記ゲート電極は、第1の膜と第2の膜とを有し、

前記第1の膜は、前記ゲート絶縁膜と前記第2の膜との間に設けられ、

前記第1の膜は、 $1 \times 10^{-20} \text{ cm}^{-3}$ 以上7原子%以下の窒素を含み、且つIn、GaおよびZnを含む酸化物膜であり、

前記第2の膜は、シート抵抗が $10 \text{ } \Omega / \text{sq}$ 以下の膜であることを特徴とする半導体装置。

【請求項3】

請求項1または請求項2において、

前記n型酸化物半導体膜に対し、前記p型酸化物半導体材料が0.001以上0.15以下の原子数比で含まれることを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一において、

前記n型酸化物半導体膜に対し、酸化シリコンおよび酸化ゲルマニウムの少なくともいずれかが0.01以上0.2以下の原子数比で含まれることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記n型酸化物半導体膜は、In、Ga、ZnおよびSnから選ばれた二種以上を含むことを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記n型酸化物半導体膜が非晶質であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

トランジスタなどの半導体素子を含む回路を有する半導体装置に関する。例えば、電源回路に搭載されるパワーデバイス、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置、発光素子を有する発光表示装置等を部品として搭載した電子機器に関する。また、半導体装置に用いられる酸化物に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

液晶表示装置に代表されるように、ガラス基板等に形成されるトランジスタの多くはアモルファスシリコン、多結晶シリコンなどによって構成されている。アモルファスシリコンを用いたトランジスタは電界効果移動度が低いもののガラス基板の大面積化に対応することができる。また、多結晶シリコンを用いたトランジスタの電界効果移動度は高いがガラス基板の大面積化には適していないという欠点を有している。

【0004】

シリコンを用いたトランジスタのほかに、近年は酸化物半導体を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn-O系酸化物を用いてトランジスタを作製し、表

10

20

30

40

50

示装置の画素のスイッチング素子などに用いる技術が特許文献 1 および特許文献 2 で開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2007-123861 号公報

【特許文献 2】特開 2007-96055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

酸化物半導体膜をチャネル領域に用いたトランジスタに安定した電気特性を付与し、信頼性の高い半導体装置を作製することを課題の一とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、p 型酸化物半導体材料を含む n 型酸化物半導体膜をトランジスタのチャネル領域に適用することを技術的的思想とする。

【0008】

一般に、酸化物半導体膜の酸素欠損は、その一部がドナーとなりキャリアである電子を放出する。その結果、酸化物半導体膜をトランジスタのチャネル領域に用いると、酸素欠損が原因でしきい値電圧がマイナス方向にシフトしてしまうことがある。しきい値電圧のマイナス方向へのシフトを防ぐためには、酸素欠損が生じないように酸化物半導体膜を形成する必要がある。しかしながら、酸化物半導体膜を形成した後に行う加熱処理や、酸化物半導体膜が露出した状態で減圧下に暴露することによる、微量の酸素の放出まで抑制することは困難である。また、酸化物半導体膜中に生じる酸素欠損は、僅かでもトランジスタのしきい値電圧をマイナス方向にシフトさせるため、前述した微量の酸素の放出すらも半導体装置の不良の要因となりうる。

【0009】

そこで、酸化物半導体膜中に意図せずに生じるキャリアを低減することが求められる。具体的には、n 型酸化物半導体膜中に p 型酸化物半導体材料を含ませることで酸化物半導体膜中に意図せずに生じるキャリアを低減することができる。これは、n 型酸化物半導体膜中の意図せずに生じた電子が、p 型酸化物半導体材料中に生じたホールと再結合することにより、消滅するためである。従って、酸化物半導体膜中に意図せずに生じるキャリアを低減することができる。即ち、本発明の一態様を適用することで、トランジスタのしきい値電圧のマイナス方向へのシフトを抑制することができる。また、n 型酸化物半導体膜に含ませる p 型酸化物半導体材料の量によって、トランジスタのしきい値電圧を制御することができる。また、p 型酸化物半導体材料に含まれる酸素とそのほかの元素との結合エネルギーが、n 型酸化物半導体材料に含まれる酸素とそのほかの元素との結合エネルギーよりも高い場合、p 型酸化物半導体材料を n 型酸化物半導体膜に含ませることで、n 型酸化物半導体膜に含まれる酸素の放出を抑制できる。

【0010】

例えば、n 型酸化物半導体膜の成膜時に p 型酸化物半導体材料を混ぜることで、n 型酸化物半導体膜中に p 型酸化物半導体材料を含ませることができる。具体的には、n 型酸化物半導体材料と p 型酸化物半導体材料を混合し、焼結することで作製したスパッタリングターゲットを用いて p 型酸化物半導体材料を含む n 型酸化物半導体膜を成膜すればよい。または、n 型酸化物半導体材料ターゲットの表面に p 型酸化物半導体材料の焼結体を適量設置し、共スパッタリング法によって成膜すればよい。このとき、n 型酸化物半導体スパッタリングターゲット上の電界が集中する領域（エロージョンが形成される領域）に、前述の p 型酸化物半導体材料の焼結体を設置することで、p 型酸化物半導体材料を n 型酸化物半導体膜中に効率よく含ませることができて好ましい。または、n 型酸化物半導体材料ターゲットおよび p 型酸化物半導体材料ターゲットを用いた多元スパッタリング法を用いれ

10

20

30

40

50

ばよい。

【0011】

また、p型酸化物半導体材料に加えて、酸化シリコンおよび酸化ゲルマニウムなどの絶縁体材料をn型酸化物半導体膜に含ませてもよい。絶縁体材料は、n型酸化物半導体材料またはp型酸化物半導体材料に予め混合させておいてもよいし、p型酸化物半導体材料を含ませる場合と同様の方法で含ませてもよい。絶縁性材料に含まれる酸素とそのほかの元素との結合エネルギーが、n型酸化物半導体材料に含まれる酸素とそのほかの元素との結合エネルギーよりも高い場合、絶縁体材料をn型酸化物半導体膜に含ませることで、n型酸化物半導体膜の酸素の放出を抑制できる。

【発明の効果】

10

【0012】

本発明の一態様により、トランジスタ、ダイオード等の半導体用途に好適な材料を提供することができる。

【0013】

また、酸化物半導体膜をチャネル領域に用いたトランジスタに安定した電気特性を付与し、信頼性の高い半導体装置を作製することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

20

【図2】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図3】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図4】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図5】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図6】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図7】本発明の一態様に係るトランジスタを用いた液晶表示装置の一例を示す回路図。

【図8】本発明の一態様に係るトランジスタを用いた半導体記憶装置の一例を示す回路図および電気特性を示す図。

【図9】本発明の一態様に係るトランジスタを用いた半導体記憶装置の一例を示す回路図および電気特性を示す図。

【図10】本発明の一態様に係るトランジスタを用いた半導体記憶装置の一例を示す回路図。

30

【図11】本発明の一態様に係るトランジスタを用いたCPUの具体例を示すブロック図およびその一部の回路図。

【図12】本発明の一態様に係る電子機器の一例を示す斜視図。

【図13】本発明の一態様に係るトランジスタのIds-Vgsカーブを示す図。

【図14】本発明の一態様に係るトランジスタのIds-Vgsカーブを示す図。

【図15】本発明の一態様に係る酸化物半導体膜のTDSスペクトルを示す図。

【図16】本発明の一態様に係る酸化物半導体膜の透過率および反射率を示す図。

【図17】本発明の一態様に係る酸化物半導体膜の透過率および反射率を示す図。

【図18】本発明の一態様に係る酸化物半導体膜の透過率および反射率を示す図。

40

【図19】本発明の一態様に係る酸化物半導体膜の透過率および反射率を示す図。

【図20】本発明の一態様に係る酸化物半導体膜のXRDスペクトルを示す図。

【図21】本発明の一態様に係る酸化物半導体膜のXRDスペクトルを示す図。

【発明を実施するための形態】

【0015】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターン

50

を同じくし、特に符号を付さない場合がある。

【0016】

以下、本発明の説明を行うが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースとする。即ち、電位の高低によって、それらを区別しない。従って、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

【0017】

また、電圧は、ある電位と、基準の電位（例えばグラウンド電位またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

【0018】

本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在している場合だけのこともある。

10

【0019】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0020】

（実施の形態1）

本実施の形態では、本発明の一態様に係るトランジスタの一例について図1を用いて説明する。

20

【0021】

図1(A)はトランジスタの上面図である。図1(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図1(B)に示すA-B断面および図1(C)に示すC-D断面に対応する。

【0022】

ここでは、図1(B)に示すA-B断面について詳細に説明する。

【0023】

図1(B)に示すトランジスタは、基板100上のゲート電極104と、ゲート電極104を覆うゲート絶縁膜112と、ゲート絶縁膜112を介してゲート電極104上にある酸化物半導体膜106と、酸化物半導体膜106上にあり酸化物半導体膜106と一部が接する一対の電極116と、ゲート絶縁膜112、酸化物半導体膜106および一対の電極116を覆う層間絶縁膜118と、を有するトランジスタである。

30

【0024】

基板100に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

【0025】

40

また、基板100として、可撓性基板を用いてもよい。その場合は、可撓性基板上に直接的にトランジスタを作製する。なお、可撓性基板上にトランジスタを設ける方法としては、基板100として非可撓性のものを用いて、この上にトランジスタを作製した後、該トランジスタを剥離し、可撓性基板に転置する方法もある。その場合には、基板100とトランジスタとの間に剥離層を設けるとよい。

【0026】

ゲート電極104は、単層または積層構造とすればよく、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびW、それらの窒化物、酸化物ならびに合金から一以上選択して用いればよい。また、前述の酸化物は、 $5 \times 10^{-9} \text{ cm}^{-3}$ 以上20原子%以下、好ましくは $1 \times 10^{-2} \text{ cm}^{-3}$ 以上7原子%以下の窒素を含んでもよい。

50

例えば、 $1 \times 10^{-2} \text{ cm}^{-3}$ 以上 7 原子% 以下の窒素を含み、かつ In、Ga および Zn を含む酸化物膜を用いるとよい。酸化物膜をゲート電極 104 に用いる場合、酸化物膜は金属膜と比べて抵抗が高いため、ゲート電極 104 の抵抗を低減するためにシート抵抗が 10 / sq 以下の低抵抗膜と積層すると好ましい。この場合、酸化物膜がゲート絶縁膜 112 側になるようにゲート電極 104 を形成する。

【0027】

酸化物半導体膜 106 は、p 型酸化物半導体材料を含む n 型酸化物半導体膜、または p 型酸化物半導体材料、ならびに酸化シリコンおよび酸化ゲルマニウムなどの絶縁体材料を含む n 型酸化物半導体膜である。その混合比によって、トランジスタのしきい値電圧を制御することができる。

10

【0028】

例えば、n 型酸化物半導体膜の材料は、In、Ga、Zn および Sn から選ばれた二種以上としてもよい。

【0029】

n 型酸化物半導体膜として、例えば、四元系金属酸化物である In - Sn - Ga - Zn - O 系材料や、三元系金属酸化物である In - Ga - Zn - O 系材料、In - Sn - Zn - O 系材料、In - Al - Zn - O 系材料、Sn - Ga - Zn - O 系材料、Al - Ga - Zn - O 系材料、Sn - Al - Zn - O 系材料や、二元系金属酸化物である In - Zn - O 系材料、Sn - Zn - O 系材料、Al - Zn - O 系材料、Zn - Mg - O 系材料、Sn - Mg - O 系材料、In - Mg - O 系材料、In - Ga - O 系材料や、In - O 系材料、Sn - O 系材料、Zn - O 系材料などを用いればよい。ここで、例えば、In - Ga - Zn - O 系材料とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物、という意味であり、その原子数比は特に問わない。また、In と Ga と Zn 以外の元素を含んでいてもよい。このとき、酸化物半導体膜の化学量論比に対し、O を過剰に含むと好ましい。O を過剰に含むことで酸化物半導体膜の酸素欠損に起因するキャリアの生成を抑制することができる。

20

【0030】

なお、一例として、酸化物半導体膜として In - Zn - O 系材料を用いる場合、原子数比で、In / Zn が 0.5 ~ 5.0、好ましくは In / Zn が 1 ~ 2.0、さらに好ましくは In / Zn が 3 ~ 1.5 とする。Zn に対する In の原子数比を前述の範囲とすることで、トランジスタの電界効果移動度を向上させることができる。ここで、化合物の原子数比が In : Zn : O = X : Y : Z のとき、Z > 1.5X + Y とする。

30

【0031】

n 型酸化物半導体膜として、化学式 $InM_3O_3 (ZnO)_m (m > 0)$ で表記される材料を用いてもよい。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば、M として、Ga、Ga および Al、Ga および Mn または Ga および Co などを用いてもよい。

【0032】

p 型酸化物半導体材料として、例えば、Ni、La、Sr、Nd、Na および Cu のいずれかを含む材料を用いればよい。具体的には、Ni - O 系材料、Cu - O 系材料、La - Ni - O 系材料、Nd - Ni - O 系材料、Sr - Cu - O 系材料、La - Cu - O 系材料などを用いればよい。ただし、p 型酸化物半導体材料は前述の材料に限定されるものではなく、p 型半導体性を有する材料であれば適用することができる。また、p 型酸化物半導体材料の代わりに、p 型非酸化物半導体材料を用いても構わない。なお、n 型酸化物半導体膜に In および Zn より酸素との結合エネルギーの大きな金属を含む p 型酸化物半導体材料を含ませることによって、n 型酸化物半導体膜からの酸素の放出を抑制できる。

40

【0033】

このとき、p 型酸化物半導体の混合比が低すぎると、ほとんどしきい値電圧を変動させることができない。また、p 型酸化物半導体の混合比が高すぎると、主たるキャリアである電子の量が少なくなり、トランジスタ特性を得ることができなくなる可能性がある。その

50

ため、p型酸化物半導体の混合比は適切な範囲とする必要がある。

【0034】

なお、酸化シリコン中の酸素とシリコンとの結合エネルギーおよび酸化ゲルマニウム中の酸素とゲルマニウムとの結合エネルギーは高い値を示す。従って、n型酸化物半導体膜に酸化シリコンおよび酸化ゲルマニウムなどの絶縁体材料を含ませることによって、n型酸化物半導体膜からの酸素の放出を抑制できる。また、n型酸化物半導体膜が結晶化しやすい材料である場合、絶縁体材料を混合させることによって、n型酸化物半導体膜の結晶化を抑制することができる。ただし、絶縁体材料の混合比が低すぎると前述の効果が低くなってしまう。また、絶縁体材料の混合比が高すぎると、トランジスタの電界効果移動度を低減させてしまう可能性がある。そのため、絶縁体材料の混合比は適切な範囲とする必要がある。 10

【0035】

ここで、n型酸化物半導体、p型酸化物半導体および絶縁体の混合比（原子数比）を、n型酸化物半導体：p型酸化物半導体：絶縁体 = X : Y : Zとしたとき、Y / (X + Y) が 0.0001 以上 0.15 以下、Z / (X + Y + Z) が 0.01 以上 0.3 以下とする。好みしくは、Y / (X + Y) が 0.01 以上 0.05 以下、Z / (X + Y + Z) が 0.01 以上 0.2 以下とする。ただし、Z が 0 でも構わない。

【0036】

酸化物半導体膜 106 は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。 20

【0037】

好みしくは、酸化物半導体膜 106 は、C A A C - O S (C Axis Aligned Crystalline Oxide Semiconductor) 膜とする。

【0038】

C A A C - O S 膜は、完全な単結晶ではなく、完全な非晶質でもない。C A A C - O S 膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、C A A C - O S 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEM によって C A A C - O S 膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。 30

【0039】

C A A C - O S 膜に含まれる結晶部は、c 軸が C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ a b 面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、-5° 以上 5° 以下の範囲も含まれることとする。 40

【0040】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0041】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。 50

お、結晶部のc軸の方向は、CAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0042】

CAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0043】

ゲート絶縁膜112および層間絶縁膜118は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウムまたは酸化ジルコニウムなどを用いればよく、積層または単層で設ける。例えば、熱酸化法、CVD法（プラズマCVD法、熱CVD法など）、スパッタリング法などで形成すればよい。なお、例えば、熱酸化法で酸化シリコン膜を形成する場合、シリコン膜を形成し、該シリコン膜に対し、熱酸化処理を行えばよい。シリコン膜は非晶質シリコンまたは結晶シリコンを用いればよい。ゲート絶縁膜112および層間絶縁膜118は、加熱処理により酸素を放出する膜を用いてもよい。加熱処理により酸素を放出する膜を用いることで、酸化物半導体膜106に生じる欠陥を修復することができ、トランジスタの電気特性の劣化を抑制できる。

【0044】

ここで、酸化窒化シリコンとは、その組成において、窒素よりも酸素の含有量が多いものを示し、例えば、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、珪素が25原子%以上35原子%以下、水素が0原子%以上10原子%以下の範囲で含まれるものと定義する。また、窒化酸化シリコンとは、その組成において、酸素よりも窒素の含有量が多いものを示し、例えば、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、珪素が25原子%以上35原子%以下、水素が10原子%以上25原子%以下の範囲で含まれるものと定義する。ただし、上記範囲は、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）や、水素前方散乱法（HFS：Hydrogen Forward scattering Spectrometry）を用いて測定した場合のものである。また、構成元素の含有比率は、その合計が100原子%を超えない値をとる。

【0045】

なお、ゲート電極104または/および一対の電極116の材料が酸化物半導体膜106に拡散し、トランジスタ特性に悪影響を与えることがある場合、ゲート絶縁膜112および層間絶縁膜118は、ゲート電極104または/および一対の電極116の材料の拡散係数が小さい絶縁膜を用いればよい。層間絶縁膜118は、酸化物半導体膜106の保護膜として機能する。

【0046】

「加熱処理により酸素を放出する」とは、TDS（Thermal Desorption Spectroscopy：昇温脱離ガス分光法）分析にて、酸素原子に換算しての酸素の放出量が 1.0×10^{18} atoms/cm³以上、好ましくは 3.0×10^{20} atoms/cm³以上であることをいう。

【0047】

ここで、TDS分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

【0048】

TDS分析したときの気体の放出量は、スペクトルの積分値に比例する。このため、測定したスペクトルの積分値と標準試料の基準値の比とにより、気体の放出量を計算することができる。標準試料の基準値は、所定の原子密度を有する試料において、スペクトルの積分値に対する原子密度の割合である。

【0049】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、およ

10

20

30

40

50

び絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量(N_{O_2})は、数式1で求めることができる。ここで、TDS分析で得られる質量電荷比($M/z = 32$)で検出されるスペクトルの全てが酸素分子由来と仮定する。 $M/z = 32$ のものとしてほかに CH_3O があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である $M/z = 17$ の酸素原子および $M/z = 18$ の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0050】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \quad \text{(数式1)}$$

【0051】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、絶縁膜をTDS分析したときのスペクトルの積分値である。は、TDS分析におけるスペクトル強度に影響する係数である。数式1の詳細については、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^3$ の水素原子を含むシリコンウェハを用いて測定した。

10

【0052】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述のは酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

20

【0053】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0054】

上記構成において、加熱処理により酸素を放出する膜は、酸素が過剰な酸化シリコン(SiO_x ($X > 2$)))であってもよい。酸素が過剰な酸化シリコン(SiO_x ($X > 2$)))とは、シリコン原子数の2倍より多い酸素原子を単位体積当たりに含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値である。

30

【0055】

ゲート絶縁膜112または層間絶縁膜118から酸化物半導体膜106に酸素が供給されることで、酸化物半導体膜106とゲート絶縁膜112との界面準位密度、または酸化物半導体膜106と層間絶縁膜118との界面準位密度を低減できる。この結果、トランジスタの動作などに起因して、酸化物半導体膜106とゲート絶縁膜112との界面、または酸化物半導体膜106と層間絶縁膜118との界面にキャリアが捕獲されることを抑制することができ、電気特性の劣化の少ないトランジスタを得ることができる。

【0056】

さらに、酸化物半導体膜の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体膜の酸素欠損は、一部がドナーとなりキャリアである電子を放出する。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。ゲート絶縁膜112または層間絶縁膜118から酸化物半導体膜106に酸素が十分に供給されることにより、しきい値電圧がマイナス方向へシフトする要因である、酸化物半導体膜の酸素欠損を低減することができる。

40

【0057】

即ち、ゲート絶縁膜112または層間絶縁膜118に、加熱処理により酸素を放出する膜を設けることで、酸化物半導体膜106とゲート絶縁膜112との界面の界面準位密度、または酸化物半導体膜106と層間絶縁膜118との界面の界面準位密度、ならびに酸化物半導体膜106の酸素欠損を低減し、酸化物半導体膜106とゲート絶縁膜112また

50

は層間絶縁膜 118 との界面におけるキャリア捕獲の影響を小さくすることができる。

【0058】

一対の電極 116 は、ゲート電極 104 で示した金属膜、金属窒化物膜、金属酸化物膜または合金膜などを単層でまたは積層で用いればよい。

【0059】

一対の電極 116 に Cu を含む膜を用いると、配線の抵抗を低減でき、大型表示装置などでも配線遅延等の発生を低減することができる。一対の電極 116 に Cu を用いる場合、基板 100 の材質によっては密着性が悪くなるため、基板 100 と密着性のよい膜との積層構造にすることが好ましい。基板 100 と密着性のよい膜として、Ti、Mo、Mn、Cu または Al などを含む金属膜または合金膜を用いればよい。例えば、Cu - Mn - Al 合金を用いてもよい。10

【0060】

以上のように、p 型酸化物半導体材料を含む n 型酸化物半導体膜をチャネル領域に用いることで、トランジスタに安定した電気特性を付与し、信頼性の高い半導体装置を作製することができる。

【0061】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0062】

(実施の形態 2)

本実施の形態では、実施の形態 1 に示したトランジスタとは異なる構造のトランジスタについて説明する。20

【0063】

図 2 は本発明の一態様に係るトランジスタの上面図および断面図である。図 2 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 2 (B) に示す A - B 断面および図 2 (C) に示す C - D 断面に対応する。

【0064】

以下に、図 2 (B) に示す A - B 断面について詳細に説明する。

【0065】

図 2 (B) に示すトランジスタは、基板 100 上のゲート電極 104 と、ゲート電極 104 を覆うゲート絶縁膜 112 と、ゲート絶縁膜 112 上の一対の電極 216 と、一対の電極 216 上にあり、一対の電極 216 と一部が接する酸化物半導体膜 206 と、ゲート絶縁膜 112、一対の電極 216 および酸化物半導体膜 206 を覆う層間絶縁膜 218 と、を有するトランジスタである。ここで、一対の電極 216、酸化物半導体膜 206 および層間絶縁膜 218 は、それぞれ実施の形態 1 で示した一対の電極 116、酸化物半導体膜 106 および層間絶縁膜 118 と同様の材料および作製方法を用いればよい。30

【0066】

酸化物半導体膜 206 に実施の形態 1 で示した酸化物半導体膜 106 を用いることで、酸化物半導体膜と該酸化物半導体膜と接するゲート絶縁膜との界面の界面準位密度の低いトランジスタを得ることができる。

【0067】

図 3 は本発明の一態様に係るトランジスタの上面図および断面図である。図 3 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 3 (B) に示す A - B 断面および図 3 (C) に示す C - D 断面に対応する。40

【0068】

以下に、図 3 (B) に示す A - B 断面について詳細に説明する。

【0069】

図 3 (B) に示すトランジスタは、基板 100 上に設けられた下地絶縁膜 302 上の酸化物半導体膜 306 と、酸化物半導体膜 306 上にあり酸化物半導体膜 306 と一部が接する一対の電極 316 と、酸化物半導体膜 306 および一対の電極 316 を覆うゲート絶縁膜 312 と、ゲート絶縁膜 312 を介して酸化物半導体膜 306 上にあるゲート電極 30 50

4と、を有するトランジスタである。ここで、一対の電極316、酸化物半導体膜306、ゲート電極304およびゲート絶縁膜312は、それぞれ実施の形態1で示した一対の電極116、酸化物半導体膜106、ゲート電極104およびゲート絶縁膜112と同様の材料および作製方法を用いればよい。

【0070】

下地絶縁膜302は、ゲート絶縁膜312と同様の材料および作製方法を用いることができる。

【0071】

図4は本発明の一態様に係るトランジスタの上面図および断面図である。図4(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図4(B)に示すA-B断面および図4(C)に示すC-D断面に対応する。

【0072】

以下に、図4(B)に示すA-B断面について詳細に説明する。

【0073】

図4(B)に示すトランジスタは、基板100上に設けられた下地絶縁膜302上の一対の電極416と、一対の電極416上にあり一対の電極416と一部が接する酸化物半導体膜406と、酸化物半導体膜406および一対の電極416を覆うゲート絶縁膜412と、ゲート絶縁膜412を介して酸化物半導体膜406上にあるゲート電極404と、を有するトランジスタである。ここで、一対の電極416、酸化物半導体膜406、ゲート電極404およびゲート絶縁膜412は、それぞれ実施の形態1で示した一対の電極116、酸化物半導体膜106、ゲート電極104およびゲート絶縁膜112と同様の材料および作製方法を用いればよい。

【0074】

なお、図2乃至図4ではゲート電極が酸化物半導体膜よりも上面図において縦、横ともに大きい形状にすることで酸化物半導体膜の光による劣化、電荷の発生を抑制しているが、この構造に限定されるものではない。酸化物半導体膜がゲート電極よりも、上面図において縦および横ともに大きい形状としても構わない。

【0075】

図5は本発明の一態様に係るトランジスタの上面図および断面図である。図5(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図5(B)に示すA-B断面および図5(C)に示すC-D断面に対応する。

【0076】

以下に、図5(B)に示すA-B断面について詳細に説明する。

【0077】

図5(B)に示すトランジスタは、基板100上に設けられた下地絶縁膜302上の領域526および領域521を有する酸化物半導体膜506と、領域521上のゲート絶縁膜512と、ゲート絶縁膜512上のゲート電極504と、下地絶縁膜302、領域526、ゲート絶縁膜512およびゲート電極504を覆う層間絶縁膜518と、層間絶縁膜518に設けられた領域526を露出する開口部を介して領域526と接する一対の電極516と、を有するトランジスタである。ここで、一対の電極516、酸化物半導体膜506、ゲート電極504、層間絶縁膜518およびゲート絶縁膜512は、それぞれ実施の形態1で示した一対の電極116、酸化物半導体膜106、ゲート電極104、層間絶縁膜118およびゲート絶縁膜112と同様の材料および作製方法を用いればよい。

【0078】

ここで、ゲート絶縁膜512およびゲート電極504は概略同一の上面形状としてもよい。この形状は、ゲート電極504およびゲート絶縁膜512を同一のマスクを用いて加工すること得られる。なお、ゲート電極504およびゲート絶縁膜512を形成後、プラズマ処理または薬液処理によってゲート電極504の幅を細くしても構わない。

【0079】

領域521は、ゲート絶縁膜512またはゲート電極504と概略同一の上面形状として

10

20

30

40

50

もよい。この形状は、ゲート絶縁膜 512 またはゲート電極 504 をマスクに酸化物半導体膜 506 の領域 526 を形成することで得られる。例えば、ゲート絶縁膜 512 またはゲート電極 504 をマスクに、酸化物半導体膜 506 に不純物（ホウ素、リン、水素、希ガス、窒素など）を導入し、低抵抗化された領域を領域 526 とすることができます。なお、領域 521 は、領域 526 以外の領域である。

【0080】

領域 521 は、トランジスタのチャネル形成領域としての機能を有する。また、領域 526 は、トランジスタのソース領域およびドレイン領域としての機能を有する。

【0081】

図 6 は本発明の一態様に係るトランジスタの上面図および断面図である。図 6 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 6 (B) に示す A - B 断面および図 6 (C) に示す C - D 断面に対応する。 10

【0082】

以下に、図 6 (B) に示す A - B 断面について詳細に説明する。

【0083】

図 6 (B) に示すトランジスタは、基板 100 上のゲート電極 604 と、ゲート電極 604 を覆うゲート絶縁膜 612 と、ゲート絶縁膜 612 を介してゲート電極 604 上にあり、領域 626 および領域 621 を有する酸化物半導体膜 606 と、該酸化物半導体膜 606 およびゲート絶縁膜 612 を覆う層間絶縁膜 618 と、層間絶縁膜 618 に設けられた領域 626 を露出する開口部を介して領域 626 と接する一対の電極 616 と、を有するトランジスタである。ここで、一対の電極 616、酸化物半導体膜 606、ゲート電極 604、層間絶縁膜 618 およびゲート絶縁膜 612 は、それぞれ実施の形態 1 で示した一対の電極 116、酸化物半導体膜 106、ゲート電極 104、層間絶縁膜 118 およびゲート絶縁膜 112 と同様の材料および作製方法を用いればよい。また、領域 621 および領域 626 は領域 521 および領域 526 と同様の材料および作製方法を用いればよい。 20

【0084】

図 6 は、ゲート絶縁膜 612 およびゲート電極 604 と領域 621 が概略同一の上面形状として図示されているが、これに限定されない。ゲート絶縁膜 612 およびゲート電極 604 と領域 621 の形状が異なっていても構わない。

【0085】

以上のように、しきい値電圧の制御されたトランジスタを得ることができる。そのため、消費電力が小さく、電気特性が良好かつ信頼性の高い半導体装置を生産性高く作製することができる。 30

【0086】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0087】

（実施の形態 3）

本実施の形態では、実施の形態 1 または実施の形態 2 に示したトランジスタを用いて作製した液晶表示装置について説明する。なお、本実施の形態では液晶表示装置に本発明の一形態を適用した例について説明するが、これに限定されるものではない。例えば、EL (Electro Luminescence) 表示装置に本発明の一形態を適用することも、当業者であれば容易に想到しうるものである。 40

【0088】

図 7 にアクティブマトリクス駆動方式の液晶表示装置の回路図を示す。液晶表示装置は、ソース線 SL_1 乃至 SL_a、ゲート線 GL_1 乃至 GL_b および複数の画素 200 を有する。画素 200 は、トランジスタ 230 と、キャパシタ 220 と、液晶素子 210 と、を含む。こうした画素 200 が複数集まって液晶表示装置の画素部を構成する。なお、単にソース線またはゲート線を指す場合には、ソース線 SL またはゲート線 GL と記載する。

【0089】

50

30

40

50

トランジスタ230は、実施の形態1または実施の形態2で示したトランジスタを用いる。本発明の一態様に係るトランジスタを用いることで、消費電力が小さく、かつ信頼性の高い液晶表示装置を得ることができる。

【0090】

ゲート線GLはトランジスタ230のゲートと接続し、ソース線SLはトランジスタ230のソースと接続し、トランジスタ230のドレインは、キャパシタ220の容量電極の一方および液晶素子210の一方の画素電極の一方と接続する。キャパシタ220の容量電極の他方および液晶素子210の画素電極の他方は、共通電極と接続する。なお、共通電極はゲート線GLと同一層かつ同一材料で設けてもよい。

【0091】

また、ゲート線GLは、ゲート駆動回路と接続される。ゲート駆動回路は、実施の形態1または実施の形態2に示したトランジスタを含んでもよい。該トランジスタはしきい値電圧が制御されているため、オフ電流を小さくでき、またトランジスタをオン状態にするための電圧を小さくすることができる。そのため、消費電力を低減することができる。

【0092】

また、ソース線SLは、ソース駆動回路と接続される。ソース駆動回路は、実施の形態1または実施の形態2に示したトランジスタを含んでもよい。該トランジスタはしきい値電圧が制御されているため、オフ電流を小さくでき、またトランジスタをオン状態にするための電圧を小さくすることができる。そのため、消費電力を低減することができる。

【0093】

なお、ゲート駆動回路およびソース駆動回路のいずれかまたは両方を、別途用意された基板上に形成し、COG (C h i p O n G l a s s)、ワイヤボンディング、またはTAB (T a p e A u t o m a t e d B o n d i n g)などの方法を用いて接続してもよい。

【0094】

また、トランジスタは静電気などにより破壊されやすいため、保護回路を設けることが好みしい。保護回路は、非線形素子を用いて構成することが好みしい。

【0095】

ゲート線GLにトランジスタ230のしきい値電圧以上になるように電位を印加すると、ソース線SLから供給された電荷がトランジスタ230のドレイン電流となってキャパシタ220に電荷が蓄積される。1行分の充電後、該行にあるトランジスタ230はオフ状態となり、ソース線SLから電圧が掛からなくなるが、キャパシタ220に蓄積された電荷によって必要な電圧を維持することができる。その後、次の行のキャパシタ220の充電に移る。このようにして、1行～b行の充電を行う。

【0096】

なお、トランジスタ230にオフ電流の小さなトランジスタを用いる場合、電圧を維持する期間を長くすることができる。この効果によって、動きの少ない画像（静止画を含む。）では、表示の書き換え周波数を低減でき、さらなる消費電力の低減が可能となる。また、キャパシタ220の容量をさらに小さくすることが可能となるため、充電に必要な消費電力を低減することができる。

【0097】

以上のように、本発明の一態様によって、信頼性が高く、消費電力の小さい液晶表示装置を得ることができる。

【0098】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0099】

（実施の形態4）

本実施の形態では、実施の形態1または実施の形態2に示したトランジスタを用いて、半導体記憶装置を作製する例について説明する。

【0100】

10

20

30

40

50

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶するDRAM (Dynamic Random Access Memory)、フリップフロップなどの回路を用いて記憶内容を保持するSRAM (Static Random Access Memory)がある。

【0101】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持することで記憶を行うフラッシュメモリがある。

【0102】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態1または実施の形態2で示したトランジスタを適用することができる。

【0103】

まずは、実施の形態1または実施の形態2で示したトランジスタを適用したDRAMであるメモリセルについて図8を用いて説明する。

【0104】

図8(A)に示すメモリセルは、ピット線BLと、ワード線WLと、センスアンプSAmと、トランジスタTrと、キャパシタCと、を有する。

【0105】

キャパシタCに保持された電位の時間変化は、トランジスタTrのオフ電流によって図8(B)に示すように徐々に低減していく。当初V0からV1まで充電された電位は、時間が経過するとdata1を読み出す限界点であるVAまで低減する。この期間を保持期間T_1とする。即ち、2値メモリセルの場合、保持期間T_1の間にリフレッシュをする必要がある。

【0106】

ここで、トランジスタTrに実施の形態1または実施の形態2で示したトランジスタを適用する。該トランジスタはしきい値電圧が制御されており、かつオフ電流が小さいため、保持期間T_1を長くすることができます。即ち、リフレッシュの頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、高純度化されオフ電流が $1 \times 10^{-21} A$ 以下、好ましくは $1 \times 10^{-24} A$ 以下となった酸化物半導体膜を用いたトランジスタを適用すると、電力を供給せずに数日間～数十年間に渡ってデータをキャパシタCに保持することが可能となる。

【0107】

以上のように、本発明の一態様に係るトランジスタを適用することによって、信頼性が高く、消費電力の小さい半導体記憶装置を得ることができる。

【0108】

次に、実施の形態1または実施の形態2で示したトランジスタを適用した不揮発性メモリについて図9を用いて説明する。

【0109】

図9(A)は、不揮発性メモリの回路図である。該不揮発性メモリは、トランジスタTr_1と、トランジスタTr_1のゲートと接続するワード線WL_1と、トランジスタTr_1のソースと接続するソース線SL_1と、トランジスタTr_2と、トランジスタTr_2のソースと接続するソース線SL_2と、トランジスタTr_2のドレインと接続するドレイン配線DL_2と、キャパシタCと、キャパシタCの一端と接続する容量配線CLと、キャパシタCの他端、トランジスタTr_1のドレインおよびトランジスタTr_2のゲートと接続するノードNと、を有する。

【0110】

なお、本実施の形態に示す不揮発性メモリは、ノードNの電位に応じて、トランジスタTr_2のしきい値電圧が変動することを利用したものである。図9(B)は容量配線CLの電位Vc_Lと、トランジスタTr_2を流れるドレイン電流Ids_2との関係を説明

10

20

30

40

50

する図である。

【0111】

ノードNは、トランジスタTr_1を介してキャパシタCの電荷を蓄積または放出することで、電位を調整することができる。例えば、SL_1の電位をVDDとする。このとき、ワード線WL_1の電位をトランジスタTr_1のしきい値電圧VthにVDDを加えた電位以上とすることで、ノードNの電位をHIGHにすることができる。また、ワード線WL_1の電位をトランジスタTr_1のしきい値電圧Vth以下とすることで、ノードNの電位をLOWにすることができる。

【0112】

そのため、N=LOWで示したV_{CL}-Id_s_2カーブと、N=HIGHで示したV_{CL}-Id_s_2カーブのいずれかを得る。即ち、N=LOWでは、V_{CL}=0VにてId_s_2が小さいため、データ0となる。また、N=HIGHでは、V_{CL}=0VにてId_s_2が大きいため、データ1となる。このようにして、データを記憶することができる。

10

【0113】

ここで、トランジスタTr_1に実施の形態1または実施の形態2で示したトランジスタを適用する。該トランジスタはオフ電流を極めて小さくすることができるため、キャパシタCに蓄積された電荷がトランジスタTr_1を通して意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、本発明の一態様に係るトランジスタTr_1は、しきい値電圧が制御されるため、書き込みに必要な電圧を低減することが可能となり、フラッシュメモリなどと比較して消費電力を低減することができる。

20

【0114】

なお、トランジスタTr_2に、実施の形態1または実施の形態2で示したトランジスタを適用しても構わない。

【0115】

次に、図9(A)に示した不揮発性メモリにおいて、キャパシタCを含まない構成について図10を用いて説明する。

【0116】

図10は、不揮発性メモリの回路図である。該不揮発性メモリは、トランジスタTr_1と、トランジスタTr_1のゲートと接続するワード線WL_1と、トランジスタTr_1のソースと接続するソース線SL_1と、トランジスタTr_2と、トランジスタTr_2のソースと接続するソース線SL_2と、トランジスタTr_2のドレインと接続するドレイン配線DL_2と、トランジスタTr_1のドレインと接続するトランジスタTr_2のゲートと、を有する。

30

【0117】

トランジスタTr_1にオフ電流の小さなトランジスタを用いる場合、キャパシタCを設けなくてもTr_1のドレインとTr_2のゲートの間に電荷を保持できる。キャパシタCを設けない構成であるため、小面積化が可能となり、キャパシタを設けた場合と比べ集積化することができる。

40

【0118】

また、本実施の形態では、配線を4本または5本用いる不揮発性メモリを示したが、これに限定されるものではない。例えば、ソース線SL_1とドレイン配線DL_2を共通にする構成としても構わない。

【0119】

以上のように、本発明の一態様によって、長期間の信頼性が高く、消費電力の小さい半導体記憶装置を得ることができる。

【0120】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0121】

50

(実施の形態 5)

実施の形態 1 または実施の形態 2 に示したトランジスタを少なくとも一部に用いて C P U (Central Processing Unit) を構成することができる。

【 0 1 2 2 】

図 11 (A) は、 C P U の具体的な構成を示すブロック図である。図 11 (A) に示す C P U は、基板 1190 上に、演算回路 (A L U : Arithmetic logic unit) 1191 、 A L U コントローラ 1192 、インストラクションデコーダ 1193 、インタラプトコントローラ 1194 、タイミングコントローラ 1195 、レジスタ 1196 、レジスタコントローラ 1197 、バスインターフェース (Bus I / F) 1198 、書き換え可能な R O M 1199 、および R O M インターフェース (R O M I / F) 1189 を有している。基板 1190 は、半導体基板、 S O I 基板、ガラス基板などを用いる。 R O M 1199 および R O M インターフェース 1189 は、別チップに設けてよい。もちろん、図 11 (A) に示す C P U は、その構成を簡略化して示した一例にすぎず、実際の C P U はその用途によって多種多様な構成を有している。

【 0 1 2 3 】

バスインターフェース 1198 を介して C P U に入力された命令は、インストラクションデコーダ 1193 に入力され、デコードされた後、 A L U コントローラ 1192 、インタラプトコントローラ 1194 、レジスタコントローラ 1197 、タイミングコントローラ 1195 に入力される。

【 0 1 2 4 】

A L U コントローラ 1192 、インタラプトコントローラ 1194 、レジスタコントローラ 1197 、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行なう。具体的に A L U コントローラ 1192 は、 A L U 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、 C P U のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、 C P U の状態に応じてレジスタ 1196 の読み出しや書き込みを行なう。

【 0 1 2 5 】

また、タイミングコントローラ 1195 は、 A L U 1191 、 A L U コントローラ 1192 、インストラクションデコーダ 1193 、インタラプトコントローラ 1194 、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 C L K 1 を元に、内部クロック信号 C L K 2 を生成する内部クロック生成部を備えており、クロック信号 C L K 2 を上記各種回路に供給する。

【 0 1 2 6 】

図 11 (A) に示す C P U では、レジスタ 1196 に、記憶素子が設けられている。レジスタ 1196 の記憶素子には、実施の形態 4 に記載されている半導体記憶装置を用いることができる。

【 0 1 2 7 】

図 11 (A) に示す C P U において、レジスタコントローラ 1197 は、 A L U 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。即ち、レジスタ 1196 が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ 1196 内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内の記憶素子への電源電圧の供給を停止することができる。

【 0 1 2 8 】

電源停止に関しては、図 11 (B) または図 11 (C) に示すように、記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 11 (B) および図 11 (C) の回路の説明

10

20

30

40

50

を行う。

【0129】

図11(B)および図11(C)では、記憶素子への電源電位の供給を制御するスイッチング素子に、実施の形態1または実施の形態2で示したトランジスタを含む記憶回路の構成の一例を示す。

【0130】

図11(B)に示す記憶装置は、スイッチング素子1141と、記憶素子1142を複数有する記憶素子群1143とを有している。具体的に、各記憶素子1142には、実施の形態4に記載されている記憶素子を用いることができる。記憶素子群1143が有する各記憶素子1142には、スイッチング素子1141を介して、ハイレベルの電源電位VDDが供給されている。さらに、記憶素子群1143が有する各記憶素子1142には、信号INの電位と、ローレベルの電源電位VSSの電位が与えられている。

10

【0131】

図11(B)では、スイッチング素子1141として、実施の形態1または実施の形態2で示したトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号SigAによりスイッチングが制御される。

【0132】

なお、図11(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されてもよいし、直列に接続されてもよいし、直列と並列が組み合わされて接続されてもよい。

20

【0133】

また、図11(B)では、スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ハイレベルの電源電位VDDの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位VSSの供給が制御されてもよい。

【0134】

また、図11(C)には、記憶素子群1143が有する各記憶素子1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶装置の一例を示す。スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ローレベルの電源電位VSSの供給を制御することができる。

30

【0135】

記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

40

【0136】

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)等のLSIにも応用可能である。

【0137】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することができる。

【0138】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態5の少なくともいずれかを適用した電子機器の例について説明する。

【0139】

50

図12(A)は携帯型情報端末である。筐体9300と、ボタン9301と、マイクロフォン9302と、表示部9303と、スピーカ9304と、カメラ9305と、を具備し、携帯型電話機としての機能を有する。表示部9303およびカメラ9305に実施の形態3で示した液晶表示装置を適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に実施の形態4または実施の形態5で示した半導体装置を適用することもできる。

【0140】

図12(B)は、ディスプレイである。筐体9310と、表示部9311と、を具備する。表示部9311に実施の形態3で示した液晶表示装置を適用することができる。実施の形態3で示した液晶表示装置を適用することで、表示部9311のサイズを大きくしたときにも表示品位の高いディスプレイとすることができます。

10

【0141】

図12(C)は、デジタルスチルカメラである。筐体9320と、ボタン9321と、マイクロフォン9322と、表示部9323と、を具備する。表示部9323に実施の形態3で示した液晶表示装置を適用することができる。また、図示しないが、記憶回路またはイメージセンサに実施の形態4または実施の形態5で示した半導体装置を適用することもできる。

【0142】

本実施の形態より、電子機器のコストを下げることができる。

20

【0143】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【実施例1】

【0144】

本実施例では、本発明の一態様に係るトランジスタの電気特性、ならびにトランジスタに用いた酸化物半導体膜のTDSスペクトル、透過率、反射率およびX線回折(XRD:X-Ray Diffraction)スペクトルを図13乃至図21を用いて説明する。また、トランジスタに適用した酸化物半導体膜のRBSおよびHall効果測定の結果を表1乃至表3に示す。

【0145】

トランジスタを以下の方法で作製した。

30

【0146】

まず、ガラス基板上に、プラズマCVD法によって下地絶縁膜として酸化窒化シリコン膜を100nmの厚さで成膜した。

【0147】

次に、スパッタリング法によってタンゲステン膜を150nmの厚さで成膜し、加工してゲート電極を形成した。

【0148】

次に、プラズマCVD法によって下地絶縁膜およびゲート電極を覆うゲート絶縁膜を成膜した。

【0149】

40

次に、スパッタリング法によってチタン膜を100nmの厚さで成膜し、加工してソース電極およびドレイン電極を形成した。

【0150】

次に、スパッタリング法によって、p型酸化物半導体材料であるNiOを含む、n型酸化物半導体膜であるIn-Sn-Si-O膜を成膜し、加工してチャネル領域を有する酸化物半導体膜を形成する。In-Sn-Si-O膜は、In-Sn-Si-Oターゲット(モル数比In₂O₃:SnO₂:SiO₂=24:5:21、直径8インチ丸型)を用い、ターゲット上にNiOの焼結体を設置して成膜した。他の成膜条件は、成膜ガスとして流量10sccmのArおよび流量5sccmのO₂を用い、ターゲット-基板間距離を170mm、成膜電力を0.5kWとした。表1はこうして成膜された酸化物半導体膜の

50

単膜でのRBS組成評価結果である。サンプル1乃至サンプル4は、ターゲット上のNiOの焼結体の設置量が異なる。なお、分析しやすさのため、シリコンウェハ上に酸化物半導体膜を成膜している。なお、InとSnはRBSによる分離が困難であるため、In+Snとして示す。

【0151】

【表1】

RBS組成 [原子%]				
	Si	In+Sn	O	Ni
サンプル1	8.8	25.3	65.4	—
サンプル2	8.5	24.8	65.6	0.7
サンプル3	8.3	23.5	65.1	2.7
サンプル4	6.9	20.0	63.9	8.8

10

【0152】

次に、ガラス基板を電気炉にて大気雰囲気（体積比N₂ : O₂ = 80 : 20）で350、1時間の加熱処理を行った。

【0153】

以上の工程でボトムゲートボトムコンタクト構造のトランジスタを作製した。

【0154】

図13(A)、図13(B)、図14(A)および図14(B)に、それぞれサンプル1、サンプル2、サンプル3およびサンプル4の酸化物半導体膜を用いたトランジスタのドレイン電流(I_{ds}) - ゲート電圧(V_{gs})カーブを示す。このとき、ドレイン電圧V_{ds}は3V、チャネル長(L)は20μm、チャネル幅(W)は20μmとし、基板面内の15箇所を測定した。

20

【0155】

得られたI_{ds}-V_{gs}カーブより、サンプル1の酸化物半導体膜を用いた場合の平均のしきい値電圧は0.41V、サンプル2の酸化物半導体膜を用いた場合の平均のしきい値電圧は0.82V、サンプル3の酸化物半導体膜を用いた場合の平均のしきい値電圧は1.54Vとなることがわかった。なお、サンプル4の酸化物半導体膜を用いた場合は、当該測定範囲においてトランジスタ特性が得られなかった。以上の結果から、n型酸化物半導体膜中にp型酸化物半導体材料であるNiOを含ませることによって、トランジスタのしきい値電圧を制御できることがわかった。また、Niが8.8原子%以上含まれると、トランジスタ特性が得られなかった。

30

【0156】

次に、トランジスタに用いた酸化物半導体膜の単膜での物性を評価した。

【0157】

図15はガラス上に形成したサンプル1およびサンプル4に該当する酸化物半導体膜のM/z = 18のTDSスペクトルである。図15(A)にサンプル1のTDSスペクトルを、図15(B)にサンプル4のTDSスペクトルを示す。サンプル1は70 ~ 100の範囲のピーク1と、340 ~ 380の範囲のピーク2と、を有した。一方、サンプル4は、ピーク1は同様の温度範囲に見られたが、ピーク2は測定範囲外である380以上の温度範囲に存在すると推測された。即ち、サンプル1と比較して、サンプル4は、同じ加熱処理であればM/z = 18に該当するH₂O等の脱離が起こりにくいといえる。この現象は、サンプル4に含まれるp型酸化物半導体材料であるNiOに起因する。

40

【0158】

図16乃至図19は、ガラス基板上に形成したサンプル1乃至サンプル4に該当する酸化物半導体膜の透過率および反射率である。透過率および反射率の測定は、株式会社日立ハイテクノロジーズ製U-4000形日立分光光度計を用いた。図16(A)および図16(B)はサンプル1の透過率および反射率である。図17(A)および図17(B)はサ

50

ンプル 2 の透過率および反射率である。図 18 (A) および図 18 (B) はサンプル 3 の透過率および反射率である。図 19 (A) および図 19 (B) はサンプル 4 の透過率および反射率である。いずれも可視光領域で高い透過率を有し、透明であることがわかった。

【 0 1 5 9 】

また、NiO の割合が増すと、徐々に短波長領域 (400 nm 付近) の透過率が低下することがわかった。

【 0 1 6 0 】

図 20 および図 21 は、ガラス基板上に形成したサンプル 1 乃至サンプル 4 に該当する酸化物半導体膜の XRD スペクトルである。XRD スペクトルの測定は、Bruker A 10 XS 社製 X 線回折装置 D8 ADVANCE を用いた。図 20 (A) 乃至図 21 (B) は、それぞれサンプル 1 乃至サンプル 4 の XRD スペクトルを示す。図中の実線 3001 は成膜後に加熱処理等を行っていないもの (as - deposited) 、実線 3002 は成膜後窒素雰囲気にて 250 で加熱処理したもの、実線 3003 は成膜後窒素雰囲気にて 350 で加熱処理したもの、実線 3004 は成膜後窒素雰囲気にて 450 で加熱処理したものを見られる。図 20 および図 21 から、いずれのサンプルも、上述した加熱処理による結晶化は見られず、全て非晶質であることがわかった。

【 0 1 6 1 】

表 2 および表 3 はガラス基板上に形成したサンプル 1 乃至サンプル 4 に該当する酸化物半導体膜の Hall 効果測定によって得られたキャリア密度および Hall 移動度である。 Hall 効果測定は、株式会社東陽テクニカ製 Resist 8300 シリーズを用いた。ここでは、サンプル 1 乃至サンプル 4 を成膜後窒素雰囲気にて 250 、 350 または 450 で加熱処理を行ったものも評価した。ただし、 Hall 効果測定装置の都合上、導電率が低すぎるサンプルは評価できていない (表中では「 - 」で示す。) 。

【 0 1 6 2 】

【 表 2 】

加熱処理	キャリア密度 [cm ⁻³]			
	なし	250°C	350°C	450°C
サンプル 1	6.7E+10	3.7E+15	1.5E+17	1.8E+18
サンプル 2	-	-	2.9E+15	4.4E+17
サンプル 3	-	-	-	8.2E+16
サンプル 4	-	-	-	-

【 0 1 6 3 】

【 表 3 】

加熱処理	Hall 移動度 [cm ² /Vs]			
	なし	250°C	350°C	450°C
サンプル 1	-	1.9	1.7	2.5
サンプル 2	-	-	0.9	1.9
サンプル 3	-	-	-	2.0
サンプル 4	-	-	-	-

【 0 1 6 4 】

表 2 において、 p 型酸化物半導体材料である NiO の割合が増加するに伴い、酸化物半導体膜のキャリア (電子) 密度が低減していく傾向が見られた。また、成膜後の加熱処理の温度が高いほど、酸化物半導体膜のキャリア密度が増加していく傾向が見られた。

【 0 1 6 5 】

表 3 より、酸化物半導体膜の Hall 移動度は 0.9 から 2.5 cm² / Vs の範囲であ

10

20

30

40

50

つた。

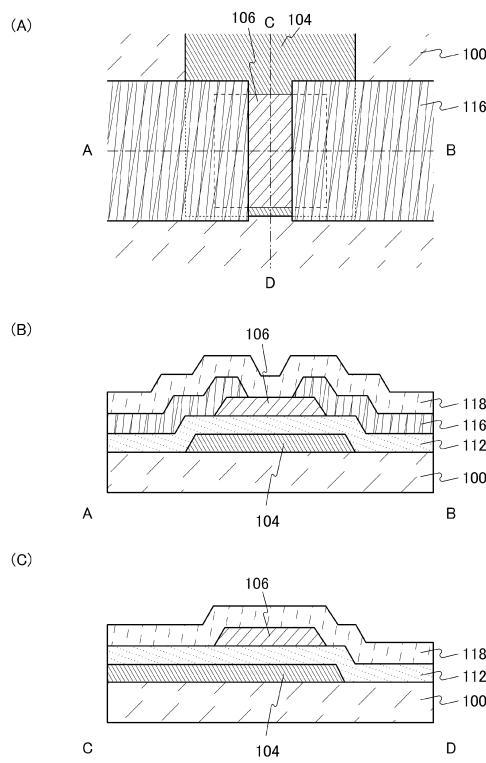
【符号の説明】

【0 1 6 6】

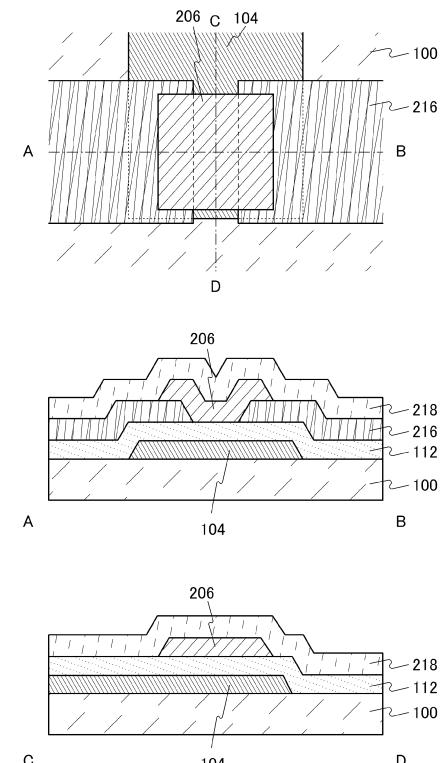
1 0 0	基板	10
1 0 4	ゲート電極	
1 0 6	酸化物半導体膜	
1 1 2	ゲート絶縁膜	
1 1 6	一対の電極	
1 1 8	層間絶縁膜	
2 0 0	画素	
2 0 6	酸化物半導体膜	
2 1 0	液晶素子	
2 1 6	一対の電極	
2 1 8	層間絶縁膜	
2 2 0	キャパシタ	
2 3 0	トランジスタ	
3 0 2	下地絶縁膜	
3 0 4	ゲート電極	
3 0 6	酸化物半導体膜	
3 1 2	ゲート絶縁膜	20
3 1 6	一対の電極	
4 0 4	ゲート電極	
4 0 6	酸化物半導体膜	
4 1 2	ゲート絶縁膜	
4 1 6	一対の電極	
5 0 4	ゲート電極	
5 0 6	酸化物半導体膜	
5 1 2	ゲート絶縁膜	
5 1 6	一対の電極	
5 1 8	層間絶縁膜	30
5 2 1	領域	
5 2 6	領域	
6 0 4	ゲート電極	
6 0 6	酸化物半導体膜	
6 1 2	ゲート絶縁膜	
6 1 6	一対の電極	
6 1 8	層間絶縁膜	
6 2 1	領域	
6 2 6	領域	
1 1 4 1	スイッチング素子	40
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インターラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	50

1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
3 0 0 1	実線	
3 0 0 2	実線	
3 0 0 3	実線	
3 0 0 4	実線	
9 3 0 0	筐体	
9 3 0 1	ボタン	
9 3 0 2	マイクロフォン	10
9 3 0 3	表示部	
9 3 0 4	スピーカ	
9 3 0 5	カメラ	
9 3 1 0	筐体	
9 3 1 1	表示部	
9 3 2 0	筐体	
9 3 2 1	ボタン	
9 3 2 2	マイクロフォン	
9 3 2 3	表示部	

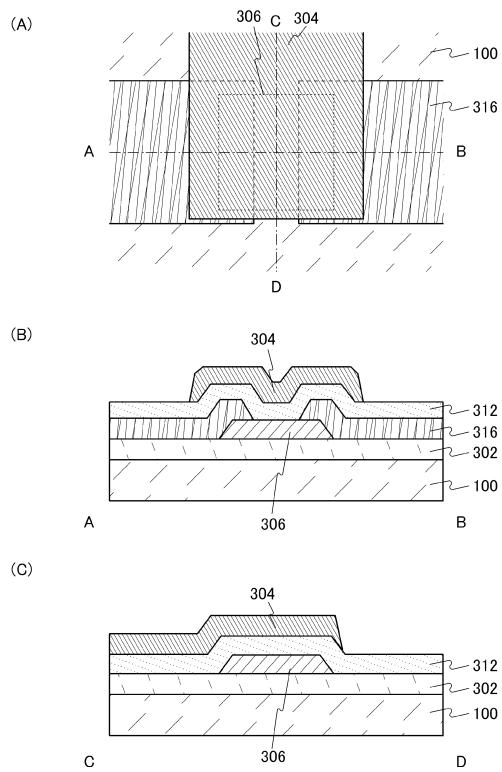
【図1】



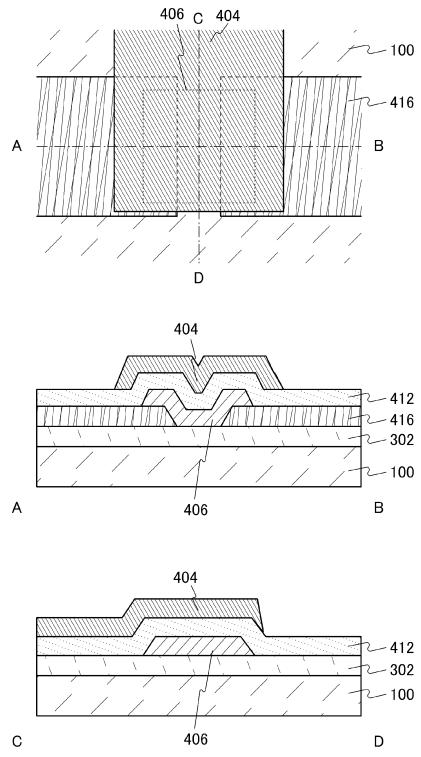
【図2】



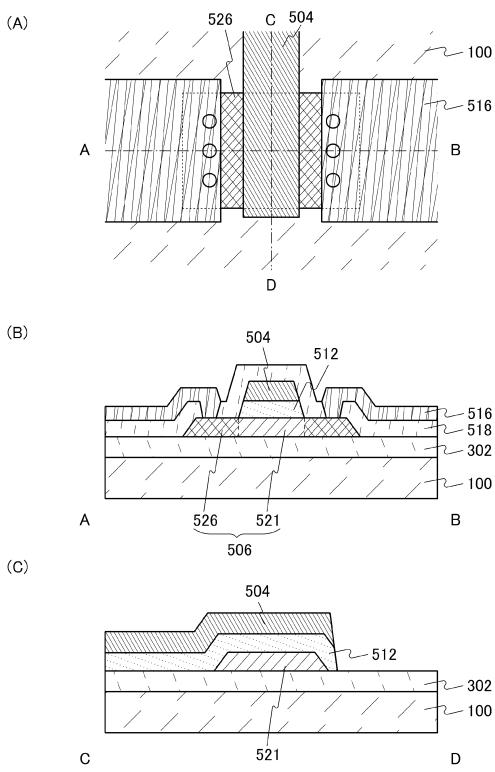
【図3】



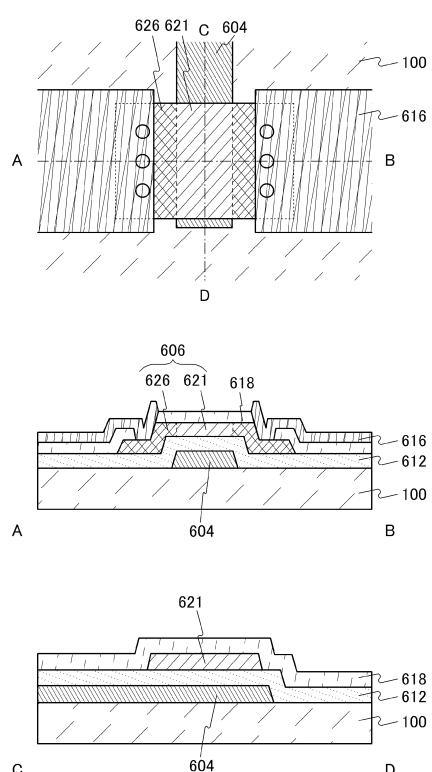
【図4】



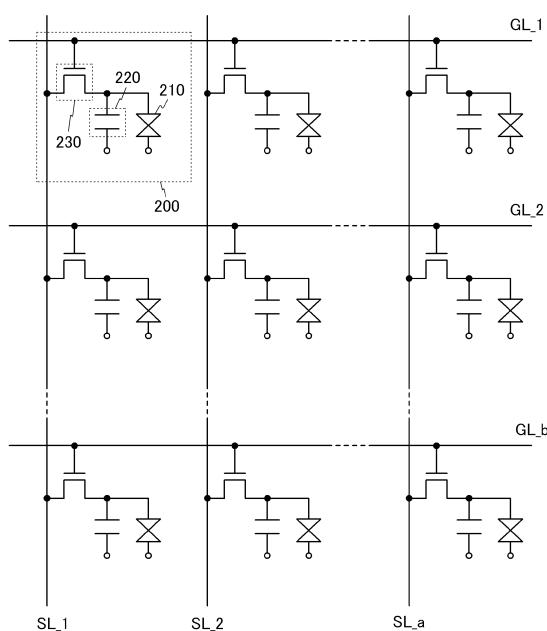
【図5】



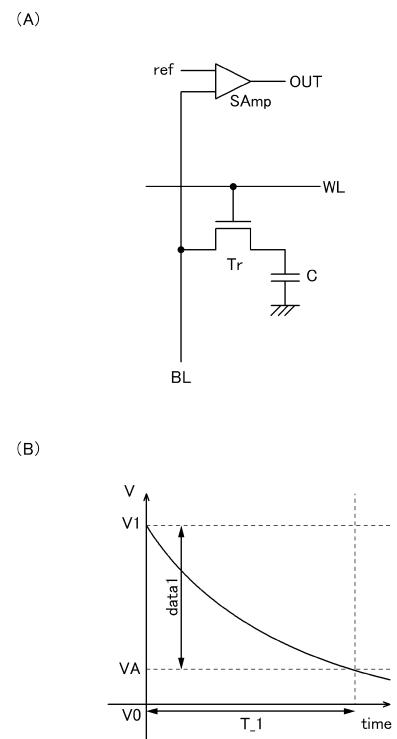
【図6】



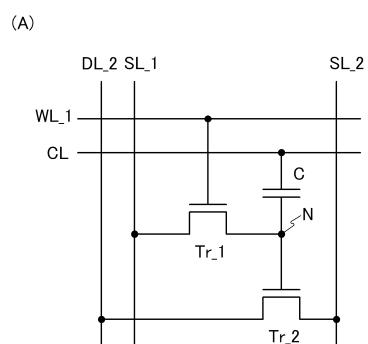
【図7】



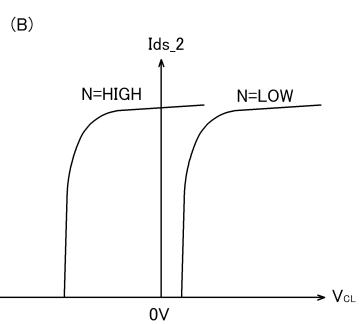
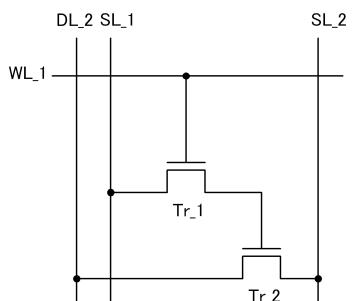
【図8】



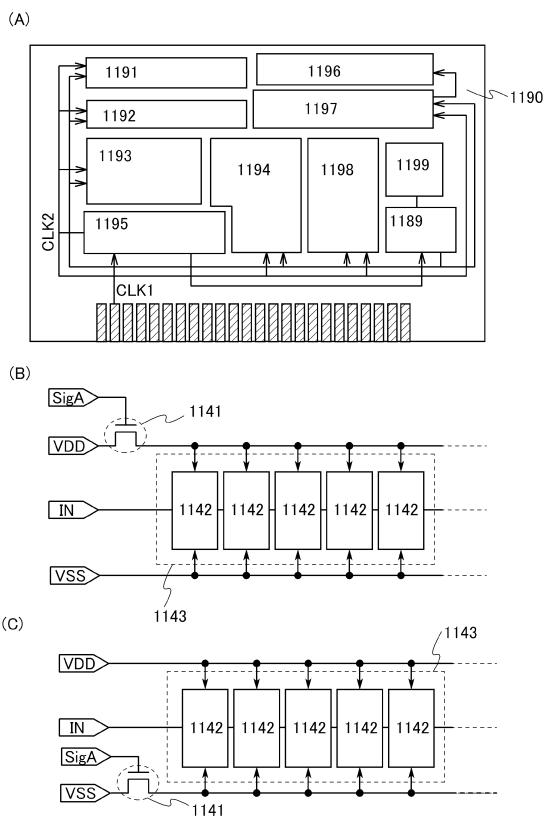
【図9】



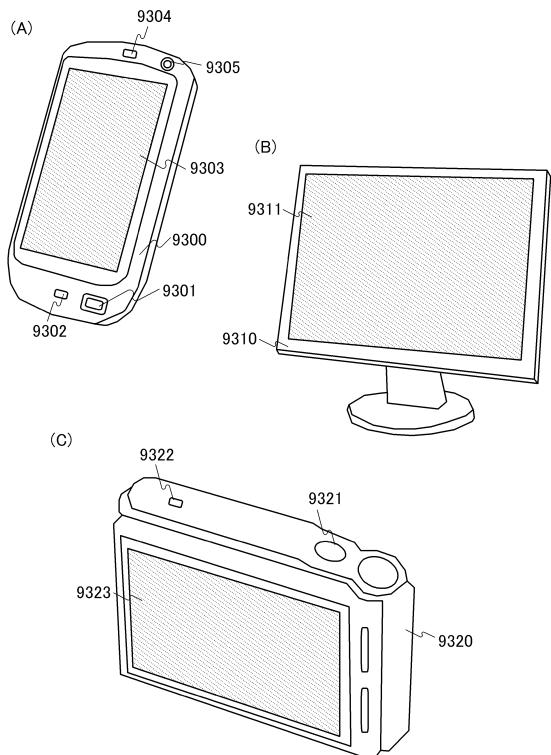
【図10】



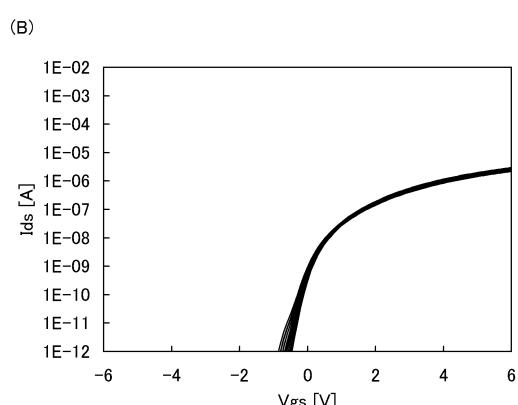
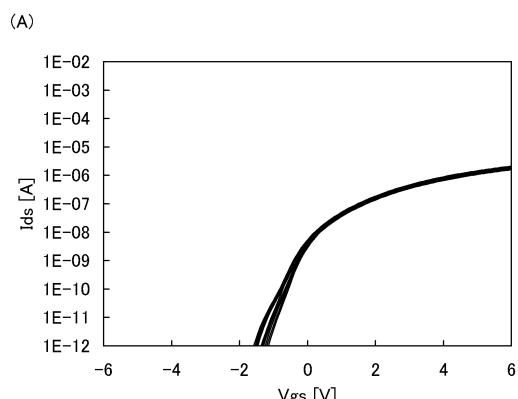
【図11】



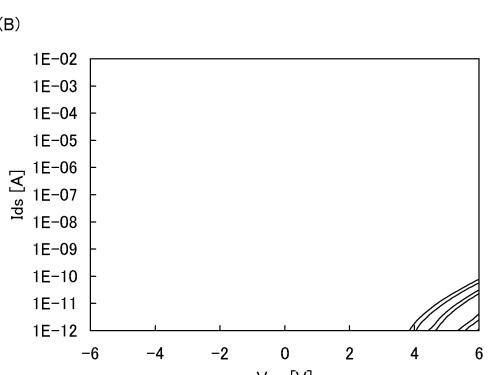
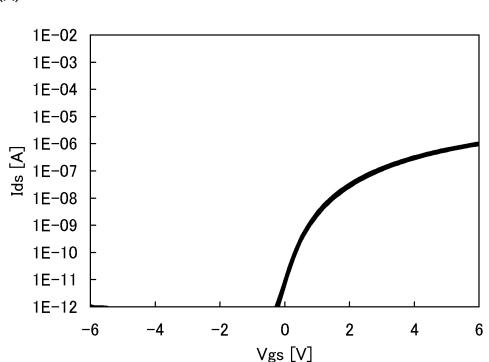
【図12】



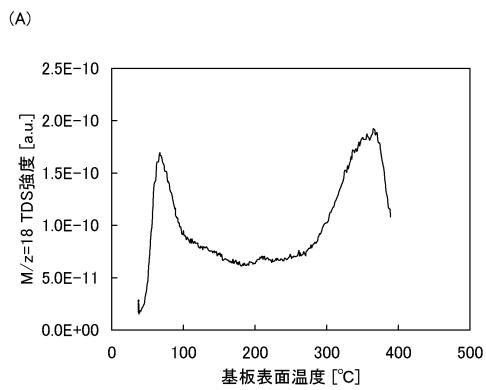
【図13】



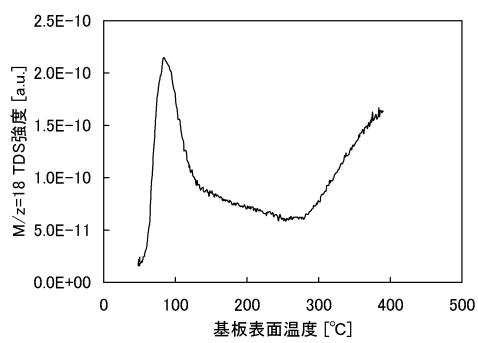
【図14】



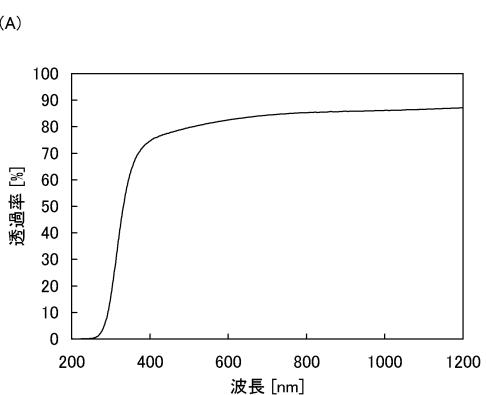
【図15】



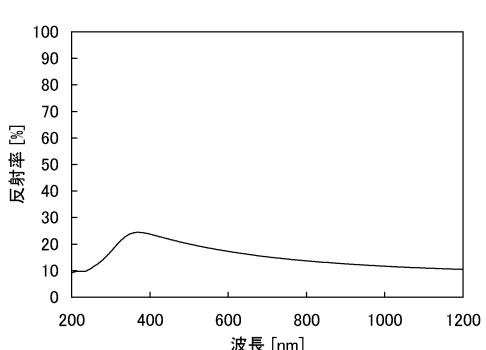
(B)



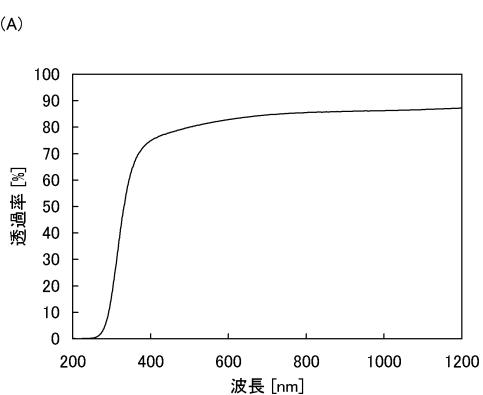
【図16】



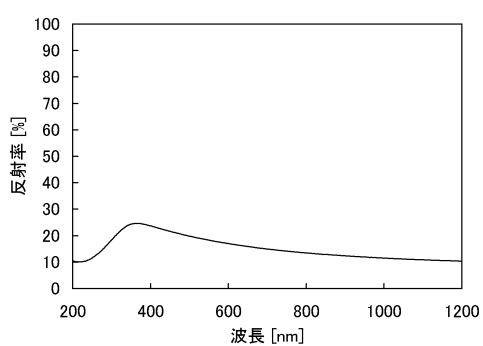
(B)



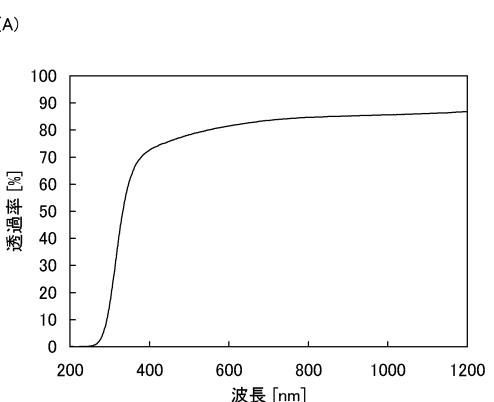
【図17】



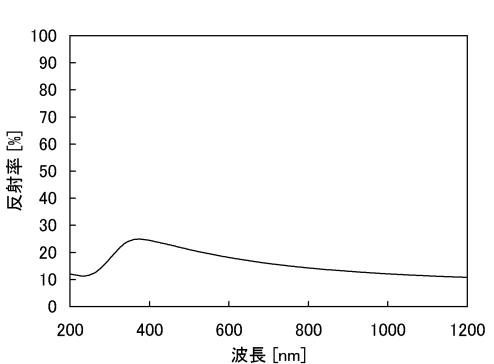
(B)



【図18】

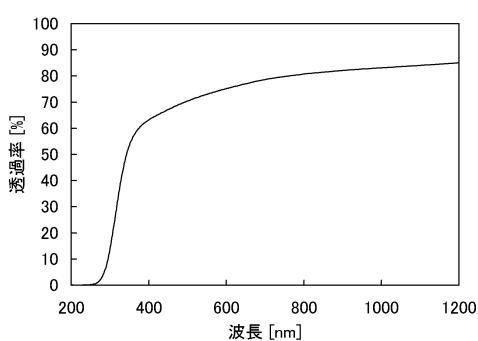


(B)

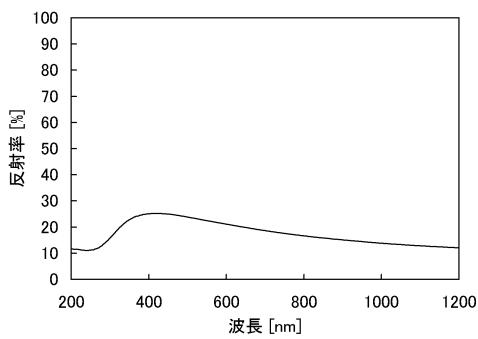


【図19】

(A)

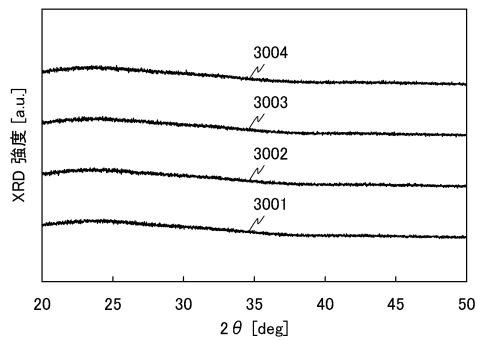


(B)

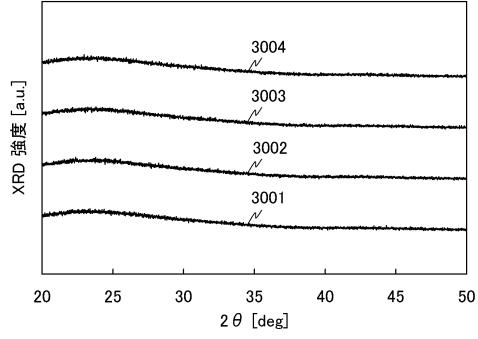


【図20】

(A)

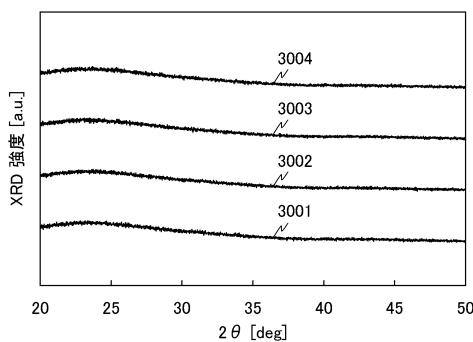


(B)

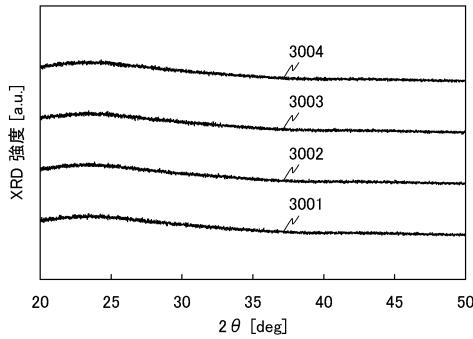


【図21】

(A)



(B)



フロントページの続き

(56)参考文献 特開2006-165529(JP,A)
特開2010-267881(JP,A)
特表2008-507842(JP,A)
特開2010-186994(JP,A)
特開2009-218562(JP,A)
特開2011-009724(JP,A)
国際公開第2008/136505(WO,A1)
特開2008-199005(JP,A)
特開2010-219214(JP,A)
特開2007-305658(JP,A)
特表2010-535431(JP,A)
Raoul Schewitzl et al., Electric-Field Control of the Metal-Insulator Transition in Ultrathin NdNiO₃ Films, ADVANCED MATERIALS, 2010年10月25日, Volume 22, Issue 48, Pages 5517-5520

(58)調査した分野(Int.Cl., DB名)

H 01 L 29 / 786
C 23 C 14 / 08