

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 29/78	(45) 공고일자 1999년07월 15일	(11) 등록번호 10-0208024
(21) 출원번호 10-1996-0044015	(24) 등록일자 1999년04월 14일	(65) 공개번호 특 1998-0025773
(22) 출원일자 1996년10월 04일	(43) 공개일자 1998년07월 15일	
(73) 특허권자 삼성전자주식회사 윤종용		
(72) 발명자 홍문표	경기도 수원시 팔달구 매탄3동 416	
(74) 대리인 임평섭, 정현영	경기도 성남시 분당구 정자동 정든마을 우성아파트 609-1705	

심사관 : 오세준

(54) **힐락 억제를 위한 TFT의 알루미늄 게이트 구조 및 그 제조방법**

요약

본 발명은 이온주입법을 이용하여 힐락(hill lock) 형성을 억제하고 저항이 낮은 세라믹 절연층을 알루미늄 게이트의 표면에 형성하도록 한 TFT의 알루미늄 게이트 구조 및 그 제조방법에 관한 것이다.

본 발명의 목적은 힐락 형성을 억제하며 저항이 낮은 세라믹 절연층을 알루미늄 게이트 라인의 표면에 형성할 수 있도록 한 TFT의 알루미늄 게이트 구조 및 그 제조방법을 제공하는데 있다.

또한, 본 발명의 목적은 공정을 단순화시킬 수 있도록 한 TFT의 알루미늄 게이트 구조 및 그 제조방법을 제공하는데 있다.

이와 같은 목적을 달성하기 위한 본 발명은 통상의 선형 범 이온주입법, 이온 샤워법, 또는 플라즈마 소오스 이온주입법 등을 이용하여 알루미늄 게이트 라인의 표면에 AlN, AlC, AlB, AlO과 같은 세라믹 절연층을 형성하여 알루미늄 게이트 라인의 힐락 형성을 억제하고 세라믹 절연층의 저항을 감소시켜 TFT-LCD의 신뢰성을 향상시킨다. 또한 게이트 패드부의 콘택 패턴을 마스킹하기 위한 포토공정을 생략하여 전체 공정을 단순화시킨다.

대표도

도3a

명세서

도면의 간단한 설명

도 1은 도 1(A) 내지 도 1(F)는 종래의 양극산화공정이 적용된 TFT- LCD의 제조방법을 나타낸 단면공정도.

도 2는 본 발명의 실시예에 의한 힐락 억제를 위한 TFT의 알루미늄 게이트 구조를 나타낸 단면도.

도 3(A) 내지 도 3(C)는 도 2의 힐락 억제를 위한 TFT의 알루미늄 게이트 구조의 제조방법을 나타낸 단면공정도.

도 4는 본 발명의 다른 실시예에 의한 힐락 억제를 위한 TFT의 알루미늄 게이트 구조를 나타낸 단면도.

도 5(A) 내지 도 5(B)는 도 4의 힐락 억제를 위한 TFT의 알루미늄 게이트 구조의 제조방법을 나타낸 단면공정도.

도면의주요부분에대한부호의설명

1: 기판 3: 알루미늄층 3a: 게이트 패턴 3b: 콘택 패턴 5: 감광막 7: 양극산화층 9: 비정질 질화층 11: 비정질 실리콘층 13: n+ 비정질 실리콘층 15: 금속층 15a: 데이터라인의 패턴 15b: 콘택 패턴 17: 보호층 19: 투명 도전층 21: 기판 23: 알루미늄층 23a: 게이트 패턴 23b: 콘택 패턴 27a, 27b, 27c: 세라믹 절연층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 LCD용 TFT의 알루미늄 게이트에 관한 것으로, 더욱 상세하게는 이온주입법을 이용하여 힐락

형성을 억제하고 저항이 낮은 세라믹 절연층을 알루미늄 게이트의 표면에 형성하도록 한 힐락 억제를 위한 TFT의 알루미늄 게이트 구조 및 그 제조방법에 관한 것이다.

일반적으로 고해상도 및 대화면 TFT-LCD 패널은 보다 긴 게이트 라인과 보다 작은 픽셀 크기를 요구하는데 이는 게이트 신호의 RC 시간 지연에 영향을 준다. 따라서, 알루미늄은 저저항과 저가격 및 스퍼터링과 에칭 공정의 용이함과 같은 장점을 갖고 있어 게이트 라인과 데이터 라인 물질에 적합한 후보들중의 하나로서 널리 이용되고 있다.

현재, 370 X 470 mm² 기판으로부터 얻어질 수 있는 최대 크기 패널인 22 인치 대각선 크기 패널은 알루미늄 게이트 공정을 이용하여 제조되고 있다. 알루미늄이 디스플레이 품질의 어떠한 악화없이 상기 패널을 위해 사용될 수 있음은 확실하다. Journal of the SID, 3/3, P.127(1995)에 개시된 Limitations and prospects of a-Si:H TFTs에 의하면, E.W. Howard는 순수 알루미늄이 30 인치 대각선 크기 EWS 패널에까지 사용될 수 있다고 평가하고 있다. 이는 알루미늄 금속배선 공정이 550 X 650 mm² 크기의 제 3 세대 모글라스(mother glass)와 같은 대화면 크기 패널 제조를 위해서 사용될 수 있음을 암시하고 있다.

하지만, 순수 알루미늄은 여러가지 심각한 문제점들을 갖고 있다. 즉, 알루미늄의 증착후 다음의 공정에 따른 열적 스트레스에 의해 알루미늄이 힐락을 쉽게 형성하거나, ITO 습식 에칭과 같은 다음의 케미컬 공정에 의해 케미컬 어택(chemical attack)을 쉽게 받는다. 또한, 강한 산소친화성에 의해 알루미늄과 픽셀 ITO 사이의 계면에서 전기화학적 부식이 발생하게 되는데 이는 알루미늄을 ITO에 직접 접촉을 할 수 없게 한다. 이러한 결함들은 TFT-LCD의 제품 품질과 제품 수율을 악화시킬 수 있어 제조회사들로 하여금 게이트 라인 금속으로서 순수 알루미늄을 선택하지 못하게 하고 있다.

따라서, 상기 힐락 형성을 억제하기 위해 게이트 절연체들의 품질은 알루미늄 게이트 공정에 대해 중요하다. 상기 알루미늄 게이트 라인의 표면을 보호하기 위해 이중 절연체 구조가 알루미늄 게이트 공정에 통상적으로 사용되는데 양극산화된 알루미늄이 제 1 게이트 절연체로 사용되고 CVD 질화막이 제 2 절연체로 널리 사용된다.

도 1(A) 내지 도 1(F)는 종래의 양극산화공정이 적용된 TFT-LCD의 제조 방법을 나타낸 단면공정도이다.

도 1(A)에 도시된 바와 같이, 먼저, TFT-LCD용 투광성 기판(1), 예를 들어 글래스 기판을 준비한다.

이어서, 스퍼터링법을 이용하여 기판(1)의 전면에 순수 알루미늄층(3)을 소정의 두께로 증착한다.

이어서, 포토리소그래피공정을 이용하여 순수 알루미늄층(3)을 TFT의 게이트의 패턴(3a)과 게이트 라인의 패턴(도시 안됨) 및 게이트 패드부의 콘택 패턴(3b)으로 기판(1)의 픽셀 영역과 게이트 패드부에 각각 형성한다. 물론, 상기 게이트의 패턴(3a)은 상기 게이트 라인의 패턴에 일체로 연결되고, 또한 상기 게이트 라인의 패턴이 콘택 패턴(3b)에 일체로 연결되어 있음은 당연하다.

도 1(B)에 도시된 바와 같이, 포토공정을 이용하여 상기 게이트의 패턴(3a)을 제외하고 게이트 패드부의 콘택 패턴(3b)을 포함한 모든 영역에 양극산화 마스크층으로서 감광막(5)을 형성한다.

이어서, 양극산화법을 이용하여 패턴(3a)의 표면에만 양극산화층(7)인 Al₂O₃ 층을 1500-2000Å의 두께로 형성한다.

도 1(C)에 도시된 바와 같이, 상기 감광막(5)을 제거하고나서 CVD법을 이용하여 상기와 같은 구조가 형성된 기판(1)의 전면에 게이트 절연층인 비정질 질화층(9)과, 활성층을 위한 비정질 실리콘층(11) 및 n+ 비정질 실리콘층(13)을 순차적으로 증착한다.

이어서, 포토리소그래피공정을 이용하여 상기 게이트의 패턴(3a)의 상측에만 위치하도록 비정질 실리콘층(11) 및 n+ 비정질 실리콘층(13)의 활성층 패턴을 형성한다. 이때, 상기 콘택 패턴(3b)상에는 비정질 질화층(9)만이 남아 있게 된다.

도 1(D)에 도시된 바와 같이, 포토리소그래피공정을 이용하여 콘택 패턴(3b)상의 비정질 실리콘층(9)을 콘택 패턴(3b)의 내측에만 남는 패턴으로 형성하여 콘택 패턴(3b)의 표면을 일부 노출시킨다.

도 1(E)에 도시된 바와 같이, 스퍼터링법을 이용하여 상기와 같은 구조의 기판(1)의 전면에 금속층(15), 예를 들어 크롬층을 소정의 두께로 증착한다.

이어서, 포토리소그래피공정을 이용하여 금속층(15)을 데이터 라인의 패턴(15a)과 콘택 패턴(15b)으로 n+ 비정질 실리콘층(13)과 패턴(3b)위에 각각 형성한다. 이때, 데이터 라인의 패턴(15a)이 소오스 라인과 드레인 라인의 패턴으로 각각 분리되어 상기 분리된 데이터 라인의 패턴들(15a) 사이의 n+ 비정질 실리콘층(13)의 표면이 노출된다. 또한, 크롬층으로 이루어진 콘택 패턴(15b)과 알루미늄층으로 이루어진 콘택 패턴(3b)이 직접 접촉하게 된다.

이후, 상기 노출된 영역의 n+ 비정질 실리콘층(13)과 비정질 실리콘층(11)을 순차적으로 에칭한다. 이때, 비정질실리콘층(11)은 소정의 두께까지 에칭된다.

도 1(F)에 도시된 바와 같이, CVD법을 이용하여 상기 구조의 기판(1)의 전면에 보호층(17), 예를 들어 질화층을 적층한다.

이어서, 포토리소그래피공정을 이용하여 콘택홀(18)을 보호층(17)에 형성한다.

이후, 보호층(17)의 전면에 투명 도전층(19)인 ITO층을 적층하고나서 포토리소그래피공정을 이용하여 상기 투명 도전층(19)을 픽셀 전극을 위한 패턴으로 형성한다. 이때, 투명 도전층(19)과 데이터 라인의 패턴(15a)은 직접 접촉하게 된다. 따라서, 역 스테그형(inverted staggered type) TFT가 완성된다.

이와 같은 방법에 의해 제조되는 LCD용 TFT는 알루미늄 게이트의 패턴(3a) 표면에 1500-2000Å의 두껍고 치밀한 Al₂O₃ 세라믹 절연층과 같은 양극산화층(7)이 형성되어 있어 기존 TFT의 문제점, 즉 알루미늄 게

이트 라인의 힐락 형성 등을 억제할 수 있었다.

발명이 이루고자하는 기술적 과제

그러나, 양극산화가 진행되는 동안 게이트 패드부의 콘택 패턴의 알루미늄층이 양극산화되는 것을 방지하기 위해 포토 공정이 추가로 필요하게 되어 전체 공정이 복잡하게 되고 이로 인하여 제조 원가가 상승하는 문제점이 있었다. 또한, 양극산화층이 비교적 큰 저항을 갖는 문제점이 있었다.

그래서, TFT-LCD의 게이트 라인 형성 공정을 단순화시키기 위해 게이트 라인으로서 알루미늄 합금과 내화금속(refractory)을 이용하는 2층 금속 게이트(double layer metal gate) 구조를 이용하는 방안이 제안되었다. 상기 합금으로는 Al-Zr 합금, Al-Ta 합금, Al-Ti 합금 등이 사용되고 내화금속으로는 Mo, Cr, Ta 등이 사용되고 있는데, 이들 모두가 400℃에서 어닐링된 후에 힐락 형성이 상당히 적고, 약 10 μΩcm의 저항을 갖는다.

그러나, 상기 증착된 합금층들은 순수 알루미늄의 저항보다 3배 이상 높은 저항을 갖고, 특히 감광막 스트리퍼(stripper)와 ITO 에천트(etchant)에 대해 화학적으로 취약하다. 또한, 증착된 알루미늄 합금층내의 합금 덩어리(cluster)인 스프래쉬(splash)가 많이 발생한다

그래서, 이들 합금들은 알루미늄 게이트 라인의 힐락 형성을 어느정도 억제할 수 있으나 차세대 패널들을 위해 사용될 만큼 양호하지 않은 문제점이 있었다.

한편, 상기 이온주입법에 의한 알루미늄의 표면 변형(surface modification)이 높은 마모 저항과 낮은 중량의 연합이 요구되는 응용에 알루미늄을 사용하는 가능성을 제공하는 것은 이미 잘 알려져 있다. 즉, J. Vac. Sci. Technol. B 12(2), Mar/APR 1994에 개시된 Nitrogen plasma source ion implantation of aluminum과 Structure and wear behavior of nitrogen-implanted aluminum alloy에 의하면, 순수 알루미늄 또는 알루미늄 합금의 공업적 응용은 자신의 낮은 경도(hardness), 강도(strength) 그리고 낮은 마모 저항(wear resistance)에 의해 제한되고 있다. 하지만, 이온주입법에 의한 알루미늄의 표면 변형(surface modification)은 높은 마모 저항과 낮은 중량의 연합이 요구되는 응용에 알루미늄을 사용하는 가능성을 제공한다. 알루미늄과 알루미늄 합금은 낮은 용점(600℃) 때문에 이온주입 공정(상온 공정)은 벌크(bulk) 성질을 변화시키지 않은 채 표면 성질을 독립적으로 최적화하기 위한 표면 변형 기술으로서 뛰어나다. 따라서, 질소 이온 주입에 의해 알루미늄 표면을 질화시킬 때 표면 강도와 마모 저항 그리고 산화에 대한 저항성 등이 크게 향상되는 것으로 보고되고 있다.

따라서, 본 발명의 목적은 힐락 형성을 억제하며 저항이 낮은 세라믹 절연층을 알루미늄 게이트 라인의 표면에 형성할 수 있도록 한 TFT의 알루미늄 게이트 구조 및 그 제조방법을 제공하는데 있다.

또한, 본 발명의 목적은 전체 공정을 단순화시킬 수 있도록 한 TFT의 알루미늄 게이트 구조 및 그 제조방법을 제공하는데 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명은 이온주입법을 이용하여 알루미늄 게이트 라인의 표면에 AlN, AlC, AlB, AlO과 같은 저항이 낮은 세라믹 절연층을 형성하여 알루미늄 게이트 라인의 힐락 형성을 억제하고 신뢰성을 향상시키며 게이트 패드부의 콘택 패턴을 마스크하기 위한 포토공정을 생략하여 전체 공정을 단순화시키는 것을 특징으로 한다.

이하, 본 발명의 실시예에 의한 힐락 억제를 위한 TFT의 알루미늄 게이트 구조 및 그 제조방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 2는 본 발명의 실시예에 의한 힐락 억제를 위한 TFT의 알루미늄 게이트 구조를 나타낸 단면도이다.

도시된 바와 같이, 기판(21)의 픽셀 영역위에 알루미늄 게이트의 패턴(23a)이 형성되어 있고, 알루미늄 게이트의 패턴(23a)의 표면 전체 위에 힐락 형성 억제를 위한 세라믹 절연층(27a)이 형성되어 있다. 또한, 기판(21)의 게이트 패드부에 알루미늄층의 콘택 패턴(23b)이 형성되어 있고, 콘택 패턴(23b)의 표면 전체 위에 세라믹 절연층(27b)이 형성되어 있다.

여기서, 알루미늄 게이트의 패턴(23a)과 콘택 패턴(23b)은 순수 알루미늄 또는 알루미늄 합금으로 이루어져 있고, 세라믹 절연층(27a),(27b)은 AlN, AlC, ALB, 또는 AlO로 이루어져 있다.

이와 같이 구성된 TFT의 알루미늄 게이트 구조의 제조방법을 도 3(A) 내지 도 3(C)를 참조하여 살펴보면 다음과 같다.

도 3(A) 내지 도 3(C)는 도 2의 힐락 억제를 위한 TFT의 알루미늄 게이트 구조의 제조방법을 나타낸 단면공정도이다.

도 3(A)에 도시된 바와 같이, 먼저, TFT-LCD용 투광성 기판(21), 예를 들어 글래스 기판을 준비한다.

이어서, 스퍼터링법을 이용하여 기판(21)의 전면에 순수 알루미늄층(23)을 소정의 두께로 적층한다. 상기 순수 알루미늄층(23) 대신에 알루미늄층 합금을 적층하여도 무방하다.

이후, 포토리소그래피공정을 이용하여 순수 알루미늄층(23)을 TFT의 알루미늄 게이트의 패턴(23a)과 게이트 라인의 패턴(도시 안됨) 및 게이트 패드부의 콘택 패턴(23b)으로 각각 형성한다. 물론, 상기 알루미늄 게이트의 패턴(23a)은 상기 게이트 라인의 패턴에 일체로 연결되고, 또한 상기 게이트 라인의 패턴이 콘택 패턴(23b)에 일체로 연결되어 있음은 당연하다.

도 3(B)에 도시된 바와 같이, 통상의 선형 빔 이온주입법,이온 샤워법, 또는 플라즈마 소오스 이온주입(plasma source ion implantation: PSII)을 이용하여 상온에서 질소 이온을 알루미늄 게이트의 패턴(23a)과 콘택 패턴(23b)을 포함한 기판(21)의 전면 이온주입한다.

상기 알루미늄층(23)의 표면 강도, 산화에 대한 저항성 그리고 AlN 층의 비저항이 이온주입 량(dose)과 이온주입 에너지에 의해 조절되므로 총 이온주입량은 $10^{16} - 10^{18}/\text{cm}^2$ 의 범위에 있고, 에너지는 10 - 100 KeV의 범위에 있는 것이 바람직하다. 기판(21)의 온도는 상온에 한정되지 않고 TFT 전공정에 요구되는 최대온도까지 변경될 수 있다.

상기 질소 이온의 총 이온주입량과 에너지가 증가할수록, 또한 기판의 온도가 높아질수록 AlN 층의 두께가 두꺼워지고 치밀해져 표면강도가 커지거나 표면의 전기적 저항도 함께 증가한다. 따라서, 상기 AlN층이 힐락 형성을 억제하면서도 콘택 패턴(23b)과 향후의 크롬층(도시 안됨)과의 필요한 콘택 저항의 한계값을 초과하지 않는 최적의 이온주입 공정의 조건을 확보하여야 한다.

도 3(C)에 도시된 바와 같이, CVD 공정을 이용하여 게이트 절연층인 비정질 질화층(도시 안됨)을 알루미늄 게이트의 패턴(23)과 콘택 패턴(23b)을 포함한 상기 기판(21)의 전면에 증착하는 동안 상기 이온주입된 이온을 CVD 공정의 온도에서 어닐링하여 상기 알루미늄 게이트의 패턴(23a)과 상기 게이트 라인의 표면 전체에 AlN의 세라믹 절연층(27a),(27b)을 각각 형성한다. 또한 동시에 게이트 패드부의 콘택 패턴(23b)의 표면에 AlN의 절연층(27b)을 형성한다.

이후, 종래의 방법과 동일한 방법으로 TFT를 제조하면 되므로 이에 대한 자세한 기술은 생략하기로 한다.

한편, 상기 이온주입되는 이온으로는 질소 이외에 탄소, 산소 또는 붕소도 가능하며 세라믹 절연층(27a),(27b)은 AlN층 대신에 AlC, AlO 또는 AlB 층이 될 수 있는 것은 당연하다.

이하, 본 발명의 다른 실시예에 의한 힐락 억제를 위한 TFT의 알루미늄 게이트 구조 및 그 제조방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 4는 본 발명의 다른 실시예에 의한 힐락 억제를 위한 TFT의 알루미늄 게이트 구조를 나타낸 단면도이다.

도시된 바와 같이, 세라믹 절연층(27c)이 알루미늄 게이트의 패턴(23a)의 상부면 위에만 형성된 것을 제외하면 도 2의 구조와 동일하다.

이와 같이 구성된 TFT의 알루미늄 게이트 구조의 제조방법을 도 5(A) 내지 도 5(C)를 참조하여 살펴보면 다음과 같다.

도 5(A) 내지 도 5(B)는 도 4의 힐락 억제를 위한 TFT의 알루미늄 게이트 구조의 제조방법을 나타낸 단면공정도이다.

도 5(A)에 도시된 바와 같이, 먼저, 스퍼터링법을 이용하여 기판(21)의 전면에 순수 알루미늄층(23)을 소정의 두께로 적층한다.

이어서, 통상의 선형 빔 이온주입법, 이온 샤워법, 또는 플라즈마 소오스 이온 주입을 이용하여 도 3(B)와 동일한 이온주입으로 질소 이온을 알루미늄층(23)의 표면에 이온주입한다.

도 5(B)에 도시된 바와 같이, 도 3(A)와 동일한 포토리소그래피공정을 이용하여 상기 이온주입된 알루미늄층(23)을 TFT의 알루미늄 게이트의 패턴(23a)과 게이트 라인의 패턴(도시 안됨) 및 게이트 패드부의 콘택 패턴(23b)으로 각각 형성한다.

이후, CVD공정을 이용하여 게이트 절연층인 비정질 질화층(도시 안됨)을 증착하는 동안 상기 이온주입된 이온을 CVD 공정의 온도에서 어닐링하여 상기 알루미늄 게이트의 패턴(23a)과 상기 게이트 라인의 상부면에만 AlN의 세라믹 절연층(27c)을 각각 형성한다. 이와 동시에 상기 게이트 패드부의 콘택 패턴(23b)의 상부면에 세라믹 절연층(27b)을 형성한다.

이후, 종래의 방법과 동일한 방법으로 TFT를 제조하면 되므로 이에 대한 자세한 기술은 생략하기로 한다.

한편, 상기 이온주입되는 이온으로는 질소 이외에 탄소, 산소 또는 붕소도 가능하며 이들이 각각 이온주입되면, 세라믹 절연층(27b),(27c)은 AlN 층대신에 AlC, AlO 또는 AlB 층이 될 수 있는 것은 당연하다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명은 기판상에 적층된 알루미늄층을 게이트와 게이트 패드부 및 게이트 라인으로 패턴으로 형성한 후 원하는 이온으로 이온주입하거나, 기판상에 적층된 알루미늄층을 원하는 이온으로 이온주입한 후 상기 알루미늄층을 게이트와 게이트 패드부 및 게이트 라인으로 패턴으로 형성한다. 이후, CVD공정을 이용하여 게이트 절연층인 비정질 질화층을 적층하는 동안 상기 이온주입된 이온을 어닐링하여 힐락 형성을 억제하고 저항이 낮은 세라믹 절연층을 알루미늄 게이트의 표면에 형성한다.

따라서, 본 발명은 힐락 형성을 억제하고 저항이 낮은 세라믹 절연층을 알루미늄 게이트의 표면에 형성하여 TFT-LCD의 신뢰성을 향상시킨다. 또한, 게이트 패드부를 마스킹하기 위한 별도의 포토공정을 생략하여 전체 공정을 단순화시킨다.

그리고, 본 발명은 힐락형성 억제 효과이외에 알루미늄게이트 표면의 세라믹 절연층이 갖는 산화반응에 대한 높은 저항성을 이용하여 IT0층과의 직접 접촉을 가능하게 한다.

(57) 청구의 범위

청구항 1

알루미늄 게이트 라인을 갖는 LCD의 TFT에 있어서, 투광성 기판과, 상기 기판의 소정의 영역에 형성된 알루미늄 게이트와, 상기 알루미늄 게이트의 힐락 형성을 억제하기 위해 소정의 이온으로 이온주입되어 상기 알루미늄 게이트의 표면에 형성된 세라믹 절연층을 포함하는 TFT의 알루미늄 게이트 구조.

청구항 2

제 1 항에 있어서, 상기 세라믹 절연층은 AlN, AlC, AlO 그리고 AlB층 중 하나로 이루어진 것을 특징으로 하는 TFT의 알루미늄 게이트 구조.

청구항 3

제 1 항에 있어서, 상기 세라믹 절연층은 상기 알루미늄 게이트의 표면 전체에 형성된 것을 특징으로 하는 TFT의 알루미늄 게이트 구조.

청구항 4

제 1 항에 있어서, 상기 세라믹 절연층은 상기 알루미늄 게이트의 상부면에 형성된 것을 특징으로 하는 TFT의 알루미늄 게이트 구조.

청구항 5

제 3 항 또는 제 4 항에 있어서, 상기 세라믹 절연층은 상기 알루미늄 게이트의 게이트 라인과 게이트 패드부의 콘택 패턴상에도 형성된 것을 특징으로 하는 TFT의 알루미늄 게이트 구조.

청구항 6

제 1 항에 있어서, 상기 알루미늄 게이트는 순수 알루미늄으로 이루어진 것을 특징으로 하는 TFT의 알루미늄 게이트 구조.

청구항 7

제 1 항에 있어서, 상기 알루미늄 게이트는 알루미늄 합금으로 이루어진 것을 특징으로 하는 TFT의 알루미늄 게이트 구조.

청구항 8

LCD용 TFT의 알루미늄 게이트의 제조방법에 있어서, 기판의 전면에 알루미늄층을 형성하는 단계와, 상기 알루미늄층을 상기 알루미늄 게이트를 위한 패턴으로 상기 기판상에 형성하는 단계와, 상기 알루미늄 게이트의 힐락 형성을 억제하기 위해 소정의 이온을 이온주입하여 상기 알루미늄 게이트의 표면에 세라믹 절연층을 형성하는 단계를 포함하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 9

제 8 항에 있어서, 상기 세라믹 절연층을 형성하는 단계는 상기 알루미늄 게이트를 포함한 상기 기판의 전면에 소정의 이온을 이온주입하는 단계와, 상기 이온주입된 알루미늄 게이트를 어닐링하여 상기 알루미늄 게이트의 표면에 상기 세라믹 절연층을 형성하는 단계를 포함하는 것을 특징으로 하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 10

제 9 항에 있어서, 상기 알루미늄 게이트를 어닐링하는 공정은 상기 이온주입된 알루미늄 게이트를 포함한 상기 기판의 전면에 게이트 절연층을 적층하는 동안 이루어지는 것을 특징으로 하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 11

제 8 항에 있어서, 상기 이온은 질소, 탄소, 붕소 그리고 산소 이온중 하나인 것을 특징으로 하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 12

제 8 항에 있어서, 상기 이온은 $10^{16} - 10^{18}/\text{cm}^2$ 의 총 이온주입량과 10 - 100 KeV의 에너지로 이온주입되는 것을 특징으로 하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 13

제 8 항에 있어서, 상기 세라믹 절연층은 AlN, AlC, AlB 그리고 AlO층중 하나인 것을 특징으로 하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 14

제 8 항에 있어서, 상기 세라믹 절연층은 상기 알루미늄 게이트의 게이트 라인과 게이트 패드부의 콘택 패턴위에도 형성되는 것을 특징으로 하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 15

제 8 항에 있어서, 상기 이온은 플라즈마 소오스 이온주입 공정에 의해 이온주입되는 것을 특징으로 하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 16

제 8 항에 있어서, 상기 알루미늄 게이트는 순수 알루미늄으로 이루어진 것을 특징으로 하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 17

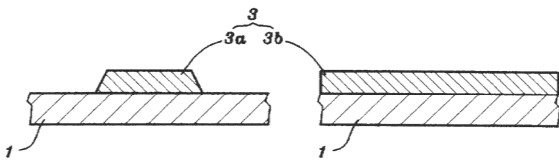
제 8 항에 있어서, 상기 알루미늄 게이트는 알루미늄 합금으로 이루어진 것을 특징으로 하는 TFT의 알루미늄 게이트 구조의 제조방법.

청구항 18

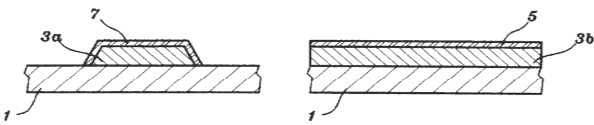
LCD용 TFT의 알루미늄 게이트의 제조방법에 있어서, 기판의 전면상에 알루미늄층을 소정의 두께로 형성하는 단계와, 상기 알루미늄 게이트의 힐락 형성을 억제하기 위해 상기 알루미늄층의 표면에 소정의 이온을 이온주입하는 단계와, 상기 이온주입된 알루미늄층을 상기 알루미늄 게이트를 위한 패턴으로 상기 기판상에 형성하는 단계와, 상기 알루미늄 게이트를 어닐링하여 상기 알루미늄 게이트의 표면에 세라믹 절연층을 형성하는 단계를 포함하는 TFT의 알루미늄 게이트 구조의 제조방법.

도면

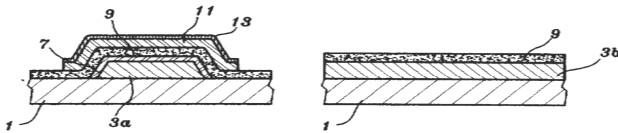
도면1a



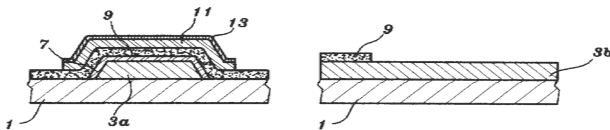
도면1b



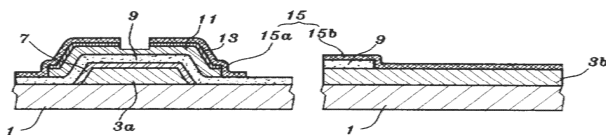
도면1c



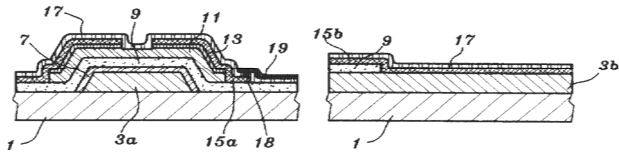
도면1d



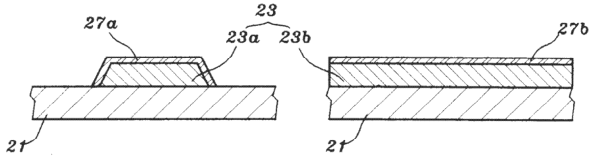
도면1e



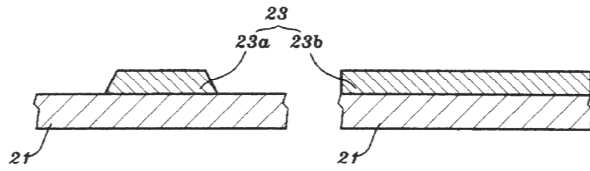
도면1f



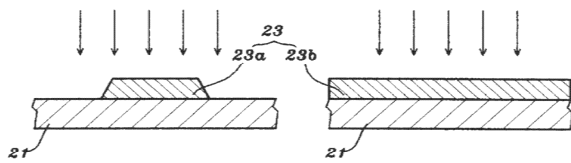
도면2



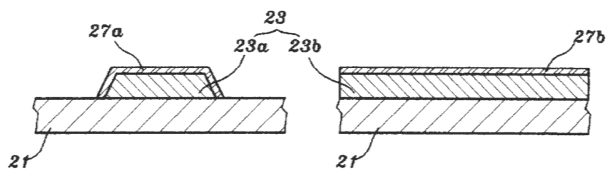
도면3a



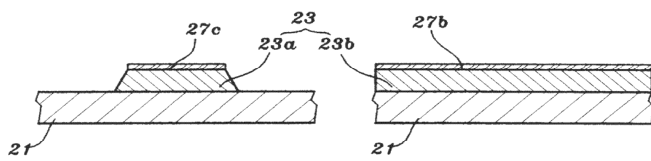
도면3b



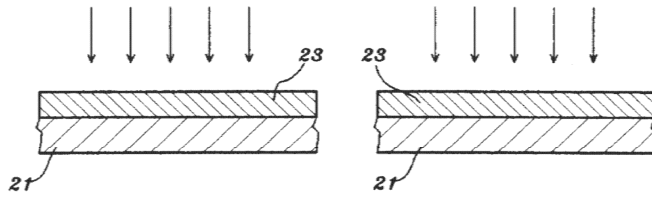
도면3c



도면4



도면5a



도면5b

