



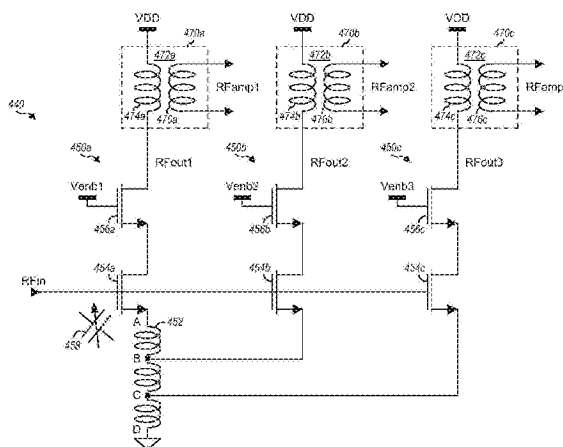
(45)授权公告日 2018.01.26

审查员 葛晓倩

权利要求书2页 说明书11页 附图15页

全頻帶放大器

公开了支持多个频带组的全频带放大器。在一示例性设计中,一种装置(例如,无线设备、集成电路等)包括至少一个增益晶体管以及针对多个频带组的多个共源共栅晶体管。每个频带组覆盖多个频带。增益晶体管接收输入射频(RF)信号。共源共栅晶体管被耦合至增益晶体管并且提供针对多个频带组中的一个频带组的输出RF信号。在一示例性设计中,增益晶体管包括针对多个频带组的多个增益晶体管。一个增益晶体管和 一个共源共栅晶体管被启用以放大输入RF信号并且提供针对所选频带组的输出RF信号。增益晶体管可被耦合至单个源极衰退电感器的不同抽头或耦合至不同的源极衰退电感器。



1. 一种装置,包括:

被配置成接收输入射频 (RF) 信号的至少一个增益晶体管;以及

多个共源共栅晶体管,每一个对应于多个频带组中的相应的一个频带组,所述多个共源共栅晶体管被耦合至所述至少一个增益晶体管并且每一个共源共栅晶体管被配置成提供针对 所述多个频带组中的相应的频带组的输出RF信号,其中每一个共源共栅晶体管被耦合到相应的频带组的相应的负载电路,并且其中每一个共源共栅晶体管提供针对所述多个频带组中的相应的频带组的单独的输出。

2. 如权利要求1所述的装置,其特征在于,所述至少一个增益晶体管包括针对所述多个频带组的多个增益晶体管。

3. 如权利要求2所述的装置,其特征在于,进一步包括:

包含耦合至所述多个增益晶体管和电路接地的多个抽头的电感器。

4. 如权利要求2所述的装置,其特征在于,进一步包括:

耦合在所述多个增益晶体管和电路接地之间的多个电感器。

5. 如权利要求1所述的装置,其特征在于,所述至少一个增益晶体管包括耦合至所述多个共源共栅晶体管的单个增益晶体管。

6. 如权利要求1所述的装置,其特征在于,进一步包括:

耦合在所述多个共源共栅晶体管中的至少一个共源共栅晶体管和所述至少一个增益晶体管之间的反馈电路。

7. 如权利要求1所述的装置,其特征在于,进一步包括:

可调谐匹配电路,所述可调谐匹配电路耦合至所述至少一个增益晶体管并且被配置成接收收到RF信号并提供所述输入RF信号。

8. 如权利要求1所述的装置,其特征在于,进一步包括:

耦合至所述多个共源共栅晶体管的多个变压器,所述多个变压器中的每一个变压器被用于所述多个频带组中的一个频带组。

9. 如权利要求1所述的装置,其特征在于,所述至少一个增益晶体管包括针对第一频带组的第一增益晶体管和针对第二频带组的第二增益晶体管,并且所述多个共源共栅晶体管包括针对第一频带组的第一共源共栅晶体管和针对第二频带组的第二共源共栅晶体管。

10. 如权利要求9所述的装置,其特征在于,进一步包括:

耦合在所述第一增益晶体管和电路接地之间并且包括耦合至所述第二增益晶体管的抽头的电感器。

11. 如权利要求9所述的装置,其特征在于,进一步包括:

耦合至所述第一共源共栅晶体管的针对所述第一频带组的第一变压器,以及耦合至所述第二共源共栅晶体管的针对所述第二频带组的第二变压器。

12. 如权利要求11所述的装置,其特征在于,所述第一变压器包括形成在导电层上的第一初级线圈,并且所述第二变压器包括形成在所述导电层上所述第一初级线圈内的第二初级线圈。

13. 如权利要求9所述的装置,其特征在于,所述至少一个增益晶体管进一步包括针对第三频带组的第三增益晶体管,并且所述多个共源共栅晶体管进一步包括针对所述第三频带组的第三共源共栅晶体管。

14. 如权利要求2所述的装置,其特征在于,所述多个增益晶体管具有不同的晶体管尺寸、或不同的偏置电流、或两者。

15. 如权利要求1所述的装置,其特征在于,所述多个频带组包括低频带、中频带、和高频带中的至少一者。

16. 一种方法,包括:

用至少一个增益晶体管中的一个增益晶体管来放大输入射频(RF)信号以获得经放大的信号;

用多个共源共栅晶体管中的一个共源共栅晶体管来缓冲经放大的信号,每一个共源共栅晶体管对应于多个频带组中的相应的一个频带组,并且所述多个共源共栅晶体管中的每一个被配置成提供针对所述多个频带组中的相应的频带组的输出RF信号;

将所述输出RF信号传递通过多个负载电路中的一个,每一个负载电路耦合到相应的共源共栅晶体管;以及

从每一个相应的负载电路单独地输出针对所述多个频带组中的相应的一个的信号。

17. 如权利要求16所述的方法,其特征在于,进一步包括:

用耦合至所述至少一个增益晶体管的电感器来衰退该一个增益晶体管的源极。

18. 如权利要求16所述的方法,其特征在于,进一步包括:

将所述输出RF信号与针对所述多个频带组的多个变压器中的一个变压器相耦合以获得经放大的RF信号。

19. 一种设备,包括:

至少一个放大装置,所述至少一个放大装置被配置成接收输入射频(RF)信号;

多个缓冲装置,每一个缓冲装置对应于多个频带组中的相应的一个频带组,所述多个缓冲装置被耦合至所述至少一个放大装置并且所述多个缓冲装置中的每一个被配置成提供针对所述多个频带组中的相应的频带组的输出RF信号;以及

多个负载装置,每一个用于所述多个频带组中的相应的频带组,并且耦合到所述多个缓冲装置中的相应的一个缓冲装置,每一个缓冲装置包括用于提供针对所述多个频带组中的相应的频带组的单独的输出的次级装置。

20. 如权利要求19所述的设备,其特征在于,所述至少一个放大装置包括针对所述多个频带组的多个放大装置,所述设备进一步包括:

包括耦合至所述多个放大装置和电路接地的多个抽头的源极衰退装置。

21. 如权利要求19所述的设备,其特征在于,进一步包括:

耦合至所述多个缓冲装置的多个变压装置,所述多个变压装置中的每一个变压装置被用于所述多个频带组中的一个频带组。

全频带放大器

[0001] 背景

技术领域

[0002] 本公开一般涉及电子器件,尤其涉及放大器。

背景技术

[0003] 无线通信系统中的无线设备(例如,蜂窝电话或智能电话)可以发射和接收数据以用于双向通信。无线设备可包括用于数据传送的发射机以及用于数据接收的接收机。对于数据传送,发射机可以用数据来调制射频(RF)载波信号以获得经调制RF信号,放大经调制RF信号以获得具有恰当输出功率电平的经放大RF信号,并经由天线将该经放大的RF信号发射到基站。对于数据接收,接收机可经由天线获得收到RF信号并且可放大和处理该收到RF信号以恢复由基站发送的数据。

[0004] 无线设备可支持宽频率范围上的操作。无线设备可包括数个放大器,其中每个放大器被设计成在无线设备所支持的宽频率范围的一部分上操作。以尽可能少的放大器来支持宽频率范围上的操作是合乎期望的。

附图说明

[0005] 图1示出了无线设备与无线系统通信。

[0006] 图2示出了三个示例性频带组。

[0007] 图3示出了图1中的无线设备的框图。

[0008] 图4A到4D示出了具有共享的源极衰退电感器的全频带低噪声放大器(LNA)。

[0009] 图5示出了具有分开的源极衰退电感器的全频带LNA。

[0010] 图6示出了不具有源极衰退电感器的全频带LNA。

[0011] 图7示出了具有共享的源极衰退电感器和反馈的全频带LNA。

[0012] 图8示出了具有可调谐匹配电路的全频带LNA。

[0013] 图9A到9F示出了可调谐匹配电路的六个示例性设计。

[0014] 图10示出了用于三个频带组的三个变压器的顶视图。

[0015] 图11示出了用于执行信号放大的过程。

具体实施方式

[0016] 以下阐述的详细描述旨在作为本公开的示例性设计的描述,而无意表示可在其中实践本公开的仅有设计。术语“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何设计不必被解释为优于或胜过其他设计。本详细描述包括具体细节以提供对本公开的示例性设计的透彻理解。对于本领域技术人员将明显的是,没有这些具体细节也可实践本文描述的示例性设计。在一些实例中,公知的结构和器件以框图形式示出以免湮没本文中给出的示例性设计的新颖性。

[0017] 本文公开了支持覆盖多个频带组的宽频率范围的全频带放大器。全频带放大器也可被称为通用放大器等。全频带放大器可被用于各种类型的电子设备,诸如无线通信设备。

[0018] 图1示出了无线设备110与无线通信系统120通信。无线系统120可以是长期演进(LTE)系统、码分多址(CDMA)系统、全球移动通信(GSM)系统、无线局域网(WLAN)系统或其他某个无线系统。CDMA系统可实现宽带 CDMA(WCDMA)、CDMA 1X、演进数据最优化(EVDO)、时分同步CDMA(TD-SCDMA)、或其他某个版本的CDMA。为简明起见,图1示出了无线系统120包括两个基站130和132以及一个系统控制器140。一般而言,无线系统可包括任何数目的基站以及任何网络实体集合。

[0019] 无线设备110还可以指用户装备(UE)、移动站、终端、接入终端、订户单元、站等。无线设备110可以是蜂窝电话、智能电话、平板、无线调制解调器、个人数字助理(PDA)、手持式设备、膝上型计算机、智能本、上网本、无绳电话、无线本地环路(WLL)站、蓝牙设备、等等。无线设备110可与无线系统120通信。无线设备110还可接收来自广播站(例如,广播站134)的信号、来自一个或多个全球导航卫星系统(GNSS)中的卫星(例如,卫星150)的信号等。无线设备110可支持用于无线通信的一种或多种无线电技术,诸如 LTE、WCDMA、CDMA 1X、EVDO、TD-SCDMA、GSM、802.11等。

[0020] 图2示出了无线设备110可支持的三个示例性频带组。无线设备110可以能够在覆盖低于1000兆赫兹(MHz)的频率的低频带(LB)、覆盖从1000MHz 到2300MHz的频率的中频带(MB)和/或覆盖高于2300MHz的频率的高频带(HB)中操作。例如,低频带可以覆盖698到960MHz,中频带可以覆盖1475 到2170MHz,而高频带可以覆盖2300到2690MHz和3400到3800MHz,如图2中所示的。低频带、中频带和高频带是指三组频带(或频带组),其中每个频带组包括数个频率带(或简称为“频带”)。每个频带可以覆盖至多达200 MHz。LTE版本11支持35个频带,这些频带被称为LTE/UMTS频带并且在 3GPP TS 36.101中列出。

[0021] 一般而言,可以定义任何数目个频带组。每个频带组可覆盖任何频率范围,这些频率范围可以或可以不与图2中所示的频率范围中的任何一个相匹配。每个频带组还可包括任何数目个频带。

[0022] 图3示出了图1中的无线设备110的示例性设计的框图。在这一示例性设计中,无线设备110包括耦合至主天线310的收发机320、耦合至副天线312 的收发机322、以及数据处理/控制器380。收发机320包括多个(K个)接收机330pa至330pk以及多个(K个)发射机350pa至350pk以支持多个频带、多种无线电技术、载波聚集等。收发机322包括L个接收机330sa至330sl以及L个发射机350sa至350sl以支持多个频带、多种无线电技术、载波聚集、接收分集、从多个发射天线到多个接收天线的多输入多输出(MIMO)传输等。

[0023] 在图3所示的示例性设计中,每个接收机330包括LNA 340和接收电路 342。对于数据接收,天线310接收来自基站和/或其他发射机站的信号并且提供收到RF信号,该收到RF信号被路由通过天线接口电路324并作为输入RF 信号被呈现给所选接收机。天线接口电路324可包括开关、双工器、发射滤波器、接收滤波器、匹配电路等。以下描述假定接收机330pa是所选接收机。在接收机330pa内,LNA 340pa放大输入RF信号并提供输出RF信号。接收电路342pa将输出RF信号从RF下变频到基带,对经下变频的信号进行放大和滤波,并且将模拟输入信号提供给数据处理器380。接收电路342pa可包括混频器、滤波器、放大器、匹配电路、振荡器、本地振荡器(LO)生成器、锁相环(PLL)等。收发机320和322中的每个其余的接收机

330可按类似于接收机330pa的方式操作。

[0024] 在图3中示出的示例性设计中,每个发射机350包括发射电路352和功率放大器(PA) 354。对于数据传送,数据处理器380处理(例如,编码和调制) 要传送的数据,并且将模拟输出信号提供给所选发射机。以下描述假定发射机 350pa是所选发射机。在发射机350pa内,发射电路352pa对模拟输出信号进行放大、滤波并将其从基带上变频至RF,并且提供经调制的RF信号。发射电路352pa可包括放大器、滤波器、混频器、匹配电路、振荡器、L0生成器、PLL等。PA 354pa接收并放大经调制的RF信号并提供具有适当的输出功率水平的RF信号。发射RF信号被路由通过天线接口电路324并经由天线310来发射。收发机320和322中的每个其余发射机350可按类似于发射机350pa的方式来操作。

[0025] 图3示出了接收机330和发射机350的示例性设计。接收机和发射机还可包括图3中未示出的其他电路,诸如滤波器、匹配电路等。收发机320和322 的全部或部分可实现在一个或多个模拟集成电路(IC)、RF IC(RFIC)、混合信号IC等上。例如,LNA 340和接收电路342可实现在一个模块上,该模块可以是RFIC等。收发机320和322中的这些电路也可按其他方式来实现。

[0026] 数据处理器/控制器380可为无线设备110执行各种功能。例如,数据处理器380可对经由接收机330接收到的数据以及经由发射机350传送的数据执行处理。控制器380可以控制收发机320和322中的各种电路的操作。存储器382 可存储供数据处理器/控制器380使用的程序代码和数据。数据处理器/控制器 380可以实现在一个或多个专用集成电路(ASIC)和/或其他IC上。

[0027] 无线设备110可以支持多个频带组、多种无线电技术、和/或多个天线。无线设备110可包括数个LNA以支持经由多个频带组、多种无线电技术、和/或多个天线的接收。

[0028] 在本公开的一方面,可以使用全频带LNA来支持经由多个频带组的接收。全频带LNA是一种支持多个频带组的LNA,并且具有(i)用于所有支持的频带组的单个输入,以及(ii)用于多个频带组的多个输出,例如每个频带组一个输出。全频带LNA可在其输入处接收输入RF信号并且在其多个输出中的一个输出处提供RF信号。全频带LNA覆盖多个频带组并且与覆盖同一频带组中的多个频带的多频带LNA不同。

[0029] 全频带LNA可用各种电路设计来实现。以下描述了全频带LNA的一些示例性设计。全频带LNA也可用各种类型的晶体管来实现。以下描述使用N沟道金属氧化物半导体(NMOS)晶体管实现的全频带LNA的一些示例性设计。

[0030] 图4A示出了具有共享的源极衰退电感器的全频带LNA 440的示例性设计的示意图。全频带LNA 440可被用于图3中的LNA 340中的任一个。在图4A 所示的示例性设计中,全频带LNA 440包括三个放大器电路450a、450b和450c,它们分别用于低频带、中频带和高频带的三个频带组。

[0031] 在图4A中所示的示例性设计中,每个放大器电路450包括耦合至共源共栅晶体管456以及多抽头源极衰退电感器452的增益晶体管454。在用于低频带的放大器电路450a内,增益晶体管454a使其栅极接收输入RF信号(RFin) 并且使其源极耦合至多抽头电感器452的一端。多抽头电感器452具有四个抽头A、B、C和D,其中抽头A和D对应于电感器452的两端。电感器452使其抽头A耦合至增益晶体管454a的源极,并且使抽头D耦合至电路接地。共源共栅晶体管456a使其源极耦合至增益晶体管454a的漏极,使其栅极接收针对低频带的第一使

能控制信号 (Venb1), 并且使其漏极耦合至放大器电路450a 的输出。

[0032] 用于中频带的放大器电路450b包括增益晶体管454b和共源共栅晶体管 456b, 它们按与用于低频带的放大器电路450a中的增益晶体管454a和共源共栅晶体管456a类似的方式来耦合。用于高频带的放大器电路450c包括增益晶体管454c和共源共栅晶体管456c, 它们也按与用于低频带的放大器电路450a 中的增益晶体管454a和共源共栅晶体管456a类似的方式来耦合。用于中频带的增益晶体管454b的源极耦合至多抽头电感器452的抽头B, 而用于高频带的增益晶体管454c的源极耦合至多抽头电感器452的抽头C。增益晶体管454a到454c和共源共栅晶体管456a到456c可以如图4A中所示地用NMOS晶体管来实现, 或可以用其他类型的晶体管来实现。

[0033] 电感器452充当用于所有的三个增益晶体管454a、454b和454c的源极衰退电感器, 其由于它们在电感器452的不同抽头处的连接而观察到逐渐变小的源电感。具体来说, 用于高频带的增益晶体管454c被耦合至抽头C, 抽头C 最接近于电路接地, 并且因此观察到最小的源极衰退电感。用于中频带的增益晶体管454b被耦合至较高的抽头B, 并因此观察到较大的源极衰退电感。用于低频带的增益晶体管454a在抽头A处被耦合至电感器452的最顶端, 并因此观察到最大的源极衰退电感。

[0034] 在图4A中所示的示例性设计中, 跨增益晶体管454a的栅极和源极可存在可变电容器458。电容器458可包括增益晶体管454a、454b和454c的寄生电容。电容器458还可包括一排可切换电容器, 其可耦合在增益晶体管454a的栅极和源极之间并且可被用来精细调谐全频带LNA 440的输入阻抗。每个可切换电容器可用与开关串联耦合的电容器来实现。可选择这排中的电容器以获得对于全频带LNA 440的良好输入匹配。

[0035] 放大器电路450a、450b和450c被分别耦合至三个负载电路470a、470b 和470c。在图4A中所示的示例性设计中, 每个负载电路470包括变压器472, 变压器472包括初级线圈474和次级线圈476。线圈还可被称为电感器线圈、绕组、导体等。在用于低频带的负载电路470a内, 变压器472a包括 (i) 耦合在放大器电路450a的输出与电源 (VDD) 之间的初级线圈474a, 以及 (ii) 向用于低频带的下变频器 (图4A中未示出) 提供第一差分放大的RF信号 (RFamp1) 的次级线圈476a。用于中频带的负载电路470b包括变压器472b, 变压器472b具有: (i) 耦合在放大器电路450b的输出与VDD电源之间的初级线圈474b, 以及 (ii) 向用于中频带的下变频器 (图4A中未示出) 提供第二差分放大的RF信号 (RFamp2) 的次级线圈476b。用于高频带的负载电路 470c包括变压器472c, 变压器472c具有: (i) 耦合在放大器电路450c的输出与VDD电源之间的初级线圈474c, 以及 (ii) 向用于高频带的下变频器 (图 4A中未示出) 提供第三差分放大的RF信号 (RFamp3) 的次级线圈476c。变压器472a、472b和472c分别耦合至共源共栅晶体管456a、456b和456c的漏极。变压器472a、472b和472c可被设计成分别提供针对低频带、中频带、以及高频带的良好性能。

[0036] 在一个示例性设计中, 每个负载电路470可被耦合至单独的下变频器。在另一个示例性设计中, 多个负载电路470可经由开关耦合至共享的下变频器。开关可被控制以在任何给定时刻将来自一个负载电路的经放大的RF信号传递到共享的下变频器。对于这两个示例性设计, 每个下变频器可包括两个混频器以执行经放大的RF信号从RF到或基带或中频 (IF) 的正交下变频。

[0037] 负载电路470也可按其他方式来实现。在另一示例性设计中, 负载电路可包括耦合

在放大器电路的输出与VDD电源之间的电感器以及可能的电容器。在又一示例性设计中,负载电路可包括使其源极耦合至VDD电源并且使其漏极耦合至共源共栅晶体管456的漏极的P沟道金属氧化物半导体 (PMOS) 晶体管。PMOS晶体管可为共源共栅晶体管456提供有源负载。

[0038] 放大器电路450a、450b和450c可按各种方式来实现。在示例性设计中,增益晶体管454a、454b和454c可具有类似的晶体管尺寸,而共源共栅晶体管 456a、456b和456c可具有类似的晶体管尺寸。在另一示例性设计中,增益晶体管454a、454b和454c可具有不同的晶体管尺寸,和/或共源共栅晶体管456a、456b和456c可具有不同的晶体管尺寸。在一个示例性设计中,增益晶体管454a、454b和454c可具有类似的偏置电流,该偏置电流可被选择以为所有三个频带组提供良好性能。在另一示例性设计中,增益晶体管454a、454b和454c可具有不同的偏置电流。每个增益晶体管454的偏置电流可被选择以为相关联的频带组提供良好性能。

[0039] 图4A示出了包括用于三个频带组的三个放大器电路450a、450b和450c 的全频带LNA 440。全频带LNA可包括少于三个或多于三个的放大器电路450 以用于更少或更多的频带组。

[0040] 全频带LNA 440接收输入RF信号,输入RF信号被施加给所有的三个放大器电路450a、450b和450c。输入RF信号可包括感兴趣的频带组(即,所选频带组)中的一个或多个频带中的一个或多个传输。所选频带组的放大器电路 450可被启用以放大输入RF信号并且针对所选频带组提供输出RF信号。所选频带组的负载电路470可针对所选频带组接收来自启用的放大器电路450的输出RF信号并且提供经放大的RF信号。用于其它频带组的其余放大器电路450 可被禁用。

[0041] 图4B示出了在选择低频带时全频带LNA 440的操作。在这种情况下,放大器电路450a被启用以通过在共源共栅晶体管456a的栅极处的Venb1信号上提供适当的偏置电压来生成针对低频带的第一输出RF信号(RFout1)。负载电路470a接收RFout1信号并向下变频器提供针对低频带的RFamp1信号。增益晶体管454a经由整个电感器452观察到较大的源极衰退电感。通过分别在共源共栅晶体管456b和456c的栅极处的Venb2和Venb3信号上提供低电压来禁用放大器电路450b和450c。

[0042] 图4C示出了在选择中频带时全频带LNA 440的操作。在这种情况下,放大器电路450b被启用以通过在共源共栅晶体管456b的栅极处的Venb2信号上提供适当的偏置电压来生成针对中频带的第二输出RF信号(RFout2)。负载电路470b接收RFout2信号并向下变频器提供针对中频带的RFamp2信号。增益晶体管454b经由电感器452从抽头B到电路接地的部分观察到中等的源极衰退电感。通过分别在共源共栅晶体管456a和456c的栅极处的Venb1和Venb3 信号上提供低电压来禁用放大器电路450a和450c。

[0043] 图4D示出了在选择高频带时全频带LNA 440的操作。在这种情况下,放大器电路450c被启用以通过在共源共栅晶体管456c的栅极处的Venb3信号上提供适当的偏置电压来生成针对高频带的第三输出RF信号(RFout3)。负载电路470c接收RFout3信号并向下变频器提供针对高频带的RFamp3信号。增益晶体管454c经由电感器452从抽头C到电路接地的部分观察到较小的源极衰退电感。通过分别在共源共栅晶体管456a和456b的栅极处的Venb1和Venb2 信号上提供低电压来禁用放大器电路450a和450b。

[0044] 在一个示例性设计中,放大器电路中的增益晶体管可(i) 当放大器电路被启用时,

在饱和区中操作,或者(ii)当放大器电路被禁用时,在线性区中操作。当放大器电路被禁用时在线性区中操作增益晶体管可减少全频带LNA 440的输入阻抗的变化,无论哪个放大器电路或频带组被选择。增益晶体管的输入电容(C_{IN})可被表示为:

[0045] 当放大器电路被启用时, $C_{IN} = \frac{2}{3} \cdot W \cdot L \cdot C_{OX}$ 式(1) 以及

[0046] 当放大器电路被禁用时, $C_{IN} = \frac{1}{2} \cdot W \cdot L \cdot C_{OX}$ 式(2)

[0047] 其中,W是增益晶体管的宽度,而L是其长度,以及

[0048] C_{OX} 是增益晶体管的栅极氧化电容。

[0049] 如式(1)和(2)中所示,取决于放大器电路被启用还是禁用,增益晶体管的输入阻抗中可存在有限的变化。然而,无论哪个放大器电路被选择并且即使在增益晶体管的输入阻抗有变化的情况下,全频带LNA 440的输入阻抗也可维持在容限内。将全频带LNA 440的输入阻抗维持在容限内可改善针对所有频带组的功率和/或阻抗匹配。

[0050] 图5示出了具有分开的源极衰退电感器的全频带LNA 540的示例性设计的示意图。全频带LNA 540也可被用于图3中的LNA 340中的任一个。在图5所示的示例性设计中,全频带LNA 540包括分别用于低频带、中频带和高频带的三个放大器电路550a、550b和550c。每个放大器电路550包括耦合至共源共栅晶体管556以及源极衰退电感器552的增益晶体管554。在用于低频带的放大器电路550a内,增益晶体管554a使其栅极接收输入RF信号并且使其源极耦合至电感器552a的一端。电感器552a的另一端耦合至电路接地。共源共栅晶体管556a使其源极耦合至增益晶体管554a的漏极,使其栅极接收针对低频带的第一使能控制信号(Venb1),并且使其漏极耦合至放大器电路550a的输出。

[0051] 用于中频带的放大器电路550b包括增益晶体管554b、共源共栅晶体管 556b、以及电感器552b,它们按与用于低频带的放大器电路550a中的增益晶体管554a、共源共栅晶体管556a、以及电感器552a类似的方式来耦合。用于高频带的放大器电路550c包括增益晶体管554c、共源共栅晶体管556c、以及电感器552c,它们按与用于低频带的放大器电路550a中的增益晶体管554a、共源共栅晶体管556a、以及电感器552a类似的方式来耦合。电感器552a、552b 和552c可被设计成分别提供针对低频带、中频带、以及高频带的良好性能。共源共栅晶体管556a、556b和556c的漏极被分别耦合至负载电路570a、570b和 570c,它们可包括变压器(例如,如图4A中所示)和/或其它电路。负载电路 570a、570b和570c可被设计成分别提供针对低频带、中频带、以及高频带的良好性能。

[0052] 图6示出了不具有源极衰退电感器的全频带LNA 640的示例性设计的示意图。全频带LNA 640也可被用于图3中的LNA 340中的任一个。在图6所示的示例性设计中,全频带LNA 640包括共用增益晶体管654以及分别用于低频带、中频带和高频带的三个共源共栅晶体管656a、656b和656c。增益晶体管 654使其栅极接收输入RF信号(RFin)并且使其源极耦合至电路接地。共源共栅晶体管656a使其源极耦合至增益晶体管654的漏极,使其栅极接收针对低频带的第一使能控制信号(Venb1),并且使其漏极耦合至针对低频带的负载电路670a。共源共栅晶体管656b使其源极耦合至增益晶体管654的漏极,使其栅极接收针对中频带的第二使能控制信号(Venb2),并且使其漏极耦合至针对中频带的负载电路670b。共源共栅晶体管656c使其源极耦合至增益晶体管 654的漏极,使其栅极接收针对高频带的第三使能控制

信号 (Venb3), 并且使其漏极耦合至针对高频带的负载电路670c。负载电路670a、670b和670c可包括变压器 (例如, 如图4A中所示) 和/或其他电路。负载电路670a、670b和670c可被设计成分别提供针对低频带、中频带、以及高频带的良好性能。

[0053] 图7示出了具有共享的源极衰退电感器和反馈的全频带LNA 442的示例性设计的示意图。全频带LNA 442也可被用于图3中的LNA 340中的任一个。在图7所示的示例性设计中, 全频带LNA 442包括分别用于低频带、中频带和三个放大器电路450a、450b和450c, 如以上针对图4A所描述的。全频带LNA 442进一步包括耦合在共源共栅晶体管456a、456b和456c的漏极与增益晶体管454a、454b和454c的栅极之间 (即, 共用输入与放大器电路450a、450b和450c的输出之间) 的反馈电路460。

[0054] 在图7中所示的示例性设计中, 反馈电路460包括开关462a、462b和462c、电阻器464、和电容器466。电阻器464和电容器466串联耦合, 其中电容器466的底部端子耦合至增益晶体管454a、454b和454c的栅极。开关462a、462b和462c使一个端子耦合至电阻器464, 并使另一端子分别耦合至共源共栅晶体管456a、456b和456c的漏极。开关462a、462b和462c可各自闭合以将反馈电路456连接至其相关联的共源共栅晶体管456并且可断开以将反馈电路460与相关联的共源共栅晶体管456断开连接。反馈电路460还可包括一个或多个有源电路, 诸如晶体管。

[0055] 在示例性设计中, 反馈电路460可被启用并用于低频带以提供输入功率匹配。对于中频带和 高频带, 反馈电路460可被禁用, 并且源极衰退电感器452 可被用于输入功率匹配。反馈电路460也可按其他方式来使用。

[0056] 反馈电路460可有助于全频带LNA 442的输入匹配。反馈电路460还可改善放大器电路450a、450b和/或450c的线性度。每个放大器电路450可 (i) 当相关联的开关462闭合时, 通过源极衰退电感器452和反馈电路460两者来线性化; 或者 (ii) 当相关联的开关462断开时, 仅通过源极衰退电感器452来线性化。使用反馈电路460的改善的线性度可允许较小的电感器452被用来获得期望的线性度。

[0057] 图8示出了具有可调谐匹配电路830的全频带LNA 840的示例性设计的示意图。全频带LNA 840可基于以上描述的全频带LNA设计中的任何一种来实现。全频带LNA 840包括接收输入RF信号 (RFin) 的输入以及提供针对K个频带组的输出RF信号 (RFout1到RFoutK) 的K个输出, 其中K可以是大于1的任何整数值。可调谐匹配电路830耦合至全频带LNA 840的输入并且执行针对LNA 840的输入匹配。匹配电路830接收收到RF信号 (RFRx) 并将输入 RF信号提供给全频带LNA 840。K个负载电路870a到870k被耦合至全频带 LNA 840的K个输出并且被设计用于K个频带组。每个负载电路870可包括变压器 (例如, 如图4A中所示) 和/或其他电路组件。

[0058] 可调谐匹配电路830可按各种方式来实现。可调谐匹配电路830的一些示例性设计在以下描述。

[0059] 图9A示出了基于L拓扑的可调谐匹配电路830a的示例性设计。该L拓扑包括耦合至分流电路组件的串联电路组件。串联电路组件是连接在两个节点之间的电路组件。分流电路组件是连接在节点与电路接地之间的电路组件。电路组件可以是电感器、电容器、电阻器等。匹配电路830a包括 (i) 耦合在匹配电路830a的输入与输出之间的串联电感器912、以及 (ii) 耦合在匹配电路830a 的输出与电路接地之间的可调谐分流电容器914。

[0060] 图9B示出了基于L拓扑的可调谐匹配电路830b的示例性设计。匹配电路 830b包括 (i) 耦合在匹配电路830b的输入与输出之间的可调谐串联电容器922、以及 (ii) 耦合在匹配电路830b的输出与电路接地之间的分流电感器924。

[0061] 图9C示出了基于R拓扑的可调谐匹配电路830c的示例性设计。该R拓扑包括耦合至串联电路组件的分流电路组件。匹配电路830c包括 (i) 耦合在匹配电路830c的输入与电路接地之间的可调谐分流电容器932、以及 (ii) 耦合在匹配电路830c的输入与输出之间的串联电感器934。

[0062] 图9D示出了基于 π 拓扑的可调谐匹配电路830d的示例性设计。该 π 拓扑包括耦合至串联电路组件的分流电路组件，该串联电路组件耦合至另一分流电路组件。匹配电路830d包括 (i) 耦合在匹配电路830d的输入与电路接地之间的分流电容器942、(ii) 耦合在匹配电路830d的输入与输出之间的串联电感器944、以及 (iii) 耦合在匹配电路830d的输出与电路接地之间的可调谐分流电容器946。

[0063] 图9E示出了具有两个R区段的可调谐匹配电路830e的示例性设计。匹配电路830e包括 (i) 耦合在匹配电路830e的输入与VDD电源之间的分流电感器952、(ii) 耦合在匹配电路830e的输入与节点E之间的串联电容器954、(iii) 耦合在节点E与电路接地之间的可调谐分流电容器956、以及 (iv) 耦合在节点E与匹配电路830e的输出之间的串联电感器958。

[0064] 图9F示出了基于 π 拓扑的可调谐匹配电路830f的示例性设计。匹配电路 830f包括 (i) 耦合在匹配电路830f的输入与VDD电源之间的分流电感器962、(ii) 耦合在匹配电路830f的输入与输出之间的串联电容器964、(iii) 耦合在匹配电路830f的输出与电路接地之间的可调谐分流电容器966、以及 (iv) 耦合在匹配电路830f的输出与电路接地之间的分流电感器968。

[0065] 还可基于图9A到9F中所示的示例性设计中的任一者来实现固定的匹配电路。在这一情形中，每个可调节电路组件（例如，每个可调节电容器）可用固定的电路组件（例如，固定的电容器）来代替。

[0066] 用于不同频带组的变压器可按各种方式来实现。变压器的初级和次级线圈可以用各种图案来实现以获得期望的电感和耦合。初级和次级线圈也可被制造在一个或多个导电层上。

[0067] 图10示出了用于三个频带组的三个变压器的示例性设计的顶视图。三个变压器可被用于图4A中的变压器472a到472c、图5中的负载电路570a到570c、图6中的负载电路670a到670c、或图8中的负载电路870a到870c。

[0068] 在图10所示的示例性设计中，用于低频带的变压器包括在第一导电层上以螺旋图案形式形成的初级线圈1074a。用于中频带的变压器包括在第一导电层上以初级线圈1074a内的螺旋图案形式形成的初级线圈1074b。用于高频带的变压器包括在第一导电层上以初级线圈1074b内的螺旋图案形式形成的初级线圈1074c。接地保护环1080位于初级线圈1074a和1074b之间并且在这两个初级线圈之间提供隔离。接地保护环1082位于初级线圈1074b和1074c之间并且在这些初级线圈之间提供隔离。

[0069] 在一个示例性设计中，这三个变压器的次级线圈可以布置成第二导电层上的螺旋图案。每个变压器1072的次级线圈可以直接形成在该变压器的初级线圈之下。

[0070] 图10示出一个示例性设计，其中针对三个频带组的三个变压器的三个初级线圈

1074a、1074b和1074c被形成在另一个内部,这可节省空间。一般而言,针对不同频带组的变压器的初级和次级线圈可用任何布线、任何图案、以及任何匝数来实现。匝数、匝的直径、每个线圈的宽度和高度,每个变压器的初级和次级线圈之间的间隔、和/或这两个线圈的其它属性可以被选择以获得每个线圈的期望的电感和品质因素(Q)以及各线圈之间的期望的耦合系数。耦合系数可通过控制线圈的放置和/或各线圈之间的距离来改变。

[0071] 图10中的堆叠拓扑可以允许变压器被制造在较小区域中并且对于差分设计还可得到次级线圈的两端之间的更好匹配。变压器还可以并排式拓扑或其它拓扑来实现。一般而言,不同的拓扑、布线图案、以及制造技术可以为变压器提供不同优点。

[0072] 本文描述的全频带放大器(例如,LNA)可以提供各种优点。首先,全频带放大器可支持覆盖多个频带组的宽频率范围,这对于被要求支持不同频带组中的众多频带的新的无线设备来说是非常期望的。其次,全频带放大器可对于所有支持的频带组都具有良好的性能,例如通过使用针对每一个频带组的变压器和源极衰退。第三,全频带放大器可减少IC芯片上的输入/输出(I/O)引脚的数目,因为单个I/O引脚可提供输入RF信号以支持多个频带组。第四,全频带放大器可提供更多灵活性,因为每个I/O引脚可被配置成支持任何频带组。例如,IC可包括20个全频带LNA并且可被配置成支持(i) 20个低频带接收机,或(ii) 10个低频带接收机、5个中频带接收机、和5个高频带接收机,或(iii) 10个中频带接收机和10个高频带接收机,或(iv)接收机的某种其它组合。全频带放大器可以具有其它优点。

[0073] 在一示例性设计中,一种装置(例如,无线设备、IC、电路模块等)可以包括至少一个增益晶体管以及针对多个频带组的多个共源共栅晶体管。该至少一个增益晶体管(例如,图4A中的增益晶体管454)可以接收输入RF信号并且可将输入耦合在一起。多个共源共栅晶体管(例如,共源共栅晶体管456)可被耦合至该至少一个增益晶体管并且可提供针对多个频带组中的一个频带组的输出RF信号。多个频带组可包括低频带、中频带、和/或高频带。每个频带组可覆盖多个频带。

[0074] 在图4A中示出的示例性设计中,该至少一个增益晶体管可包括针对多个频带组的多个增益晶体管(例如,增益晶体管454)。多个增益晶体管中的一个增益晶体管和多个共源共栅晶体管中的一个共源共栅晶体管可被启用以放大输入RF信号并且提供针对所选频带组的输出RF信号。在一个示例性设计中,多个增益晶体管可具有不同的晶体管尺寸和/或不同的偏置电流。在一示例性设计中,该装置可进一步包括具有耦合至多个增益晶体管和电路接地的多个抽头的电感器(例如,图4A中的电感器452)。在另一示例性设计中,该装置可进一步包括耦合在多个增益晶体管和电路接地之间的多个电感器(例如,图5中的电感器552)。

[0075] 在图6中示出的另一示例性设计中,该至少一个增益晶体管可包括耦合至多个共源共栅晶体管的单个增益晶体管(例如,增益晶体管654)。这一增益晶体管可使其源极直接耦合至电路接地(例如,如图6中所示)或者耦合至源极衰退电感器。

[0076] 在一示例性设计中,该装置可包括耦合在多个共源共栅晶体管中的至少一个共源共栅晶体管和至少一个增益晶体管之间的反馈电路(例如,图7中的反馈电路460)。该反馈电路可包括电阻器、或电容器、或晶体管、或其他某个电路组件、或其组合。反馈电路可在所选的放大器电路周围闭合,例如在所选的放大器电路的共源共栅晶体管和增益晶体管之间闭合。

[0077] 在一示例性设计中,该装置可进一步包括耦合到至少一个增益晶体管的可调谐匹配电路(例如,图8中的可调谐匹配电路830)。可调谐匹配电路可接收收到RF信号并提供输入RF信号。可调谐匹配电路可包括至少一个可调节电路组件(例如,可调节电容器)。

[0078] 在一示例性设计中,该装置可进一步包括耦合至多个共源共栅晶体管的多个变压器(例如,图4A中的变压器472)。多个变压器中的每一个变压器可被用于多个频带组中的一个频带组。

[0079] 在一示例性设计中,该至少一个增益晶体管可以包括针对第一频带组的第一增益晶体管和针对第二频带组的第二增益晶体管。多个共源共栅晶体管可包括针对第一频带组的第一共源共栅晶体管和针对第二频带组的第二共源共栅晶体管。第一增益晶体管可被耦合至第一共源共栅晶体管。第二增益晶体管可被耦合至第二共源共栅晶体管。电感器可被耦合在第一增益晶体管和电路接地之间并且可包括耦合至第二增益晶体管的抽头。针对第一频带组的第一变压器可被耦合至第一共源共栅晶体管。针对第二频带组的第二变压器可被耦合至第二共源共栅晶体管。第一变压器可包括形成在导电层上的第一初级线圈。第二变压器可包括形成在该导电层上第一初级线圈内的第二初级线圈(例如,如图10中所示的)。

[0080] 在一示例性设计中,至少一个增益晶体管可进一步包括针对第三频带组的第三增益晶体管。多个共源共栅晶体管可进一步包括针对第三频带组的第三共源共栅晶体管。第三增益晶体管可被耦合至第三共源共栅晶体管。针对第三频带组的第三变压器可被耦合至第三共源共栅晶体管。

[0081] 图11示出了用于执行信号放大的过程1100的示例性设计。可用至少一个增益晶体管中的一个增益晶体管来放大输入RF信号以获得经放大的信号(框1112)。可用针对多个频带组的多个共源共栅晶体管中的一个共源共栅晶体管来缓冲经放大的信号以获得针对多个频带组中的一个频带组的输出RF信号(框1114)。可用耦合到至少一个增益晶体管的电感器来衰退该一个增益晶体管的源极(框1116)。可将输出RF信号与针对多个频带组的多个变压器中的一个变压器相耦合以获得经放大的RF信号(框1118)。

[0082] 本文中描述的全频带放大器可实现在IC、模拟IC、RFIC、混合信号IC、ASIC、印刷电路板(PCB)、电子设备等上。全频带放大器也可以用各种IC工艺技术来制造,诸如互补金属氧化物半导体(CMOS)、N沟道MOS(NMOS)、P沟道MOS(PMOS)、双极型结型晶体管(BJT)、双极型CMOS(BiCMOS)、硅锗(SiGe)、砷化镓(GaAs)、异质结双极型晶体管(HBT)、高电子迁移率晶体管(HEMT)、绝缘体上覆硅(SOI)等。

[0083] 实现本文中所描述的全频带放大器的装置可以是独立设备或者可以是较大设备的一部分。设备可以是(i)自立的IC,(ii)具有一个或多个IC的集合,其可包括用于存储数据和/或指令的存储器IC,(iii)RFIC,诸如RF接收机(RFR)或RF发射机/接收机(RTR),(iv)ASIC,诸如移动站调制解调器(MSM),(v)可嵌入在其他设备内的模块,(vi)接收机、蜂窝电话、无线设备、手持机、或者移动单元,(vii)其他等等。

[0084] 在一个或多个示例性设计中,所描述的功能可以在硬件、软件、固件、或其任何组合中实现。如果在软件中实现,则各功能可以作为一条或多条指令或代码存储在计算机可读介质上或藉其进行传送。计算机可读介质包括计算机存储介质和通信介质两者,包括促成计算机程序从一地到另一地转移的任何介质。存储介质可以是能被计算机访问的任何可

用介质。作为示例而非限定,这样的计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其它光盘存储、磁盘存储或其它磁存储设备、或能被用来携带或存储指令或数据结构形式的期望程序代码且能被计算机访问的任何其它介质。任何连接也被正当地称为计算机可读介质。例如,如果软件是使用同轴电缆、光纤电缆、双绞线、数字订户线(DSL)、或诸如红外、无线电、以及微波之类的无线技术从web网站、服务器、或其它远程源传送而来,则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电、以及微波之类的无线技术就被包括在介质的定义之中。如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘(disk)往往以磁的方式再现数据,而碟(disc)用激光以光学方式再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0085] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对于本领域技术人员将是显而易见的,并且本文中定义的普适原理可被应用于其他变形而不会脱离本公开的范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖性特征相一致的最广范围。

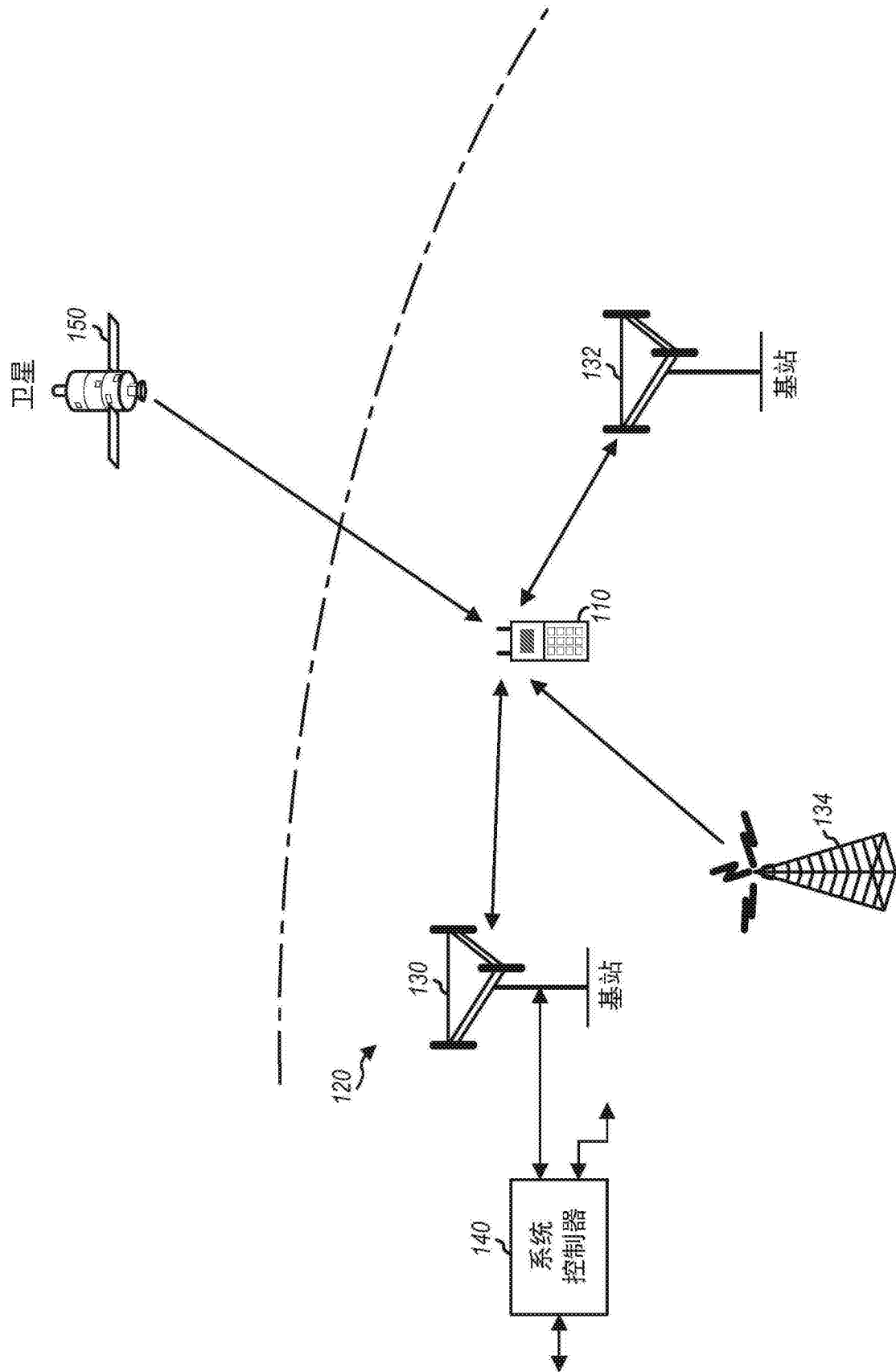


图1

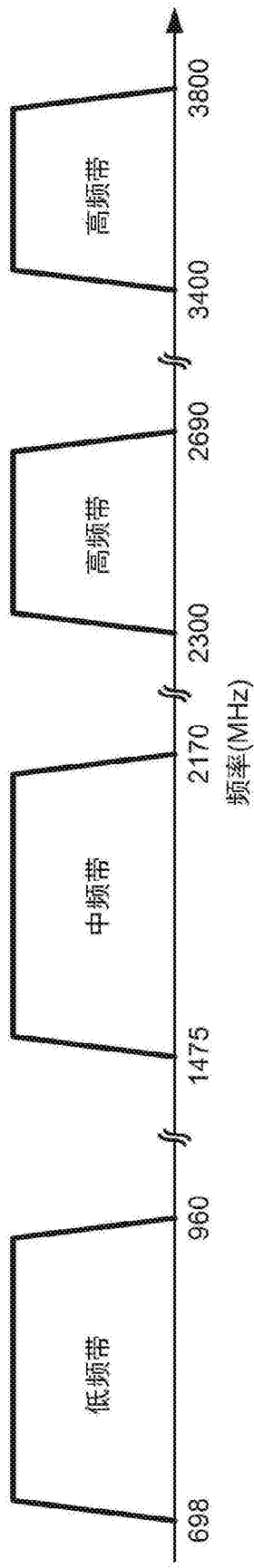


图2

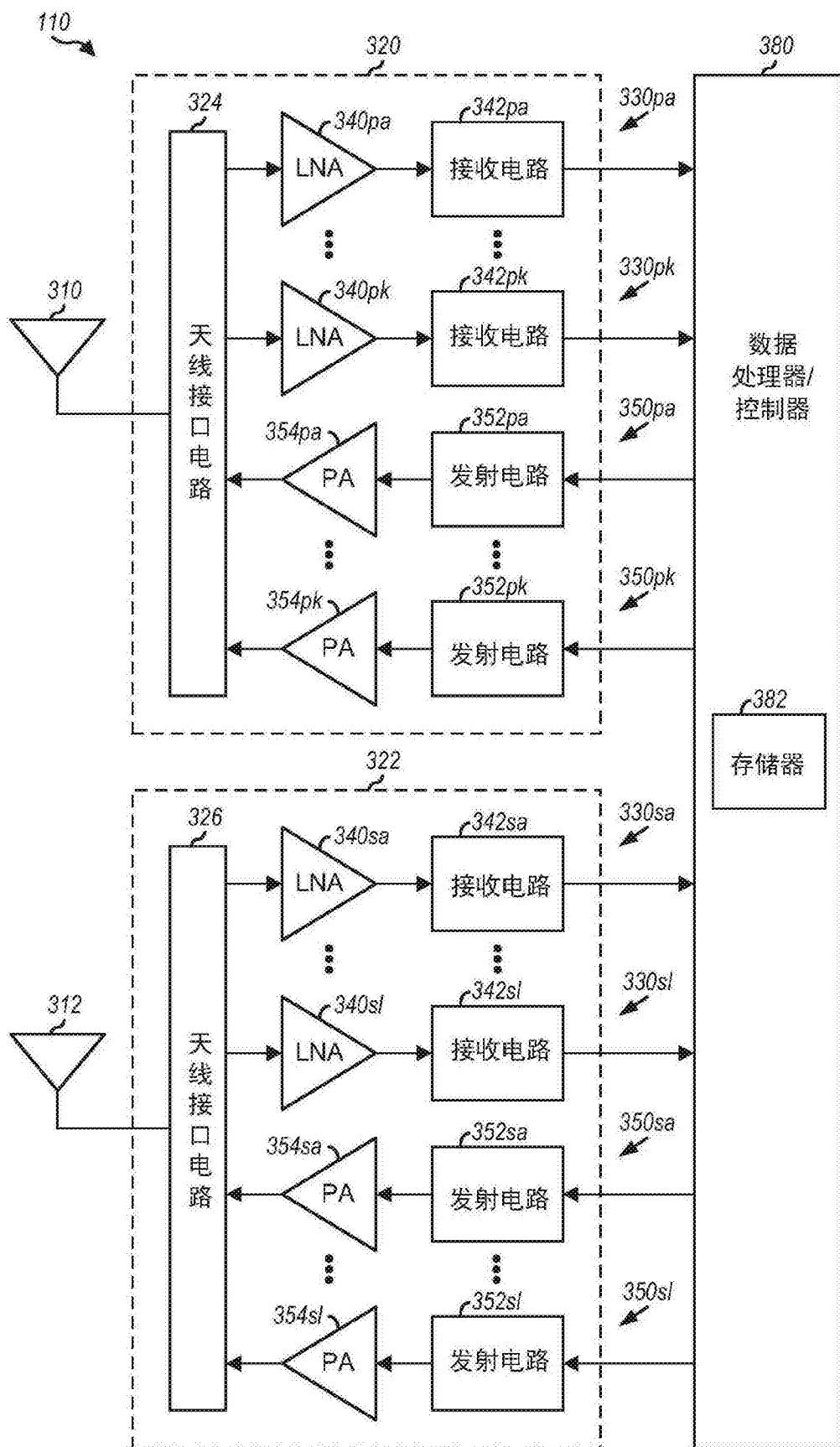


图3

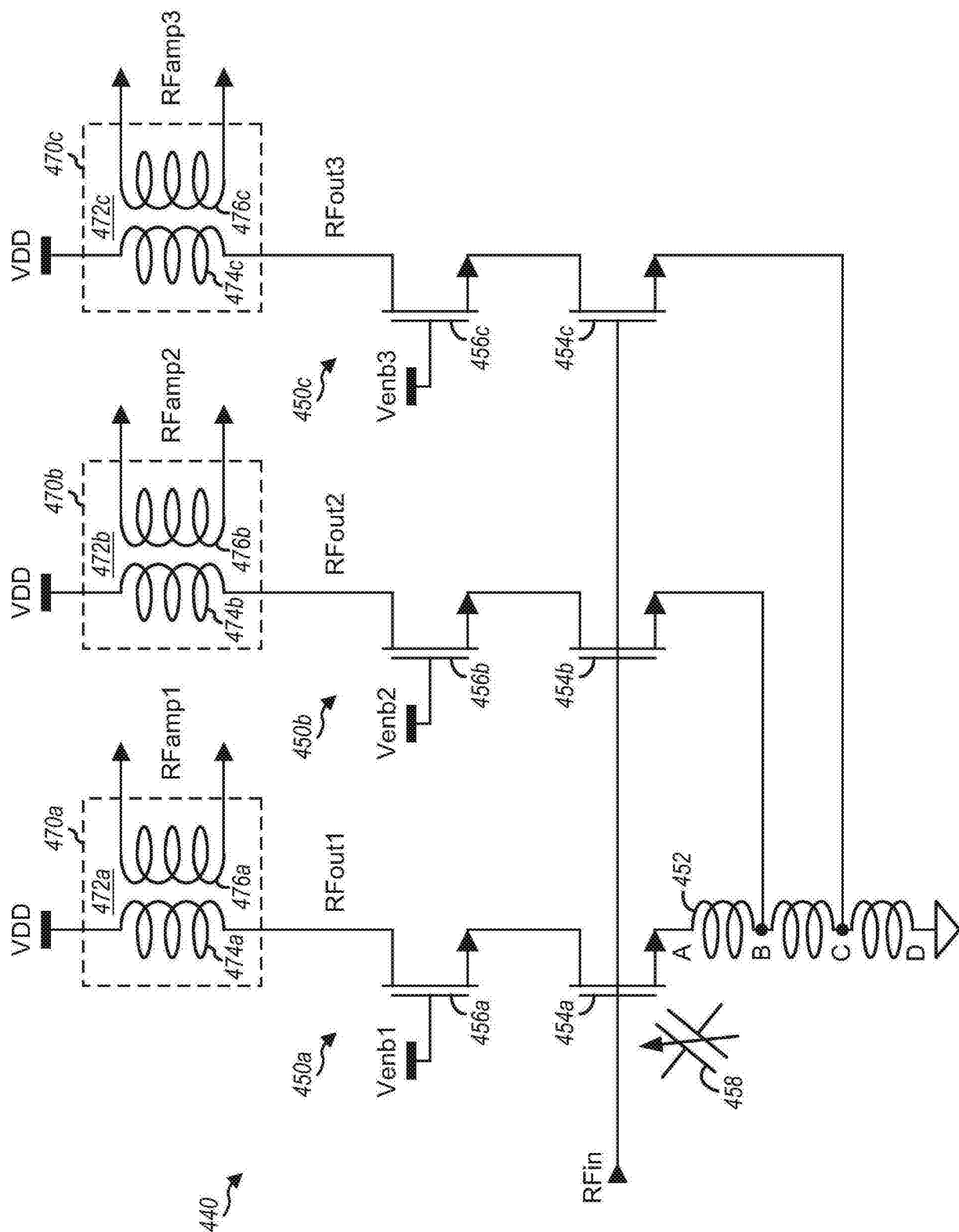


图4A

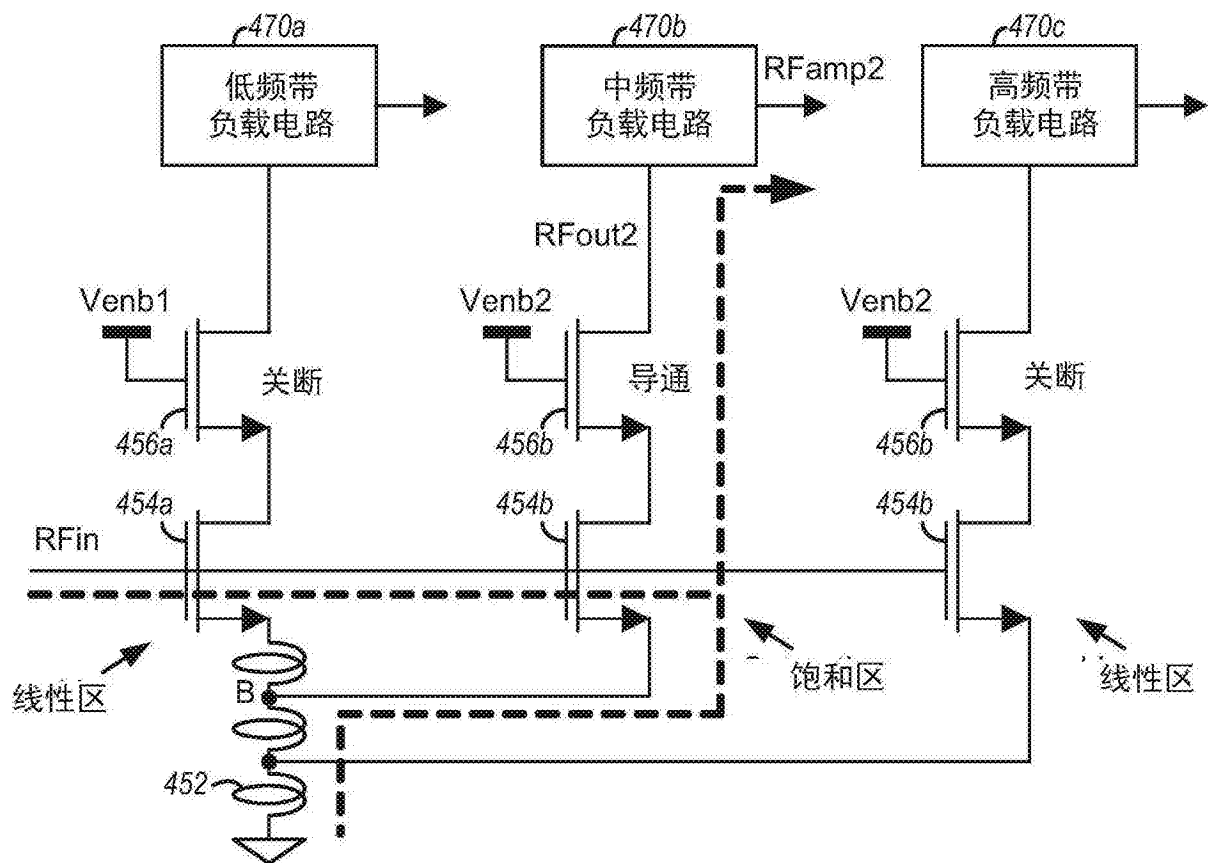


图4C

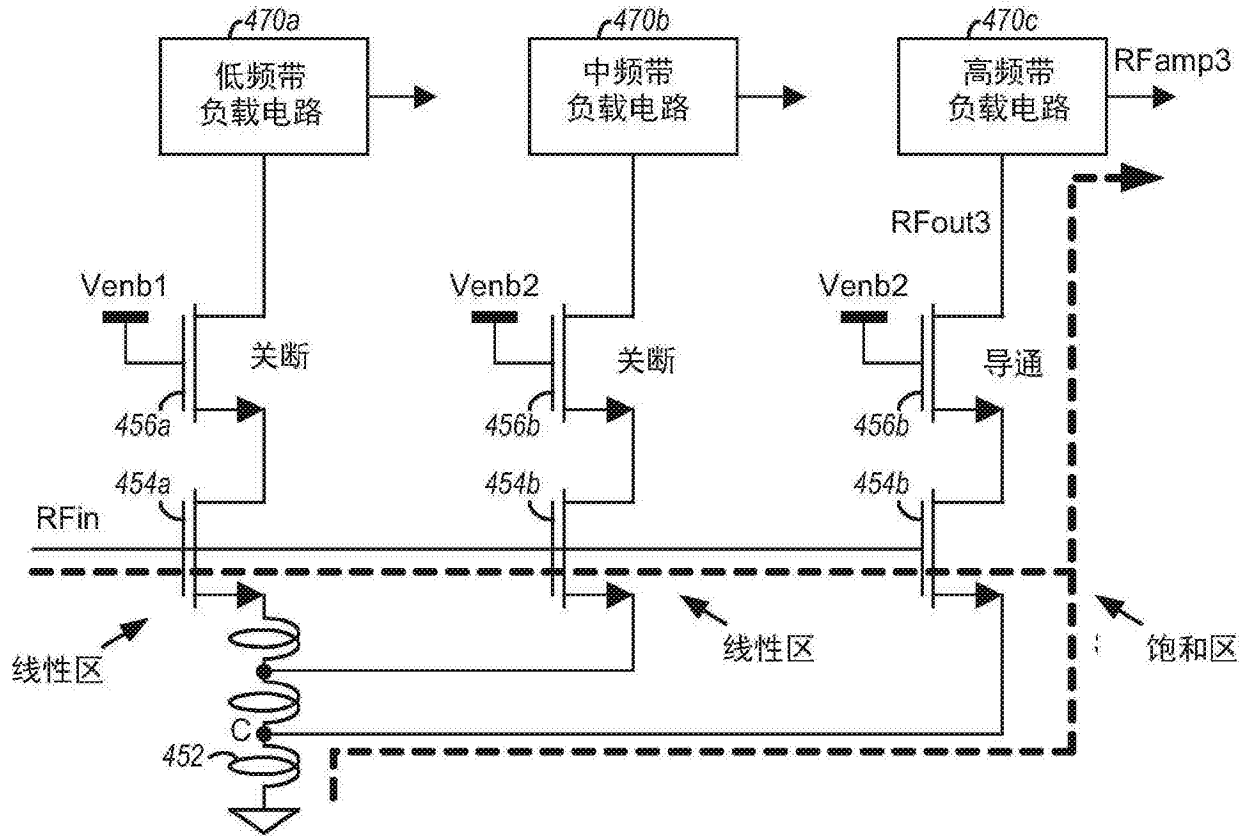


图4D

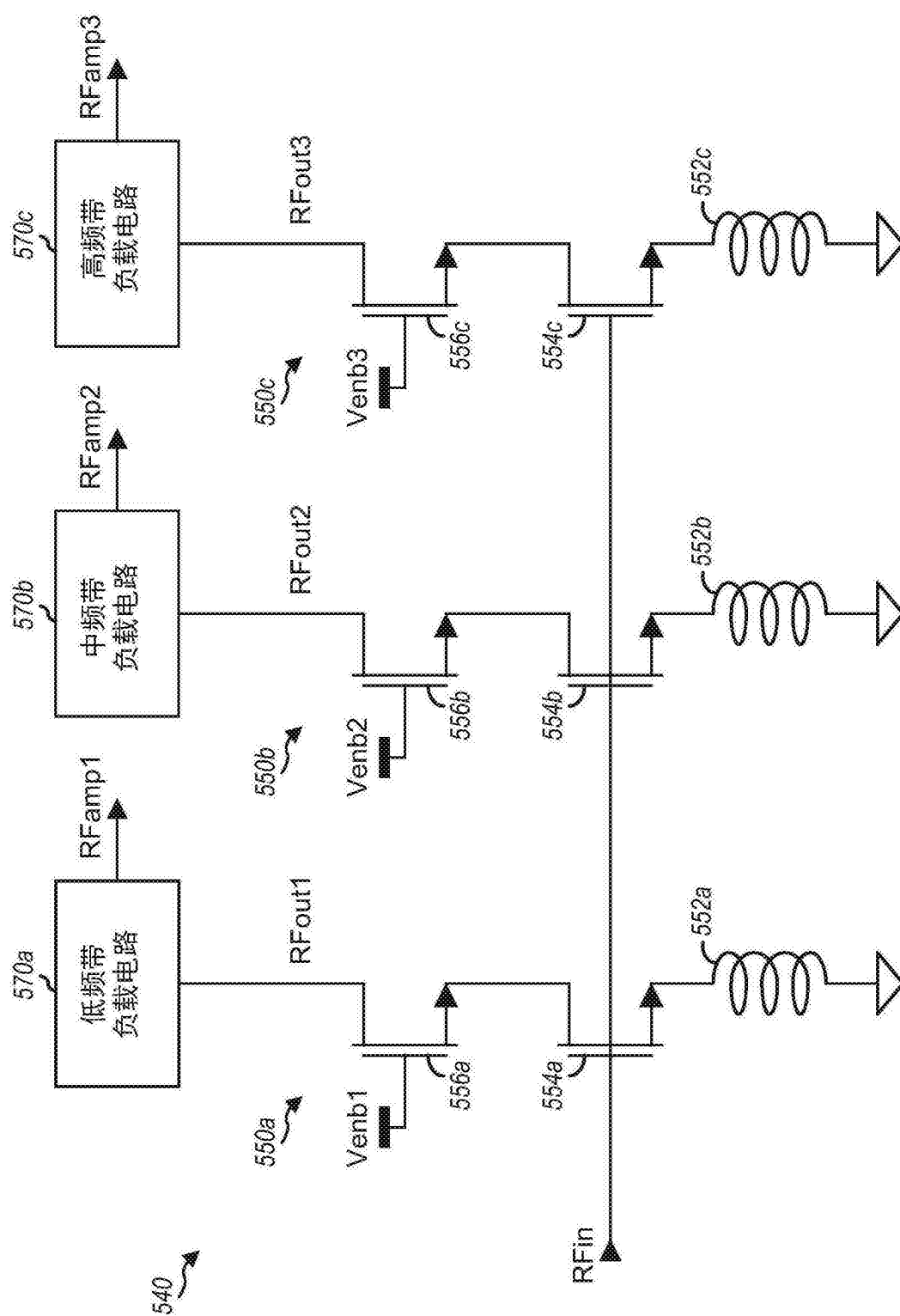


图5

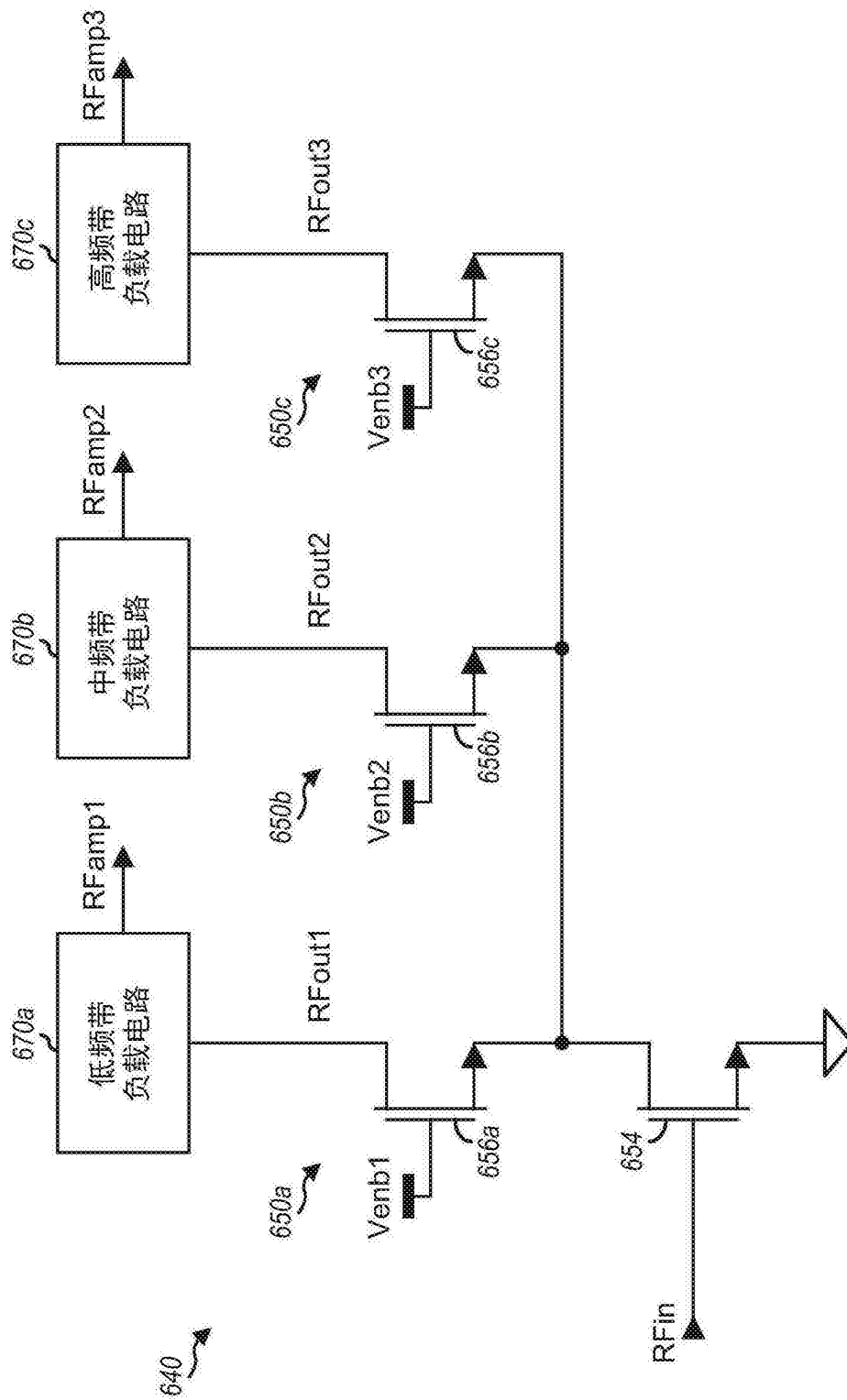


图6

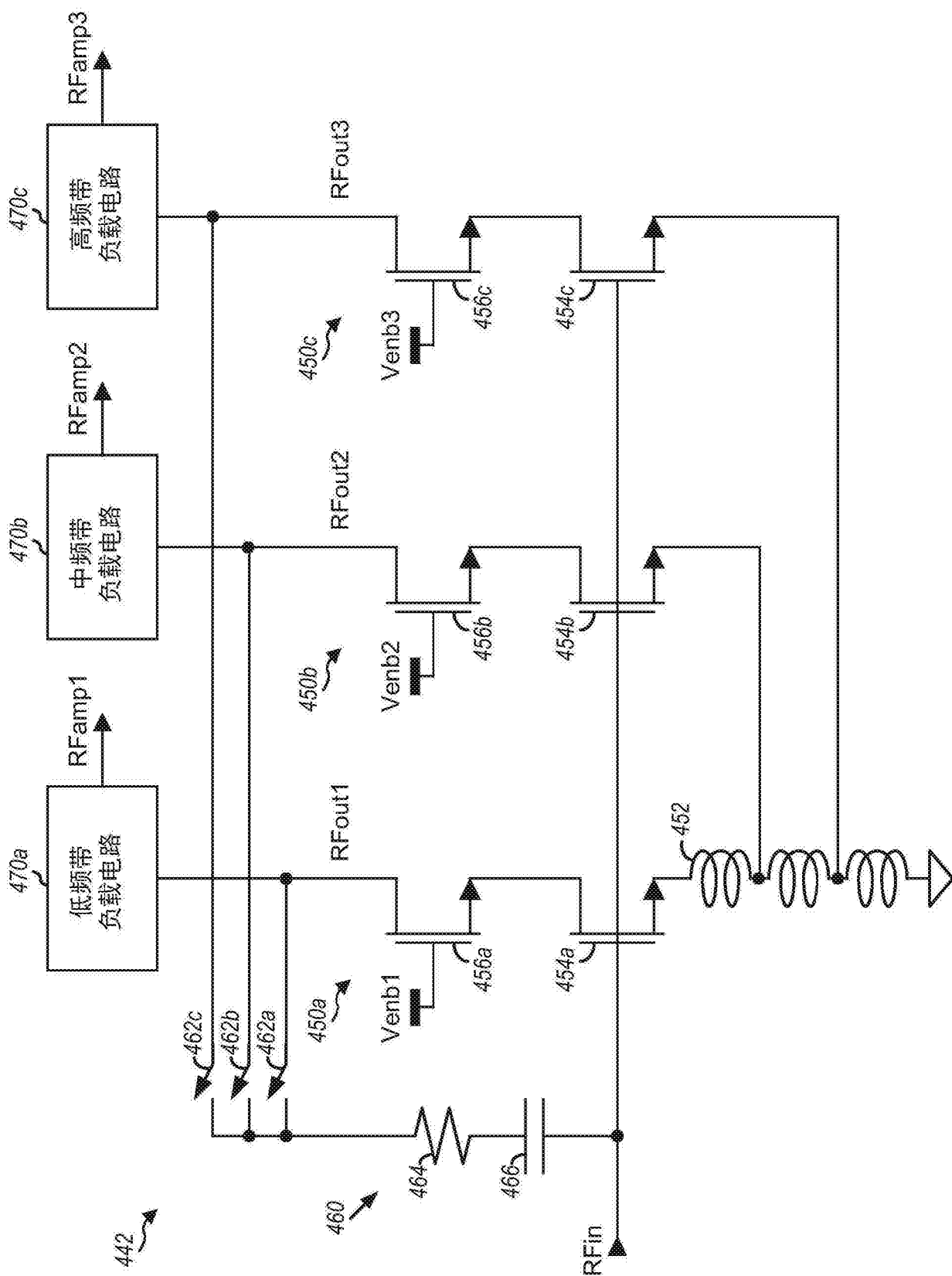


图7

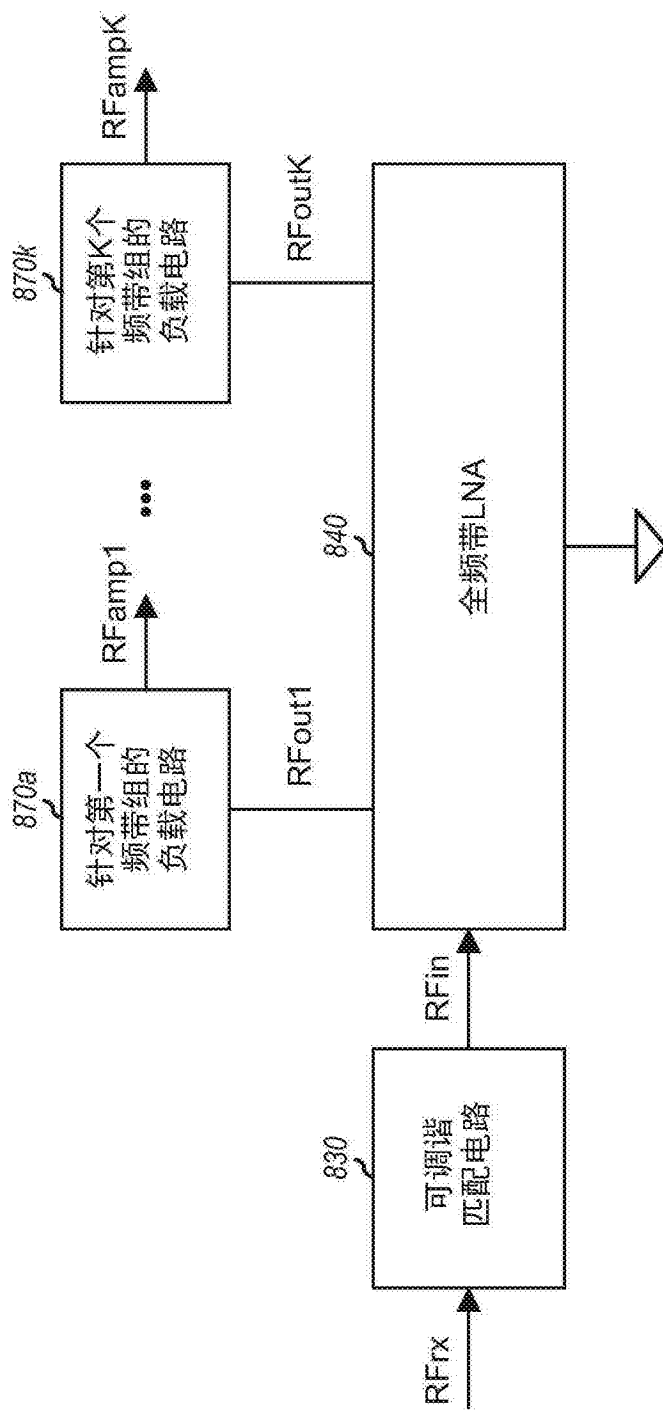


图8

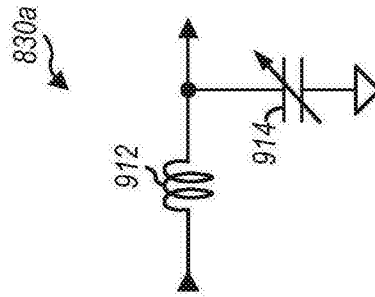


图9A

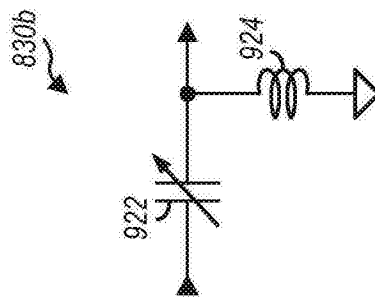


图9B

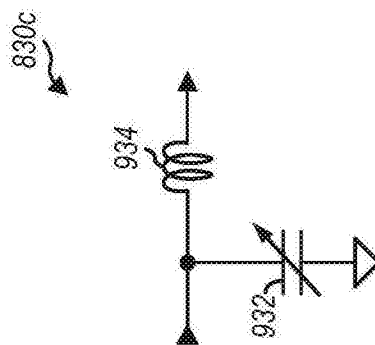


图9C

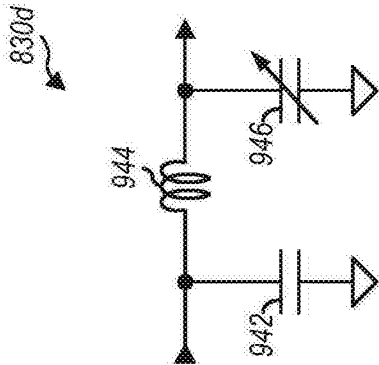


图9D

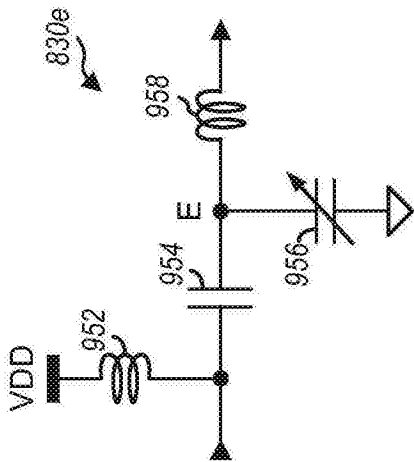


图9E

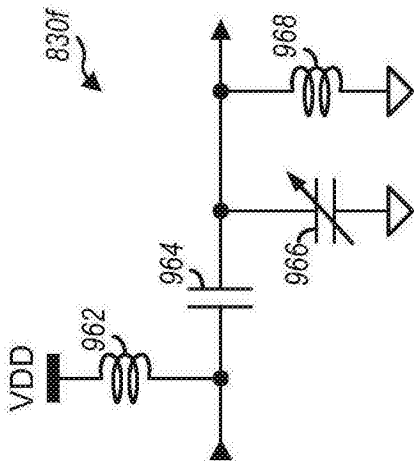


图9F

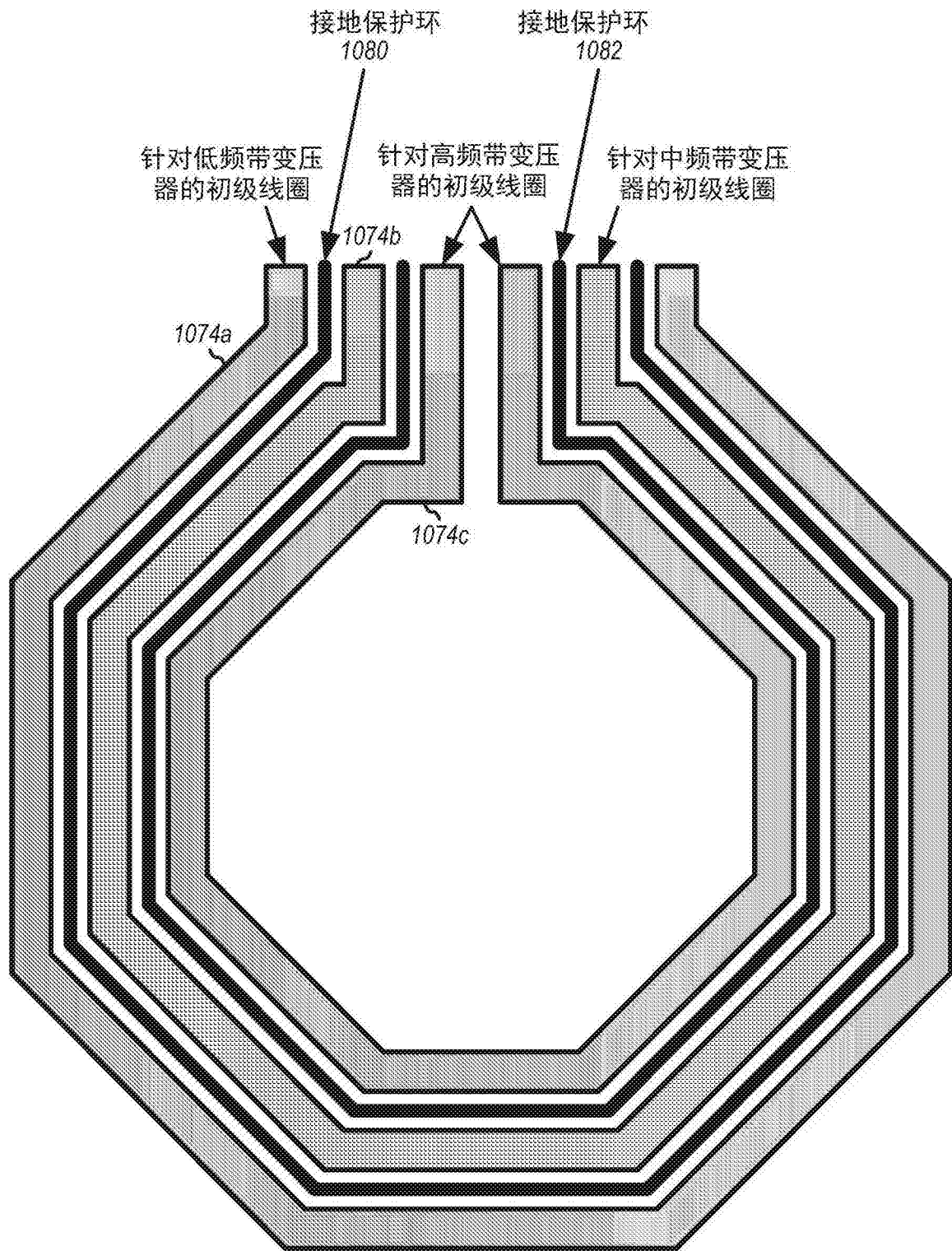


图10

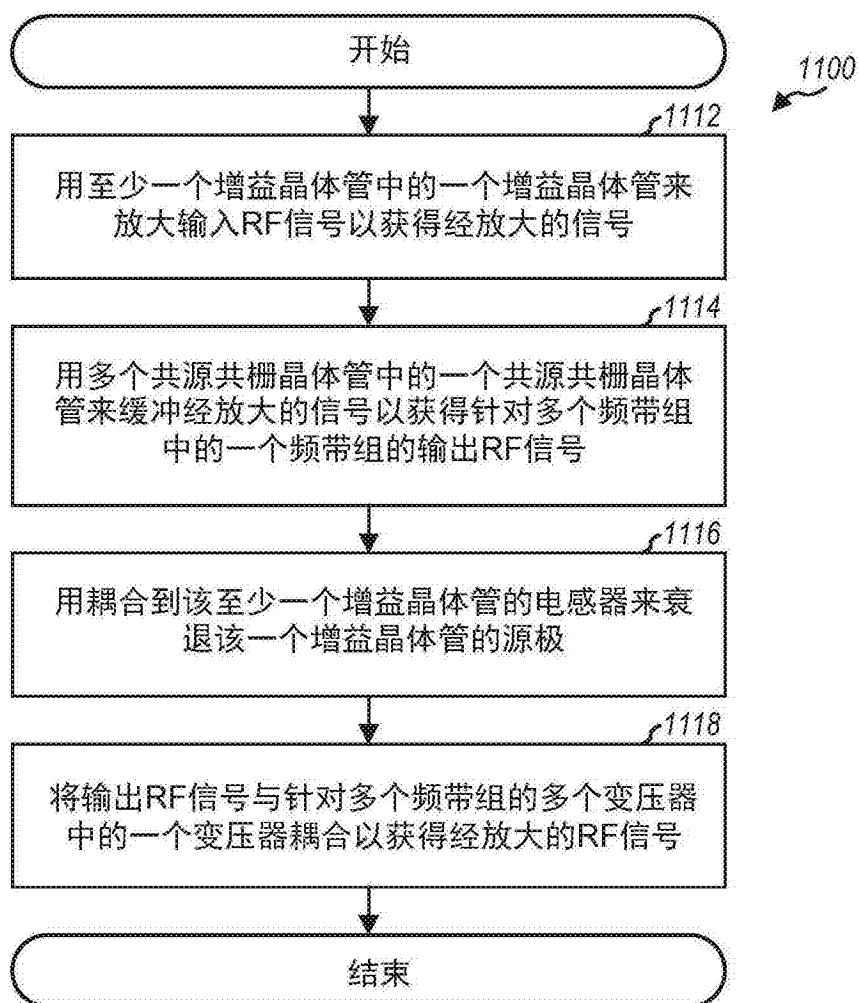


图11