(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年6 月8 日 (08.06.2006)

PCT

(10) 国際公開番号
WO 2006/059381 A1

(51) 国際特許分類:
H01L 25/00 (2006.01) *H01L 23/12* (2006.01)

(21) 国際出願番号: PCT/JP2004/017861

(22) 国際出願日: 2004 年12 月1 日 (01.12.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 乙黒 政貴 (OTOGURO, Masaki) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 三井 昌仁 (MITSUI, Masahito) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 野中 武雄 (NONAKA, Takeo) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP).

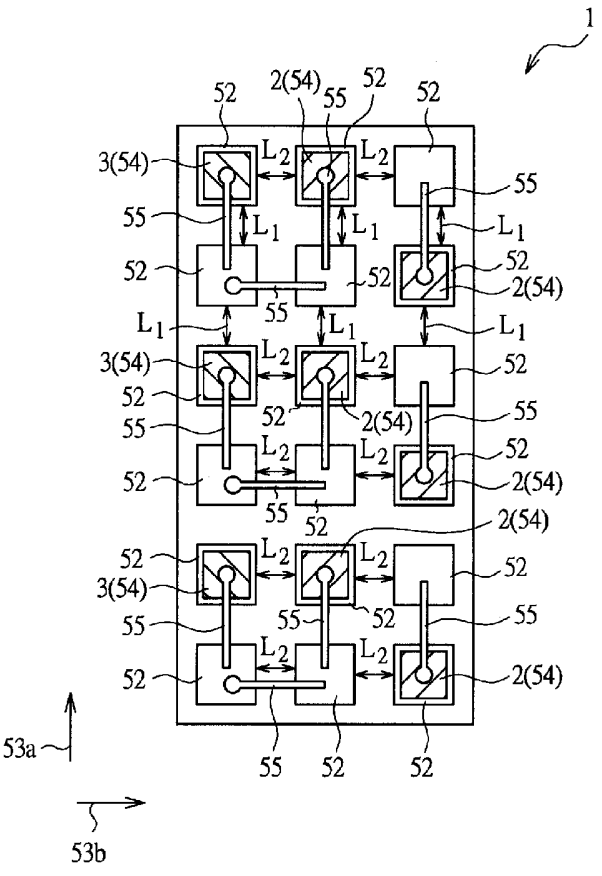
(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿８丁目１番１号アゼリアビル３階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,

/続葉有/

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) **Abstract:** A semiconductor device (1) is formed by die bonding a plurality of semiconductor chips (54) consisting of diode element chips (2) and resistor element chips (3) onto a plurality of tubs (52), electrically connecting the semiconductor chips (54) to the tubs (52) by a bonding wire (55), and then resin-sealing them. The diode element chips (2) and the resistor element chips (3) are manufactured by using a semiconductor substrate. The plurality of tubs (52) have the same shape and arranged in array, while being spaced equally, in the first direction and the second direction perpendicularly intersecting the first direction. Rear surface electrode of the semiconductor chip (54) is welded to the tub (52), and the bonding wires (55) in a plurality of directions connect the surface electrode of the semiconductor chip (54) with the tub (52) not having the chip and connecting between the tubs (52) not having the chip.

(57) 要約: 複数のタブ（５２）上にダイオード素子チップ（２）および抵抗素子チップ（３）からなる複数の半導体チップ（５４）がダイボンディングされ、半導体チップ（５４）とタブ（５２）とがボンディングワイヤ（５５）を介して電気的に接続され、それらが樹脂封止されて半導体装置（１）が形成されている。ダイオード素子チップ（２）および抵抗素子チップ（３）は半導体基板を用いて製造されている。複数のタブ（５２）は、同一形状を有し、第１の方向および第１の方向に直交する第２の方向に等間隔にアレイ状に配置されている。半導体チップ（５４）の裏面電極はタブ（５２）に溶着され、半導体チップ（５４）の表面電極とチップ非搭載のタブ（５２）との間やチップ非搭載のタブ（５２）間が複数方向のボンディングワイヤ（５５）で接続されている。

WO 2006/059381 A1

LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造技術に関し、特に、ダイオード素子チップなどを封止した半導体装置およびその製造技術に適用して有効な技術に関するものである。

背景技術

[0002] 導電体からなるタブとポスト部とが対向して配置されたリードフレームのタブ上にダイオード素子チップをダイボンディングしてから、ダイオード素子チップの電極とポスト部をワイヤボンディングで接続し、それらを樹脂封止することで、ダイオードパッケージを製造することができる。

[0003] 日本特開平8−236672号公報(特許文献1)には、リードフレームを用いて面実装パッケージ半導体電子部品を製造する技術が記載されている。

[0004] 米国特許出願公開第2003／0076666号明細書(特許文献2)および独国特許出願公開第10148042号明細書(特許文献3)には、チップアイランド上に半導体チップを搭載し、半導体チップの電極とコンタクトアイランドをワイヤボンディングする技術が記載されている。

特許文献1:特開平8−236672号公報

特許文献2:米国特許出願公開第2003／0076666号明細書

特許文献3:独国特許出願公開第10148042号明細書

発明の開示

発明が解決しようとする課題

[0005] 導電体からなる複数のタブと複数のポスト部とが対向して配置されたリードフレームを用い、複数のタブ上にダイオード素子チップのような複数の半導体チップをダイボンディングし、各半導体チップの電極とポスト部をワイヤボンディングで接続し、半導体チップを複数含むように封止樹脂を形成することで、複数の半導体チップが同じパッケージ内に封止された、いわゆるアレイ型の半導体パッケージを製造することがで

きる。しかしながら、タブ上に半導体チップを搭載し、ポスト上にボンディングワイヤのセカンドボンディングを行う単純な構成の半導体パッケージを製造するのは容易であるが、複雑な回路構成の半導体パッケージを製造することは容易ではない。

[0006] また、日本特開平8−236672号公報の技術では、半導体チップを搭載するタブとワイヤボンディングするポスト部はリードフレームを切断することで決定してしまう。そのため、実装基板の回路構成を確認してからリードフレームを切断し、半導体チップを搭載するタブとワイヤボンディングするポスト部を形成した後に、ダイボンディング工程に移るため、半導体装置の製造(TAT)が遅くなる。また、半導体パッケージの所望の回路ごとに、使用するリードフレームを変更することは、製造コストの増大を招いてしまう。

[0007] また、米国特許出願公開第2003／0076666号明細書および独国特許出願公開第10148042号明細書の技術では、チップアイランドやコンタクトアイランドが一部相互に連結された構成となっており、製造する半導体装置毎にリードフレームの設計が必要となる。このため、リードフレームに汎用性がなく、半導体パッケージの所望の回路ごとに、使用するリードフレームの設計を変更することになるので、製造コストの増大を招いてしまう。

[0008] また、ダイオード素子チップと抵抗素子など異種の素子を組み合わせてパッケージ化する場合、ダイオード素子と抵抗素子の構造の違いなどにより、製造工程が複雑化し、製造コストが増大する可能性がある。

[0009] 本発明の目的は、複雑な回路構成を有する半導体装置を容易に製造できる技術を提供することにある。

[0010] また、本発明の他の目的は、所望の回路構成を有する半導体装置を容易に製造できる技術を提供することにある。

[0011] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0012] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0013] 本発明は、半導体基板を用いて製造され、その表面に形成された第1表面電極とその裏面に形成された第1裏面電極とを有するダイオード素子チップと、半導体基板を用いて製造され、その表面に形成された第2表面電極とその裏面に形成された第2裏面電極とを有する抵抗素子チップとを、同じパッケージ内に樹脂封止したものである。

[0014] また、本発明は、同一形状を有し、第1の方向および前記第1の方向に交差する第2の方向に等間隔で配置されている複数の導体部と、前記複数の導体部上に搭載された複数の半導体チップと、前記半導体チップの表面電極と前記導体部との間または前記導体部間を電気的に接続する複数のボンディングワイヤと、それらを封止する封止樹脂とを有するものである。

[0015] また、本発明は、複数の導体部を有する基板の前記複数の導体部上に複数の半導体チップを搭載する工程と、前記各半導体チップの表面電極と前記半導体チップを搭載していない前記導体部との間、または前記導体部間をボンディングワイヤを介して電気的に接続する工程と、前記複数の導体部、前記複数の半導体チップおよび前記ボンディングワイヤを封止樹脂で封止する工程と、その後、前記封止樹脂を切断する工程とを有し、所望の回路に応じて、前記封止樹脂の切断位置を変更するものである。

[0016] また、本発明は、複数の導体部を有する基板またはフレームの前記複数の導体部上に複数の半導体チップを搭載する工程と、所望の回路に応じて、前記各半導体チップの表面電極と前記半導体チップを搭載していない前記導体部との間、または前記導体部間をボンディングワイヤを介して電気的に接続する工程と、前記複数の導体部、前記複数の半導体チップおよび前記ボンディングワイヤを封止樹脂で封止する工程とを有するものである。

[0017] また、本発明は、複数の導体部を有する基板またはフレームの前記複数の導体部上に複数の半導体チップを搭載する工程と、前記各半導体チップの表面電極と前記半導体チップを搭載していない前記導体部との間、または前記導体部間をボンディングワイヤを介して電気的に接続する工程と、前記複数の導体部、前記複数の半導体チップおよび前記ボンディングワイヤを封止樹脂で封止する工程とを有し、前記基

板またはフレームでは、前記複数の導体部は同一形状を有し、第1の方向および前記第1の方向に交差する第2の方向に等間隔で配置されているものである。

発明の効果

[0018] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0019] 複雑な回路構成を有する半導体装置(半導体パッケージ)を容易に製造できる。また、所望の回路構成を有する半導体装置(半導体パッケージ)を容易に製造できる。

図面の簡単な説明

[0020] [図1]アンテナスイッチモジュール回路を示す回路図である。

[図2]ダイオード素子チップの製造工程中の要部断面図である。

[図3]図2に続くダイオード素子チップの製造工程中の要部断面図である。

[図4]図3に続くダイオード素子チップの製造工程中の要部断面図である。

[図5]図4に続くダイオード素子チップの製造工程中の要部断面図である。

[図6]抵抗素子チップの製造工程中の要部断面図である。

[図7]図6に続く抵抗素子チップの製造工程中の要部断面図である。

[図8]図7に続く抵抗素子チップの製造工程中の要部断面図である。

[図9]図8に続く抵抗素子チップの製造工程中の要部断面図である。

[図10]図9に続く抵抗素子チップの製造工程中の要部断面図である。

[図11]図10に続く抵抗素子チップの製造工程中の要部断面図である。

[図12]本発明の一実施の形態の半導体装置の製造工程中の要部断面図である。

[図13]図12に続く半導体装置の製造工程中の要部断面図である。

[図14]図13に続く半導体装置の製造工程中の要部断面図である。

[図15]図14に続く半導体装置の製造工程中の要部断面図である。

[図16]図15に続く半導体装置の製造工程中の要部断面図である。

[図17]図16に続く半導体装置の製造工程中の要部断面図である。

[図18]本発明の一実施の形態の半導体装置の製造工程中の要部平面図である。

[図19]図18に続く半導体装置の製造工程中の要部平面図である。

[図20]図19に続く半導体装置の製造工程中の要部平面図である。

[図21]図20に続く半導体装置の製造工程中の要部平面図である。

[図22]図21に続く半導体装置の製造工程中の要部平面図である。

[図23]図22に続く半導体装置の製造工程中の要部平面図である。

[図24]図23に続く半導体装置の製造工程中の要部平面図である。

[図25]図24の平面透視図である。

[図26]図25に続く半導体装置の製造工程中の要部平面図である。

[図27]本発明の一実施の形態の半導体装置の上面図である。

[図28]図27の半導体装置の下面図である。

[図29]図27の半導体装置の側面図である。

[図30]図27の半導体装置の断面図である。

[図31]図27の半導体装置の断面図である。

[図32]図27の半導体装置の断面図である。

[図33]図27の半導体装置の上面透視図である。

[図34]図27の半導体装置を用いたアンテナスイッチモジュール回路の要部回路図である。

[図35]封止体のダイシングラインを示す要部平面図である。

[図36]ダイシングラインを変更した場合の半導体装置の上面透視図である。

[図37]図36の半導体装置の断面図である。

[図38]本発明の他の実施の形態の半導体装置の製造工程中の要部平面図である。

[図39]図38に続く半導体装置の製造工程中の要部平面図である。

[図40]図39に続く半導体装置の製造工程中の要部平面図である。

[図41]図40に続く半導体装置の製造工程中の要部平面図である。

[図42]本発明の他の実施の形態の半導体装置の製造工程中の要部断面図である。

[図43]図42に続く半導体装置の製造工程中の要部断面図である。

[図44]図43に続く半導体装置の製造工程中の要部断面図である。

[図45]図44に続く半導体装置の製造工程中の要部断面図である。

[図46]本発明の他の実施の形態の半導体装置の上面図である。

[図47]図46の半導体装置の下面図である。

[図48]図46の半導体装置の上面透視図である。

[図49]図46の半導体装置の断面図である。

[図50]本発明の他の実施の形態の半導体装置の上面透視図である。

[図51]図50の半導体装置の断面図である。

[図52]本発明の他の実施の形態の半導体装置の要部断面図である。

発明を実施するための最良の形態

[0021] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションに分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0022] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0023] また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

[0024] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。

[0025] (実施の形態1)

本実施の形態は、例えばGSM方式などのネットワークを利用して情報を伝送するデジタル携帯電話(移動体通信装置)に使用されるアンテナスイッチモジュールに搭載される半導体装置である。すなわち、本実施の形態は、携帯電話(移動体通信装置)などの送受信切換(切替)用のアンテナスイッチ回路(アンテナスイッチモジュール回路)に用いられる半導体装置(半導体パッケージ)である。

[0026] ここで、GSM(Global System for Mobile Communication)は、デジタル携帯電話に使用されている無線通信方式の1つまたは規格をいう。GSMには、使用する電波の周波数帯が3つあり、900MHz帯をGSM900または単にGSM、1800MHz帯をGSM1800またはDCS(Digital Cellular System)1800若しくはPCN、1900MHz帯をGSM1900またはDCS1900若しくはPCS(Personal Communication Services)という。なお、GSM1900は主に北米で使用されている。北米ではその他に850MHz帯のGSM850を使用する場合もある。本実施の形態の半導体装置(半導体パッケージ)1は、例えば、デジタル携帯電話(移動体通信装置)において、これらの周波数帯(高周波帯)の送受信を切換えるためのアンテナスイッチモジュール(アンテナスイッチモジュール回路)で使用される半導体装置である。

[0027] 図1は、本発明の一実施の形態である半導体装置1が用いられるアンテナスイッチモジュール回路を示す回路図(説明図)である。

[0028] 図1に示されるアンテナスイッチモジュール回路は、3つのアンテナスイッチ回路(スイッチ回路)21a, 21b, 21cとデュプレクサ(duplexer、分波器、周波数分配器)22とアンテナ23とを有している。デュプレクサ22は、GSM900帯の信号と、DCS1800帯の信号とを分波する回路である。スイッチ回路21a, 21b, 21cは、送受信切換え用のスイッチ回路であり、それぞれ、2つのダイオード素子11(11a, 11b)、抵抗素子12、マイクロストリップライン13およびスイッチ素子14などから構成されている。スイッチ回路21aは、GSM900帯の送信と受信とを切換えるスイッチ回路であり、スイッチ回路21bは、DCS1800帯の送信と受信とを切換えるスイッチ回路であり、スイッチ回路21cは、DCS1800帯の受信とDCS1900帯の受信とを切換えるスイッチ回路である。

[0029] アンテナスイッチ回路21aの切換えについて説明すると、GSM900用の送信信号

の送信時には、スイッチ素子14がオン状態になることで、ダイオード素子11aのアノード側に電源15から固定電位（バイアス電圧）が抵抗12を介して印加されてダイオード素子11aがオン状態になり、入力端子（GSM900用の送信信号の入力端子）16aから入力されたGSM900用の送信信号が、ダイオード素子11aを介してデュプレクサ22に入力され、アンテナ23から電波として送信される。ダイオード素子11bは、何らかの影響で誤ってマイクロストリップライン13に入力された信号を基準電位に落とすことで、送信電力を受信側に流れてしまうのを抑制または防止するように機能することができる。GSM900用の受信信号の受信時には、アンテナ23から受信したGSM900用の受信信号は、スイッチ素子14がオフ状態になることで、デュプレクサ22およびマイクロストリップライン13を介して出力端子（GSM900用の受信信号の出力端子）16bから出力される。

[0030] アンテナスイッチ回路21bの切換えも、アンテナスイッチ回路21aとほぼ同様であり、入力端子（DCS1800用の送信信号の入力端子）17aから入力されたDCS1800用の送信信号が、アンテナスイッチ回路21bのダイオード素子11aを介してデュプレクサ22に入力され、アンテナ23から電波として送信され、DCS1800用の受信信号の受信時には、アンテナ23から受信したGSM900用の受信信号は、デュプレクサ22およびアンテナスイッチ回路21bのマイクロストリップライン13を介して出力端子（DCS1800用の受信信号の出力端子）17bから出力される。

[0031] また、アンテナ23から受信したDCS1800用の受信信号は、アンテナスイッチ回路21cの切換えにより、出力端子（DCS1800用の受信信号の出力端子）18aまたは出力端子（DCS1900用の受信信号の出力端子）18bから出力される。

[0032] このようなアンテナスイッチモジュール回路では、図1にも示されるように、6個のダイオード素子11と3個の抵抗素子12が使用されており、このダイオード素子11が後述するダイオード素子チップ2により構成され、抵抗素子12が後述する抵抗素子チップ3により構成され、それら6個のダイオード素子11（ダイオード素子チップ2）と3個の抵抗素子12（抵抗素子チップ3）をパッケージ化（1パッケージ化）して半導体装置1が形成される。

[0033] 次に、本実施の形態の半導体装置1の製造に用いられるダイオード素子チップ2の

製造工程および構造について説明する。

[0034] 図2ー図5は、本発明の一実施の形態で用いられるダイオード素子チップ(半導体チップ、ダイオード素子が形成された半導体チップ)2、例えばPIN(Positive Intrinsic Negative)ダイオード素子チップの製造工程中の要部断面図である。

[0035] PIN(Positive Intrinsic Negative)ダイオード素子チップであるダイオード素子チップ2は、例えば次のようにして製造される。

[0036] まず、図2に示されるように、n型の導電型を有する不純物(例えばP(リン)またはAs(ヒ素))が高濃度(例えば不純物濃度10^{19}ー$10^{20}cm^{-3}$程度)に導入(ドーピング)されたn型単結晶シリコンからなる半導体基板(半導体ウエハ)31を用意する。半導体基板31はPINダイオード素子のN層として機能する。

[0037] 次に、半導体基板31の表面上に、エピタキシャル法により、n型のシリコン単結晶膜を成長させて、I(Intrinsic)層32(エピタキシャル層、エピタキシャルシリコン層)を形成する。I層32の不純物濃度は半導体基板31の不純物濃度よりも相対的に低い(例えば不純物濃度$10^{13}cm^{-3}$程度)。I層32はPINダイオード素子のPN接合の中間に存在し、キャリアが少なく抵抗の大きい真性半導体の層である。

[0038] 次に、I層32の表面に、例えば酸化シリコン膜などからなる絶縁膜33を形成する。絶縁膜33は、例えば熱酸化処理などにより形成することができる。

[0039] 次に、図3に示されるように、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜(図示省略)をエッチングマスクとして絶縁膜33をエッチングし、I層32に達する開口部33aを絶縁膜33に形成する。

[0040] 次に、上記フォトレジスト膜を除去した後、開口部33aから露出したI層32に、p型の導電型を有する不純物(例えばB(ボロン))をイオン注入し、必要に応じて熱処理を行うことで、相対的に高い不純物濃度(例えば不純物濃度10^{19}ー$10^{20}cm^{-3}$程度)を有するp型半導体領域(p型不純物拡散領域)34をI層32の表面側に形成する。p型半導体領域34はPINダイオードのP層として機能する。

[0041] 次に、図4に示されるように、開口部33a内を含む絶縁膜33上に、例えばAl(アルミニウム)またはAl合金などからなる金属膜を、例えばスパッタリング法などによって形成し、この金属膜をフォトリソグラフィ技術およびエッチング技術を用いてパターン化

して、p型半導体領域34に接続する第1電極(表面電極、アノード電極、パッド電極、ボンディングパッド)35を形成する。その後、必要に応じて半導体基板31の裏面を研削するなどして薄くした後、半導体基板31の裏面の全面に例えば金などからなる金属膜を例えばスパッタリング法などにより堆積して、N層としての半導体基板31(の裏面)に接続する第2電極(裏面電極、カソード電極)36を形成する。その後、ダイシングにより半導体基板31を単位PINダイオード素子毎に切断、分離して、図5に示されるように、個片化(チップ化)されたダイオード素子チップ2が得られる(製造される)。ダイオード素子チップ2の第1電極35と第2電極36との間には、半導体基板31(N層)、I層32およびp型半導体領域34(P層)によってPINダイオードが形成され、第1電極35と第2電極36との間に所定の電圧を印加することで、PINダイオードを作動させることができる。

[0042] なお、本実施の形態では、ダイオード素子チップ2として、PINダイオード素子チップ(PINダイオードが形成された半導体チップ)を用いる場合について説明したが、これに限定されるものではなく、ダイオード素子チップ2として、ショットキダイオード素子チップ(ショットキダイオード素子が形成された半導体チップ)や、ツェナーダイオード素子チップ(ツェナーダイオード素子が形成された半導体チップ)など、種々のダイオード素子チップを用いることができる。

[0043] 次に、本実施の形態の半導体装置1の製造に用いられる抵抗素子チップ3の製造工程および構造について説明する。

[0044] 図6ー図11は、本発明の一実施の形態で用いられる抵抗素子チップ(半導体チップ、抵抗素子が形成された半導体チップ)3の製造工程中の要部断面図である。

[0045] 抵抗素子チップ3は、例えば次のようにして製造される。

[0046] まず、図6に示されるように、n型の導電型を有する不純物(例えばP(リン)またはAs(ヒ素))が高濃度に導入(ドーピング)されたn型単結晶シリコンからなる半導体基板(半導体ウエハ)41を用意する。

[0047] 次に、半導体基板41の表面上に、エピタキシャル法により、n型のシリコン単結晶膜を成長させて、エピタキシャル層(エピタキシャルシリコン層)42を形成する。エピタキシャル層42の不純物濃度は半導体基板41の不純物濃度よりも相対的に低い。

[0048] 次に、エピタキシャル層42の表面に、例えば酸化シリコン膜などからなる絶縁膜43を形成する。絶縁膜43は、例えば熱酸化処理などにより形成することができる。

[0049] 次に、図7に示されるように、フォトリソグラフィ技術およびエッチング技術を用いて絶縁膜43をパターニングする。それから、パターニングされた絶縁膜43をマスクとして、エピタキシャル層42にp型の導電型を有する不純物(例えばB(ボロン))をイオン注入し、必要に応じて熱処理を行うことで、相対的に高い不純物濃度を有するp型半導体領域(p型不純物拡散領域)44を形成する。パターニングされた絶縁膜43の下方にはp型不純物が導入されないので、p型半導体領域44は、パターニングされた絶縁膜43にほぼ相当する平面形状の開口部44aを、パターニングされた絶縁膜43の下方に有している。すなわち、各チップ領域(チップ領域は、そこから1つの抵抗素子チップ3が製造される領域に対応する)において、エピタキシャル層42の表面側における中心付近には、p型不純物が導入されていない。

[0050] 次に、残存する絶縁膜43(上記パターニングされた絶縁膜43)を除去した後、図8に示されるように、p型半導体領域44を含むエピタキシャル層42上の表面側に絶縁膜45を形成する。絶縁膜45は、例えば、酸化シリコン膜、窒化シリコン膜、あるいはそれらの積層膜などからなる。

[0051] 次に、図9に示されるように、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜(図示省略)をエッチングマスクとして絶縁膜45をエッチングし、絶縁膜45に開口部45aを形成する。開口部45aの形成領域は、開口部44aの形成領域を平面的に含み、開口部44aの形成領域より大きいものである。ここで、開口部44aは、その平面形状が四角形でも円形でもよい。但し、開口部44aの平面形状が四角形の場合、円形に比べ設計が容易であるため、製造コストが低減できる。また、開口部44aの平面形状が円形の場合、開口部44aに角部が生じないため、四角形に比べ抵抗値のばらつきを低減できる。

[0052] 次に、上記フォトレジスト膜を除去した後、絶縁膜45の開口部45aから露出したp型半導体領域44を含むエピタキシャル層42に、n型の導電型を有する不純物(例えばP(リン)またはAs(ヒ素))をイオン注入し、必要に応じて熱処理を行うことで、相対的にエピタキシャル層42よりも高い不純物濃度を有するn型半導体領域(n型不純物拡

散領域）46を形成する。このイオン注入工程では、絶縁膜45の下方にはn型不純物が導入されず、開口部45aの下方にn型不純物が導入される。上記のように、開口部45aの形成領域は、開口部44aの形成領域を平面的に含んでいるので、n型半導体領域46は、開口部44aの上部のエピタキシャル層42と、その周囲のp型半導体領域44に（オーバーラップするように）形成される。

[0053] 次に、図10に示されるように、開口部45a内を含む絶縁膜45上に、例えばAl（アルミニウム）またはAl合金などからなる金属膜を、例えばスパッタリング法などによって形成し、この金属膜をフォトリソグラフィ法およびエッチング法を用いてパターン化して、n型半導体領域46に接続する第1電極（表面電極、パッド電極、ボンディングパッド）47を形成する。n型不純物が低いエピタキシャル層42に第1電極を接続すると、接触抵抗が高くなるため、相対的にエピタキシャル層42よりも高い不純物濃度を有するn型半導体領域46を形成した後、前記n型半導体領域46に第1電極を接続する。その後、必要に応じて半導体基板41の裏面を研削するなどして薄くした後、半導体基板41の裏面の全面に例えば金などからなる金属膜を例えばスパッタリング法などにより堆積して、半導体基板41（の裏面）に接続する第2電極（裏面電極）48を形成する。その後、ダイシングにより半導体基板41を単位抵抗素子毎に切断、分離して、図11に示されるように、個片化（チップ化）された抵抗素子チップ3が得られる（製造される）。

[0054] 抵抗素子チップ3の第1電極47と第2電極48との間には、半導体基板41、エピタキシャル層42およびn型半導体領域46により抵抗素子（バルク抵抗、不純物拡散抵抗）が形成される。本実施の形態では、例えば100ー1000Ωの抵抗値が得られる。抵抗素子チップ3においては、第1電極（表面電極、パッド電極、ボンディングパッド）47と第2電極（裏面電極）48との間に所定の電圧が印加されると（例えば第1電極47に正電位が供給され第2電極48に負電位が供給されると）、第1電極47から、n型半導体領域46、エピタキシャル層42および半導体基板41を経て第2電極48に電流が流れる。

[0055] 抵抗素子チップ3においては、p型半導体領域44は、エピタキシャル層42の表面側に形成され、かつエピタキシャル層42の表面側における中心付近以外に形成され

ており、n型半導体領域46は、エピタキシャル層42の表面側に形成され、かつエピタキシャル層42の表面側における中心付近に形成されている。すなわち、p型半導体領域44は、n型半導体領域46を平面的に囲むように形成されており、その拡散厚さ(深さ)は例えば5ー6μmである。このp型半導体領域44が形成されていないと、エピタキシャル層42において抵抗成分が低い表面から側面へと電流が流れてしまう。すなわち、電流経路が多数生じることから抵抗成分は分散され、期待の抵抗値に至らない。また、p型半導体領域44の拡散厚さ(深さ)が薄すぎても、p型半導体領域44とエピタキシャル層42の間を電流が流れ、やはり抵抗素子チップ3の側面に向って電流が流れてしまう。そのため、表面リーク電流を防止するガードリング(ガードリング層)としてp型半導体領域44を形成することで、第1電極47から第2電極48に向ってほぼ垂直方向に電流を流すことができる。ここで、p型半導体領域44が半導体基板41まで厚く形成されると、p型半導体領域44の水平方向へのオーバーハングが促進され、開口部44aが狭くなってしまい、電流経路が遮断される可能性がある。更には、p型半導体領域44が抵抗素子チップ3の側面まで形成されていないと、第1電極47から入力される電流がp型半導体領域44を乗り越えて、抵抗素子チップ3の側面まで到達する可能性がある。このため、電流経路のばらつきを完全に防止するために、本実施の形態のようにp型半導体領域44は抵抗素子チップ3の側面まで形成することが好ましい。

[0056] 抵抗素子チップ3の抵抗値は、主として、エピタキシャル層42の不純物濃度と、p型半導体領域44の開口部44aの面積と、半導体基板41(の上面)からn型半導体領域46(の下面)までの距離L_0とを調節することによって、所望の値に制御することができる。例えば、エピタキシャル層42の不純物濃度を高くすることで抵抗値(抵抗素子チップ3の抵抗値、以下同様)を低くし、エピタキシャル層42の不純物濃度を低くすることで抵抗値を高くし、p型半導体領域44の開口部44aの面積を大きくすることで抵抗値を低くし、p型半導体領域44の開口部44aの面積を小さくすることで抵抗値を高くし、半導体基板41からn型半導体領域46までの距離L_0を短くすることで抵抗値を低くし、半導体基板41からn型半導体領域46までの距離L_0を長くすることで抵抗値を高くすることができる。

[0057] 次に、上記のようなダイオード素子チップ2や抵抗素子チップ3を用いて本実施の形態の半導体装置1を製造する工程について説明する。

[0058] 図12ー図17は、本発明の一実施の形態の半導体装置1の製造工程中の要部断面図である。図18ー図26は、本発明の一実施の形態の半導体装置1の製造工程中の要部平面図である。なお、図12と図18とが同じ工程段階に対応し、図13と図20(図19および図20)とが同じ工程段階に対応し、図14と図23(図21ー図23)とが同じ工程段階に対応し、図15と図24とが同じ工程段階に対応し、図17と図26とが同じ工程段階に対応する。また、図25は、図24において封止樹脂59を透視したときの要部平面図(平面透視図)に対応する。また、図26においても、封止樹脂59(封止樹脂63)を透視した要部平面図(平面透視図)が示されている。また、図12は図18のA—A線の断面図にほぼ対応し、図13ー図17も、図12と同じ領域の断面図が示されている。また、図19ー図23、図25および図26は、平面図であるが、図面を見易くするために半導体チップ54(ダイオード素子チップ2または抵抗素子チップ3)にハッチングを付してある。

[0059] 本実施の形態の半導体装置1は、例えば次のようにして製造される。

[0060] まず、図12および図18に示されるように、半導体装置1製造用の基板50を準備する。例えば、金属板などからなる板状部材(保持部材)51の主面(上面)51a上に、複数のタブ(チップ搭載部、アイランド部、導電体部材、導体部)52を接着材(図示せず)などを介して接合(接着、接続、搭載、配置、保持)することにより、主面51a上に複数のタブ(導体部)52がアレイ状に配置された板状部材51からなる基板50を準備する。各タブ52は、上面52aと上面52aとは逆側の下面52bとを有しており、各タブ52の下面52bが板状部材51の主面51aに接合されている。タブ52は、導電体材料(導体)からなり、金属材料により形成されていればより好ましい。基板50の板状部材51の主面51a上に配置(接合)された複数のタブ52は、実質的に同じ寸法および形状を有している。すなわち、基板50の複数のタブ52は、同一形状(同形状)を有している。なお、本実施の形態において、タブ52が同一形状(同形状)を有しているというときには、各タブ52の寸法および形状が、実質的に(設計上は)同じ(同程度)であるが、製造ばらつき程度変動している場合も含むものとする。

[0061] 各タブ52は、平面形状(タブ52の上面52aおよび下面52bの形状)が長方形または正方形状の金属板(金属平板、板状部材)などからなり、各タブ52の平面形状が正方形状であればより好ましい。その理由として、各タブ52の平面形状を正方形で形成することにより、長方形で形成する場合に比べて、半導体装置1のパッケージサイズ(外形寸法)を小型化することができる。また、各タブ52の平面形状が長方形で形成されていると、短辺側と同一方向にワイヤボンディングした場合と、長辺側と同一方向にワイヤボンディングした場合とでは、インダクタンス成分に差が生じる(ばらつく)。

[0062] また、板状部材51の主面51a上に接合された複数のタブ52は、板状部材51の主面51a上において、第1の方向(縦方向)53aと第1の方向53aに交差する第2の方向(横方向)53bとに均一に(等間隔に)アレイ状に配置される。更に説明すると、図18に示すように、複数のタブ52は互いに電気的に分離(独立)されており、それぞれが独立した状態(電気的に独立した状態)で板状部材51上に配置される。第1の方向53aおよび第2の方向53bは板状部材51の主面51aに平行な方向であるが、第1の方向53aと第2の方向53bとが互いに直交した方向であることが好ましい。

[0063] このため、第1の方向53aに隣り合うタブ52の間隔L_1は、いずれのタブ52に対しても同じ(等間隔)であり(すなわち全ての間隔L_1が等しくなり)、第2の方向53bに隣り合うタブ52の間隔L_2は、いずれのタブ52に対しても同じ(等間隔)である(すなわち全ての距離L_2が等しくなる)。従って、第1の方向53aに隣り合うタブ52同士の中心間の距離L_3は、いずれのタブ52に対しても同じ(等距離)であり(すなわち全ての距離L_3が等しくなり)、第2の方向53bに隣り合うタブ52同士の中心間の距離L_4は、いずれのタブ52に対しても同じ(等距離)である(すなわち全ての距離L_4が等しくなる)。また、第1の方向53aに隣り合うタブ52の間隔L_1と、第2の方向53bに隣り合うタブ52の間隔L_2とが等しい($L_1 = L_2$)ことが、より好ましい。従って、第1の方向53aに隣り合うタブ52同士の中心間の距離L_3と、第2の方向53bに隣り合うタブ52同士の中心間の距離L_4とが等しい($L_3 = L_4$)ことが、より好ましい。なお、本実施の形態において、等間隔または等距離というときには、間隔または距離が、実質的に(設計上は)同じ(同程度)であるが、製造ばらつき程度変動している場合も含むものとする。

[0064] このように、半導体装置1製造用の基板50は、第1の方向53a(縦方向)と第1の方向53aに交差(直交)する第2の方向53b(横方向)とに均一に(等間隔に)アレイ状に配置され、互いに同一形状を有する複数の導体部(タブ52)と、これら複数の導体部(タブ52)を保持する保持部材(板状部材51)とを有している。

[0065] 次に、図13に示されるように、ダイボンディング工程を行って、半導体チップ54を基板50のタブ52の上面52a上に接合(接着、接続、搭載、配置、ダイボンディング)する。半導体チップ54は、上記ダイオード素子チップ2または抵抗素子チップ3に対応する。半導体チップ54は、その表面に表面電極54aを有し、その裏面(表面とは逆側の主面)に裏面電極54bを有している。半導体チップ54がダイオード素子チップ2の場合は、表面電極54aは上記ダイオード素子チップ2の第1電極35に対応し、裏面電極54bは上記ダイオード素子チップ2の第2電極36に対応する。また、半導体チップ54が抵抗素子チップ3の場合は、表面電極54aは上記抵抗素子チップ3の第1電極47に対応し、裏面電極54bは上記抵抗素子チップ3の第2電極48に対応する。

[0066] タブ52への半導体チップ54のダイボンディング工程では、半導体チップ54の表面(表面電極54a形成側の主面)が上方を向き、半導体チップ54の裏面に形成された裏面電極54bがタブ52の上面52aに対向して接するように、半導体チップ54をタブ52上に接合する。このタブ52への半導体チップ54のダイボンディング工程では、板状部材51を加熱することでその主面51a上の複数のタブ52を加熱し、タブ52を加熱しながらタブ52上に半導体チップ54を搭載することで、半導体チップ54の裏面電極54bと金属材料などからなるタブ52とが溶着され、半導体チップ54の裏面がタブ52に接合される。例えば、板状部材51およびその上のタブ52を400℃程度に加熱しながら、タブ52上に半導体チップ54を搭載することで、半導体チップ54の裏面電極54bをタブ52に溶着することができる。半導体チップ54の裏面電極54bをタブ52に溶着することで、半導体チップ54をタブ52に固定するとともに、半導体チップ54の裏面電極54bを、その半導体チップ54を搭載するタブ52に電気的に接続することができる。

[0067] また、ダイオード素子チップ2や抵抗素子チップ3のような半導体チップ54は、チップサイズが比較的小さい(例えば平面寸法が0.2mm×0.2mm程度)ので、銀ペー

ストなどの塗布系の接着材で半導体チップ54をタブ52に接合するのは容易ではないが、本実施の形態では、半導体チップ54の裏面電極54bをタブ52に加熱により溶着するので、半導体チップ54をタブ52に容易かつ的確に接合することができる。また、板状部材51を加熱してその主面51aのタブ52を加熱するので、板状部材51は耐熱性と高熱伝導性を有していることが好ましく、板状部材51が金属材料からなればより好ましい。

[0068] タブ52への半導体チップ54のダイボンディング工程で、複数種類の半導体チップ54をタブ52上に接合する場合は、まず、ある同じ種類の複数の半導体チップ54の全てを複数のタブ52上に接合した後に、それとは別の(他の)種類の複数の半導体チップ54を複数のタブ52上に接合するようにする。例えば、図19に示されるように、先に複数の抵抗素子チップ3の全てを複数のタブ52上に接合し、それから、図20に示されるように、複数のダイオード素子チップ2の全てを複数のタブ52上に接合する。あるいは、先に複数のダイオード素子チップ2の全てを複数のタブ52上に接合し、それから、複数の抵抗素子チップ3の全てを複数のタブ52上に接合してもよい。3種類の半導体チップ54(すなわち第1、第2および第3の種類の半導体チップ54)をタブ52上に接合する場合は、まず第1の種類の半導体チップ54の全てをタブ52上に接合してから、第2の種類の半導体チップ54の全てをタブ52上に接合し、その後第3の種類の半導体チップ54の全てをタブ52上に接合する。4種類以上の半導体チップ54をタブ52上に接合する場合は、更にこのような動作を繰り返す。この結果、複数種類の半導体チップを交互にダイボンディングする場合に比べて、ダイボンディング工程の簡素化(単純化)が実現できる。

[0069] 次に、図14に示されるように、ワイヤボンディング工程を行って、半導体チップ54の表面電極54aとチップ非搭載のタブ52(ここで、チップ非搭載のタブ52は、半導体チップ54が搭載されていないタブ52に対応する)とをボンディングワイヤ55を介して電気的に接続し、また必要に応じてタブ52同士(チップ非搭載のタブ52同士)を、ボンディングワイヤ55を介して電気的に接続する。ボンディングワイヤ55は、例えば金線などの金属細線からなる。

[0070] 複数の半導体チップ54(ダイオード素子チップ2および抵抗素子チップ3)を複数の

タブ52上にダイボンディングした後に、ワイヤボンディング工程を行うが、本実施の形態では、単純に一方向のみのワイヤボンディングを行うのではなく、所望の回路に応じて複数の方向にワイヤボンディングを行い、半導体チップ54(ダイオード素子チップ2および抵抗素子チップ3)の表面電極54aをタブ52(チップ非搭載のタブ52)にボンディングワイヤ55を介して電気的に接続する。更に必要に応じてタブ52間(チップ非搭載のタブ52間)を、ボンディングワイヤ55を介して電気的に接続することで、半導体チップ54(ダイオード素子チップ2および抵抗素子チップ3)、ボンディングワイヤ55およびタブ52により、所望の回路(ここでは上記アンテナスイッチ回路21a, 21b, 21cの一部)を形成している。

[0071] このため、本実施の形態では、ボンディングワイヤ55の形成方向(ワイヤボンディングの方向)は複数種類あり、第1の方向53aに平行な方向(方向57a, 57b)のワイヤボンディングと、第2の方向53bに平行な方向(方向57c)のワイヤボンディングとが行われる。第1の方向53aに平行な方向(方向57a, 57b)のワイヤボンディングにより、第1の方向53aに平行な方向に延在するボンディングワイヤ55(後述するボンディングワイヤ55a, 55b)が形成され、第2の方向53bに平行な方向(方向57c)のワイヤボンディングにより、第2の方向53bに平行な方向に延在するボンディングワイヤ55(後述するボンディングワイヤ55c)が形成される。このようなワイヤボンディング工程では、まず、ある同じ方向のワイヤボンディングを全て行い、それから、他の方向のワイヤボンディングを行うようにする。なぜなら、図20に示すように、複数のタブ52にそれぞれ配置された複数の半導体チップ54が板状部材51に並べて配置されているのに対して、例えば端から順番にワイヤボンディング工程を行うと、ワイヤボンディングの方向が異なる半導体チップ54をワイヤボンディングする度に、ワイヤボンディング装置が方向を認識し、対応しなければならないため、ワイヤボンディング装置の動作が複雑化し、ワイヤボンディング工程に要する時間が短縮できない。

[0072] そこで、例えば、方向(第1の方向53aと平行な方向、縦方向)57a、方向(第1の方向53aと平行でかつ方向57aと逆向きの方向)57b、および方向(第2の方向53bと平行な方向、横方向)57cの3種類の方向にワイヤボンディングが行われる場合は、まず、図21に示されるように、方向57aのワイヤボンディングを全て行ってから、図22に

示されるように、方向57bのワイヤボンディングを全て行い、その後、図23に示されるように、方向57cのワイヤボンディングを全て行う。これにより、ボンディングワイヤ55の形成方向（ワイヤボンディングの方向）が複数ある場合でも、ワイヤボンディング工程に要する時間を短縮することができる。また、ワイヤボンディング装置の動作を簡素化することができる。ワイヤボンディングの方向については、ワイヤボンディング装置自体が複数の方向にワイヤボンディングすることが可能であるか、板状部材51が支持する支持台（テーブル）自体が複数の方向に合わせて回転してもよい。

[0073] すなわち、まず、図21に示されるように、方向57aのワイヤボンディングを行うことにより、抵抗素子チップ3の表面電極54aと、その抵抗素子チップ3が搭載されたタブ52に第1の方向53a（縦方向）に隣り合うタブ52（チップ非搭載のタブ52）とが、ボンディングワイヤ55aにより電気的に接続され、また、ダイオード素子チップ2の表面電極54aと、そのダイオード素子チップ2が搭載されたタブ52に第1の方向53aに隣り合うタブ52（チップ非搭載のタブ52）とが、ボンディングワイヤ55aにより電気的に接続される。それから、図22に示されるように、方向57bのワイヤボンディングを行うことにより、ダイオード素子チップ2の表面電極54aと、そのダイオード素子チップ2が搭載されたタブ52に第1の方向53aに隣り合うタブ52（チップ非搭載のタブ52）とが、ボンディングワイヤ55bにより電気的に接続される。その後、図23に示されるように、方向57cのワイヤボンディングを行うことにより、ボンディングワイヤ55aが接続されたタブ52（チップ非搭載のタブ52）が、第2の方向53bに隣り合いかつボンディングワイヤ55aが接続されたタブ52（チップ非搭載のタブ52）とが、ボンディングワイヤ55cにより電気的に接続される。このように、半導体チップ54の表面電極54aが、その半導体チップ54aを搭載するタブ52に第1の方向53aまたは第2の方向53bに隣り合うタブ52（チップ非搭載のタブ52）に、ボンディングワイヤ55を介して電気的に接続され、また、第1の方向53aまたは第2の方向53bに隣り合うタブ52（チップ非搭載のタブ52）同士がボンディングワイヤ55を介して電気的に接続される。図14および図23では、抵抗素子チップ3の表面電極54a（第1電極47）は、ボンディングワイヤ55a、タブ52、ボンディングワイヤ55c、タブ52およびボンディングワイヤ55aを介して、ダイオード素子チップ2の表面電極54a（第1電極35）に電気的に接続される。所望の回路に応じ

てワイヤボンディングを行い、複数方向のワイヤボンディングを行うことで、すなわち第1の方向53aに平行な方向と第2の方向53bに平行な方向とにワイヤボンディングを行うことで、所望の回路(ここではアンテナスイッチ回路21a, 21b, 21cの一部)を形成することができる。

[0074] また、半導体チップ54をパッケージ化したもの(半導体装置)を実装する実装基板の回路パターンにおける複数のアノード及びカソードの方向は必ずしも全て同一方向ではない。しかしながら、本実施の形態のように、タブ52が全て同じ寸法および形状であれば、半導体チップ54の配置場所が限定されず、また実装基板の回路パターンに合わせてワイヤボンディングの向きが決められるため、タブ52の大きさが同じ形状ではない場合に比べて半導体装置1の組立自由度を向上できる。

[0075] 次に、図15および図24に示されるように、一括モールド工程を行って、板状部材51の主面51a上に、複数のタブ52、複数の半導体チップ54および複数のボンディングワイヤ55を覆うように、封止樹脂(封止部、封止樹脂部)59を形成する。封止樹脂59は、例えばエポキシ樹脂またはシリコーン樹脂などの樹脂材料などからなり、フィラーなどを含有することもできる。封止樹脂59を形成する際には、板状部材51の主面51aの全体を一括して封止樹脂59で樹脂封止する一括モールド工程を行う。なお、図25は、図24において封止樹脂59を透視した平面図であり、図24および図25には、理解を簡単にするために、後述するダイシング工程のダイシングライン61が一点鎖線で示されている。

[0076] 次に、図16に示されるように、板状部材51を除去する。タブ52を板状部材51に接合した接着材として、タブ52と板状部材51とを剥離可能とする接着材を選択しておくことで、タブ52、半導体チップ54およびボンディングワイヤ55を封止樹脂59で封止した封止体60から板状部材51を剥離して除去することができる。封止体60から板状部材51を除去することで、封止樹脂59の下面(裏面)59bでは、タブ52の一部(すなわちタブ52の下面52b)が露出される。封止樹脂59の下面59bで露出したタブ52の下面52bは、半導体装置1の外部端子(端子、外部接続端子)となる。板状部材51は、アレイ状に配置された複数のタブ52を保持する機能を有していたが、封止樹脂59形成後は、封止樹脂59によって複数のタブ59が封止されて保持されるので、板状部

材51を除去することができる。

[0077] 次に、必要に応じて封止樹脂59の上面(表面)59aに、製品番号などのマーキングを施す。

[0078] 次に、図17および図26に示されるように、ダイシングブレード62などを用いたダイシングなどにより、封止樹脂59(封止体60)を切断して個片に分割する。すなわち、アレイ状に配列した複数のタブ52と、複数のタブ52上に搭載された複数の半導体チップ54と、複数の半導体チップ54の表面電極54aと複数のタブ52との間やタブ52同士の間を電気的に接続する複数のボンディングワイヤ55とを封止樹脂59で一括封止した封止体60を、ダイシングにより切断して個片化する。これにより、個片化された半導体装置1が得られる。このダイシング(切断、個片化)工程では、図24および図25に一点鎖線で示されているダイシングライン(切断線、切断位置)61に沿って、ダイシングが行われる。なお、図26は、封止樹脂59を透視した平面図である。

[0079] このようにして、本実施の形態の半導体装置1が製造される。

[0080] 図27は、上記のようにして製造された本実施の形態の半導体装置1の上面図、図28は半導体装置1の下面図、図29は半導体装置1の側面図、図30ー図32は半導体装置1の断面図、図33は半導体装置1の上面透視図(平面図)である。図34は半導体装置1を用いたアンテナスイッチモジュール回路の要部回路図である。図33は、封止樹脂63を透視したときの半導体装置1の上面図が示されている。また、図30は、図27のB—B線の断面図にほぼ対応し、図31は、図27のC—C線の断面図にほぼ対応し、図32は、図27のD—D線の断面図にほぼ対応する。また、図33は、平面図であるが、図面を見易くするために半導体チップ54(ダイオード素子チップ2または抵抗素子チップ3)にハッチングを付してある。

[0081] 本実施の形態の半導体装置(半導体パッケージ)1は、複数のタブ52と、複数のタブ52上に搭載された複数の半導体チップ54と、半導体チップ54の表面電極54aとタブ52(半導体チップ54が搭載されていないタブ52、すなわちチップ非搭載のタブ52)との間またはタブ52(チップ非搭載のタブ52)同士の間を電気的に接続する複数のボンディングワイヤ55と、これら(複数のタブ52、複数の半導体チップ54および複数のボンディングワイヤ55)を覆う封止樹脂63とを有している。封止樹脂63は、切

断工程(ダイシング工程)により個片化された上記封止樹脂59からなる。

[0082] 半導体装置1を構成する複数のタブ52は、上記のように、金属材料などの導電体材料からなり、複数のタブ52のそれぞれは、実質的に同じ寸法および形状、すなわち同一形状を有している。例えば、各タブ52は、平面形状(上面52aおよび下面52bの形状)が長方形または正方形状の金属板(金属平板)からなり、各タブ52の平面形状が正方形状であればより好ましい。また、半導体装置1を構成する複数のタブ52は、上記のように、第1の方向(縦方向)53aおよび第1の方向53aに交差(好ましくは直交)する第2の方向(横方向)に均一に(等間隔に)アレイ状に配置(配列)されている。図27ー図33の半導体装置1では、6×3(6行3列)の合計18個のタブ52が第1の方向53a(6行)および第2の方向53b(3列)に均一に(等間隔に)アレイ状に配置されている。

[0083] このため、半導体装置1においても、上記のように、第1の方向53aに隣り合うタブ52の間隔L_1は、いずれのタブ52に対しても同じ(等間隔)であり(すなわち全ての間隔L_1が等しくなり)、第2の方向53bに隣り合うタブ52の間隔L_2は、いずれのタブ52に対しても同じ(等間隔)である(すなわち全ての距離L_2が等しくなる)。従って、第1の方向53aに隣り合うタブ52同士の中心間の距離L_3は、いずれのタブ52に対しても同じ(等距離)であり(すなわち全ての距離L_3が等しくなり)、第2の方向53bに隣り合うタブ52同士の中心間の距離L_4は、いずれのタブ52に対しても同じ(等距離)である(すなわち全ての距離L_4が等しくなる)。また、第1の方向53aに隣り合うタブ52の間隔L_1と、第2の方向53bに隣り合うタブ52の間隔L_2とが等しい($L_1=L_2$)ことが、より好ましく、従って、第1の方向53aに隣り合うタブ52同士の中心間の距離L_3と、第2の方向53bに隣り合うタブ52同士の中心間の距離L_4とが等しい($L_3=L_4$)ことが、より好ましい。

[0084] 半導体装置1では、9つの半導体チップ54、すなわち6つのダイオード素子チップ2と3つの抵抗素子チップ3とが、タブ52上に搭載されて封止樹脂63内に封止されている。タブ52の上面52a上に搭載された半導体チップ54(すなわちダイオード素子チップ2および抵抗素子チップ3)は裏面電極54bを有しており、その裏面電極54bは、タブ52に溶着されている。このため、半導体チップ54の裏面電極54bは、その

半導体チップ54を搭載するタブ52に電気的に接続されている。半導体チップ54の表面電極54aは、ボンディングワイヤ55を介して、その半導体チップ54を搭載したタブ52以外のタブ52(チップ非搭載のタブ52)に電気的に接続されている。また、必要に応じてタブ52(チップ非搭載のタブ52)同士もボンディングワイヤ55を介して電気的に接続されている。なお、半導体チップ54がダイオード素子チップ2の場合は、表面電極54aはダイオード素子チップ2の上記第1電極35に対応し、裏面電極54bはダイオード素子チップ2の上記第2電極36に対応する。また、半導体チップ54が抵抗素子チップ3の場合は、表面電極54aは抵抗素子チップ3の上記第1電極47に対応し、裏面電極54bは抵抗素子チップ3の上記第2電極48に対応する。

[0085] 半導体装置1においては、タブ52の上面52aおよび側面は封止樹脂63で封止されて覆われているが、タブ52の下面52bは、封止樹脂63から露出している。すなわち、封止樹脂63の下面63b(半導体装置1の下面)では、タブ52の下面52bが露出している。封止樹脂63の下面63b(半導体装置1の下面)で露出するタブ52の下面52bは、半導体装置1の外部端子(端子、外部接続端子)として機能することができる。従って、半導体装置1は、面実装型の半導体パッケージである。

[0086] 半導体装置1は、図34に示されるアンテナスイッチモジュール回路の一部を構成(形成)する半導体装置(半導体パッケージ)である。なお、図34に示されるアンテナスイッチモジュール回路の回路構成は、図1と同様であるので、ここではその詳細な説明は省略する。半導体装置1内に樹脂封止された6つのダイオード素子チップ2が、図34に示されるアンテナスイッチモジュール回路のうちの6つのダイオード素子11に対応し、半導体装置1内に樹脂封止された3つの抵抗素子チップ3が、図34に示されるアンテナスイッチモジュール回路のうちの3つの抵抗素子12に対応する。また、半導体装置1の18個のタブ52が、図34に示されるアンテナスイッチモジュール回路の18箇所の端子部20a－20sに対応する。このため、本実施の形態では、半導体装置1をアンテナスイッチモジュール用の配線基板(実装基板)に実装するなどしてアンテナスイッチモジュール(回路)を形成することができ、6つのダイオード素子11および3つの抵抗素子12を個別部品として配線基板(実装基板)に実装する場合に比較して、部品点数および実装面積を低減でき、アンテナスイッチモジュールなどの電子

装置の小型化(小面積化)が可能になる。

[0087] また、上記半導体装置1を用いて3つのアンテナスイッチ回路21a, 21b, 21cを形成することが可能であり、この半導体装置1は、6×3(6行3列)の合計18個のタブ52と、9つの半導体チップ54、すなわち6つのダイオード素子チップ2と3つの抵抗素子チップ3とを有しているが、半導体装置の所望の回路に応じて、封止樹脂59(封止体60)の切断工程での切断位置を変更することができる。図35は、封止体60のダイシングライン61aを示す要部平面図(平面透視図)であり、上記図25に対応する。なお、図35では、上記図25と同様に、封止樹脂59を透視したときの封止体60の要部平面図が示されている。また、図35は、平面図であるが、図面を見易くするために半導体チップ54にハッチングを付してある。

[0088] 半導体装置1の製造工程と同様にしてダイボンディング工程、ワイヤボンディング工程、一括モールド(一括封止)工程および板状部材51の剥離工程により封止体60を得た後、半導体装置1を製造する場合は図24および図25のダイシングライン61で封止体60(封止樹脂59)を切断していたが、半導体装置の所望の回路に応じて、封止樹脂59の切断工程での切断位置を変更することができ、例えば後述する半導体装置1aを製造する場合は、図35に示されるダイシングライン61aで封止体60(封止樹脂59)を切断する。図36は、ダイシングライン61aで封止体60(封止樹脂59)を切断した場合に製造される半導体装置1aの上面透視図(平面図)、図37は半導体装置1aの断面図である。なお、図36は、封止樹脂63を透視したときの半導体装置1の上面図が示されている。また、図36は、平面図であるが、図面を見易くするために半導体チップ54にハッチングを付してある。また、図37は、図36のE—E線の断面図にほぼ対応する。半導体装置1aは、図30および図32と同様の断面も有している。半導体装置1aを3つ組み合わせたものが、半導体装置1に対応する。1つの半導体装置1を使用して3つのアンテナスイッチ回路(21a, 21b, 21c)を形成することが可能であったが、1つのアンテナスイッチ回路(21a, 21b, 21c)毎に1つの半導体装置1aを使用することも可能である。従って、3つのアンテナスイッチ回路21a, 21b, 21cを有する図1または図34のアンテナスイッチモジュール回路を形成するのに、1つの半導体装置1を用いるか、あるいは3つの半導体装置1aを用いるかを必要に応じて選

択することができる。

[0089] 次に、本実施の形態で得られる効果について、より詳細に説明する。

[0090] 本実施の形態では、ダイオード素子と抵抗素子とを同じ半導体装置1(半導体パッケージ)内に内蔵させているが、半導体装置1(半導体パッケージ)内のダイオード素子および抵抗素子として、半導体基板(同材料(単結晶シリコン)からなる半導体基板)を用いて製造したダイオード素子チップ2および抵抗素子チップ3を用いている。すなわち、単結晶シリコン基板のような半導体基板31を用いて製造したダイオード素子チップ2と、単結晶シリコン基板のような半導体基板41を用いて製造した抵抗素子チップ3とをタブ52上に搭載し、ワイヤボンディング工程およびモールド工程を行って半導体装置1を製造している。

[0091] 本実施の形態とは異なり、ダイオード素子と抵抗素子とを別の部品(実装部品)として形成し、それらを配線基板(実装基板)などに実装した場合は、部品点数および部品の実装面積が増大し、電子装置の大型化を招く可能性がある。それに対して、本実施の形態では、ダイオード素子と抵抗素子とを同じ半導体装置1(半導体パッケージ)内に内蔵させているので、部品点数を低減し、また、配線基板(実装基板)などへの実装面積を低減することができる。

[0092] しかしながら、ダイオード素子と抵抗素子とを内蔵するパッケージを製造する場合に、本実施の形態とは異なり、単結晶シリコン基板のような半導体基板31を用いて製造したダイオード素子チップ2と、半導体基板を用いることなく製造した抵抗素子(抵抗素子チップ3以外の抵抗素子)、例えばチップ抵抗などを用いることも考えられる。この場合、次のような不具合が生じる可能性がある。ダイオード素子チップ2と抵抗素子との構造が異なると、同一パッケージに内蔵させることは容易ではない。例えば、抵抗素子チップ3は上下両面に電極(第1電極47および第2電極48)を有しているが、半導体基板を用いることなく製造した抵抗素子を上下両面に電極を有する構造にすることは容易ではない。従って、タブ52上に抵抗素子を搭載した場合に、抵抗素子の下のタブと抵抗素子の一方の電極とを電気的に接続しかつ他のタブと抵抗素子の他方の電極とを電気的に接続するのは容易ではない。また、ダイオード素子と抵抗素子とを封止樹脂で封止した場合に、封止樹脂の熱膨張率を、ダイオード素子お

よび抵抗素子の一方にしか合わせることができないので、封止樹脂とダイオード素子との間の密着性と、封止樹脂と抵抗素子との間の密着性の両方を高めることは容易ではない。また、半導体基板を用いて製造したダイオード素子に比較して、半導体基板を用いずに製造した抵抗素子(チップ抵抗など)の寸法は大きくなるので、タブ上へのダイオード素子の搭載工程とタブ上への抵抗素子の搭載工程とを、同じ装置を用いて行うことは困難である。

[0093] それに対して、本実施の形態では、半導体基板を用いて製造したダイオード素子チップ2と半導体基板を用いて製造した抵抗素子チップ3とを用いて半導体装置1を製造している。このため、本実施の形態では、半導体基板31にダイオード素子を形成し、半導体基板31の表面に第1電極35を形成し、半導体基板31の裏面の全面に第2電極36を形成してから、半導体基板31を切断して個々のダイオード素子チップ2に分割できるので、製造されたダイオード素子チップ2は、その表面に第1電極35を有し、その裏面に第2電極36を有する構造とすることが容易にでき、同様に、半導体基板41に抵抗素子(拡散抵抗、バルク抵抗)を形成し、半導体基板41の表面に第1電極47を形成し、半導体基板41の裏面の全面に第2電極48を形成してから、半導体基板41を切断して個々の抵抗素子チップ3に分割できるので、製造された抵抗素子チップ3は、その表面に第1電極47を有し、その裏面に第2電極48を有する構造とすることが容易にできる。すなわち、ダイオード素子チップ2と抵抗素子チップ3とを、上下両面(表裏両面)に電極を有する同じ構造とすることが容易である。

[0094] 本実施の形態では、ダイオード素子チップ2および抵抗素子チップ3の両方とも、表面側と裏面側とにそれぞれ電極(表面電極54aおよび裏面電極54b)を有する構造にすることが容易にできるので、ダイオード素子チップ2と抵抗素子チップ3とをタブ52上に搭載(溶着)することにより、ダイオード素子チップ2と抵抗素子チップ3との裏面電極54bをタブ52に電気的に接続することができ、ダイオード素子チップ2と抵抗素子チップ3との表面電極54aをワイヤボンディング工程により他のタブ52に電気的に接続することができる。このため、ダイオード素子チップ2のダイボンディング条件と抵抗素子チップ3のダイボンディング条件とをほぼ同じにすることができ、ダイオード素子チップ2のワイヤボンディング条件と抵抗素子チップ3のワイヤボンディング条件

とをほぼ同じにすることができる。従って、半導体装置の製造が容易になり、また半導体装置の製造コストを低減できる。また、ダイオード素子チップ2と抵抗素子チップ3とに、ボンディングワイヤ55接続用のボンディングパッド(第1電極35, 47に対応)を形成するのが容易であり、ダイオード素子チップ2および抵抗素子チップ3の表面電極54a(第1電極35, 47)をワイヤボンディング工程により他のタブ52に電気的に接続することを、容易にかつ的確に行うことができる。

[0095] また、本実施の形態では、ダイオード素子チップ2と抵抗素子チップ3とを同材料の半導体基板(単結晶シリコン基板)を用いて製造しているので、ダイオード素子チップ2と抵抗素子チップ3との熱膨張率が同程度となり、封止樹脂63の熱膨張率を、ダイオード素子チップ2および抵抗素子チップ3の両方に合わせることができる。このため、封止樹脂63とダイオード素子チップ2との間の密着性(接着強度)と、封止樹脂と抵抗素子チップ3との間の密着性(接着強度)の両方を高めることができ、封止樹脂63とダイオード素子チップ2および抵抗素子チップ3との間に剥離などが生じるのを的確に防止することができる。

[0096] また、本実施の形態では、ダイオード素子チップ2と抵抗素子チップ3とを半導体基板(同材料(単結晶シリコン)からなる半導体基板)を用いて製造しているので、ダイオード素子チップ2と抵抗素子チップ3とを、同様の半導体製造設備などを用いて製造することが可能になる。このため、半導体装置1の製造コストを低減できる。また、ダイオード素子チップ2と抵抗素子チップ3とを、同程度の形状(寸法)に製造することもできる。このため、タブ52上へのダイオード素子チップ2工程とタブ52上への抵抗素子チップ3の搭載工程とを、同じ装置を用いて容易に行うことができる。

[0097] このように、本実施の形態では、製造工程を複雑化することなく、ダイオード素子チップと抵抗素子など異種の素子を組み合わせてパッケージ化することができる。従って、同じパッケージ内に異種の素子(ダイオード素子および抵抗素子)を内蔵した半導体装置(半導体パッケージ)1を、容易かつ低コストで実現することができる。

[0098] また、本実施の形態では、半導体装置1内に同一形状(同形状)のタブ52が複数アレイ状に配置されており、第1の方向53aおよび第2の方向53bに、すなわち縦方向および横方向に、等間隔で配列(配置)している。このため、半導体装置1において

は、第1の方向53a(縦方向)に隣り合うタブ52同士の中心間の距離L_3が等距離であり、第2の方向53b(横方向)に隣り合うタブ52同士の中心間の距離L_4が等距離であり、更に、第1の方向(縦方向)に隣り合うタブ52同士の中心間の距離L_3と第2の方向53b(横方向)に隣り合うタブ52同士の中心間の距離L_4とが等しくなる(すなわち、全ての距離L_3, L_4が等しくなる)。そして、これら複数のタブ52上に複数の半導体チップ54(ダイオード素子チップ2および抵抗素子チップ3)を搭載し、半導体チップ54の表面電極54aと、その半導体チップ54が搭載されたタブ52に第1の方向53aまたは第2の方向53bに隣り合うタブ52(チップ非搭載のタブ52)とをボンディングワイヤ55を介して電気的に接続し、また、第1の方向53aまたは第2の方向53bに隣り合うタブ52(チップ非搭載のタブ52)同士をボンディングワイヤ55を介して電気的に接続している。

[0099] 本実施の形態とは異なり、複数のタブ52が非等間隔で配列している場合、タブ52間の間隔が異なることから、半導体装置内のタブ52間の容量成分が変動してしまう可能性がある。また、複数のタブ52が非等間隔で配列している場合、半導体装置内の複数のボンディングワイヤ55の長さがそれぞれ異なるものになるので、ボンディングワイヤ55のインダクタンス成分が変動してしまう可能性がある。

[0100] また、本実施の形態とは異なり、複数のタブ52が非同一形状の場合(例えば半導体チップ54を搭載する側のタブ52の面積がボンディングワイヤにより接続されるチップ非搭載のタブ52の面積よりも大きい場合)、半導体チップ54を搭載する位置(タブ)が任意に決定できないため、配設の自由度がない。更には、予めアプリケーション(所望の回路、実装基板の回路パターン設計)が決まった後に、タブの配置を決定しないといけないため、半導体装置の製造(TAT)が遅くなる。

[0101] それに対して、本実施の形態では、半導体装置1内に同一形状(同形状)の複数のタブ52を、第1の方向53a(縦方向)および第2の方向53b(横方向)に等間隔でアレイ状に配列(配置)させているので、半導体装置1内のタブ52間の容量成分を均一化することができる。また、半導体チップ54(ダイオード素子チップ2または抵抗素子チップ3)の表面電極54aとチップ非搭載のタブ52とを接続するボンディングワイヤ55や、チップ非搭載のタブ52間を接続するボンディングワイヤ55など、半導体装置1

内の複数のボンディングワイヤ55の全ての長さを実質的に同じ(一定)にすることができる。また、第1の方向53aに隣り合うタブ52の間隔L_1と、第2の方向53bに隣り合うタブ52の間隔L_2とが等しい($L_1=L_2$)、すなわち、第1の方向53aに隣り合うタブ52同士の中心間の距離L_3と、第2の方向53bに隣り合うタブ52同士の中心間の距離L_4とが等しい($L_3=L_4$)ので、第1の方向53aに平行な方向(縦方向)に形成されたボンディングワイヤ55(55aおよび55b)と、第2の方向53bに平行な方向(横方向)に形成されたボンディングワイヤ55(55c)とで、ボンディングワイヤ55の長さを同じ(一定)にすることができる。このように、本実施の形態では、ボンディングワイヤ55の長さを一定にすることができるので、半導体装置1内の各ボンディングワイヤ55のインダクタンス成分を均一化することができる。また、導電体材料からなる全てのタブ52が同一形状で構成されているため、タブ52自体が持っているインダクタンス成分のばらつきを抑制できる。このため、高周波的に同一特性を有した複数の半導体チップ54を、同一パッケージ(半導体装置)内で得ることができる。従って、半導体装置1内の特性(高周波特性)を均一化し、半導体装置1の性能(高周波性能)を向上することができる。また、半導体装置1の回路設計が容易になる。

[0102] また、本実施の形態では、同一形状の複数のタブ52が、第1の方向53a(縦方向)および第2の方向53b(横方向)に、均一(等間隔)にアレイ状に配置された基板50を用いて半導体装置1を製造している。このため、基板50のタブ52上の任意の位置に自由に半導体チップ54を搭載させ、ボンディングワイヤ55も自由に配設することができる。従って、アプリケーション(所望の回路)に応じた半導体チップ54およびボンディングワイヤ55の位置を設定でき、半導体装置の設計や構造の自由度を高めることができる。そのため、ダイボンディング工程前まで完了しておき、アプリケーションが決定してからダイボンディング工程にすぐ移れるため、急なアプリケーション変更があってもすぐ半導体装置の製品化が可能である。また、半導体装置1の配線基板(実装基板)への実装条件(実装回路条件)に合わせて、基板50のタブ52上の任意の位置に半導体チップ54およびボンディングワイヤ55を配設することができる。このため、所望の回路および端子を有する半導体装置を容易に実現することができる。また、基板50のタブ52に搭載する半導体チップ54の種類、ボンディングワイヤ55の接続

関係、および封止樹脂59のダイシング位置などを変更することで、共通の基板50を用いて種々の半導体装置を製造することが可能である。このため、共通の基板50を用いて複数種類の半導体装置を製造することが可能になるので、半導体装置の製造コストを低減できる。このように、複雑な回路構成を有する半導体装置1を容易に製造でき、所望の回路構成を有する半導体装置1を容易に製造することができる。

[0103] また、本実施の形態では、複数の半導体チップ54(ダイオード素子チップ2または抵抗素子チップ3)を複数のタブ52上に搭載した後、所望の回路に応じてワイヤボンディングを行い、半導体チップ54(ダイオード素子チップ2または抵抗素子チップ3)の表面電極54aとチップ非搭載のタブ52との間、またはチップ非搭載のタブ52間を、ボンディングワイヤ55を介して電気的に接続している。このため、半導体チップ54の表面電極54aとチップ非搭載のタブ52との間を一方向のワイヤボンディングだけで接続するのではなく、複数方向のワイヤボンディングを行い、例えば、上記のように、方向57a、方向57bおよび方向57cの3種類の方向にワイヤボンディングを行い、半導体チップ54の表面電極54aとチップ非搭載のタブ52との間、またはチップ非搭載のタブ52間を、ボンディングワイヤ55を介して電気的に接続する。更に、半導体チップ54の表面電極54aとチップ非搭載のタブ52との間のワイヤボンディングだけでなく、チップ非搭載のタブ52間もワイヤボンディングする。これにより、単純な回路構成の半導体装置はもちろん、上記半導体装置1のような複数の半導体チップ54を含みかつより複雑な回路構成を有する半導体装置を容易に得る(製造する)ことが可能になる。また、本実施の形態では、上記のように同一形状の複数のタブ52が第1の方向53a(縦方向)および第2の方向53b(横方向)に均一(等間隔)にアレイ状に配置された基板50を用いて半導体装置1を製造しているので、上記のように所望の回路に応じてワイヤボンディングを行うことが容易であり、複数方向のワイヤボンディングを行っても、ボンディングワイヤ55の長さを一定にし、各ボンディングワイヤ55のインダクタンス成分を均一化することができる。

[0104] また、本実施の形態では、複数の半導体チップ54(複数のダイオード素子チップ2または抵抗素子チップ3)を複数のタブ52上に搭載し、半導体チップ54の表面電極54aとチップ非搭載のタブ52との間やチップ非搭載のタブ52間をボンディングワイヤ

55を介して電気的に接続し、複数のタブ52、複数の半導体チップ54およびボンディングワイヤ55を封止樹脂59で一括封止(一括モールド)した後、封止樹脂59を切断するが、所望の回路に応じて、この封止樹脂59の切断位置を変更することができる。例えば、図24および図25のダイシングライン61で封止樹脂59(封止体60)を切断して3つのアンテナスイッチ回路形成用の半導体装置1を得ることができ、また、封止樹脂59の切断位置を変更して、図35に示されるダイシングライン61aで封止樹脂59(封止体60)を切断し、1つのアンテナスイッチ回路形成用の半導体装置1aを得ることができる。このように、半導体装置の所望の回路に応じて封止樹脂59(封止体60)の切断位置を変更することで、比較的単純な回路構成の半導体装置はもちろん、上記半導体装置1のような複数の半導体チップ54を含みかつより複雑な回路構成を有する半導体装置を容易に得る(製造する)ことが可能になる。また、本実施の形態では、上記のように同一形状の複数のタブ52が第1の方向53a(縦方向)および第2の方向53b(横方向)に均一(等間隔)にアレイ状に配置された基板50を用いて半導体装置1を製造しているので、封止樹脂59(封止体60)の切断位置を変更するだけで、半導体装置の回路構成を容易に変更することができる。また、共通の基板50を用いて同種または異種の半導体装置を多数製造することができる。

[0105] また、同一形状の複数のタブ52が第1の方向53a(縦方向)および第2の方向53b(横方向)に均一(等間隔)にアレイ状に配置された基板50を用いて半導体装置1を製造しているので、封止樹脂59(封止体60)の切断位置を変更するだけで、必要な半導体チップ54の取得数(一つの半導体装置1内の半導体チップ54の数)を容易に変更することができる。

[0106] また、本実施の形態では、例えばアンテナスイッチモジュール回路用として9つの半導体チップ54が必要である。このため、9つの半導体装置に個別に分けて製造したものを実装基板にそれぞれ一つずつ配置する場合に比べ、本実施の形態のように、9つの半導体チップ54が1つの半導体装置1で構成されていれば、半導体装置1の実装工程は1回で済むため実装が容易である。更には、9つ分の半導体装置が1つの半導体装置1で構成できるため、実装面積が低減できる。

[0107] また、本実施の形態では、同一形状の複数のタブ52が、第1の方向53a(縦方向)

および第2の方向53b（横方向）に、均一（等間隔）にアレイ状に配置された基板50を用いて半導体装置1を製造している。このため、半導体装置1の外部端子となるタブ52の下面52bが、封止樹脂63の下面63bからのみ露出している。言い換えると、平面的に外部端子が封止樹脂63の形成領域よりも外側にはみ出して配設されないため、半導体装置1の小型化が実現できる。

[0108] また、本実施の形態では、同一形状の複数のタブ52が互いに電気的に分離されており、それぞれが独立した状態で板状部材51上に配置される。このため、半導体チップ54をタブ52に搭載した後、ボンディングワイヤ55によりチップ非搭載のタブ52に電気的に接続するため、アプリケーション（所望の回路）に対応した配置設計が可能である。

[0109] （実施の形態2）

上記実施の形態1では、基板50を用いて半導体装置を製造していたが、本実施の形態では、リードフレームを用いて半導体装置を製造する。

[0110] 図38ー図41は、本発明の一実施の形態の半導体装置1bの製造工程中の要部平面図である。図42ー図45は、本発明の一実施の形態の半導体装置1bの製造工程中の要部断面図である。なお、図38と図42とが同じ工程段階に対応し、図39と図43とが同じ工程段階に対応し、図40と図44とが同じ工程段階に対応し、図41と図45とが同じ工程段階に対応する。図42は図38のF－F線の断面図にほぼ対応し、図43ー図45も、図42と同じ領域の断面図が示されている。また、図39および図40は、平面図であるが、図面を見易くするために半導体チップ54（ダイオード素子チップ2または抵抗素子チップ3）にハッチングを付してある。

[0111] 本実施の形態の半導体装置1bは、例えば次のようにして製造される。

[0112] まず、図38および図42に示されるように、半導体装置1製造用のリードフレーム70を準備する。リードフレーム70は、金属材料などからなる。リードフレーム70は、2本の枠部71a，71bと、各枠部71a，71bに複数のリード部72を介して保持または接続された複数のタブ（チップ搭載部、導電体部材、導体部）73とを有している。この複数のタブ（導体部）73は、上記実施の形態1の複数のタブ（導体部）52に相当（対応）するものである。上記実施の形態1の基板50の複数のタブ52と同様に、リードフレーム

70の複数のタブ73は、実質的に同じ寸法および形状を有している(すなわち同一形状を有している)。なお、本実施の形態においても、タブ73が同一形状(同形状)を有しているというときには、各タブ73の寸法および形状が、実質的に(設計上は)同じ(同程度)であるが、製造ばらつき程度変動している場合も含むものとする。

[0113] 各タブ73は、平面形状(タブ73の上面73aおよび下面73bの形状)が長方形または正方形状の金属の板状部材などからなり、各タブ73の平面形状が正方形状であればより好ましい。また、リードフレーム70の複数のタブ73は、リードフレーム70(の枠部71a, 71b)の延在方向に平行な第1の方向74aに均一に(等間隔に)配置される。また、枠部71aにリード部72を介して保持されたタブ73と枠部71bにリード部72を介して保持されたタブ73とは、第1の方向74aに交差する第2の方向74bで互いに対向している。第1の方向74aは、リードフレーム70の延在方向に平行な方向で、第2の方向74bが第1の方向74aに直交する方向であることが好ましい。そこから1つの半導体装置1bを形成する領域において第1の方向74aに隣り合うタブ73の間隔L_5は、いずれのタブ73に対しても同じ(等間隔)であり(すなわち全ての間隔L_5が等しくなり)、第2の方向74bに隣り合うタブ73の間隔L_6は、いずれのタブ72に対しても同じ(等間隔)である(すなわち全ての距離L_6が等しくなる)。従って、そこから1つの半導体装置1bを形成する領域において第1の方向74aに隣り合うタブ73同士の中心間の距離L_7は、いずれのタブ73に対しても同じ(等距離)であり(すなわち全ての距離L_7が等しくなり)、第2の方向74bに隣り合うタブ73同士の中心間の距離L_8は、いずれのタブ73に対しても同じ(等距離)である(すなわち全ての距離L_8が等しくなる)。また、第1の方向74aに隣り合うタブ73の間隔L_5と、第2の方向74bに隣り合うタブ73の間隔L_6とが等しい($L_5=L_6$)ことが、より好ましい。従って、第1の方向74aに隣り合うタブ73同士の中心間の距離L_7と、第2の方向74bに隣り合うタブ73同士の中心間の距離L_8とが等しい($L_7=L_8$)ことが、より好ましい。なお、本実施の形態においても、等間隔または等距離というときには、間隔または距離が、実質的に(設計上は)同じ(同程度)であるが、製造ばらつき程度変動している場合も含むものとする。

[0114] このように、半導体装置1b製造用のリードフレーム70は、互いに同一形状を有する複数のタブ72(導体部)を有し、これら複数のタブ72は、第1の方向74aに均一に(

等間隔に）2列に配置され、その2列の間隔（第1の方向74aに交差（直交）する第2の方向53bに対向または隣り合うタブ73の間隔）も、第1の方向74aのタブ73の間隔と同じ間隔となっている。なお、本実施の形態では、後述するように、一括モールドではなく、そこから1つの半導体装置1bを形成する領域毎に個別に封止樹脂76を形成するので、前記領域間の間隔は、比較的広くなっている。

[0115] 次に、図39および図43に示されるように、ダイボンディング工程を行って、半導体チップ54をリードフレーム70のタブ73の上面73a上に接合（接着、接続、搭載、配置、ダイボンディング）する。半導体チップ54は、上記のように、例えばダイオード素子チップ2または抵抗素子チップ3に対応する。タブ73上への半導体チップ54のダイボンディング工程については、上記実施の形態1とほぼ同様にして行うことができるので、ここではその詳しい説明を省略する。

[0116] 次に、図40および図44に示されるように、ワイヤボンディング工程を行って、半導体チップ54の表面電極54aとチップ非搭載のタブ73（ここで、チップ非搭載のタブ73は、半導体チップ54が搭載されていないタブ73に対応する）とをボンディングワイヤ55を介して電気的に接続し、また必要に応じてタブ73同士（チップ非搭載のタブ73同士）をボンディングワイヤ55を介して電気的に接続する。上記実施の形態1と同様に、本実施の形態においても、単純に一方向のみのワイヤボンディングを行うのではなく、所望の回路に応じてワイヤボンディングを行い、半導体チップ54（ダイオード素子チップ2および抵抗素子チップ3）の表面電極54aをタブ73にボンディングワイヤ55を介して電気的に接続し、更に必要に応じてチップ非搭載のタブ73間をボンディングワイヤ55を介して電気的に接続することで、半導体チップ54（ダイオード素子チップ2および抵抗素子チップ3）、ボンディングワイヤ55およびタブ73により、所望の回路を形成することができる。このため、上記実施の形態1と同様に、本実施の形態においても、ボンディングワイヤ55の形成方向（ワイヤボンディングの方向）は複数種類ある。このワイヤボンディング工程については、上記実施の形態1とほぼ同様にして行うことができるので、ここではその詳しい説明を省略する。

[0117] 次に、図41および図45に示されるように、モールド工程を行って、タブ73、半導体チップ54およびボンディングワイヤ55を覆うように、封止樹脂（封止部、封止樹脂部）

76を形成する。封止樹脂76は、例えばエポキシ樹脂またはシリコーン樹脂などの樹脂材料などからなり、フィラーなどを含有することもできる。上記実施の形態1では、一括モールドを行ったが、本実施の形態では、そこから一つの半導体装置を形成する領域毎に、個別に封止樹脂76を形成する。

[0118] 次に、必要に応じて封止樹脂76の上面76aに、製品番号などのマーキングを施す。

[0119] 次に、リードフレーム70(のリード部72)を切断して個片に分割する。ここでは、図41の切断ライン77に沿ってリードフレーム70(のリード部72)を切断する。これにより、個片化された半導体装置1bが得られる。このようにして、本実施の形態の半導体装置1bが製造される。また、リードフレーム70の切断後または切断前に、封止樹脂76から露出するリード部72に、必要に応じてめっき処理を施すこともできる。

[0120] 図46は、上記のようにして製造された本実施の形態の半導体装置1bの上面図、図47は半導体装置1bの下面図、図48は半導体装置1bの上面透視図(平面図)、図49は半導体装置1bの断面図である。図48は、封止樹脂76を透視したときの半導体装置1bの上面図が示されている。また、図48は、平面図であるが、図面を見易くするために半導体チップ54にハッチングを付してある。また、図49は、図48のG—G線の断面図にほぼ対応する。

[0121] 本実施の形態の半導体装置1bは、複数のタブ73と、複数のタブ73上に搭載された複数の半導体チップ54と、半導体チップ54の表面電極54aとタブ73(チップ非搭載の73)との間またはタブ73(チップ非搭載のタブ73)同士の間を電気的に接続する複数のボンディングワイヤ55と、各タブ73に接続されたリード部72と、これら(複数のタブ73、複数の半導体チップ54、複数のボンディングワイヤ55および複数のリード部72)を覆う封止樹脂76とを有している。リード部72の下面72aは、封止樹脂76の下面76b(半導体装置1bの下面)で露出し、リード部72の端部(タブ73に接続している側とは逆側の端部)72bは、封止樹脂76の側面(半導体装置1bの側面)で露出している。封止樹脂76から露出するリード部72は、半導体装置1bの外部端子(端子、外部接続端子)として機能することができ、半導体装置1bは面実装型の半導体パッケージである。

[0122] 本実施の形態においても、上記実施の形態1とほぼ同様の効果を得ることができる。

[0123] 例えば、上記実施の形態1と同様に、本実施の形態においても、半導体基板を用いて製造したダイオード素子チップ2と半導体基板を用いて製造した抵抗素子チップ3とを用いて半導体装置1を製造しているので、ダイオード素子チップ2のダイボンディング条件と抵抗素子チップ3のダイボンディング条件とをほぼ同じにすることができ、ダイオード素子チップ2のワイヤボンディング条件と抵抗素子チップ3のワイヤボンディング条件とをほぼ同じにすることができる。従って、半導体装置の製造が容易になり、また半導体装置の製造コストを低減できる。また、ダイオード素子チップ2と抵抗素子チップ3とを同材料の半導体基板(単結晶シリコン基板)を用いて製造しているので、ダイオード素子チップ2と抵抗素子チップ3との熱膨張率が同程度となり、封止樹脂76の熱膨張率を、ダイオード素子チップ2および抵抗素子チップ3の両方に合わせることができ、封止樹脂76とダイオード素子チップ2との間の密着性(接着強度)と、封止樹脂と抵抗素子チップ3との間の密着性(接着強度)の両方を高めることができ、封止樹脂76とダイオード素子チップ2および抵抗素子チップ3との間に剥離などが生じるのを的確に防止することができる。

[0124] また、本実施の形態においても、上記実施の形態1と同様に、半導体装置1b内に同一形状の複数のタブ73を、第1の方向74aおよび第1の方向74aに交差(直交)する第2の方向74bに等間隔で配列(配置)させているので、半導体装置1b内のタブ73間の容量成分を均一化することができ、また、半導体装置1b内の複数のボンディングワイヤ55の全ての長さを実質的に同じ(一定)にすることができ、各ボンディングワイヤ55のインダクタンス成分を均一化することができる。このため、高周波的に同一特性を有した複数の半導体チップ54を、同一パッケージ(半導体装置)内で得ることができる。従って、半導体装置1b内の特性(高周波特性)を均一化し、半導体装置1bの性能(高周波性能)を向上することができる。また、半導体装置1bの回路設計が容易になる。

[0125] また、本実施の形態では、同一形状の複数のタブ73が、均一(等間隔)に配置されたリードフレーム70を用いて半導体装置1bを製造していので、アプリケーション(所

望の回路）に応じた半導体チップ54およびボンディングワイヤ55の位置を設定でき、半導体装置の設計や構造の自由度を高めることができ、所望の回路および端子を有する半導体装置を容易に実現することができる。

[0126] また、上記実施の形態1と同様に、本実施の形態においても、複数の半導体チップ54（ダイオード素子チップ2または抵抗素子チップ3）を複数のタブ73上に搭載した後、所望の回路に応じてワイヤボンディングを行い、半導体チップ54（ダイオード素子チップ2または抵抗素子チップ3）の表面電極54aとチップ非搭載のタブ73との間、またはチップ非搭載のタブ73間を、ボンディングワイヤ55を介して電気的に接続している。このため、単純な回路構成の半導体装置はもちろん、半導体装置1bのような複数の半導体チップ54を含みかつより複雑な回路構成を有する半導体装置を容易に得る（製造）することが可能になる。

[0127] また、本実施の形態では、リードフレーム70を用いて半導体装置1bを製造している。このため、リード部72の端部72bは、封止樹脂76の側面で露出している。封止樹脂76から露出するリード部72は、半導体装置1bの外部端子として機能する。言い換えると、封止樹脂76の側面から外部端子が露出しているため、実装基板（半導体装置1bを実装する配線基板）との接続が目視できるため、実施の形態1に比べ半導体装置1bの実装信頼度が向上できる。

[0128] （実施の形態3）

上記実施の形態1および2では、半導体装置に内蔵された半導体チップ54として、ダイオード素子チップ2および抵抗素子チップ3を用いていたが、本実施の形態では、半導体装置1cに内蔵された半導体チップ54は、3端子のトランジスタ素子チップ80を含んでいる。

[0129] 図50は、本実施の形態の半導体装置1cの上面透視図（平面図）、図51は半導体装置1cの断面図である。図50は、封止樹脂63を透視したときの半導体装置1cの上面図が示されている。また、図51は、図50のH—H線の断面図にほぼ対応する。また、図50は、平面図であるが、図面を見易くするために半導体チップ54（ダイオード素子チップ2、抵抗素子チップ3またはトランジスタ素子チップ80）にハッチングを付してある。

[0130] 本実施の形態の半導体装置1cは、上記実施の形態1の半導体装置1と同様に、複数のタブ52と、タブ52上に搭載された半導体チップ54と、半導体チップ54の表面電極54aとタブ52(チップ非搭載のタブ52)との間またはタブ52(チップ非搭載のタブ52)同士の間を電気的に接続する複数のボンディングワイヤ55と、これらを覆う封止樹脂63とを有している。複数のタブ52が第1の方向(縦方向)53aおよび第1の方向53aに交差(好ましくは直交)する第2の方向(横方向)に均一に(等間隔に)アレイ状に配置(配列)されているのは、上記実施の形態1と同様である。

[0131] 本実施の形態では、半導体チップ54として、ダイオード素子チップ2と抵抗素子チップ3とトランジスタ素子チップ80とが、タブ52上にダイボンディングされている。トランジスタ素子チップ80は、例えば、単結晶シリコンなどからなる半導体基板(半導体ウエハ)にMISFETなどのトランジスタ素子などを形成した後、必要に応じて半導体基板の裏面研削を行ってから、裏面全面に裏面電極を形成し、ダイシングなどにより半導体基板を各トランジスタ素子チップ80に分離したものである。

[0132] トランジスタ素子チップ80は、その表面に、ソースまたはドレインの一方のパッド電極に対応する第1の表面電極80aと、ゲートのパッド電極に対応する第2の表面電極80bとを有しており、その裏面に、ソースまたはドレインの他方の電極に対応する裏面電極80cとを有している。トランジスタ素子チップ80は、ダイオード素子チップ2や抵抗素子チップ3と同様にしてタブ52にダイボンディングされ、トランジスタ素子チップ80の裏面電極80cは、タブ52に溶着され、電気的に接続される。トランジスタ素子チップ80の第1の表面電極80aと第2の表面電極80bとは、それぞれボンディングワイヤ55を介して、チップ非搭載のタブ52に電気的に接続される。この際、トランジスタ素子チップ80の第1の表面電極80aと第2の表面電極80bとは、それぞれ異なるタブ52にボンディングワイヤ55を介して接続される。従って、トランジスタ素子チップ80の第1の表面電極80aに接続されるボンディングワイヤ55の向きと、第2の表面電極80bに接続されるボンディングワイヤ55の向きとは、異なるものとなる。他の構成および製造工程は、上記実施の形態1とほぼ同様であるので、ここではその説明は省略する。

[0133] 本実施の形態においても、上記実施の形態1および2と、ほぼ同様の効果を得るこ

とができる。

[0134] (実施の形態4)

図52は、本実施の形態の半導体装置1dの要部断面図である。

[0135] 上記実施の形態1ー3では、半導体装置(1, 1a, 1b, 1c)に内蔵された半導体チップ54のワイヤボンディング工程として、先に半導体チップ54の表面電極54aにボンディングワイヤ55の一端を接続(ファーストボンディング)してから、チップ非搭載のタブ52にボンディングワイヤ55の他端を接続(セカンドボンディング)している。これに対し、本実施の形態では、図52に示すように、先にチップ非搭載のタブ52にボンディングワイヤ55の一端を接続(ファーストボンディング)してから、半導体チップ54の表面電極54aにボンディングワイヤ55の他端を接続(セカンドボンディング)している。半導体装置1dの他の構成および製造方法は、上記実施の形態1ー3の半導体装置1, 1a, 1b, 1cと同様とすることができるので、ここではその説明は省略する。

[0136] ワイヤボンディング工程では、熱圧着により超音波を印加しながらキャピラリの先端を接続面に押し付けて接続する(ファーストボンディング)。その後、キャピラリを上方に引き上げてから横方向に移動させ、ボンディングワイヤをセカンドボンディング側にこすりつけて接続し、ボンディングワイヤを切断する。このため、ファーストボンディング側のワイヤループ高さが生じるため、封止樹脂の表面からワイヤが露出しないように、封止樹脂を厚く形成しなくてはならない。

[0137] しかしながら、図52に示すように、先にチップ非搭載のタブ52にボンディングワイヤ55の一端を接続(ファーストボンディング)してから、半導体チップ54の表面電極54aにボンディングワイヤ55の他端を接続(セカンドボンディング)することで、ワイヤループ高さは半導体チップ54の厚さとほぼ等しく形成できるため、封止樹脂63の厚さを薄く形成することができる。

[0138] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

[0139] ダイオード素子チップなどを封止した半導体装置およびその製造技術に適用して

有効である。

請求の範囲

[1] 複数の導体部と、

半導体基板を用いて製造され、その表面に形成された第1表面電極とその裏面に形成された第1裏面電極とを有し、前記導体部上に前記第1裏面電極を対向させて搭載されたダイオード素子チップと、

半導体基板を用いて製造され、その表面に形成された第2表面電極とその裏面に形成された第2裏面電極とを有し、前記導体部上に前記第2裏面電極を対向させて搭載された抵抗素子チップと、

前記ダイオード素子チップの前記第1表面電極と前記導体部との間、前記抵抗素子チップの前記第2表面電極と前記導体部との間、または前記導体部間を電気的に接続する複数のボンディングワイヤと、

前記複数の前記導体部、前記ダイオード素子チップ、前記抵抗素子チップおよび前記複数のボンディングワイヤを封止する封止樹脂と、

を有することを特徴とする半導体装置。

[2] 請求項1記載の半導体装置であって、

前記ダイオード素子チップの前記第1裏面電極は、前記ダイオード素子チップを搭載する前記導体部と電気的に接続され、

前記抵抗素子チップの前記第2裏面電極は、前記抵抗素子チップを搭載する前記導体部と電気的に接続され、

前記ダイオード素子チップの前記第1表面電極は、前記ダイオード素子チップおよび前記抵抗素子チップを搭載していない前記導体部と前記ボンディングワイヤを介して電気的に接続され、

前記抵抗素子チップの前記第2表面電極は、前記ダイオード素子チップおよび前記抵抗素子チップを搭載していない前記導体部と前記ボンディングワイヤを介して電気的に接続されていることを特徴とする半導体装置。

[3] 請求項1記載の半導体装置であって、

前記複数の導体部は、同一形状を有し、第1の方向および前記第1の方向に交差する第2の方向に等間隔で配置されていることを特徴とする半導体装置。

[4] 請求項1記載の半導体装置であって、

前記ダイオード素子チップの前記第1裏面電極は、前記ダイオード素子チップを搭載する前記導体部に溶着され、

前記抵抗素子チップの前記第2裏面電極は、前記抵抗素子チップを搭載する前記導体部に溶着されていることを特徴とする半導体装置。

[5] 請求項1記載の半導体装置であって、

前記ダイオード素子チップ製造用の半導体基板と、前記抵抗素子チップ製造用の半導体基板とは、同じ材料の半導体基板からなることを特徴とする半導体装置。

[6] 同一形状を有し、第1の方向および前記第1の方向に交差する第2の方向に等間隔で配置されている複数の導体部と、

その表面に形成された表面電極とその裏面に形成された裏面電極とを有し、前記複数の導体部上に前記裏面電極を対向させて搭載された複数の半導体チップと、

前記半導体チップの前記表面電極と前記導体部との間または前記導体部間を電気的に接続する複数のボンディングワイヤと、

前記複数の前記導体部、前記複数の半導体チップおよび前記複数のボンディングワイヤを封止する封止樹脂と、

を有することを特徴とする半導体装置。

[7] 請求項6記載の半導体装置であって、

前記半導体チップの前記裏面電極は、前記半導体チップを搭載する前記導体部と電気的に接続され、

前記半導体チップの前記表面電極は、前記半導体チップを搭載していない前記導体部と前記ボンディングワイヤを介して電気的に接続されていることを特徴とする半導体装置。

[8] 請求項6記載の半導体装置であって、

前記複数の半導体チップは、半導体基板にダイオード素子が形成されたダイオード素子チップと、半導体基板に抵抗素子が形成された抵抗素子チップとを含むことを特徴とする半導体装置。

[9] 請求項6記載の半導体装置であって、

前記複数のボンディングワイヤは、前記第1の方向に平行な方向に形成されたボンディングワイヤと、前記第2の方向に平行な方向に形成されたボンディングワイヤとを含むことを特徴とする半導体装置。

[10] (a)複数の導体部を有する基板またはフレームを準備する工程、

(b)前記基板の前記複数の導体部上に、その表面に形成された表面電極とその裏面に形成された裏面電極とを有する複数の半導体チップを搭載する工程、

(c)前記各半導体チップの前記表面電極と前記半導体チップを搭載していない前記導体部との間、または前記導体部間をボンディングワイヤを介して電気的に接続する工程、

(d)前記複数の導体部、前記複数の半導体チップおよび前記ボンディングワイヤを封止樹脂で封止する工程、

を有し、

前記(a)工程で準備された前記基板またはフレームでは、前記複数の導体部は同一形状を有し、第1の方向および前記第1の方向に交差する第2の方向に等間隔で配置されていることを特徴とする半導体装置の製造方法。

[11] 請求項10記載の半導体装置の製造方法であって、

前記(a)工程では、板状部材上に前記複数の導体部がアレイ状に配列した構造の前記基板またはフレームが準備され、

前記(d)工程の後、更に、

(d1)前記板状部材を、前記封止樹脂で封止された前記複数の導体部から除去する工程、

(e)前記(d1)工程後に、前記封止樹脂を切断する工程、

を有することを特徴とする半導体装置の製造方法。

[12] 請求項10記載の半導体装置であって、

前記(d)工程の後、更に、

(e)前記封止樹脂を切断する工程、

を有し、

前記(e)工程では、所望の回路に応じて、切断する位置を変更することを特徴とす

る半導体装置の製造方法。

[13] 請求項10記載の半導体装置の製造方法であって、

前記複数の半導体チップは、半導体基板にダイオード素子が形成されたダイオード素子チップと、半導体基板に抵抗素子が形成された抵抗素子チップとを含むことを特徴とする半導体装置の製造方法。

[14] 請求項10記載の半導体装置の製造方法であって、

前記(c)工程では、所望の回路に応じて、前記各半導体チップの前記表面電極と前記半導体チップを搭載していない前記導体部との間、または前記導体部間をボンディングワイヤを介して電気的に接続することを特徴とする半導体装置の製造方法。

[15] 請求項10記載の半導体装置であって、

前記(b)工程では、前記半導体チップの前記裏面電極と前記導体部とが溶着されることを特徴とする半導体装置の製造方法。

[16] 請求項10記載の半導体装置であって、

前記(c)工程では、第1の方向および前記第1の方向に交差する第2の方向にワイヤボンディングが行われることを特徴とする半導体装置の製造方法。

[17] (a)主面を有する板状部材を準備する工程、

(b)互いに同一形状であり、かつ、互いに電気的に独立する複数の導体部を準備する工程、

(c)互いに対向する表面および裏面と、前記表面に形成された第1電極と、前記裏面に形成された第2電極とを有する複数の半導体チップを準備する工程、

(d)前記板状部材の主面上に、前記複数の導体部を第1の方向および前記第1の方向に交差する第2の方向に等間隔で配置する工程、

(e)前記導体部上に、前記半導体チップを搭載する工程、

(f)前記複数の導体部において前記半導体チップが搭載されていない前記導体部と前記半導体チップの前記第1電極とをボンディングワイヤを介して電気的に接続する工程、

(g)前記複数の導体部、前記複数の半導体チップおよび前記ボンディングワイヤを封止樹脂で封止する工程、

(h)前記板状部材を前記封止樹脂で封止された前記複数の導体部から除去する工程、

(i)前記(h)工程の後、前記封止樹脂を切断する工程、

を有することを特徴とする半導体装置の製造方法。

[18] 請求項17記載の半導体装置の製造方法であって、

前記封止樹脂は互いに対向する表面及び裏面を有し、

前記(h)工程の後、前記複数の導体部の一部が前記封止樹脂の裏面から露出することを特徴とする半導体装置の製造方法。

[19] 請求項17記載の半導体装置の製造方法であって、

前記(f)工程は、

(f1)前記複数の導体部において前記半導体チップが搭載されていない前記導体部に前記ボンディングワイヤの一端を接続する工程、

(f2)前記(f1)工程の後、前記半導体チップの前記第1電極に前記ボンディングワイヤの他端を接続する工程、

を有することを特徴とする半導体装置の製造方法。

[20] 請求項17記載の半導体装置の製造方法であって、

前記複数の半導体チップは、

表面および前記表面に対向する裏面を有するn型の半導体基板と、

前記半導体基板の表面上に形成され、かつ、前記半導体基板のn型の不純物濃度よりも低いn型の不純物濃度を有するエピタキシャル層と、

前記エピタキシャル層の表面側に形成されたp型の半導体領域と、

前記半導体領域上に形成された前記第1電極と、

前記半導体基板の裏面に形成された前記第2電極と、

を有する半導体チップを含むことを特徴とする半導体装置の製造方法。

[21] 請求項17記載の半導体装置の製造方法であって、

前記複数の半導体チップは、

表面および前記表面に対向する裏面を有するn型の半導体基板と、

前記半導体基板の表面上に形成され、かつ、前記半導体基板のn型の不純物濃

度よりも低いn型の不純物濃度を有するエピタキシャル層と、

前記エピタキシャル層の表面側であり、かつ、前記エピタキシャル層の前記表面側における中心付近以外に形成されたp型の半導体領域と、

前記エピタキシャル層の表面側であり、かつ、前記エピタキシャル層の前記表面側における前記中心付近に形成されたn型の半導体領域と、

前記n型の半導体領域上に形成された前記第1電極と、

前記半導体基板の裏面に形成された前記第2電極と、

を有する半導体チップを含むことを特徴とする半導体装置の製造方法。

[22] 請求項17記載の半導体装置の製造方法であって、

前記(e)工程では、前記半導体チップの第2電極と前記導体部とが溶着されることを特徴とする半導体装置の製造方法。

[23] 請求項17記載の半導体装置の製造方法であって、

前記(f)工程は、

(f1)前記第1の方向と平行な方向に前記ボンディングワイヤを接続する工程、

(f2)前記(f1)工程の後、前記第2の方向と平行な方向に前記ボンディングワイヤを接続する工程、

を有することを特徴とする半導体装置の製造方法。

[24] 請求項17記載の半導体装置の製造方法であって、

前記複数の導体部の平面形状は、正方形であることを特徴とする半導体装置の製造方法。

[25] 請求項17記載の半導体装置の製造方法であって、

前記板状部材は、金属板からなることを特徴とする半導体装置の製造方法。

[26] 請求項17記載の半導体装置の製造方法であって、

前記複数の半導体チップは、複数種類の半導体チップを有し、

前記(e)工程は、

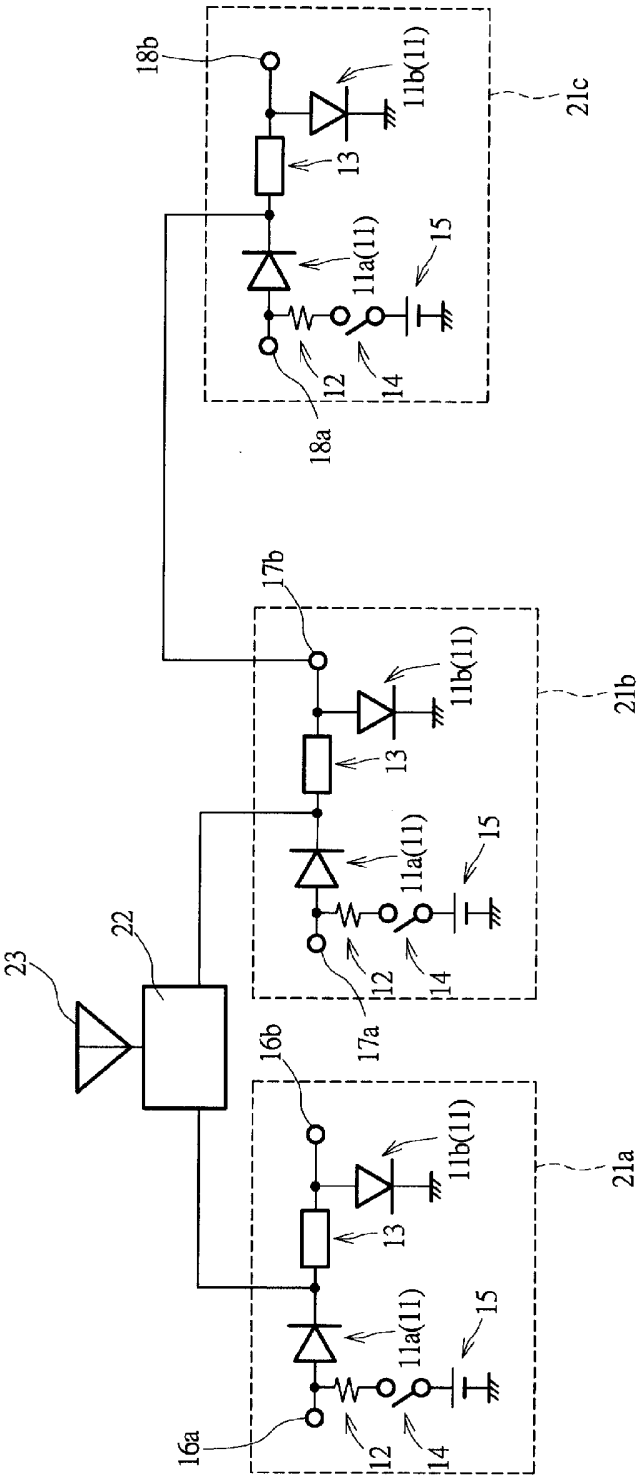
(e1)前記導体部上に、第1種類の複数の半導体チップを搭載する工程、

(e2)前記(e1)工程の後、前記第1種類とは異なる種類の複数の半導体チップを搭載する工程、

を有することを特徴とする半導体装置の製造方法。

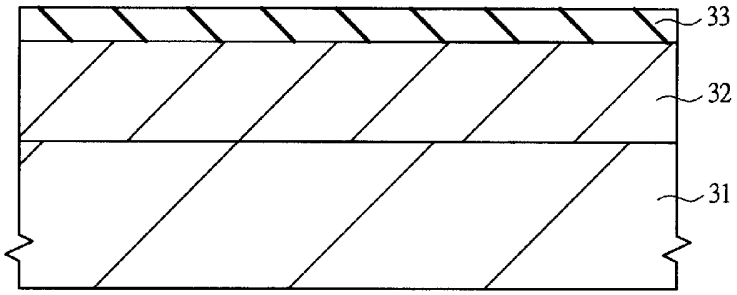
[図1]

図 1


18b
11b(11)
21c
13
11a(11)
15
12
14
18a
17b
11b(11)
21b
13
11a(11)
15
12
14
17a
22
23
16b
11b(11)
21a
13
11a(11)
15
16a
12
14

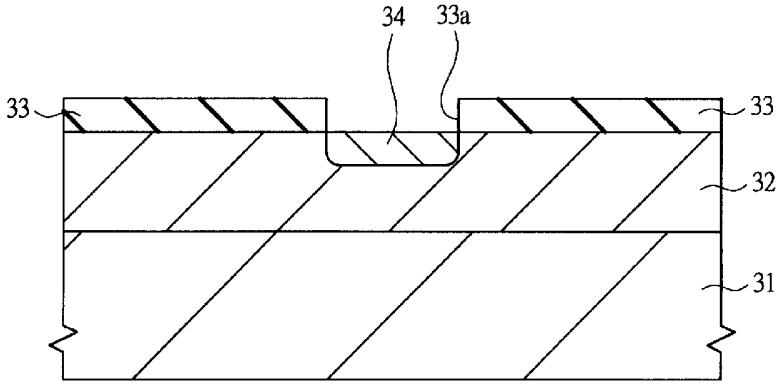
[図2]

図 2



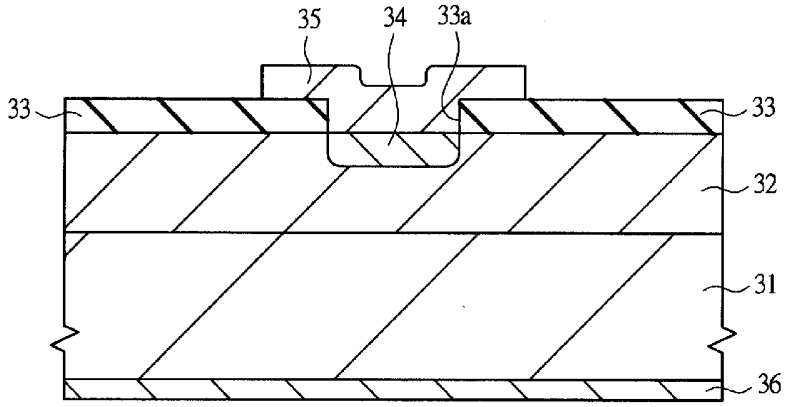
[図3]

図 3



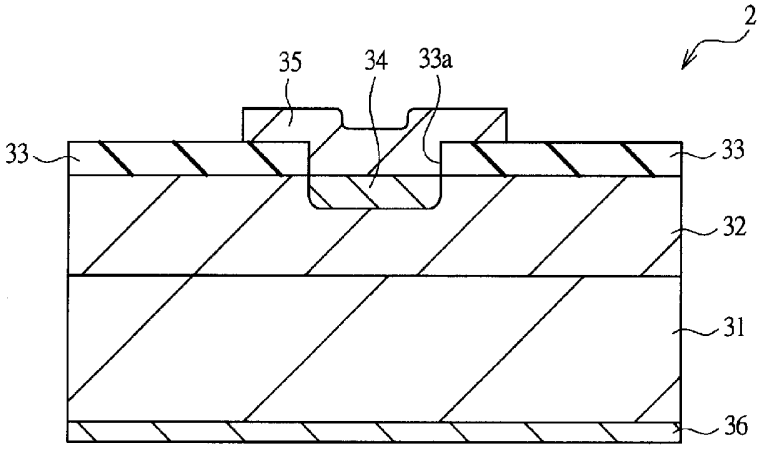
[図4]

図 4



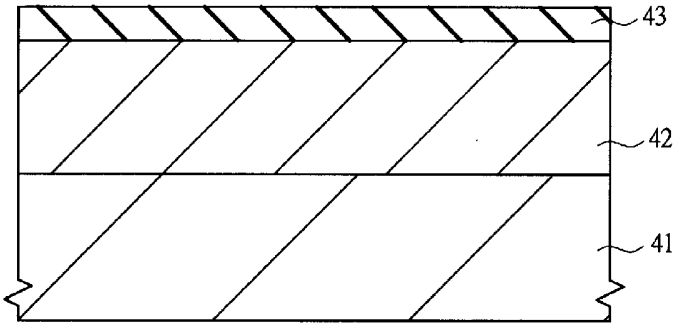
[図5]

図 5



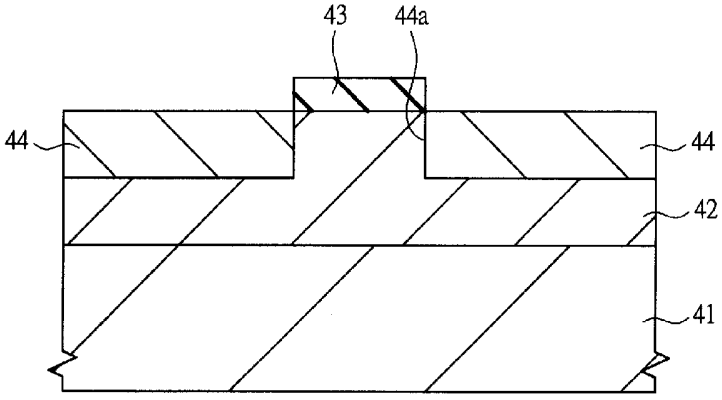
[図6]

図 6



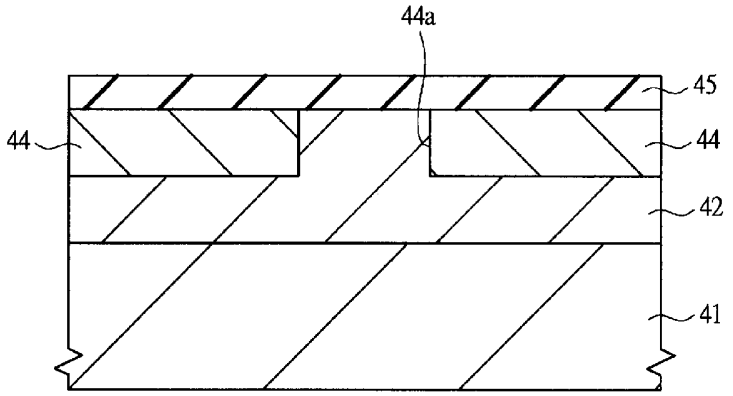
[図7]

図 7



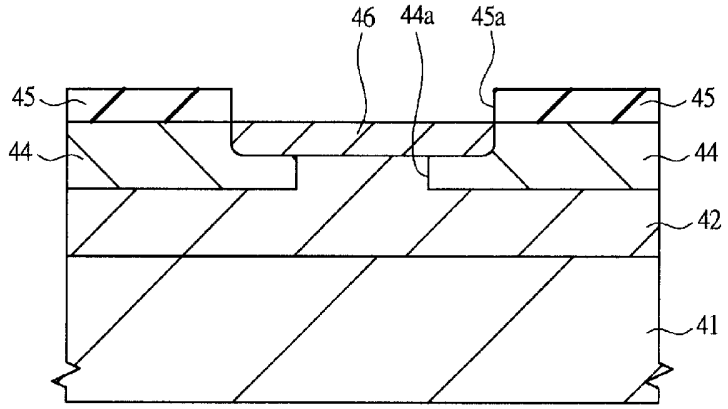
[図8]

図 8



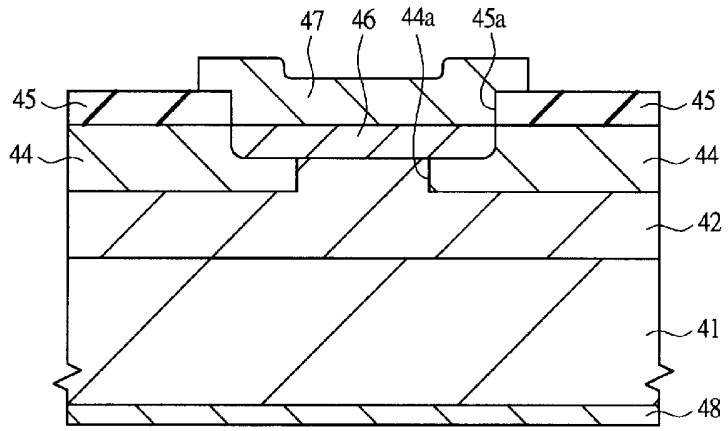
[図9]

図 9



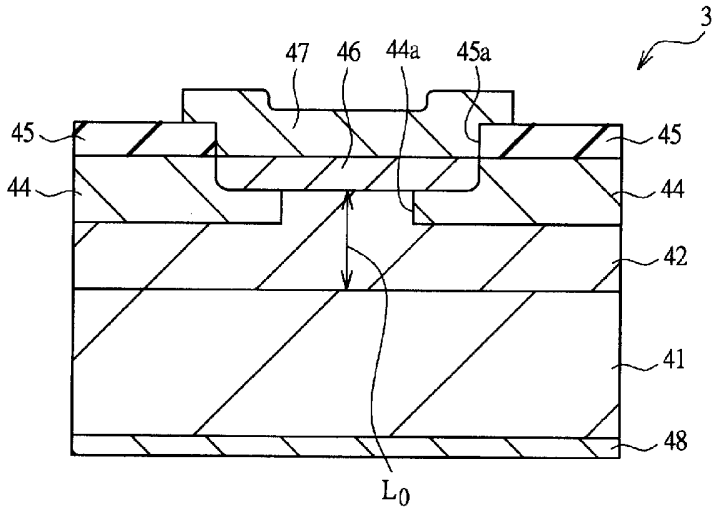
[図10]

図 10



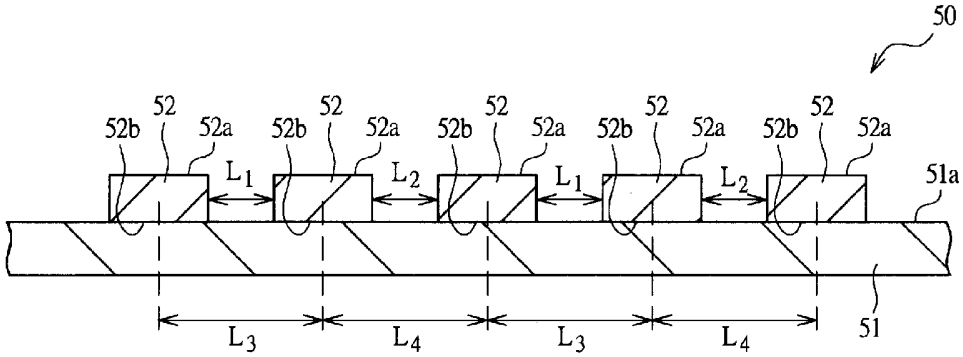
[図11]

図 11



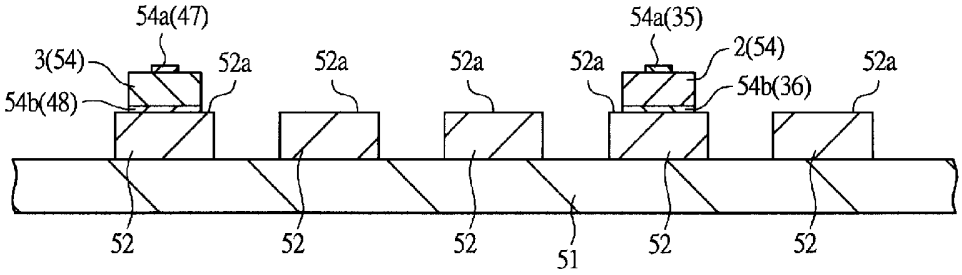
[図12]

図 12



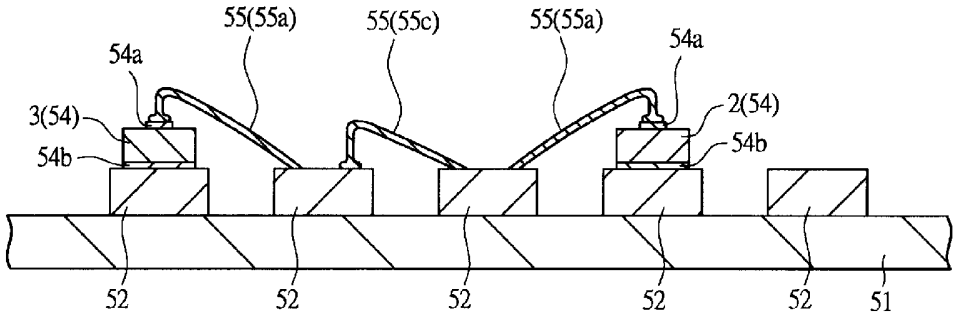
[図13]

図 13



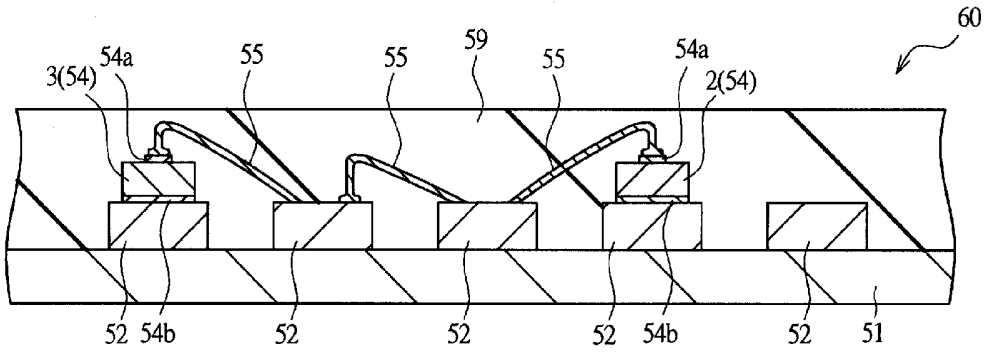
[図14]

図 14



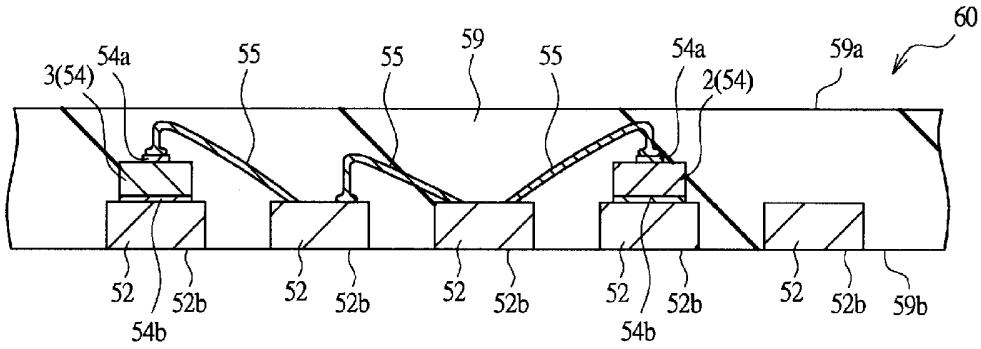
[図15]

図 15



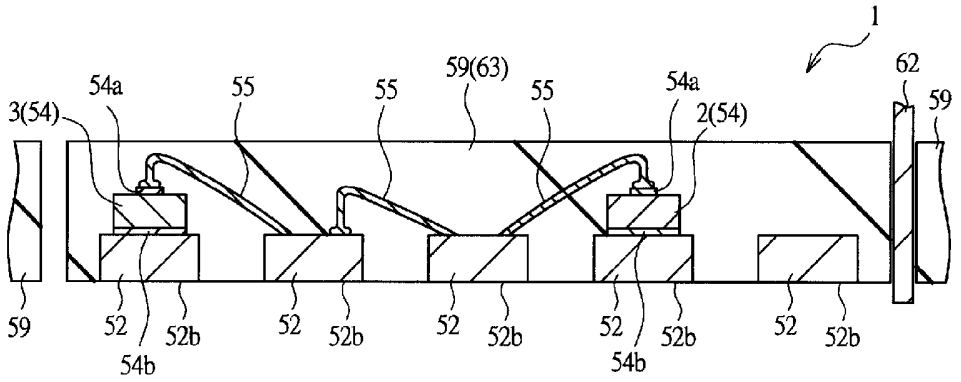
[図16]

図 16



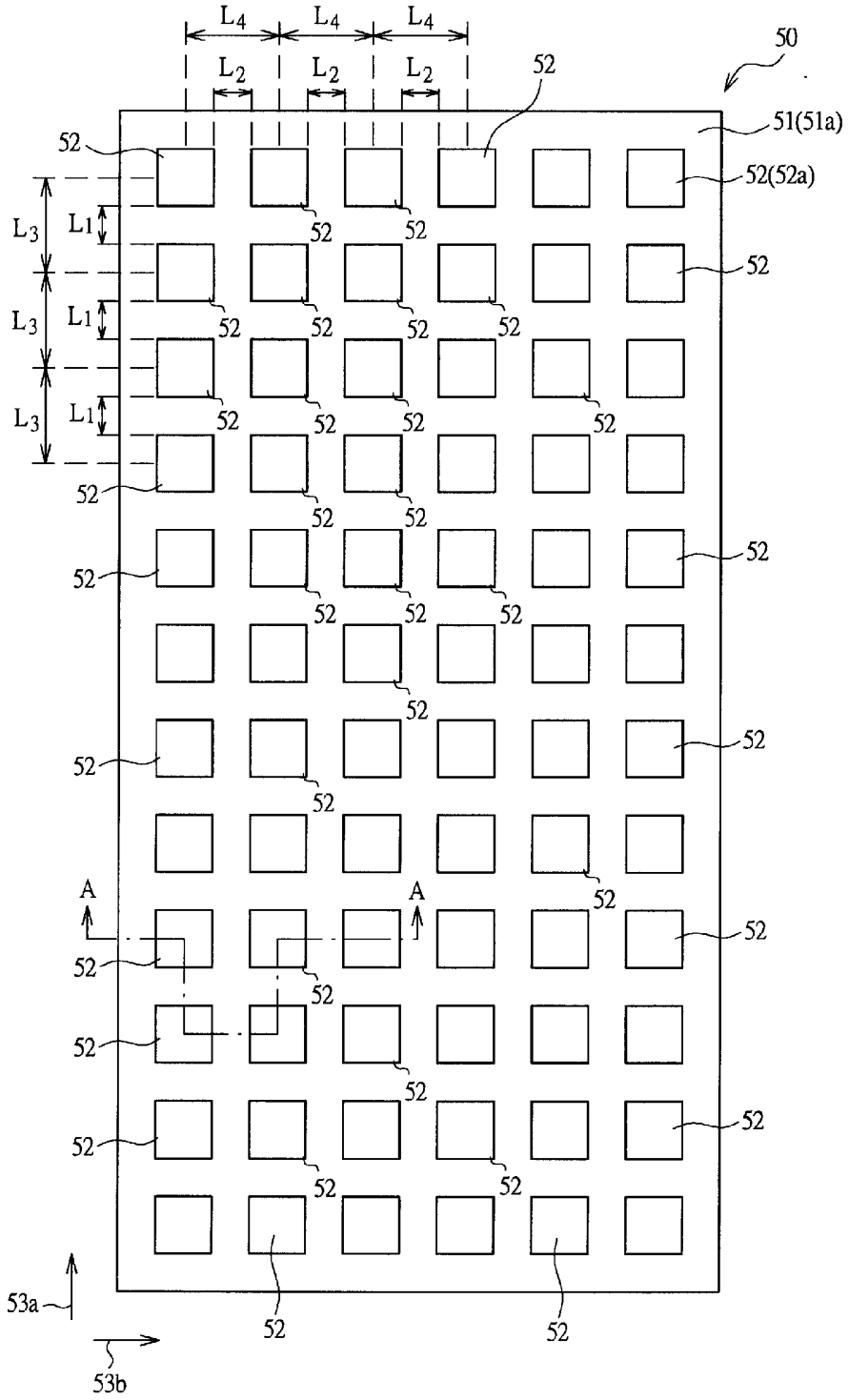
[図17]

図 17



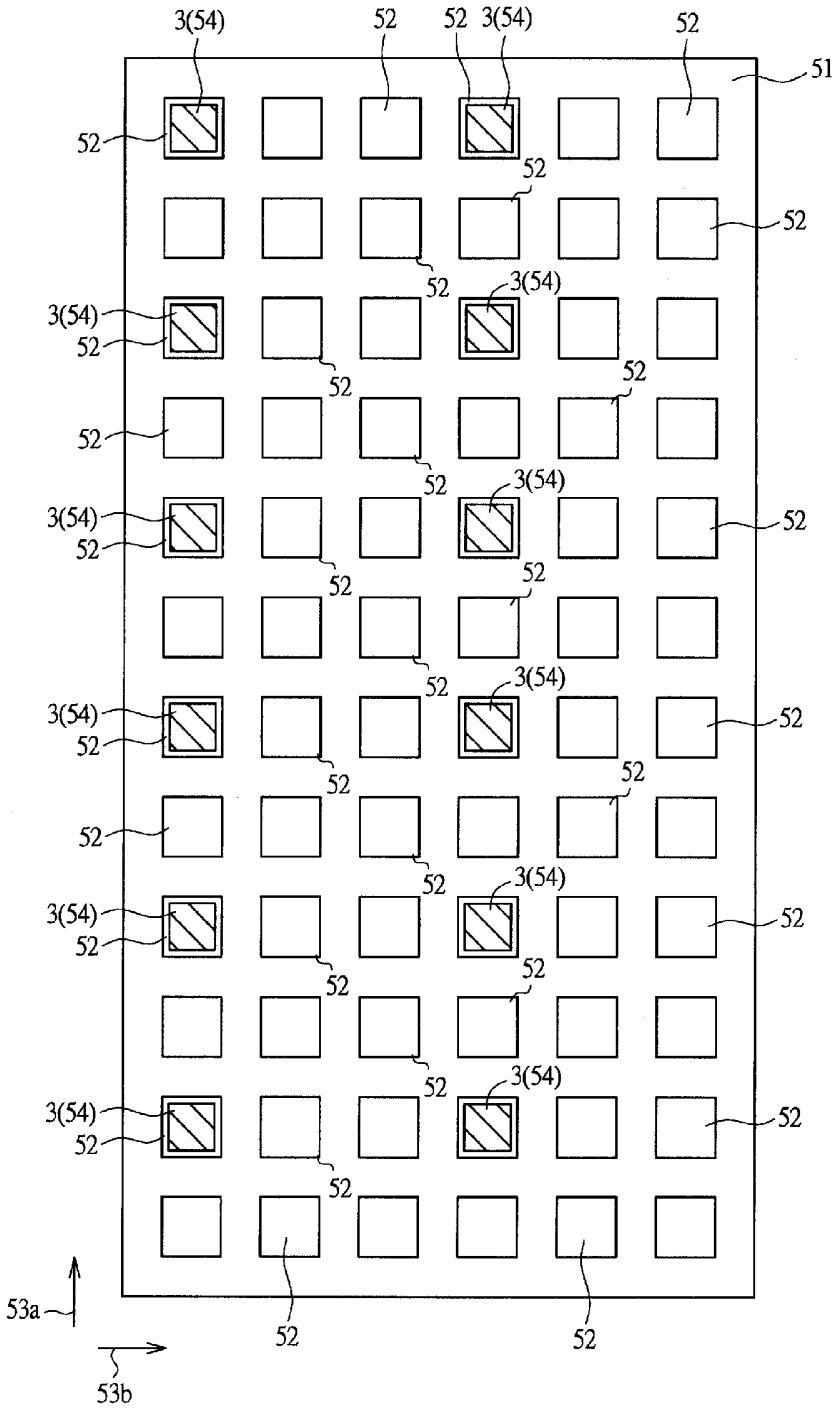
[図18]

図 18



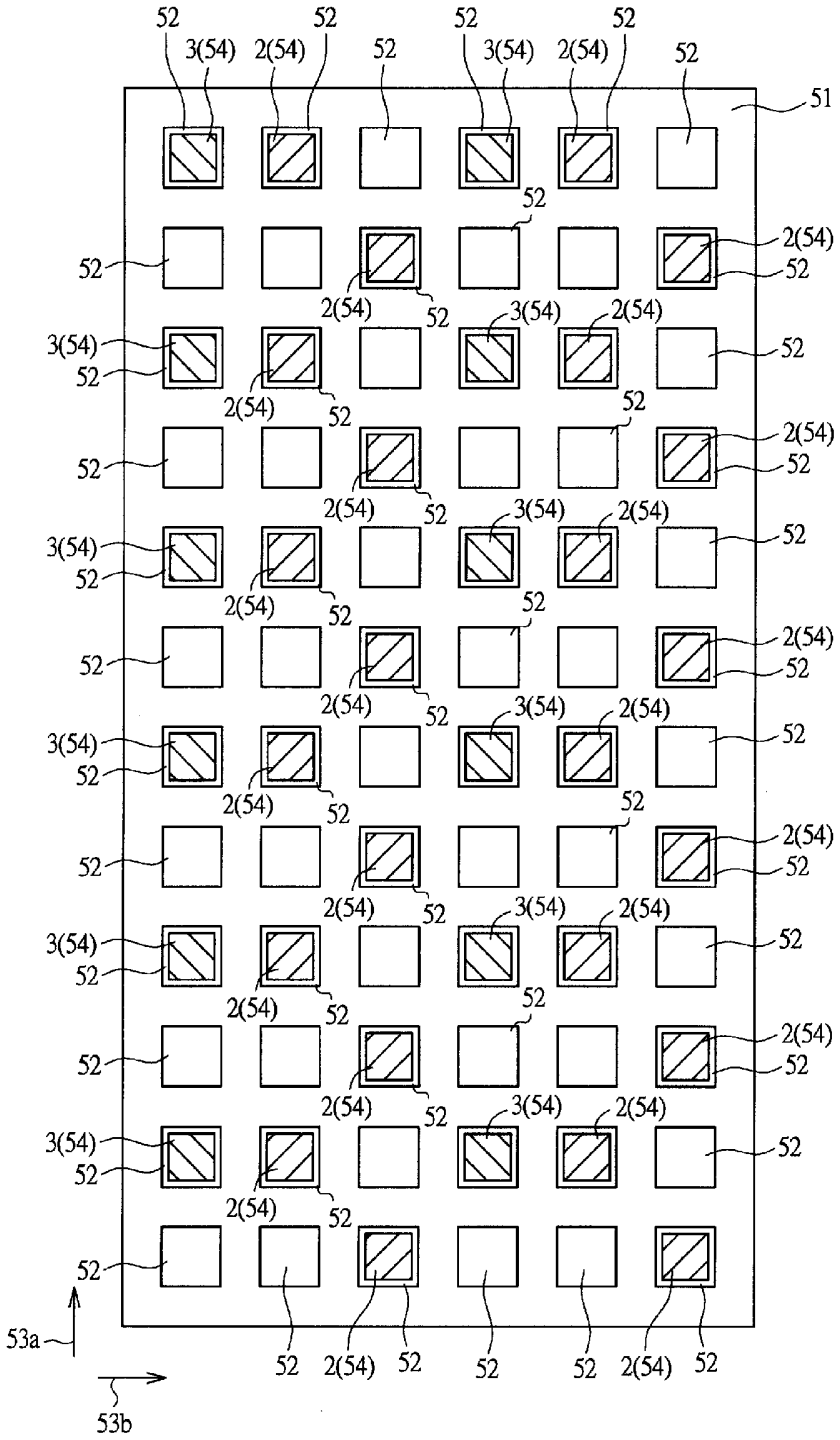
[図19]

図 19



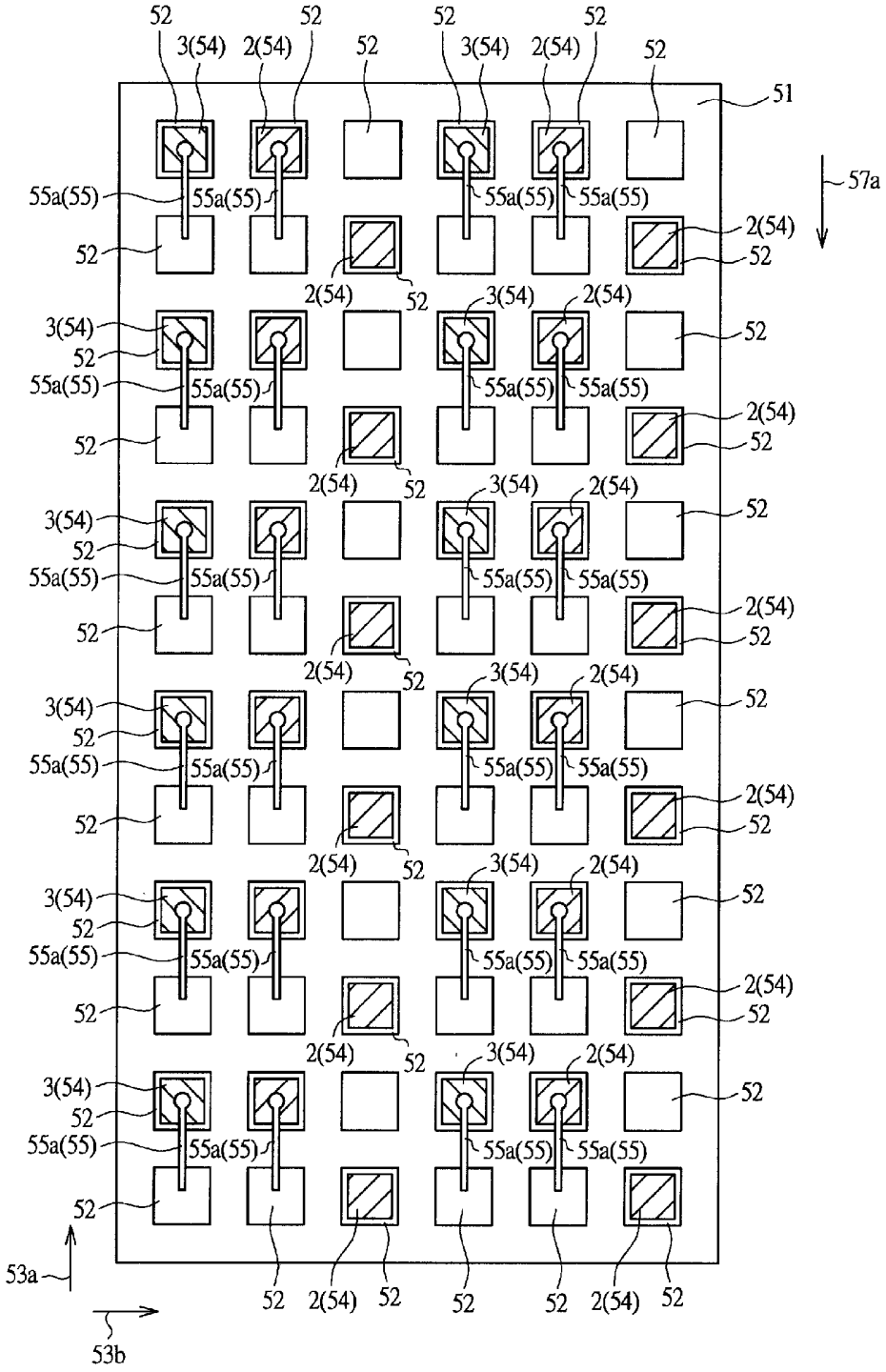
[図20]

図 20



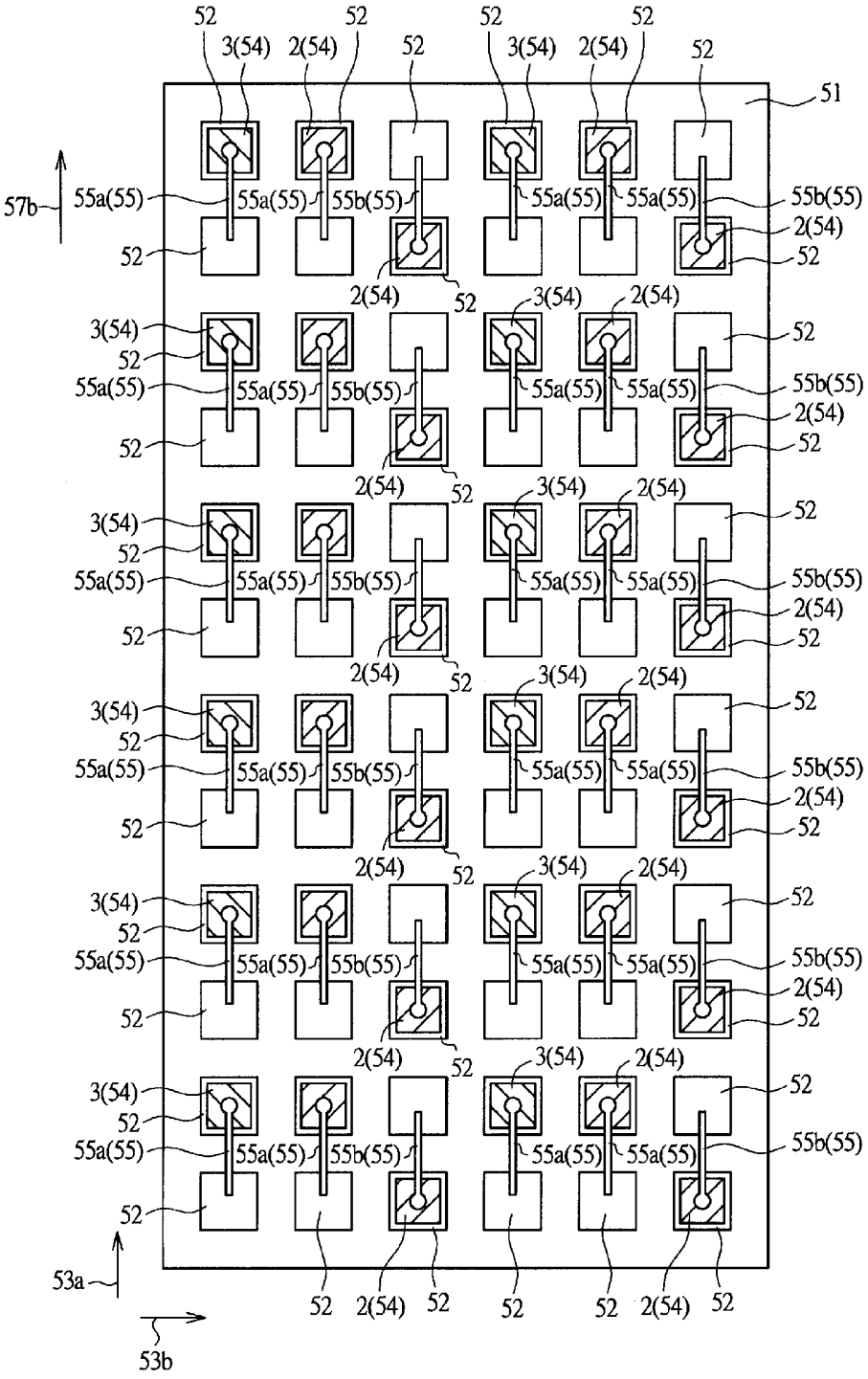
[図21]

図 21



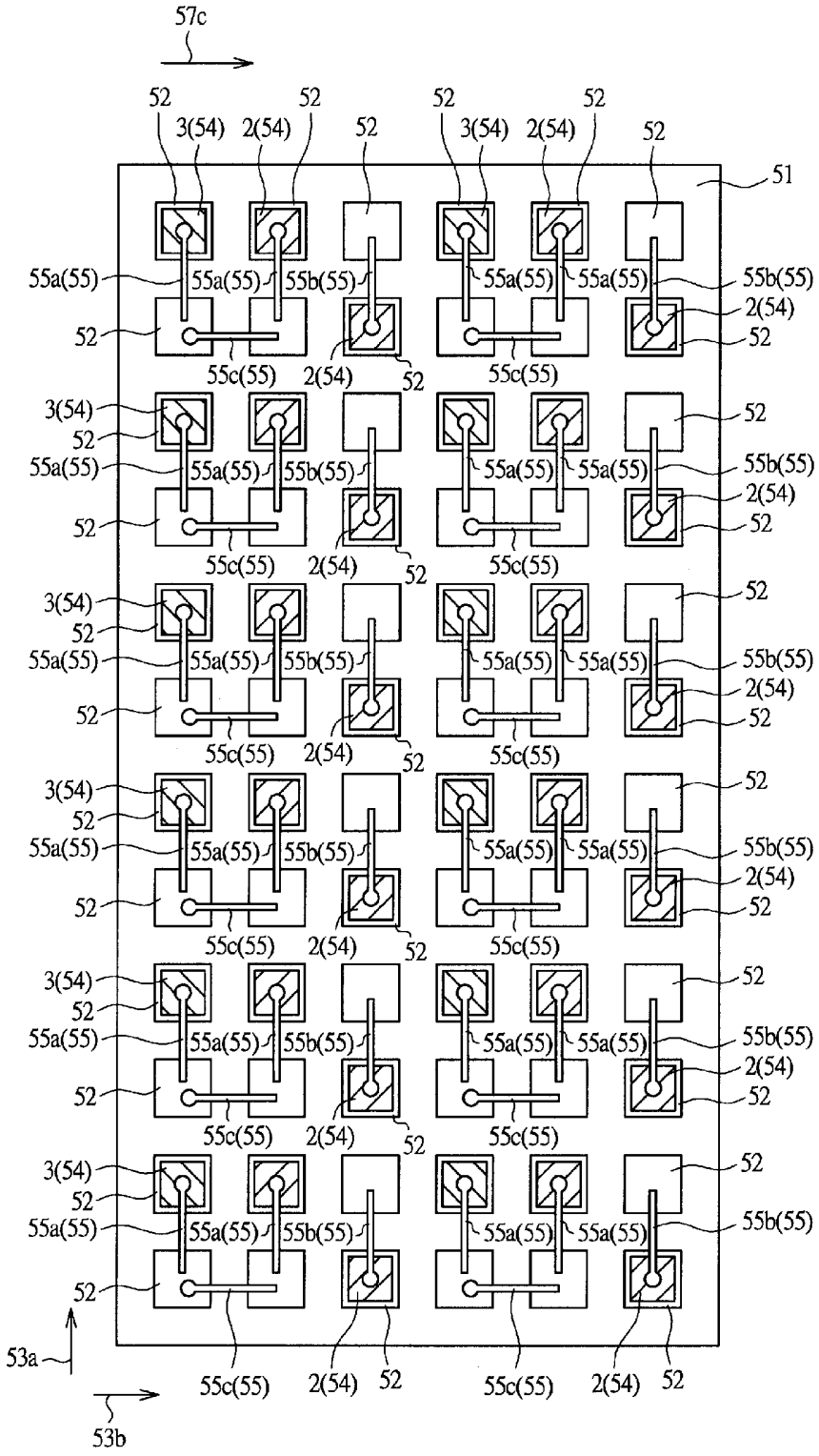
[図22]

図 22



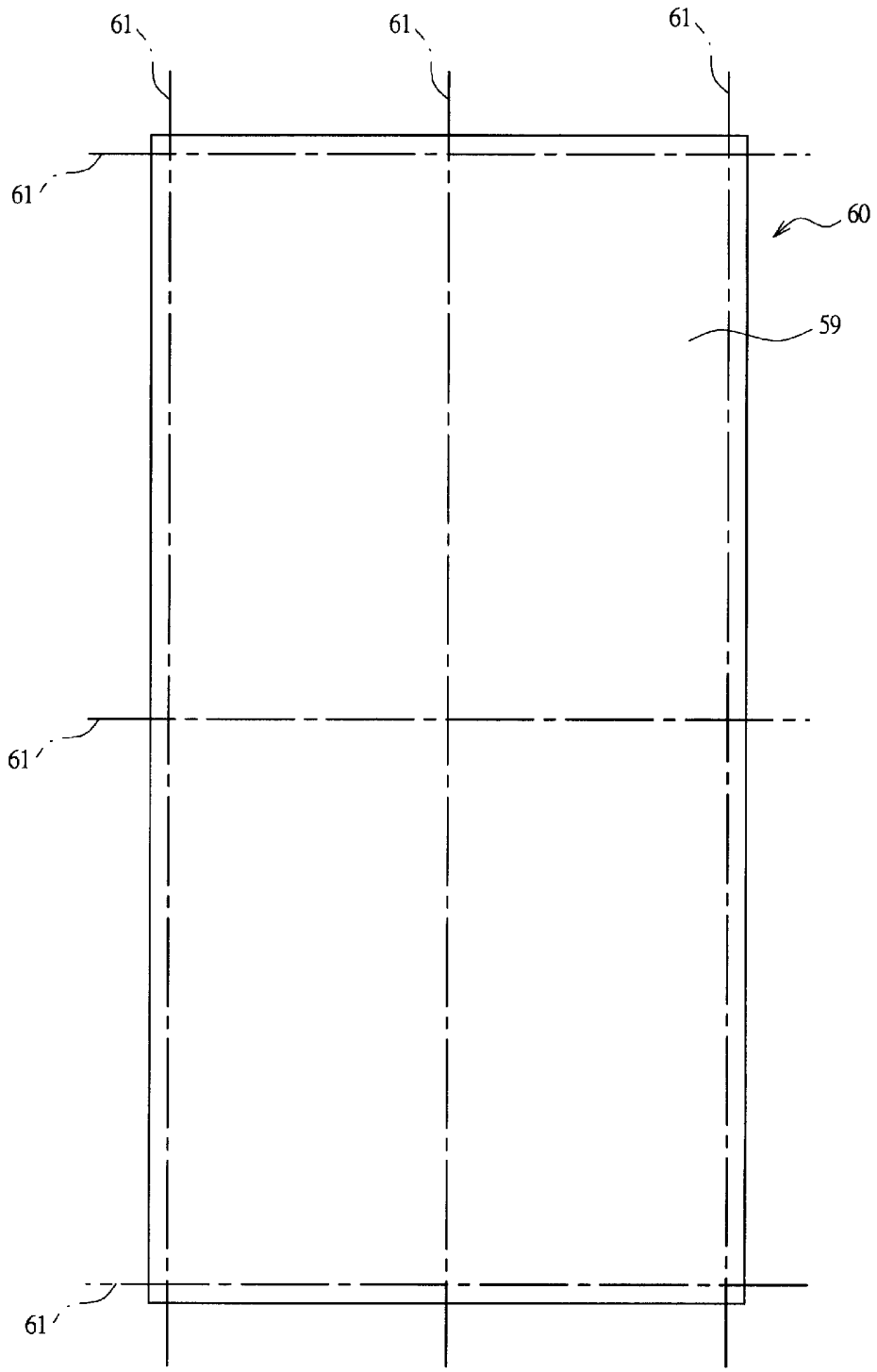
[図23]

図 23



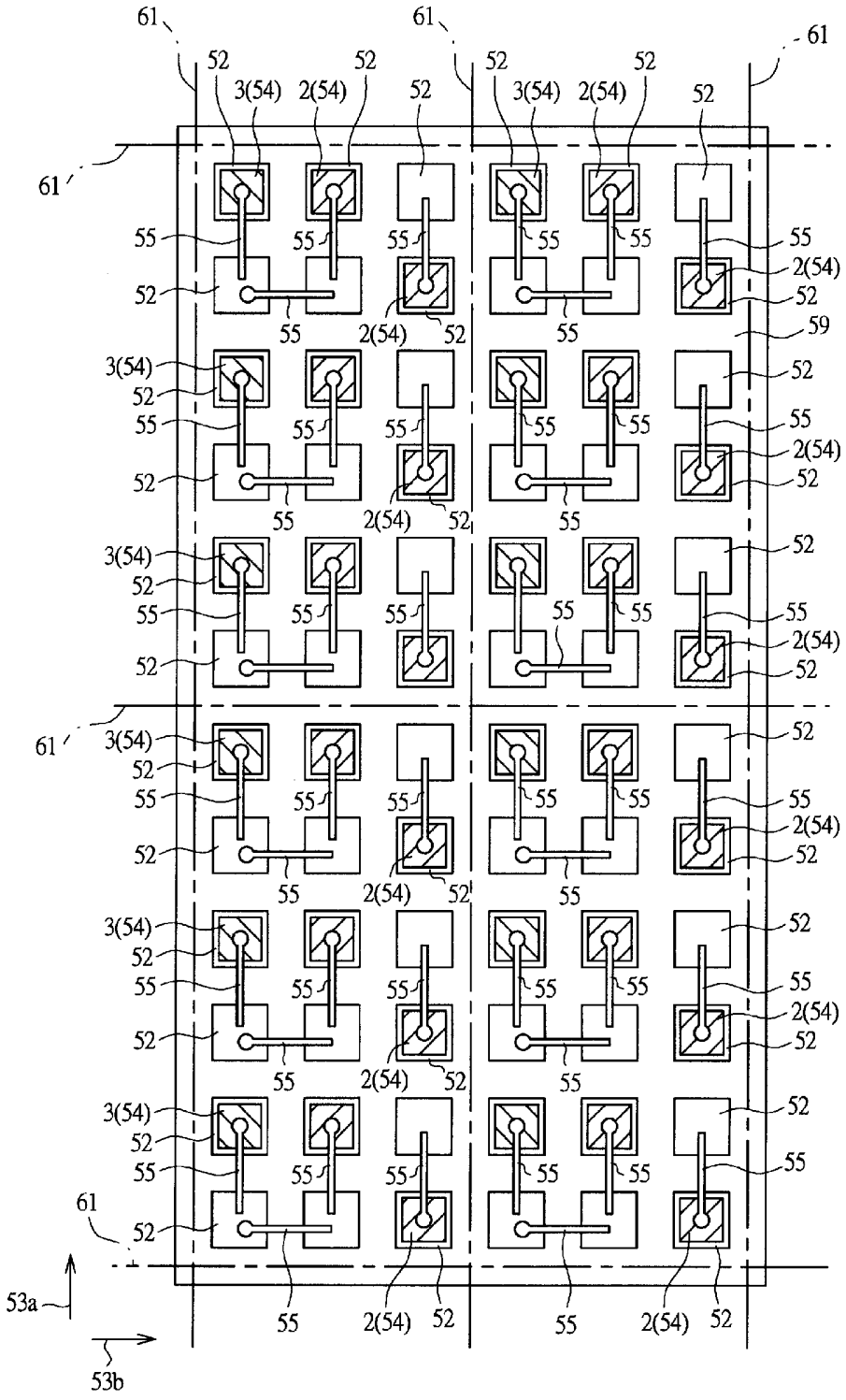
[図24]

図 24



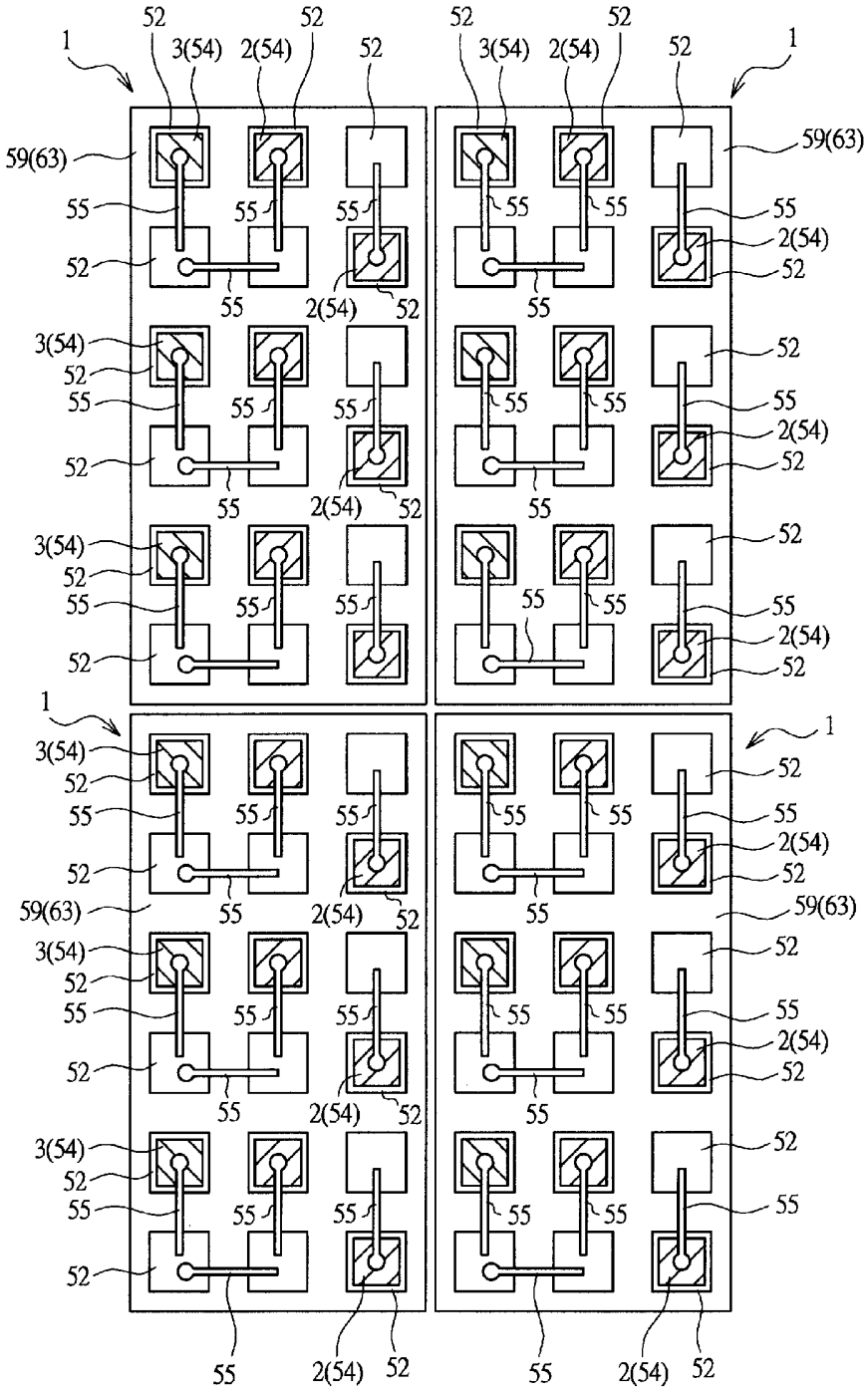
[図25]

図 25



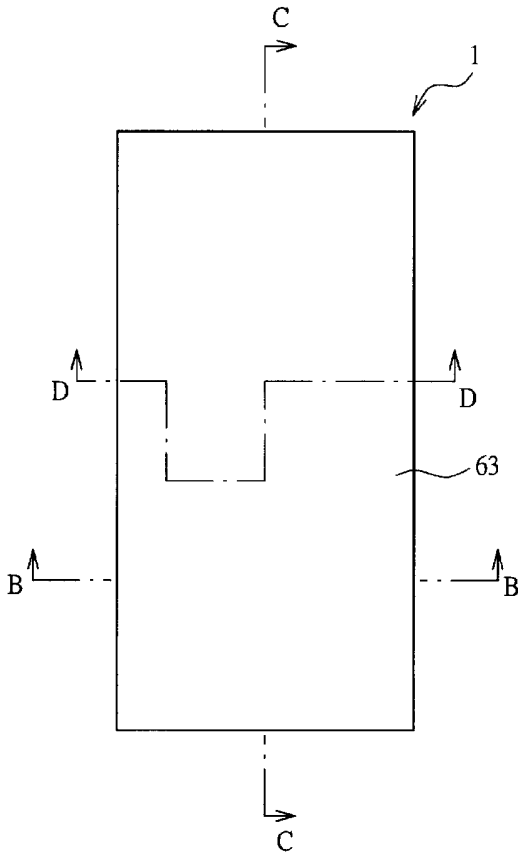
[図26]

図 26



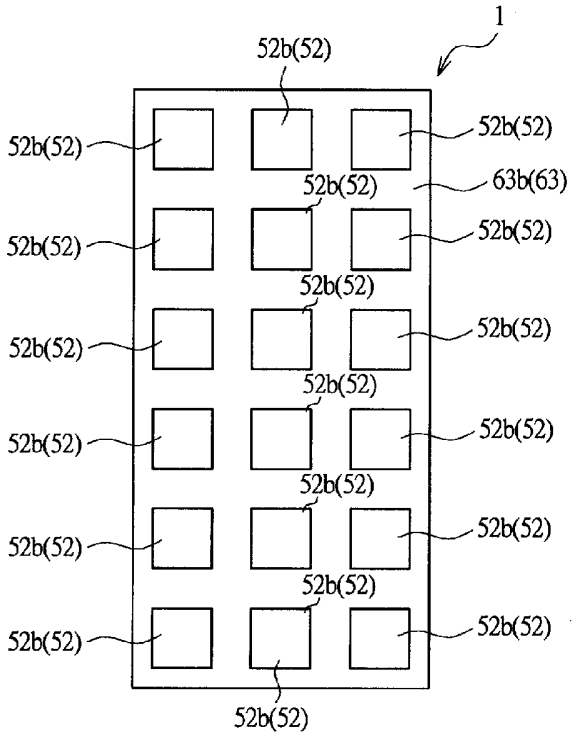
[図27]

図 27



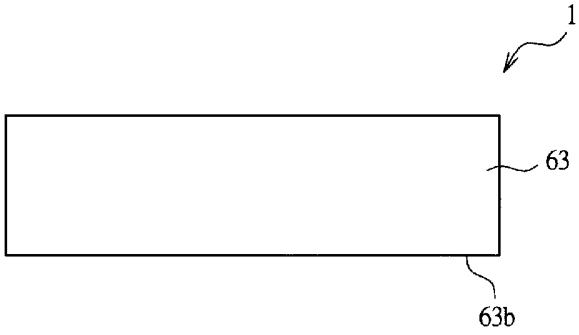
[図28]

図 28


1
52b(52)
52b(52)
52b(52)
52b(52)
63b(63)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)
52b(52)

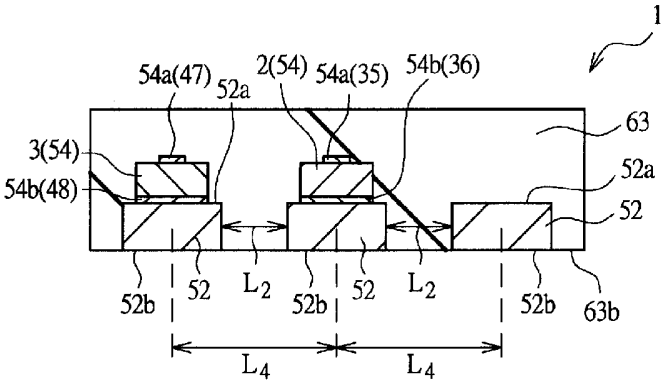
[図29]

図 29



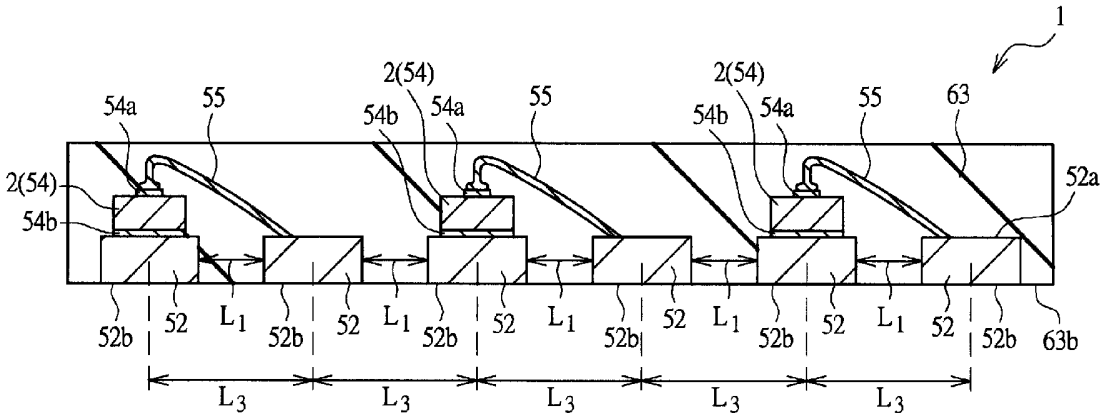
[図30]

図 30



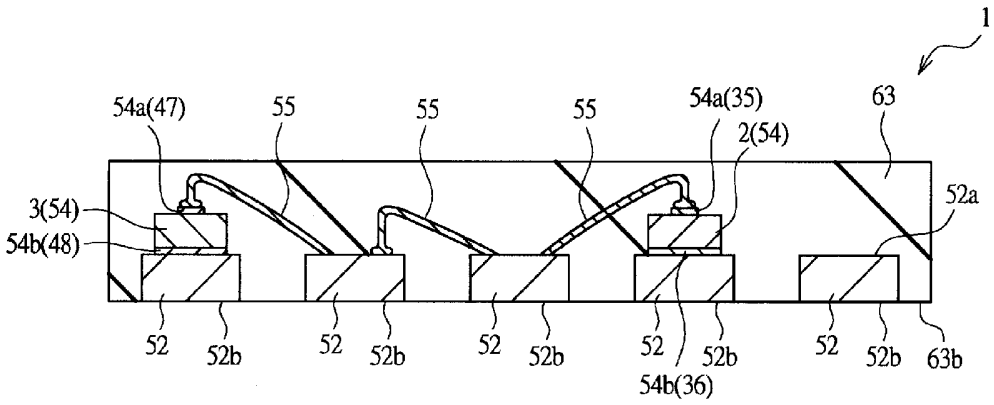
[図31]

図 31



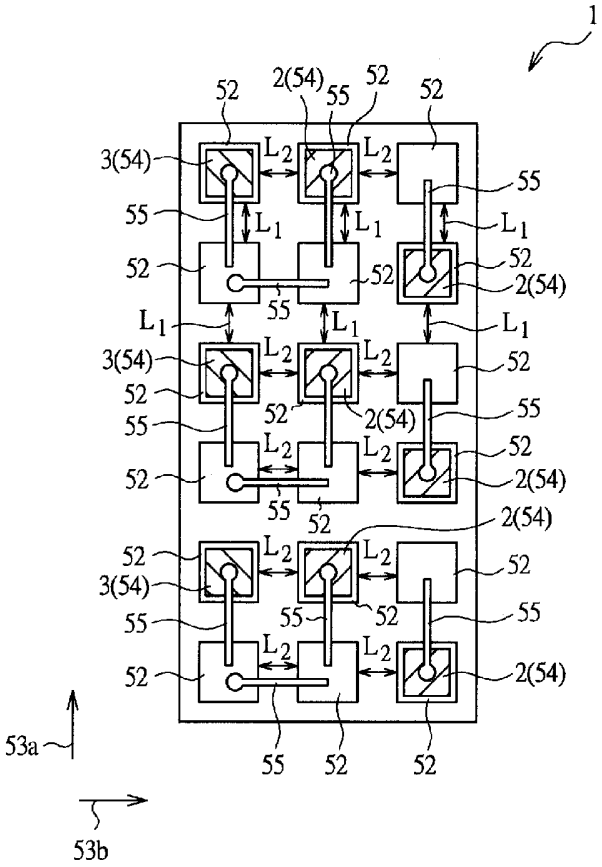
[図32]

図 32



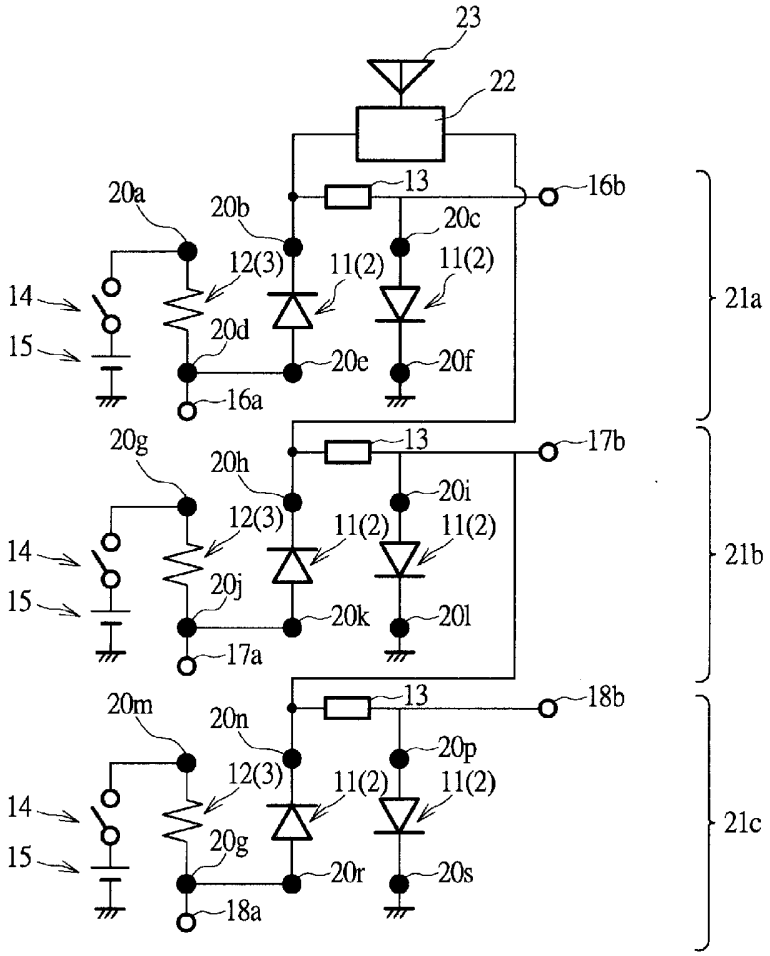
[図33]

図 33


1
52
2(54)
55
52
52
3(54)
L_2
L_2
55
55
L_1
L_1
L_1
52
52
52
2(54)
55
L_1
L_1
L_1
3(54)
L_2
L_2
52
52
52
55
2(54)
55
L_2
L_2
52
52
2(54)
55
52
2(54)
52
L_2
L_2
52
3(54)
52
55
55
52
55
L_2
L_2
52
2(54)
55
52
52
53a
53b

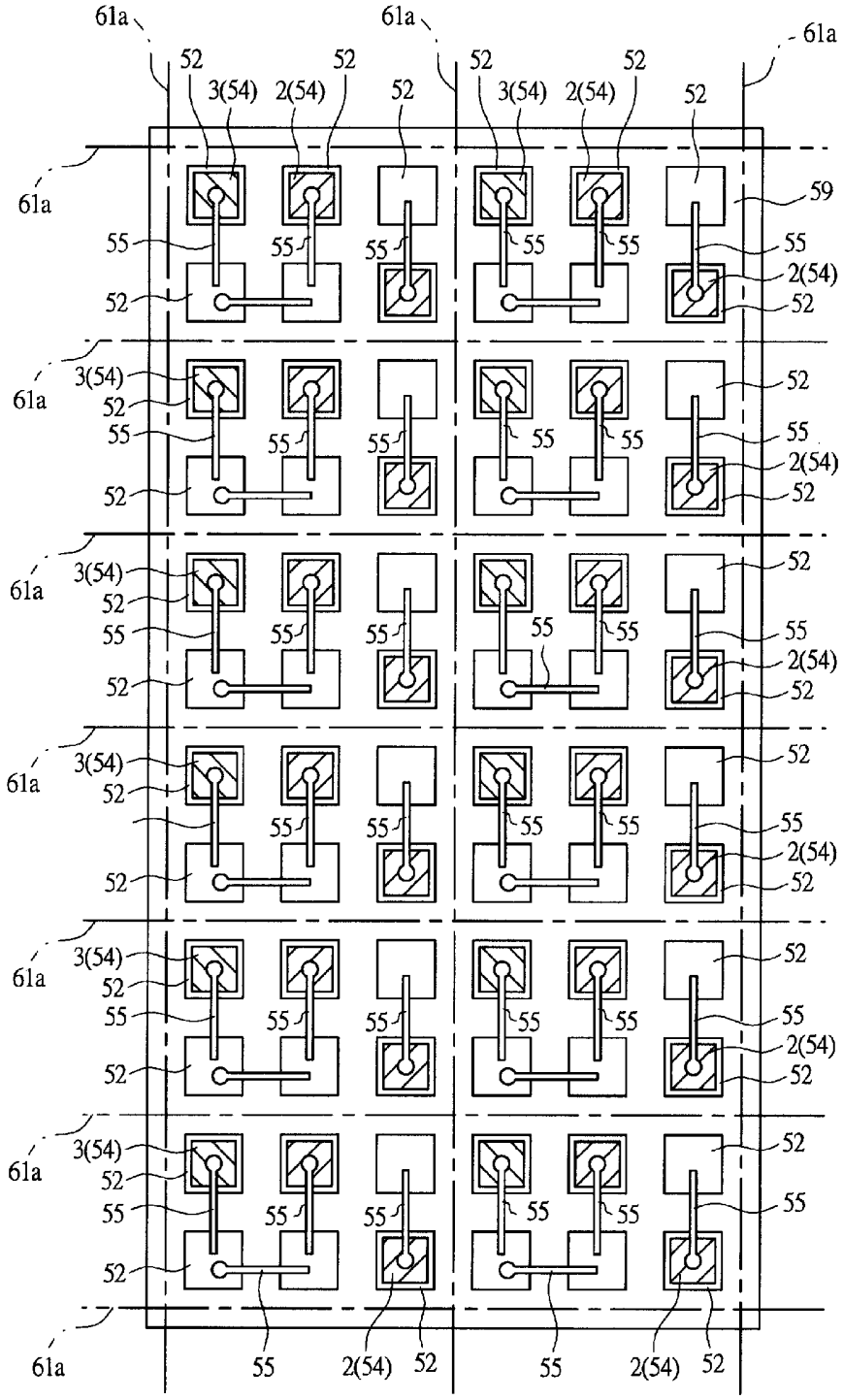
[図34]

図 34


23
22
13
16b
20a
20b
20c
12(3)
11(2)
11(2)
14
15
20d
20e
20f
16a
21a
20g
20h
13
17b
20i
12(3)
11(2)
11(2)
14
15
20j
20k
20l
17a
21b
20m
20n
13
18b
20p
12(3)
11(2)
11(2)
14
15
20g
20r
20s
18a
21c

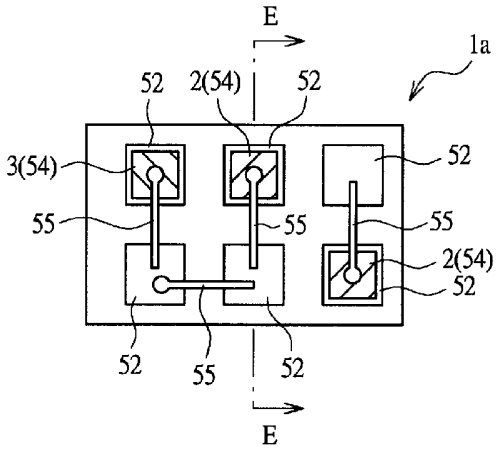
[図35]

図 35



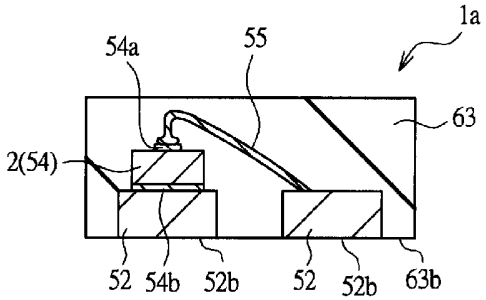
[図36]

図 36



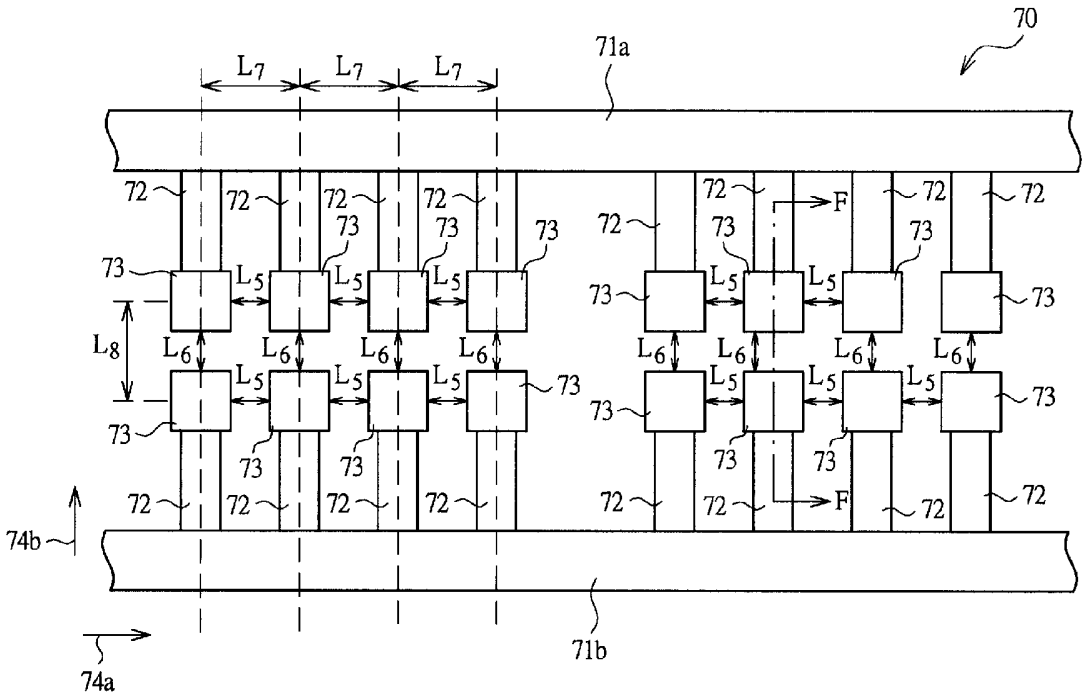
[図37]

図 37



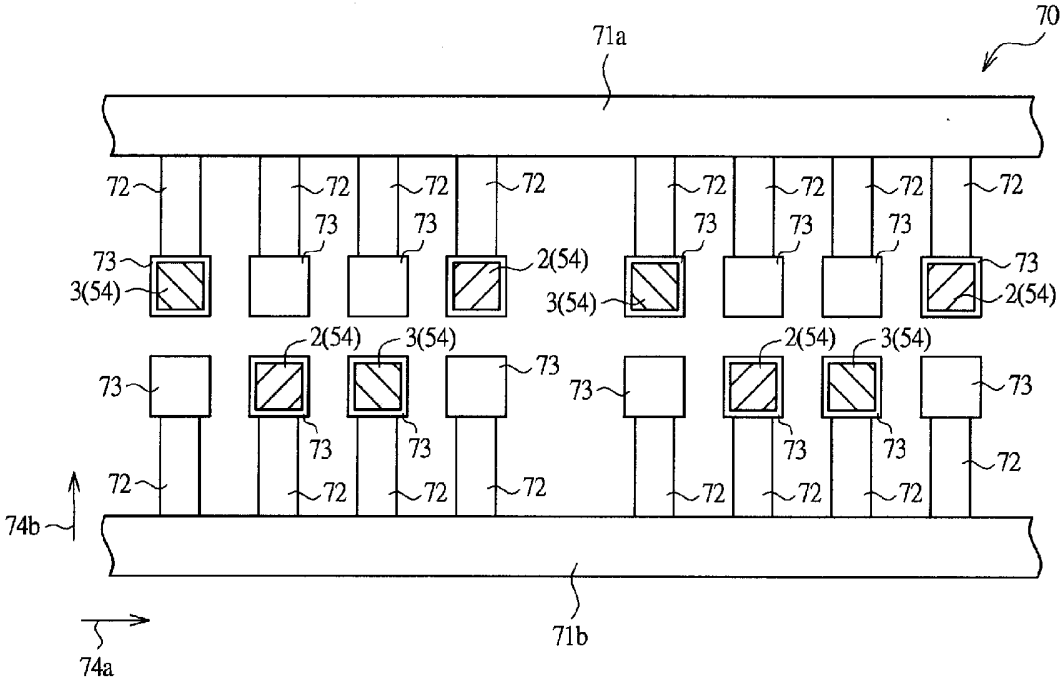
[図38]

図 38



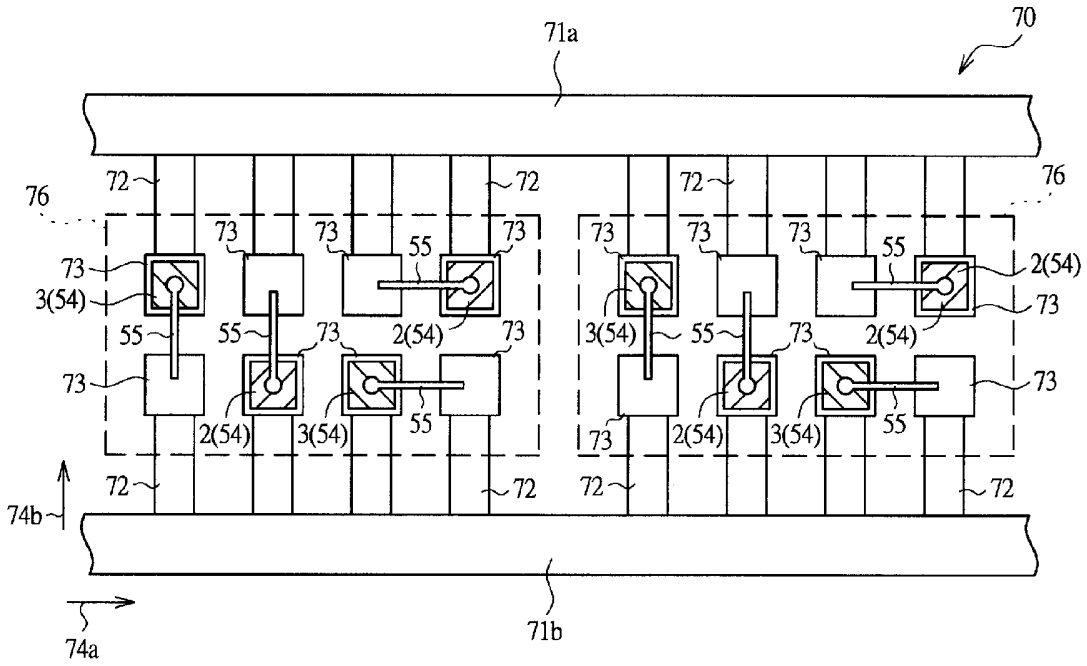
[図39]

図 39



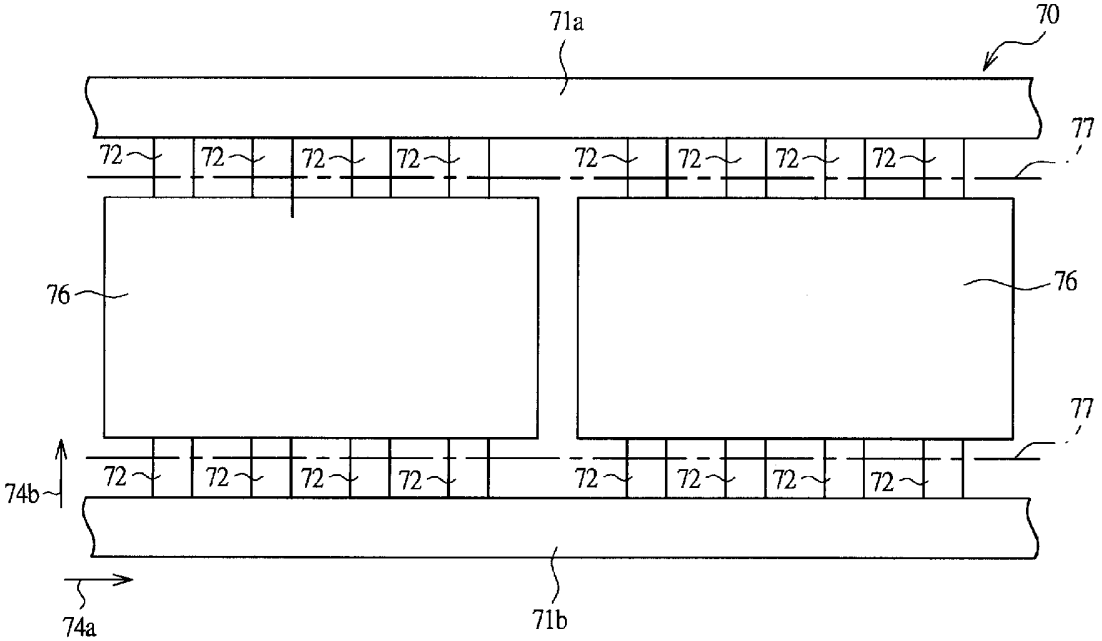
[図40]

図 40



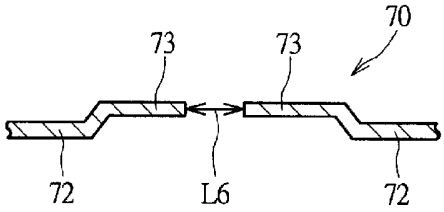
[図41]

図 41



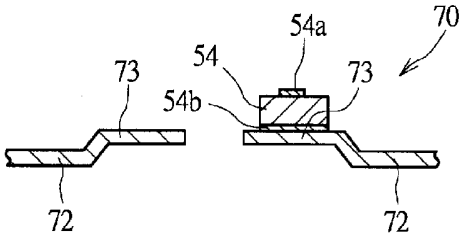
[図42]

図 42



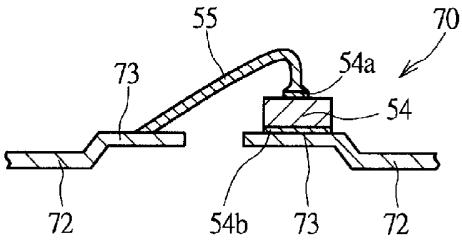
[図43]

図 43



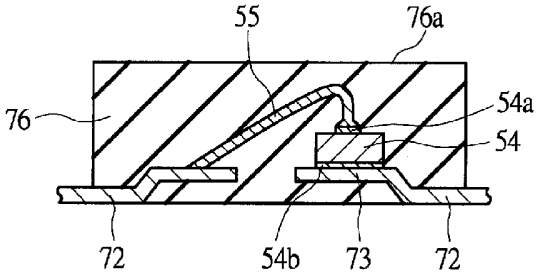
[図44]

図 44



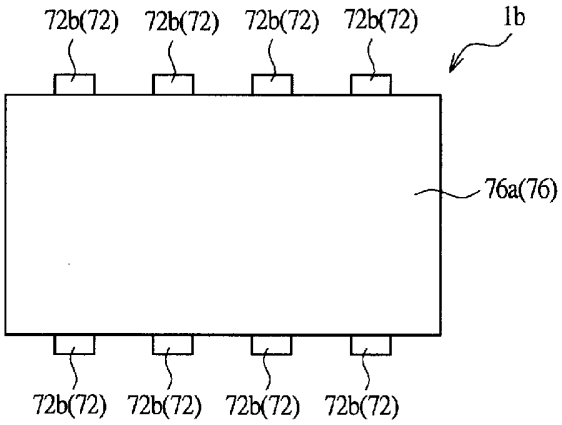
[図45]

図 45



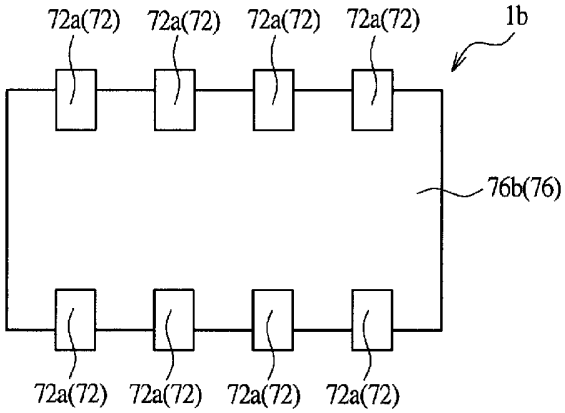
[図46]

図 46



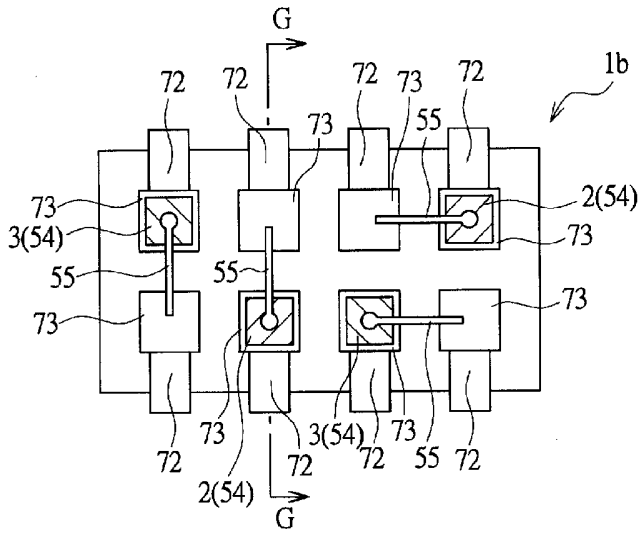
[図47]

図 47



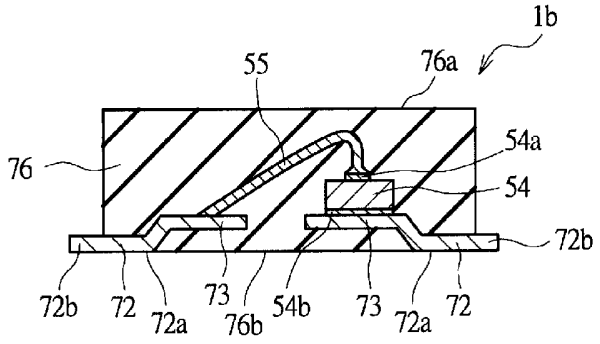
[図48]

図 48



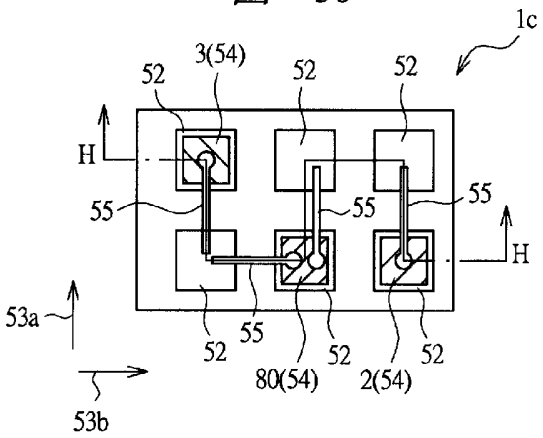
[図49]

図 49



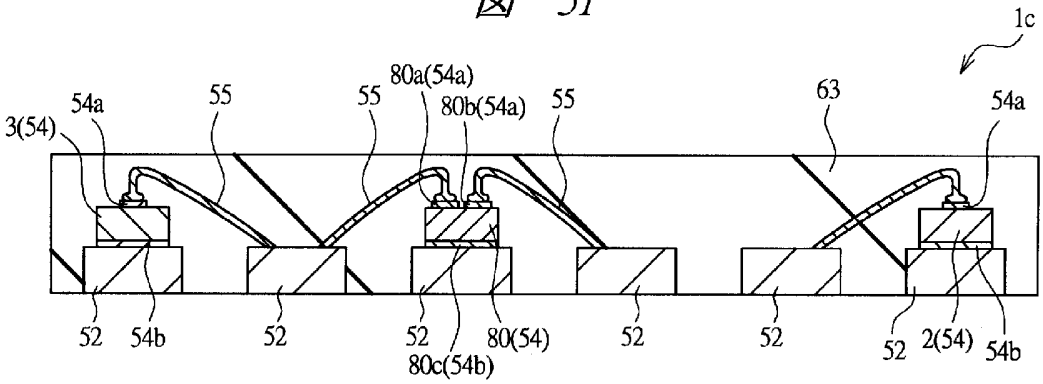
[図50]

図 50



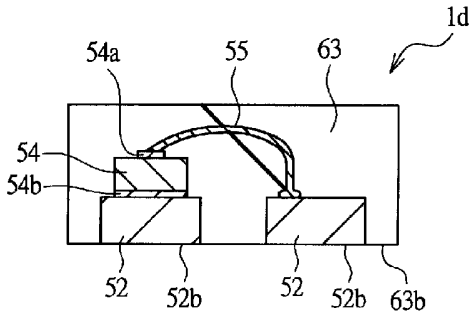
[図51]

図 51



[図52]

図 52



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/017861

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L25/00, 23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L25/00, 23/12, H01C1/00-1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-217338 A (Sanyo Electric Co., Ltd.), 10 August, 2001 (10.08.01), Par. Nos. [0046] to [0077]; Figs. 1 to 12 & EP 1122778 A2 & US 6548328 B1	1-26
Y	JP 2001-210743 A (NEC Corp.), 03 August, 2001 (03.08.01), Par. Nos. [0057] to [0061]; Figs.33 to 35 & US 2001/0009301 A1	1-26
Y	JP 2000-286102 A (Sony Corp.), 13 October, 2000 (13.10.00), Par. Nos. [0012] to [0018]; Figs. 3, 4 & US 5841183 A	1-26

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is notconsidered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 February, 2005 (21.02.05)	08 March, 2005 (08.03.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／０１７８６１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl[7]　H01L 25/00, 23/12

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl[7]　H01L 25/00, 23/12, H01C 1/00-1/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２００５年
日本国登録実用新案公報　１９９４－２００５年
日本国実用新案登録公報　１９９６－２００５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2001-217338 A (三洋電機株式会社) 2001.08.10, 【0046】-【0077】, 図1-12 & EP 1122778 A2 & US 6548328 B1	1-26
Y	JP 2001-210743 A (日本電気株式会社) 2001.08.03, 【0057】-【0061】, 図33-35 & US 2001/0009301 A1	1-26
Y	JP 2000-286102 A (ソニー株式会社) 2000.10.13, 【0012】-【0018】, 図3, 図4 & US 5841183 A	1-26

☐ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２１．０２．２００５	08.3.2005

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	４Ｒ	９６３１
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	酒井　英夫 電話番号　０３－３５８１－１１０１　内線　３４６９		