

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 5 月 11 日 (11.05.2023)



(10) 国际公布号
WO 2023/077611 A1

(51) 国际专利分类号:
GI1C 29/12 (2006.01)

(21) 国际申请号: PCT/CN2021/136583

(22) 国际申请日: 2021 年 12 月 8 日 (08.12.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111310551.4 2021年11月5日 (05.11.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 刘东 (LIU, Dong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui

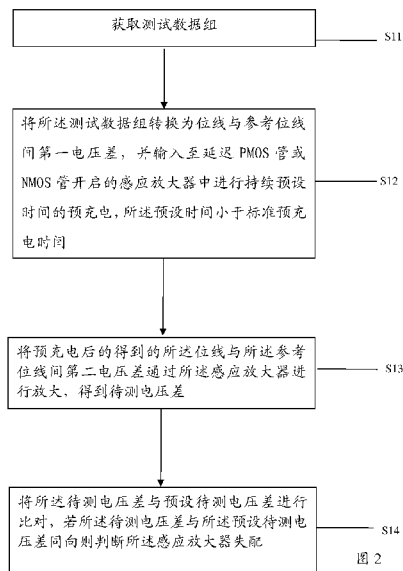
230000 (CN)。 第五天昊 (DIWU, Tianhao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。 楚西坤 (CHU, Xikun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: SYSTEM AND METHOD FOR DETECTING SENSE AMPLIFIER MISMATCH

(54) 发明名称: 一种检测感应放大器失配的系统和方法



S11 Obtain a test data group
S12 Convert the test data group into a first voltage difference between a bit line and a reference bit line, and input the first voltage difference into a sense amplifier by delaying the turn-on of a PMOS tube or an NMOS tube, so as to perform pre-charge for a preset time, wherein the preset time is less than a standard pre-charge time
S13 Amplify, by means of the sense amplifier, an obtained second voltage difference between the bit line and the reference bit line after pre-charge, so as to obtain a voltage difference to be measured
S14 Compare the voltage difference to be measured with a preset voltage difference to be measured, and if the voltage difference to be measured is the same as the preset voltage difference to be measured, determine that the sense amplifier is mismatched

图 2

(57) Abstract: The present application relates to the field of semiconductors, particularly to the field of dynamic random access memories, and provides a method and system for detecting sense amplifier mismatch. According to the method, by delaying the turn-on of an NMOS tube or a PMOS tube in a sense amplifier and shortening a row pre-charge time, the present application enables the sense amplifier to work in a poor environment, thereby detecting a mismatched sense amplifier caused by a process manufacturing difference.



MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本申请涉及半导体领域, 特别涉及动态随机存取存储器领域, 提供了一种检测感应放大器失配的方法和系统; 所述方法通过延迟感应放大器中NMOS或PMOS管的开启和缩短行预充电时间来让感应放大器在较差的环境中工作, 从而检测出由于工艺制造差异而导致失配的感应放大器。

一种检测感应放大器失配的系统和方法

5 相关申请

本申请基于申请号为 202111310551.4, 申请日为 2021 年 11 月 05 日, 申请名称为“一种检测感应放大器失配的系统和方法”的中国专利申请提出, 并要求该中国专利申请的优先权, 该中国专利申请的全部内容在此引入本申请作为参考。

10 技术领域

本申请涉及半导体领域, 特别涉及 DRAM (Dynamic Random Access Memory, 动态随机存取存储器) 领域。

背景技术

15 在 DRAM 中, 由于存储单元尺寸很小, 驱动能力很弱, 位线与参考位线之间电压差很小, 如果直接送入输出缓冲器, 将无法识别逻辑 0 和 1。感应放大器即用于放大位线与参考位线之间的微弱电压差, 从而使得存储单元中的逻辑数据可以被正确地识别。

目前, 由于工艺制造差异的原因, 导致制造出来的感应放大器抗干扰能力不足, 以及在感应放大器工作时 MOS 管没有在正确的时间点开启, 导致感应放大器异常翻转, 读取失败。传统方法对感
20 应放大器的测试采用的是在缩短预充电时间的情况下对存储单元进行写读操作, 通过比对输出结果判断感应放大器是否失配。由于现有的传统方法卡的预充电时间较松, 感应放大器的工作环境不够差, 从而一些潜在的感应放大器的失效不容易暴露, 检测效果达不到预期。

发明内容

25 基于此, 有必要提高一种能够有效检测出由于工艺制造差异问题导致有着潜在失效可能的感应放大器的检测方法。

为了实现上述目的, 本申请实施例提供一种检测感应放大器失配的方法, 包括:

获取测试数据组;

30 将所述测试数据组转换为位线与参考位线间第一电压差, 并输入至延迟 PMOS 管或 NMOS 管开启的感应放大器中进行持续预设时间的预充电, 所述预设时间小于标准预充电时间;

将预充电后的得到的所述位线与所述参考位线间第二电压差通过所述感应放大器进行放大, 得到待测电压差;

将所述待测电压差与预设待测电压差进行比对, 若所述待测电压差与所述预设待测电压差同向则

判断所述感应放大器失配。

35 在一些实施例中，所述获取测试数据组前，还包括：

获取预设测试数据组，将所述预设测试数据组转换为所述位线与所述参考位线间第三电压差，输入到 MOS 管正常开启的所述感应放大器中进行标准预充电时间的预充电，将预充电后得到的所述位线与所述参考位线间第四电压差通过所述感应放大器进行放大，得到所述预设待测电压差。

在一些实施例中，所述预设测试数据组与所述测试数据组写入的对应所述位线位置处数据反向。

40 在一些实施例中，所述将所述测试数据组转换为位线与参考位线间第一电压差，包括：

将所述测试数据组写入待测存储单元，通过所述待测存储单元将所述测试数据组转换为所述位线与所述参考位线间所述第一电压差。

在一些实施例中，将所述测试数据组写入所述待测存储单元，通过所述待测存储单元将所述测试数据组转换为所述位线与所述参考位线间所述第一电压差，包括：

45 将所述测试数据组按照预设间隔依次写入所述待测存储单元后，根据所述测试数据组从所述待测存储单元中读取所述位线与所述参考位线间所述第一电压差。

在一些实施例中，将所述测试数据组按照预设间隔依次写入所述待测存储单元，包括：

将所述测试数据组按照预设间隔提取第一间隔数据，并按照所述预设间隔将所述第一间隔数据依次写入所有所述待测存储单元。

50 在一些实施例中，根据所述测试数据组从所述待测存储单元中读取所述位线与所述参考位线间所述第一电压差，包括：

沿 X 方向进行读操作，在每次执行所述读操作前，顺序开启同一条位线上的所有字线，开启一条字线并且顺序读取这条字线上一个突发长度所述待测存储单元的内容，关闭这条字线，再重复上述操作至对所有字线完成至少一次一个突发长度所述待测存储单元的所述读操作。

55 在一些实施例中，所述将预设测试数据组转换为位线与参考位线间第三电压差，包括：

将所述预设测试数据组写入待测存储单元，通过所述待测存储单元将所述预设测试数据组转换为所述位线与所述参考位线间所述第三电压差。

在一些实施例中，将所述预设测试数据组写入待测存储单元，通过所述待测存储单元将所述预设测试数据组转换为所述位线与所述参考位线间所述第三电压差，包括：

60 将所述预设测试数据组按照所述预设间隔依次写入所述待测存储单元后，根据所述预设测试数据组从所述待测存储单元中读取所述位线与所述参考位线间所述第三电压差。

在一些实施例中，将所述预设测试数据组按照预设间隔依次写入待测存储单元，包括：

将所述预设测试数据组按照所述预设间隔提取第二间隔数据，并按照所述预设间隔将所述第二间隔数据依次写入所有所述待测存储单元。

65 在一些实施例中，将第一电压差输入至延迟 PMOS 管或 NMOS 管开启的感应放大器中进行持续预设时间的预充电，将预充电后的得到的第二电压差通过感应放大器进行放大，得到待测电压差，具

体包括：

70 将所述第一电压差输入至延迟 PMOS 管或 NMOS 管开启的所述感应放大器中进行持续预设时间的预充电，将预充电后的得到的所述第二电压差通过所述感应放大器的感应放大电路进行放大，得到待测电压差，其中，所述感应放大器的感应放大电路中的第一 NMOS 管与第一 PMOS 管，以及第二 NMOS 管与第二 PMOS 管分别构成 CMOS 反相器。

本申请实施例还提供一种检测感应放大器失配的系统，包括：

数据获取模块，用于获取测试数据组；

75 数据转换模块，用于将所述测试数据组转换为位线与参考位线间第一电压差，输入至延迟 PMOS 管或 NMOS 管开启的感应放大器中进行持续预设时间的预充电，所述预设时间小于标准预充电时间，以及用于将预充电后的得到的所述位线与所述参考位线间第二电压差通过感应放大器进行放大，得到待测电压差；

失配检测模块，用于将所述待测电压差与预设待测电压差进行比对，若所述待测电压差与所述预设待测电压差同向，则判断所述感应放大器失配。

80 进一步地，数据获取模块还用于在获取所述测试数据组前，获取预设测试数据组。

本申请实施例中检测感应放大器失配的方法采用延迟感应放大器中 PMOS 管或者 NMOS 管开启的方式，加速测试失效的存储颗粒。Y-Page Write 的方式执行写操作是在延迟晶体管开启的基础上，采用开启一条字线，顺序写完这条字线上对应的所有存储单元后，关闭这条字线，再开启下一条字线顺序写入，直至写完所有的存储单元。X-Fast Read 的方式是执行读操作时，顺序开启同一条位线上的所有字线，开启一条字线并且顺序读取这条字线上一个突发长度（8bit）单元的内容后，关闭这条字线，再开启下一条字线顺序读取，直至读完所有的存储单元上的内容。在延迟感应放大器的 NMOS 管或者 PMOS 管的基础上按照 Y-Page 方式写入一种数据拓扑，然后在缩短 tRP 时间的前提下按照 X-Fast 方式读取此种数据拓扑。从而使得原本有潜在失效可能的感应放大器工作环境更差，从而有效测试出更纯净的感应放大器失效的颗粒。

90

附图说明

图 1 为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的感应放大器工作电路图；

图 2 为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的流程示意图；

95 图 3 为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的测试数据拓扑图；

图 4 为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的完整波形图；

图 5 为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的感应放大器正常工作于放大阶段的波形图；

图 6 为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的感应放大器中缩短

100 tRP 且 PMOS 管延迟开启时工作于放大阶段的波形图；

图 7 为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的流程图；

图 8 为本申请提供的一种检测感应放大器失配的系统的一个可选实施例的结构示意图。

附图标记：

105 1、第一 NMOS 管；2、第二 NMOS 管；3、第一 PMOS 管；4、第二 PMOS 管；5、感应放大电路；6、预充电电路；7、存储单元；81、数据获取模块；82、数据转换模块；83、失配检测模块。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请公开的一部分实施例，而不是全部的实施例。基于本申请公开的实施例，110 本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范畴。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。另外，贯穿说明书和跟随的权利要求中所使用的某些术语指代特定元件。本领域115 的技术人员会理解为，制造商可以用不同的名字指代元件。本文件不想要区分名字不同但是功能相同的元件。在以下的描述和实施例中，术语“包含”和“包括”都是开放式使用的，因此应该解读为“包含，但不限于……”。同样，术语“连接”想要表达间接或直接的电气连接。相应地，如果一个设备被连接到另一个设备上，连接可以通过直接的电气连接完成，或者通过其他设备和连接件的间接电气连接完成。

120 应当理解，尽管本文可以使用术语“第一”、“第二”等来描述各种元件，但是这些元件不应受这些术语的限制。这些术语仅用于将一个元件和另一个元件区分开。例如，在不脱离本申请公开的范围的情况下，第一元件可以被称为第二元件，并且类似地，第二元件可以被称为第一元件。

在一个实施例中，如图 1 所示，为本申请提供的一种感应放大器失配的方法的一个可选实施例的感应放大器的工作电路图。感应放大器包括感应放大电路 5、预充电电路 6、存储单元 7。

125 感应放大电路 5 由第一 NMOS (Negative channel-Metal-Oxide-Semiconductor) 管 1、第二 NMOS 管 2、第一 PMOS 管 (positive channel-Metal Oxide-Semiconductor) 3、第二 PMOS 管 4、PCS 电源和 NCS 电源构成。第一 PMOS 管 3 的漏极和第二 PMOS 管 4 的栅极均与位线 BL 相连接，第一 PMOS 管 3 的栅极和第二 PMOS 管 4 的漏极均与参考位线/BL 连接，第一 PMOS 管 3 和第二 PMOS 管 4 的源极均与 PCS 电源连接。第一 NMOS 管 1 的栅极和第二 NMOS 管 2 的漏极均与位线 BL 相连接，第130 一 NMOS 管 1 的漏极和第二 NMOS 管 2 的栅极均与参考位线/BL 相连接，第一 NMOS 管 1 和第二 NMOS 管 2 的源极均与 NCS 电源连接。由此可见，所述感应放大电路 5 由第一 NMOS 管 1、第二

NMOS 管 2 和第一 PMOS 管 3、第二 PMOS 管 4 交叉耦合构成，其中，所述第一 NMOS 管 1 与第一 PMOS 管 3，以及所述第二 NMOS 管 2 与第二 PMOS 管 4 分别构成 CMOS 反相器。

135 在本实施例中，所述 PCS 电源用于响应上拉控制信号将第一 PMOS 管 3 的源极与电源电压 VDD 连接。NCS 电源用于响应下拉控制信号将第一 NMOS 管 1 的源极接地。

在本实施例中，位线 BL 与参考位线/BL 之间的电压差达到一定值后，NCS 电源开启，PCS 电源开启，第一 NMOS 管 1、第二 NMOS 管 2、第一 PMOS 管 3、第二 PMOS 管 4 形成两个交叉耦合的反相器正反馈电路，快速放大位线 BL 与参考位线/BL 之间的电压差，完成感应放大电路 5 对位线 BL 与参考位线/BL 之间电压差的放大。

140 在本实施例中，PCS 电源可以包括上拉 PMOS 管，NCS 电源可以包括下拉 NMOS 管。然而，PCS 电源也可以使用 NMOS 管实现，NCS 电源也可以使用 PMOS 管实现，并且 PCS 电源或 NCS 电源可以包含不止一个器件，也可以包括通过不同的控制信号控制导通或关断的多个器件，本申请对此不做限制。

145 预充电电路 6 由三个 NMOS 管组成，与感应放大电路 5 的两个输出端线相连接。预充电电路 6 的控制端接收均衡控制信号 EQ。预充电电路 6 可以在均衡控制信号 EQ 的控制下对位线 BL、参考位线/BL 和感应放大电路 5 的两个输出端线进行预充电，并且可将所述位线 BL 和参考位线/BL 充电至规定的预充电电压 VBLP。在实现相同或者相近电路功能的情况下，本示例性实施方式中提供的预充电电路 6 也可以选用其他任意的替换电路，本示例性实施方式对此不做特殊限定。

150 在本实施中，所述 YS 为一列位线选择信号，例如可以由一个 NMOS 管组成，所述 NMOS 管的栅极与位线选择信号 YS 连接，源极与 LIO 连接，YSW 为控制所述 NMOS 开启的栅极电压差。

155 在本实施例中，所述存储单元 7，包括一个驱动晶体管和存储电容，所述驱动晶体管的栅极与字线 WL 连接，漏极与位线 BL 连接，源极通过存储电容连接与地线。当存储电容上的电荷被抽空（即放电）时，其存储资料为“0”，当存储电容被充电后，通常是被充电至工作电压 VDD，其存储资料为“1”。所述字线 WL 通过控制所述驱动晶体管的导通或关断，进而控制所述存储电容的充放电，从而实现数据的写入或读出。

在一个实施例中，如图 2 所示，为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的流程示意图，所述方法包括：

S11、获取测试数据组；

160 S12、将所述测试数据组转换为位线与参考位线间第一电压差，并输入至延迟 PMOS 管或 NMOS 管开启的感应放大器中进行持续预设时间的预充电，所述预设时间小于标准预充电时间；

S13、将预充电后的得到的所述位线与所述参考位线间第二电压差通过所述感应放大器进行放大，得到待测电压差；

S14、将所述待测电压差与预设待测电压差进行比对，若所述待测电压差与所述预设待测电压差同向则判断所述感应放大器失配。

165 具体地, 步骤 S12 中的延迟 PMOS 管或 NMOS 管开启的感应放大器对应于图 1 中的感应放大电路 5 时, 延迟 PMOS 管则为同时延迟第一 PMOS 管 3 和第二 PMOS 管 4, 延迟 NMOS 管则为同时延迟第一 NMOS 管 1 和第二 NMOS 管 2。

获取预设测试数据组后, 将预设测试数据组转换为所述位线 BL 与所述参考位线/BL 间第三电压差, 输入到 MOS 管正常开启的感应放大器中进行标准预充电时间的预充电, 将预充电后得到的第四
170 电压差通过感应放大电路 5 进行放大, 得到的预设待测电压差; 所述预设测试数据组与测试数据组写入的对应位线位置处数据反向, 其中, 所述 MOS 管指的是感应放大器的感应放大电路 5 中的第一 NMOS 管 1、第二 NMOS 管 2 和第一 PMOS 管 3、第二 PMOS 管 4。

如图 3 所示, 为本实施例中写入的测试数据组的数据拓扑图, 图中 W4C0_RS、W4C1_RS、W4C2_RS、W4C3_RS 可作为预设测试数据组, W4C0B_RS、W4C1B_RS、W4C2B_RS、W4C3B_RS
175 可作为测试数据组, 二者可互换但需要保证所述预设测试数据组和测试数据组在写入的位线位置处数据反向, 这里需要保证所述预设测试数据组和测试数据组在写入的位线位置处数据反向是为了在测试感应放大器的失配造就更差的测试条件, 使得能够在卡紧预充电时间的时候更容易测到感应放大器的失效。

感应放大器工作时, 存储单元 7 内以位线 BL 与参考位线/BL 间的微弱电压差表达存储在存储单元 7 中的“0”或“1”, 为所述第一电压差。由于存储单元 7 尺寸很小, 驱动能力很弱, 位线 BL 与参考
180 位线/BL 之间电压差很小, 如果直接送入输出缓冲器, 将无法识别存储单元 7 中“0”或“1”, 因此需要将存储单元 7 内位线 BL 与参考位线/BL 之间电压差输入到感应放大电路 5 中进行放大。

在本实施例中, 如图 4 所示, 为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的完整波形图, 以上次操作执行读“1”, 此次操作执行读“1”操作为例, 描述了感应放大器一次完整工
185 作过程中位线 BL 与参考位线/BL 之间电压差的变化, 观察感应放大器的完整工作过程。

在本实施例中, 所述 tRP (Precharge command period), 为预充电时间, 也被称为是行预充电时间, 在发出预充电命令之后, 要经过一段时间才能允许发送 RAS (Row Address Strobe, 行地址选通脉冲)有效命令打开新的工作行。其中, 所述 tRCD, 为 RAS 至 CAS (Column address strobe, 列地址选通脉冲)延迟。在完成数据“1”读取后, 感应放大器工作过程中还包括恢复阶段。在执行读“1”操作后,
190 均衡控制信号 EQ 关闭, 字线信号开启, PCS 电源与 NCS 电源开启, 令参考位线/BL 恢复为高电平, 位线 BL 恢复为低电平。

在本实施例中, 由于上次操作为执行读“1”, 故位线 BL 为高电平, 参考位线/BL 为低电平, 所述 Pre 表示开始进行预充电操作, 此时字线信号关闭, 感应放大电路 5 关闭 (SA off 未进行放大操作), 均衡控制信号 EQ 开启, 将位线 BL 与参考位线/BL 均充电至预充电电压 VBLP。

195 预充电阶段结束后, 感应放大电路 5 开启, 均衡控制信号 EQ 关闭, 字线信号开启, 控制对应的存储单元 7 中的存储电容进行充电操作。存储电容中的电荷与位线 BL 的电荷之间进行电荷分享, 由于该过程中值为“1”的数据存储在对应的存储电容中, 在电荷分享过程中, 位线 BL 的电压升高约 15-20

毫伏。

在此过程中，感应放大电路 5 中的 NMOS 管和 PMOS 管均正常开启，其中，第一 NMOS 管 1 与第一 PMOS 管 3，以及第二 NMOS 管 2 与第二 PMOS 管 4 分别构成 CMOS 反相器。由于此次操作执行读“1”，则此时主要依靠第一 NMOS 管 1 与第一 PMOS 管 3 构成的 CMOS 反相器来完成电压差的放大，从而完成对存储单元 1 中数据“1”的读取。如果此次操作执行读“0”，则此时主要依靠第二 NMOS 管 2 与第二 PMOS 管 4 构成的 CMOS 反相器来完成电压差的放大，从而完成对存储单元 1 中数据“0”的读取。

目前，由于工艺制造差异的原因，导致制造出来的感应放大器抗干扰能力不足，以及在感应放大器工作时感应放大电路 5 中的 NMOS 管或者 PMOS 管没有在正确的时间点开启，导致感应放大器异常翻转，读取失败。传统方法在测试感应放大器时，通过在缩短预充电时间的情况下对存储单元 7 进行写读操作，将输出结果进行比对从而判断感应放大器是否失配。但是传统方法卡的预充电时间较松，感应放大器的工作环境不够差，从而一些潜在的感应放大器的失效不容易暴露，检测效果达不到预期。

在一个实施例中，如图 5 所示，为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的感应放大器正常工作于放大阶段的波形图，所述感应放大器上一次执行操作为读“0”操作，本次执行读“1”操作。

在本实施例中，提供的预设测试数据组对存储单元 7 写入的数据为“0”，提供的测试数据组对存储单元 7 写入的数据为“1”。对预设测试数据组的写入存储单元 7 后读取，为测试数据组的写入存储单元 7 后读取的前置操作。

在执行上次读“0”操作时，存储单元 7 以位线 BL 与参考位线/BL 间的微弱电压差输入感应放大器，此时，所述微弱电压为第三电压差。在 t_{RP} 时间内，感应放大器先进入预充电阶段，对两条位线（即，位线 BL 与参考位线/BL）进行持续标准预充电时间的预充电，将两条位线的电压均拉至预充电电压 VBLP，此时两条位线间电压差为第四电压差。

所述标准预充电时间根据不同公司不同型号的产品具体规定的出厂参数，在此不作具体规定。通过第一 NMOS 管 1、第一 PMOS 管 3、第二 NMOS 管 2、第二 PMOS 管 4 正常开启的感应放大电路 5 进行放大后输出，获得预设电压差。由上述实施例可知，在感应放大器的恢复阶段结束后，参考位线/BL 恢复为高电平，位线 BL 恢复为低电平。

由于上次执行读“0”操作，故感应放大器开启前参考位线/BL 为高电平，位线 BL 为低电平，两条位线间电压差为第一电压差。在 t_{RP} 时间内，感应放大器先进入预充电阶段 Pre，对两条位线进行持续标准预充电时间的预充电，将两条位线电压均拉至预充电电压 VBLP，此时两条位线间的电压差为第二电压差。

预充电工作完成后，经过预充电后的两条位线作为输入进入感应放大电路 5，进入第一放大阶段，字线信号开启，位线 BL 的电压升高，此时第一 PMOS 管 3 和第一 NMOS 管 1 按照预设时间开启，

第二 PMOS 管 4 和第二 NMOS 管 2 关闭。

由于第一 PMOS 管 3 和第一 NMOS 管 1 构成 CMOS 反相器, 此时位线 BL 为相对高电平, 由于反相器的作用, 使得反相器输出端的电压在第一放大阶段不断降低, 即参考位线/BL 的电压不断降低。

235 在感应放大电路 5 的第一放大阶段, 位线 BL 与参考位线/BL 之间的电压差会大幅度增大, 有助于对二者电压差进行进一步放大, 从而提高数据读取的速度, 且有利于避免数据被错误放大。

感应放大电路 5 而后进入第二放大阶段, 此时第一 NMOS 管 1、第二 NMOS 管 2、第一 PMOS 管 3 和第二 PMOS 管 4 皆开启, 构成交叉耦合放大结构。

此时位线 BL 上的电压高于参考位线/BL 上的电压, 此时第一 NMOS 管 1 开启, 将参考位线/BL 上的电压放电至地。另外, 第二 PMOS 管 4 开启, 将位线 BL 上的电压升高至 Vary 电压。

240 由此, 通过这种交叉耦合放大结构, 可以实现位线 BL 从存储单元 7 中读取出来的小电压放大至 0 或 1 的目的。此时感应放大电路 5 两条位线间输出的电压差为待测电压差。

而后, 位线选择信号 YS 开启, 读取感应放大电路 5 输出的待测电压差, 识别出存储单元 7 中的数据“1”。

245 本申请实施例通过缩短 tRP 时间和延迟 NMOS 管或 PMOS 管开启实现恶化感应放大器的工作环境, 从而检测出由于工艺差异, 导致感应放大器中的感应放大电路 5 中的第一 NMOS 管 1、第一 PMOS 管 3、第二 NMOS 管 2、第二 PMOS 管 4 不能在存储器高速工作时按时开启, 有潜在失效可能的感应放大器。

250 如图 6 所示, 为本申请提供的一种检测感应放大器失配的方法的一个可选实施例的感应放大器中缩短 tRP 且 PMOS 管延迟开启时工作于放大阶段的波形图, 所述感应放大器上一次执行操作为读“0”操作, 本次执行读“1”操作。

255 由于上次执行读“0”操作, 故感应放大器开启前参考位线/BL 为高电平, 位线 BL 为低电平, 此时两条位线间电压差为第一电压差。在缩短后的 tRP 时间内, 感应放大器先进入预充电阶段 Pre, 对两条位线进行执行持续预设时间的预充电, 所述预设时间小于标准预充电时间, 由于 tRP 时间缩短, 预充电电路 6 未能将两条位线的电压均拉至预充电电压 VBLP, 此时两条位线间电压差为第二电压差。此时参考位线/BL 相对位线 BL 为相对高电平。

以参考位线/BL 相对位线 BL 为相对高电平的电压差输入感应放大电路 5 中, 进入第一放大阶段, 字线信号开启, 位线 BL 的电位升高, 第一 NMOS 管 1 按照预设时间开启, 延迟第一 PMOS 管 3 开启, 第二 PMOS 管 4 和第二 NMOS 管 2 关闭。

260 感应放大器的工作环境变得更差, 无法在预定时间内将位线 BL 的电压升至相对于参考位线/BL 电压的高电平。

感应放大器而后进入第二放大阶段, 此时第一 NMOS 管 1、第二 NMOS 管 2、第一 PMOS 管 3 和第二 PMOS 管 4 皆开启, 构成交叉耦合放大结构。

此时位线 BL 上的电压低于参考位线/BL 上的电压, 此时, 第二 NMOS 管 2 开启, 将位线 BL 上

265 270 的电压通过第二 NMOS 管 2 放电至地。另外，第一 PMOS 管 3 开启，将参考位线/BL 上的电压升高至 Vary 电压。感应放大器出现异常翻转。此时感应放大电路 5 的两条位线间输出的电压差为待测电压差。

而后，位线选择信号 YS 开启，读取感应放大器输出的电压，错误识别出存储单元 7 中的数据为“0”。

由此可见，通过延迟 PMOS 管开启后，在缩短 tRP 的情况下能够使得感应放大器的工作环境变差，使得有潜在可能无法在规定时间内开启第一 NMOS 管 1、第一 PMOS 管 3、第二 NMOS 管 2、第二 PMOS 管 4 的感应放大器出现异常翻转，从而实现对失配感应放大器的检测。

在本实施例中，以延迟 PMOS 管开启为例，也可换为延迟 NMOS 管开启，或其他能够同样使得感应放大器工作环境变差的方式，本示例性实施方式对此不做特殊限定。

275 在一个实施例中，如图 7 所示，为本申请提供一种检测感应放大器失配的方法的一个可选实施例的流程图。图 7 方框中加粗的箭头表示写入该条字线，不加粗的箭头表示不写入这条字线，具体流程如下：

步骤 1，第一 PMOS 管 3 和第二 PMOS 管 4 延迟开启。

步骤 2，采用 Y-Page 方式对字线编号 0/4/8/C...写入预设测试数据组 W4C0_RS，在缩短 tRP 前提下，采用 X-Fast 方式读字线 0/4/8/C...。

280 步骤 3，采用 Y-Page 方式对字线编号 1/5/9/D...写入预设测试数据组 W4C1_RS,在缩短 tRP 前提下，采用 X-Fast 方式读字线 1/5/9/D...。

步骤 4，采用 Y-Page 方式对字线编号 2/6/A/E...写入预设测试数据组 W4C2_RS,在缩短 tRP 前提下，采用 X-Fast 方式读字线 2/6/A/E...。

285 步骤 5，采用 Y-Page 方式对字线编号 3/7/B/F...写入预设测试数据组 W4C3_RS,在缩短 tRP 前提下，采用 X-Fast 方式读字线 3/7/B/F...。

步骤 6，采用 Y-Page 方式对字线编号 0/4/8/C...写入测试数据组 W4C0B_RS,在缩短 tRP 前提下，采用 X-Fast 方式读字线 0/4/8/C...。

步骤 7，采用 Y-Page 方式对字线编号 1/5/9/D...写入测试数据组 W4C1B_RS,在缩短 tRP 前提下，采用 X-Fast 方式读字线 1/5/9/D...。

290 步骤 8，采用 Y-Page 方式对字线编号 2/6/A/E...写入测试数据组 W4C2B_RS,在缩短 tRP 前提下，采用 X-Fast 方式读字线 2/6/A/E...。

步骤 9, 采用 Y-Page 方式对字线编号 3/7/B/F...写入测试数据组 W4C3B_RS,在缩短 tRP 前提下,采用 X-Fast 方式读字线 3/7/B/F...。

步骤 10, 测试模式退出, 第一 PMOS 管 3 和第二 PMOS 管 4 恢复正常状态。

295 步骤 11, 切换到第一 NMOS 管 1 和第二 NMOS 管 2 延迟开启, 重复步骤 2 到 9。

300 在本实施例中, 存储单元 7 排列的逻辑方式是通过给定行地址和列地址来确定某个存储单元 7 的位置, 但是在当前的存储技术下, 列的操作是通过突发长度(突发 Length, BL)进行的, 其中突发长度由 JEDEC 标准确定, 也可以自由设置, 即一次操作多位(如 8 或 16 位)列地址的读写, 并对每个突发长度里写入或读取 0 和 1 的数据(例如定位的地址是 0 行, 突发长度为 8bit, 那么在 0 行 0 列这个位置开始同时写入存储单元 7 的前 8 个数值, 第二个突发长度写入存储单元 7 的 9-16 位数值, 一直连续写入。当一行的存储位置全部写完时, 测试软件重新定位下一行的地址, 继续上一行的操作, 直到全盘写入数据。读数据也是类似的操作), 即本实施方式中, 对于每一行的存储位置上都是重新写入测试数据, 比如测试数据为 1010101010101010, 则第一行写入 10101010, 第二行也写入 10101010。

305 另外, 对于按照预设间隔的写入解释如下: 比如预设间隔为 1, 那么测试数据在写入存储单元 7 上某一行上 0 列、2 列、4 列等地址时, 测试数据不写入存储单元 7 上某一行上 1 列、3 列等地址, 存储单元 7 上某一行的 0 列与 2 列之间的间隔则为预设间隔, 即 1; 如果预设间隔为 2, 那么测试数据写入存储单元 7 上某一行上 0 列、3 列、6 列等地址时, 测试数据不写入存储单元 7 上某一行上 1 列、2 列、4 列、5 列等地址, 存储单元 7 上某一行的 0 列与 3 列之间的间隔则为预设间隔, 即 2。由于多存储单元 7 之间的存储故障, 一般是出现在相邻存储单元 7 之间的故障, 因此间隔写入、读取和比较能够识别出多存储单元 7 之间的存储故障。图 7 方框中加粗的箭头表示写入该条字线, 不加粗的箭头表示不写入这条字线, 根据图 7 可知, 测试数据在写入存储单元 7 上某一行上 0 列、4 列、8 列等地址时, 测试数据不写入存储单元 7 上某一行上 1 列、2 列、3 列、5 列、6 列、7 列等地址, 存储单元 7 上某一行的 0 列与 4 列之间的间隔则为预设间隔, 即 3。

315 如图 3 所示, W4CX_RS 和 W4CXB_RS 表示一种数据组, 两种数据组互为测试数据组和预设测试数据组, 当 W4CX_RS 为预设测试数据组时, W4CXB_RS 即为测试数据组, 同样的, 当 W4CX_RS 为测试数据组时, W4CXB_RS 即为预设测试数据组, 测试数据组和预设测试数据组在相同位线位置处数据反向。

320 在本实施例中, 测试系统先获取预设测试数据组, 而后将所述预设测试数据组按照预设间隔提取第一间隔数据, 例如采用 W4C0_RS 作为预设测试数据组, 提取写入位线 BL 0 处的数据 1010 按照字线 WL0、WL1、WL2、WL3 的方式从上往下依次在 0 列 0 行、0 列 1 行、0 列 2 行、0 列 3 行位置处的存储单元 7 写入数据 1、0、1、0 并按照所述预设间隔为 3 将所述第一间隔数据依次写入所有待测

的存储单元 7。

测试系统读取所述待测存储单元 7 中的数据后，得到预设待测电压差，完成对感应放大器的放大预处理，在本次操作中对数据的写读的操作方式不作具体规定。

325 而后在存储器的 TM(TEST MODE 测试模式)中设置第一 PMOS 管 3 和第二 PMOS 管 4 延迟开启，测试系统获取测试数据组，将所述测试数据组按照预设间隔提取第二间隔数据，例如采用 W4C0B_RS 作为测试数据组，提取写入位线 BL 0 处的数据 0101 按照字线 WL0、WL1、WL2、WL3..的方式从上往下依次在 0 列 0 行、0 列 1 行、0 列 2 行、0 列 3 行..位置处的存储单元采用 Y-Page Write 方式写入数据 0、1、0、1.. 并按照所述预设间隔为 3 将所述第一间隔数据采用 Y-Page 方式依次写入所有待测
330 的存储单元 7。

在 TEST MODE 中设置所述第一 PMOS 管 3 和第二 PMOS 管 4 延迟开启的时间阈值和缩短的 tRP 的最短阈值根据不同公司不同型号的产品确定，在此不作具体规定。

所述 Y-Page Write 方式为一种 Y 方向写操作方式。在每一次执行写操作之前，开启一条字线 WL，顺序写完这条字线 WL 上对应的所有存储单元 7 后，关闭这条字线 WL。然后再开启下一条字线 WL
335 顺序写完所有的存储单元 7。

而后在缩短 tRP 的条件下，采用 X-Fast Read 方式读取待测存储单元 7 中的数据。由于缩短了 tRP 时间，只有采用 X-Fast Read 方式才能卡到缩短后的 tRP 时间完成读取。

所述 X-Fast Read 方式为一种 X 方向读操作方式。在每一次执行读操作之前，顺序开启同一条位线 BL 上的所有字线 WL，开启一条字线 WL 并且顺序读取这条字线 WL 上一个突发长度 (8bit) 单元的内容后，关闭这条字线 WL，然后开启下一条字线 WL 再顺序读取这条字线 WL 上一个突发长度
340 单元的内容。

测试系统读取所有存储单元 7 中的数据后，得到预设待测电压差和待测电压差，而后将第一 PMOS 管 3 和第二 PMOS 管 4 恢复到正常工作状态。所述预设待测电压差和待测电压差以“0”或者“1”的方式作为数据输出。测试系统浏览所有待测电压差和预设待测电压差在相同存储单元 7 位置处的输出，若同向，则判断对应的感应放大器失配。
345

上述过程为进行一轮感应放大器失配检测，在进行完一轮所有待测的存储单元 7 对应的感应放大器的失配检测后，将延迟第一 PMOS 管 3 和第二 PMOS 管开启切换为延迟第一 NMOS 管 1 和第二 NMOS 管开启，再进行一轮测试，直至满足测试需要。

本申请还提供一种检测感应放大器失配的系统，如图 8 所示， 为本申请提供的一种检测感应放

350 大器失配的系统的一个可选实施例的结构示意图，包括：

数据获取模块 81，用于获取测试数据组；

数据转换模块 82，用于将所述测试数据组转换为位线与参考位线间第一电压差，输入至延迟 PMOS 管或 NMOS 管开启的感应放大器中进行持续预设时间的预充电，所述预设时间小于标准预充电时间，以及用于将预充电后得到的所述位线与所述参考位线间第二电压差通过感应放大器进行放大，得到待测电压差；

355

失配检测模块 83，用于将所述待测电压差与预设待测电压差进行比对，若所述待测电压差与所述预设待测电压差同向，则判断所述感应放大器失配。

所述数据获取模块 81 还用于在获取测试数据组前，获取预设测试数据组。

所述数据转换模块 82 还用于将预设测试数据组转换为位线与参考位线间第三电压差，输入到 MOS 管正常开启的灵敏放大器中进行标准预充电时间的预充电，将预充电后得到的位线与参考位线间第四电压差通过灵敏放大器进行放大，得到预设待测电压差，其中，所述预设测试数据组与测试数据组写入的对应位线位置处数据反向。

360

本申请上述实施例各模块的功能及实现方式与上述检测感应放大器失配方法的实施例相同，具体解析可以参照上述检测感应放大器失配方法的实施例，为了避免重复，在此不再赘述。

365 以上所述是本申请的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也视为本申请的保护范围。

权 利 要 求 书

1、一种检测感应放大器失配的方法，包括：

获取测试数据组；

将所述测试数据组转换为位线与参考位线间第一电压差，并输入至延迟 PMOS 管或 NMOS 管开启的感应放大器中进行持续预设时间的预充电，所述预设时间小于标准预充电时间；

将预充电后的得到的所述位线与所述参考位线间第二电压差通过所述感应放大器进行放大，得到待测电压差；

将所述待测电压差与预设待测电压差进行比对，若所述待测电压差与所述预设待测电压差同向则判断所述感应放大器失配。

2、如权利要求 1 所述的一种检测感应放大器失配的方法，其中，所述获取测试数据组前，还包括：

获取预设测试数据组，将所述预设测试数据组转换为所述位线与所述参考位线间第三电压差，输入到 MOS 管正常开启的所述感应放大器中进行标准预充电时间的预充电，将预充电后得到的所述位线与所述参考位线间第四电压差通过所述感应放大器进行放大，得到所述预设待测电压差。

3、如权利要求 2 所述的一种检测感应放大器失配的方法，其中，所述预设测试数据组与所述测试数据组写入的对应所述位线位置处数据反向。

4、如权利要求 1 所述的一种检测感应放大器失配的方法，其中，所述将所述测试数据组转换为位线与参考位线间第一电压差，包括：

将所述测试数据组写入待测存储单元，通过所述待测存储单元将所述测试数据组转换为所述位线与所述参考位线间所述第一电压差。

5、如权利要求 4 所述的一种检测感应放大器失配的方法，其中，将所述测试数据组写入所述待测存储单元，通过所述待测存储单元将所述测试数据组转换为所述位线与所述参考位线间所述第一电压差，包括：

将所述测试数据组按照预设间隔依次写入所述待测存储单元后，根据所述测试数据组从所述待测存储单元中读取所述位线与所述参考位线间所述第一电压差。

6、如权利要求 5 所述的一种检测感应放大器失配的方法，其中，将所述测试数据组按照预设间隔依次写入所述待测存储单元，包括：

将所述测试数据组按照预设间隔提取第一间隔数据,并按照所述预设间隔将所述第一间隔数据依次写入所有所述待测存储单元。

7、如权利要求5所述的一种检测感应放大器失配的方法,其中,根据所述测试数据组从所述待测存储单元中读取所述位线与所述参考位线间所述第一电压差,包括:

沿X方向进行读操作,在每次执行所述读操作前,顺序开启同一条位线上的所有字线,开启一条字线并且顺序读取这条字线上一个突发长度所述待测存储单元的内容,关闭这条字线,再重复上述操作至对所有字线完成至少一次一个突发长度所述待测存储单元的所述读操作。

8、如权利要求3所述的一种检测感应放大器失配的方法,其中,所述将预设测试数据组转换为位线与参考位线间第三电压差,包括:

将所述预设测试数据组写入待测存储单元,通过所述待测存储单元将所述预设测试数据组转换为所述位线与所述参考位线间所述第三电压差。

9、如权利要求8所述的一种检测感应放大器失配的方法,其中,将所述预设测试数据组写入待测存储单元,通过所述待测存储单元将所述预设测试数据组转换为所述位线与所述参考位线间所述第三电压差,包括:

将所述预设测试数据组按照所述预设间隔依次写入所述待测存储单元后,根据所述预设测试数据组从所述待测存储单元中读取所述位线与所述参考位线间所述第三电压差。

10、如权利要求9所述的一种检测感应放大器失配的方法,其中,将所述预设测试数据组按照预设间隔依次写入待测存储单元,包括:

将所述预设测试数据组按照所述预设间隔提取第二间隔数据,并按照所述预设间隔将所述第二间隔数据依次写入所有所述待测存储单元。

11、如权利要求1所述的一种检测感应放大器失配的方法,其中,将第一电压差输入至延迟PMOS管或NMOS管开启的感应放大器中进行持续预设时间的预充电,将预充电后的得到的第二电压差通过感应放大器进行放大,得到待测电压差,具体包括:

将所述第一电压差输入至延迟PMOS管或NMOS管开启的所述感应放大器中进行持续预设时间的预充电,将预充电后的得到的所述第二电压差通过所述感应放大器的感应放大电路进行放大,得到待测电压差,其中,所述感应放大器的感应放大电路中的第一NMOS管与第一PMOS管,以及第二NMOS管与第二PMOS管分别构成CMOS反相器。

12、一种检测感应放大器失配的系统，包括：

数据获取模块，用于获取测试数据组；

数据转换模块，用于将所述测试数据组转换为位线与参考位线间第一电压差，输入至延迟 PMOS 管或 NMOS 管开启的感应放大器中进行持续预设时间的预充电，所述预设时间小于标准预充电时间，以及用于将预充电后的得到的所述位线与所述参考位线间第二电压差通过感应放大器进行放大，得到待测电压差；

失配检测模块，用于将所述待测电压差与预设待测电压差进行比对，若所述待测电压差与所述预设待测电压差同向，则判断所述感应放大器失配。

13、根据权利要求 12 所述的检测感应放大器失配的系统，其中，所述数据获取模块还用于在获取测试数据组前，获取预设测试数据组。

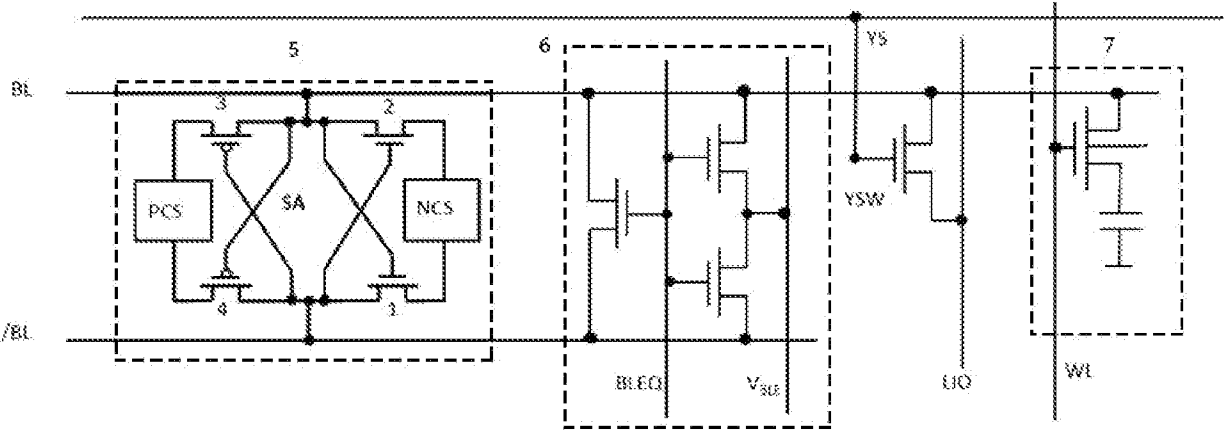


图 1

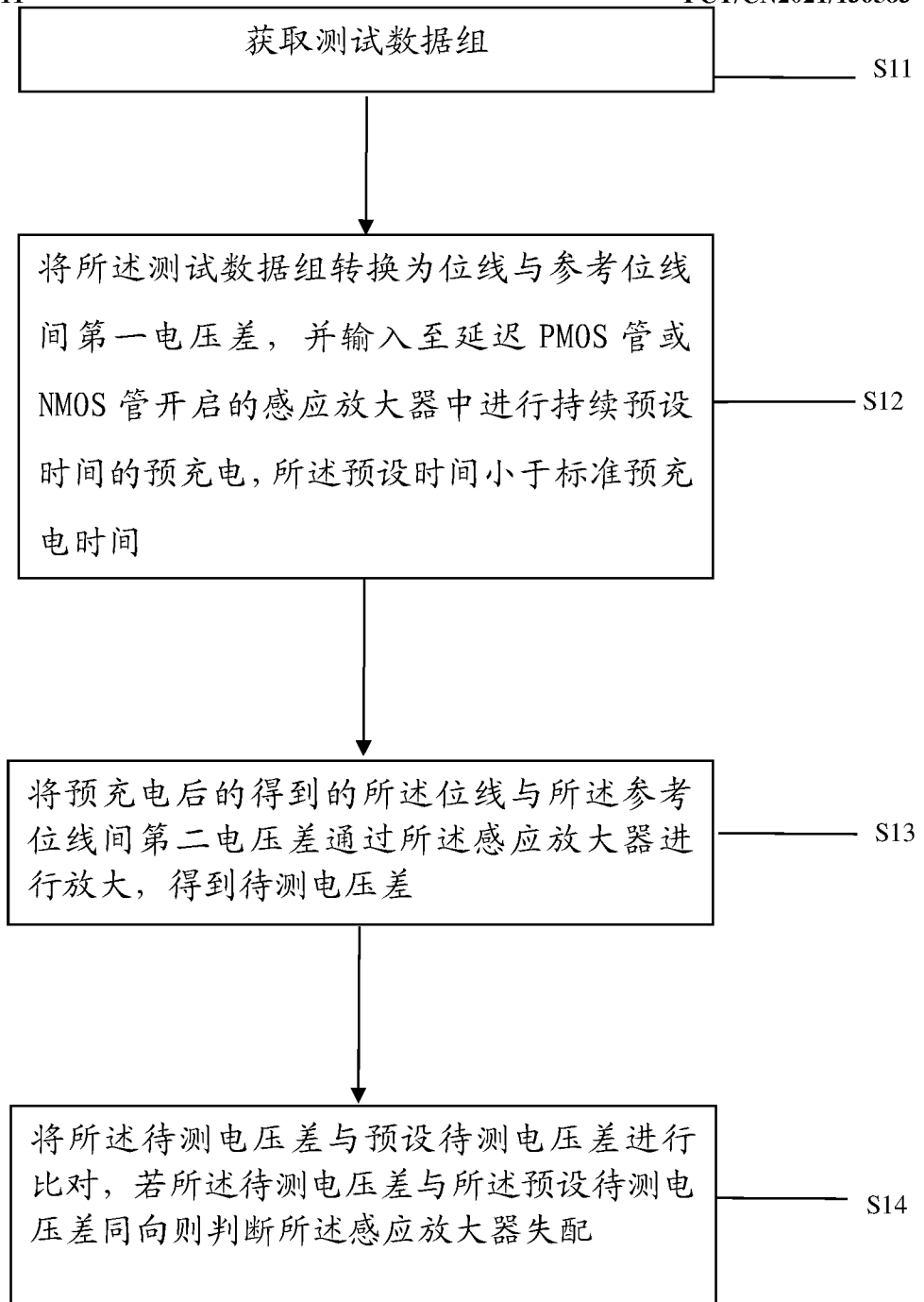


图 2

W4C0_RS:

WL0 10001000
 WL1 01110111
 WL2 10001000
 WL3 01110111

W4C2_RS:

WL0 00100010
 WL1 11011101
 WL2 00100010
 WL3 11011101

W4C0B_RS:

WL0 01110111
 WL1 10001000
 WL2 01110111
 WL3 10001000

W4C2B_RS:

WL0 11011101
 WL1 00100010
 WL2 11011101
 WL3 00100010

W4C1_RS:

WL0 01000100
 WL1 10111011
 WL2 01000100
 WL3 10111011

W4C3_RS:

WL0 00010001
 WL1 11101110
 WL2 00010001
 WL3 11101110

W4C1B_RS:

WL0 10111011
 WL1 01000100
 WL2 10111011
 WL3 01000100

W4C3B_RS:

WL0 11101110
 WL1 00010001
 WL2 11101110
 WL3 00010001

图 3

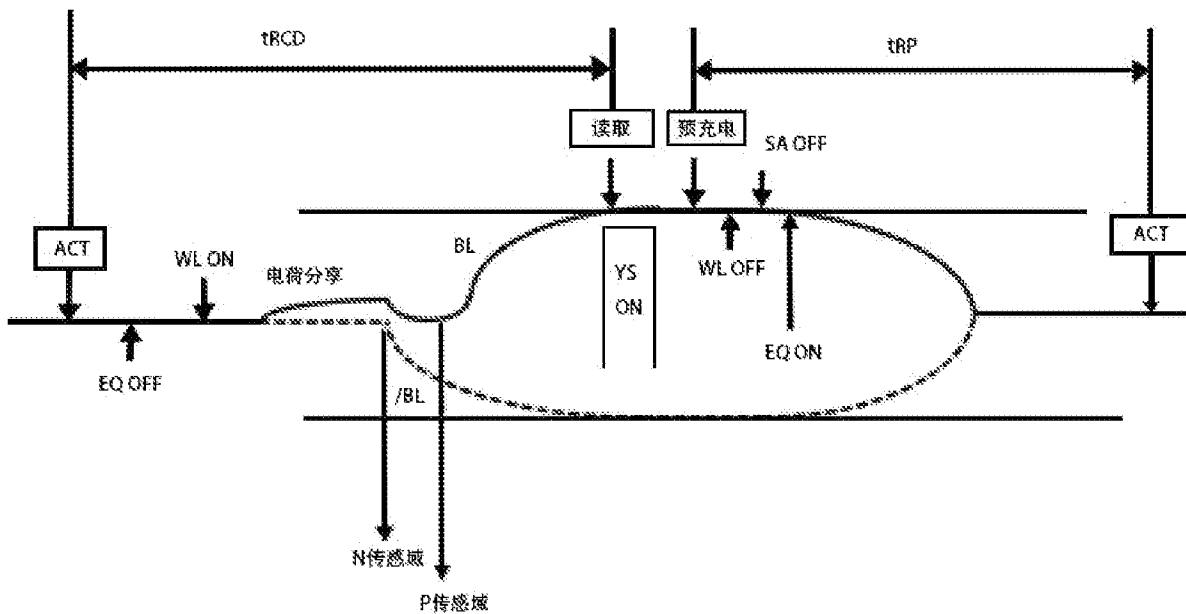


图 4

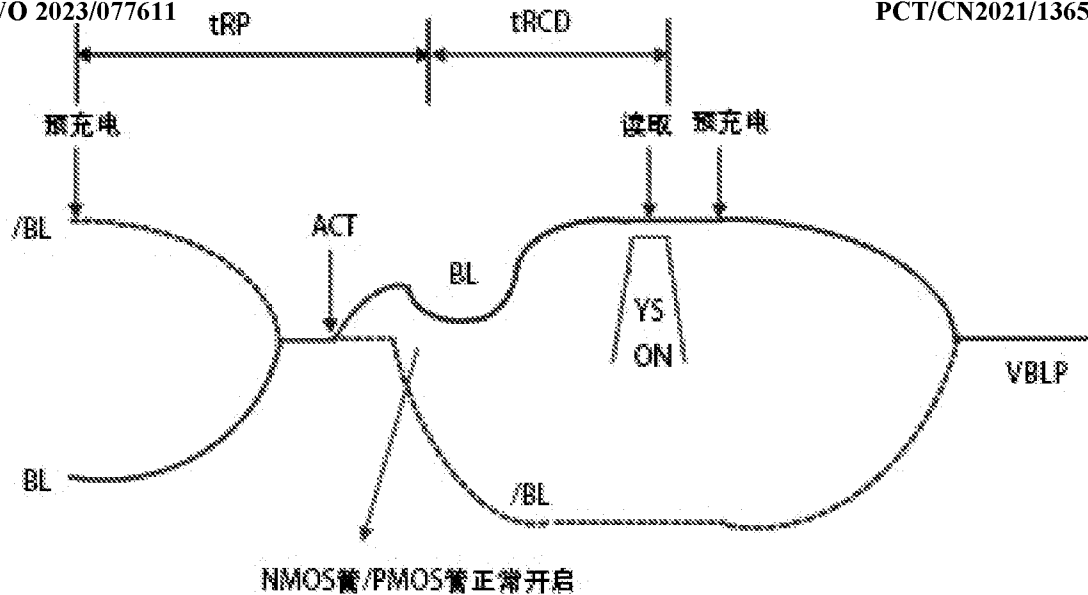


图 5

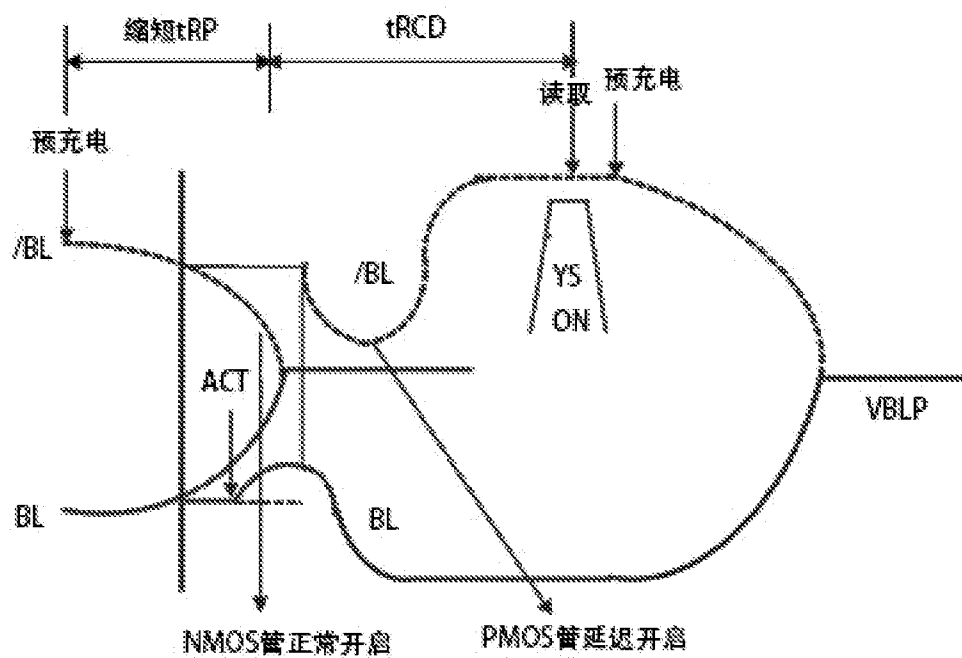
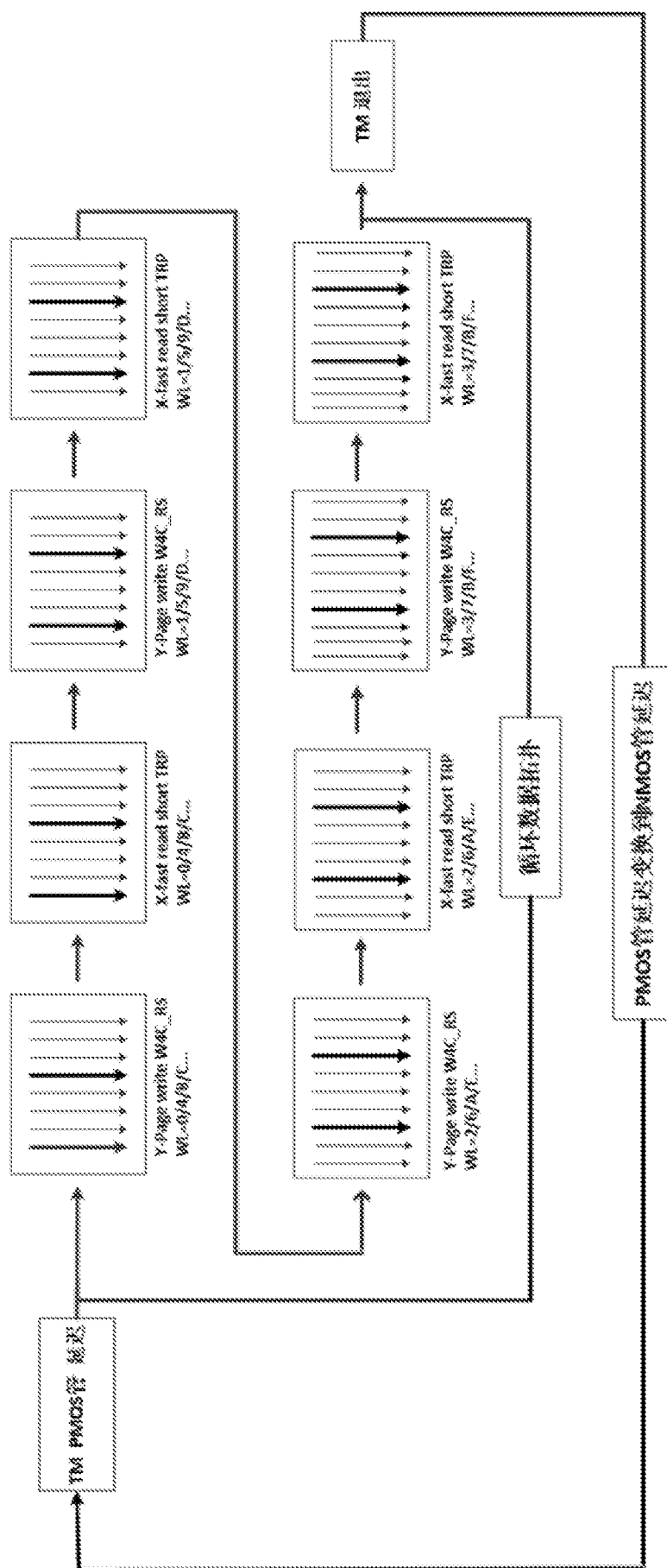


图 6



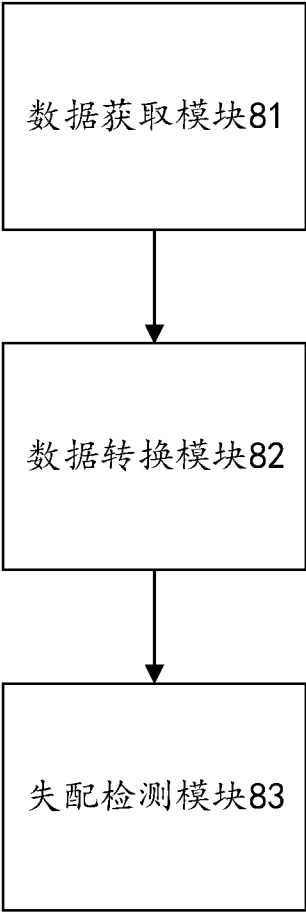


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/136583

A. CLASSIFICATION OF SUBJECT MATTER

G11C 29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI: 感应放大器, 失配, PMOS, NMOS, 压差, 对比, 比对, 比较, sensing, amplifier, mismatch, voltage, difference, compare

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 112885400 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 01 June 2021 (2021-06-01) description, paragraphs 68-142	1-13
A	CN 102779553 A (HYNIX SEMICONDUCTOR INC.) 14 November 2012 (2012-11-14) entire document	1-13
A	CN 101681667 A (ATMEL CORP.) 24 March 2010 (2010-03-24) entire document	1-13
A	US 2010110760 A1 (SEAGATE TECHNOLOGY L.L.C.) 06 May 2010 (2010-05-06) entire document	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 July 2022

Date of mailing of the international search report

08 August 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/136583

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112885400	A	01 June 2021	None			
CN	102779553	A	14 November 2012	KR	20120126434	A	21 November 2012
				US	2012287730	A1	15 November 2012
				JP	2012238369	A	06 December 2012
CN	101681667	A	24 March 2010	US	2008170454	A1	17 July 2008
				DE	112008000150	T5	03 December 2009
				TW	200838124	A	16 September 2008
				WO	2008089159	A2	24 July 2008
US	2010110760	A1	06 May 2010	US	2011122679	A1	26 May 2011

国际检索报告

国际申请号

PCT/CN2021/136583

A. 主题的分类

G11C 29/12 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, EPDOC, WPI: 感应放大器, 失配, PMOS, NMOS, 压差, 对比, 比对, 比较, sensing, amplifier, mismatch, voltage, difference, compare

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 112885400 A (长鑫存储技术有限公司) 2021年6月1日 (2021 - 06 - 01) 说明书第68-142段	1-13
A	CN 102779553 A (海力士半导体有限公司) 2012年11月14日 (2012 - 11 - 14) 全文	1-13
A	CN 101681667 A (爱特梅尔公司) 2010年3月24日 (2010 - 03 - 24) 全文	1-13
A	US 2010110760 A1 (SEAGATE TECHNOLOGY LLC) 2010年5月6日 (2010 - 05 - 06) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年7月25日

国际检索报告邮寄日期

2022年8月8日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

董立波

电话号码 86- (10) -53961431

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/136583

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112885400	A	2021年6月1日	无			
CN	102779553	A	2012年11月14日	KR	20120126434	A	2012年11月21日
				US	2012287730	A1	2012年11月15日
				JP	2012238369	A	2012年12月6日
CN	101681667	A	2010年3月24日	US	2008170454	A1	2008年7月17日
				DE	112008000150	T5	2009年12月3日
				TW	200838124	A	2008年9月16日
				WO	2008089159	A2	2008年7月24日
US	2010110760	A1	2010年5月6日	US	2011122679	A1	2011年5月26日