



(12) 发明专利申请

(10) 申请公布号 CN 117157766 A

(43) 申请公布日 2023. 12. 01

(21) 申请号 202280025916.5

(22) 申请日 2022.01.24

(30) 优先权数据

2021-064449 2021.04.05 JP

(85) PCT国际申请进入国家阶段日

2023.09.27

(86) PCT国际申请的申请数据

PCT/JP2022/002332 2022.01.24

(87) PCT国际申请的公布数据

W02022/215319 JA 2022.10.13

(71) 申请人 索尼半导体解决方案公司

地址 日本神奈川

(72) 发明人 梶山直树

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

专利代理师 沈丹阳

(51) Int.Cl.

H01L 29/78 (2006.01)

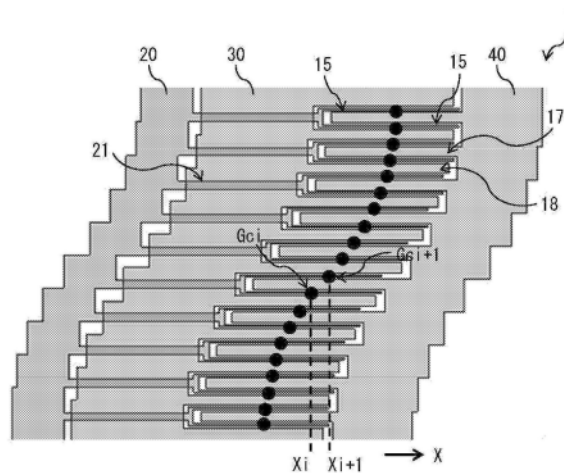
权利要求书1页 说明书9页 附图8页

(54) 发明名称

半导体器件

(57) 摘要

根据本公开的一个实施方式的半导体器件设置有彼此并联连接的多个晶体管。每个晶体管具有在第一方向上延伸的栅极电极、源极电极和漏极电极。多个栅极电极在与第一方向交叉的第二方向上以预定间隔逐一设布置,每个栅极电极针对一个晶体管设置,并且该多个栅极电极被布置为使得满足以下表达式(1)和表达式(2)。(1): $X_i \leq X_{i+1}$ (2): $X_1 < X_n$, 这里, X_i 表示第*i*个栅极电极在第一方向上的中心位置的坐标, X_{i+1} 表示第*(i+1)*个栅极电极在第一方向上的中心位置的坐标, 并且*n*表示栅极电极的数量。



1. 一种半导体器件,包括:
多个晶体管,彼此并联耦接,其中,
每个所述晶体管包括在第一方向上延伸的栅极电极、源极电极和漏极电极,
多个被逐一设置到每个所述晶体管的栅极电极在与所述第一方向交叉的第二方向上以预定间隔布置,使得满足以下表达式(1)和表达式(2):

$$X_i \leq X_{i+1} \cdots (1)$$

$$X_1 < X_n \cdots (2)$$

其中, X_i 表示所述栅极电极中的第*i*个栅极电极在所述第一方向上的中心位置坐标,
 X_{i+1} 表示所述栅极电极中的第*i+1*个栅极电极在所述第一方向上的中心位置坐标,以及

n 表示栅极电极的数量。

2. 根据权利要求1所述的半导体器件,其中,多个所述栅极电极具有彼此相等的长度。

3. 根据权利要求1所述的半导体器件,其中,多个所述栅极电极被布置为使得 $X_{i+1}-X_i$ 取恒定的正值或负值,而与地点无关。

4. 根据权利要求1所述的半导体器件,其中,多个所述栅极电极被布置为使得当*i*是 $n/2$ 或接近 $n/2$ 时, $X_{i+1}-X_i$ 取最大值。

5. 根据权利要求4所述的半导体器件,其中,多个所述栅极电极被布置为使得随着*i*从1变成 $n/2$, $X_{i+1}-X_i$ 逐渐增加,并且随着*i*从 n 变成 $n/2$, $X_{i+1}-X_i$ 逐渐增加。

6. 根据权利要求4所述的半导体器件,其中, X_n-X_1 是等于或大于在所述第一方向上的所述栅极电极的长度的长度。

7. 根据权利要求4所述的半导体器件,其中,通过连接栅极电极的中心位置而获得的曲线的长度是在所述栅极电极在所述第一方向上的三倍以上。

8. 根据权利要求1所述的半导体器件,包括:

栅极耦接部,电耦接至多个所述栅极电极;

源极耦接部,电耦接至多个所述源极电极;

漏极耦接部,电耦接至多个所述漏极电极;

第一过孔,与所述栅极耦接部接触;以及

第二过孔,与所述漏极耦接部接触,其中,

所述第一过孔和所述第二过孔被设置为彼此相对,并且多个所述栅极电极介于所述第一过孔与所述第二过孔之间。

半导体器件

技术领域

[0001] 本公开涉及一种半导体器件。

背景技术

[0002] 假设第五代 (5G) 移动通信系统使用毫米波段中的信号。空间衰减大的毫米波段需要高功率输出,导致需要高功率、高频半导体器件。高功率、高频半导体器件的实例包括功率放大器和RF开关。

[0003] 顺便提及,高输出、高频半导体器件具有由焦耳热引起的发热的问题。随着沟道的温度增加,沟道和外围配线的电阻增加,导致器件特性的劣化。特别地,当通道密集时,抑制发热集中导致最大温度降低。因此,例如在专利文献1、2中记载的发明中,提出了通过将叉指(finger)的配置设为锯齿状或V字状来抑制发热集中。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:国际公开号W02018/02549

[0007] 专利文献2:日本未经审查的专利申请公开号H7-283235

发明内容

[0008] 然而,如专利文献1和专利文献2中所描述,当叉指阵列被制成Z字形或V形时,由叉指围绕的半封闭区域变成死区。这样的死区减小了电路布局的自由度,阻碍了尺寸的减小。因此,希望提供具有多叉指结构的半导体器件,其使得可以在不降低电路布局的自由度的情况下抑制尺寸增加的同时抑制热产生的集中。

[0009] 根据本公开的一个实施方式的半导体器件包括彼此并联耦接的多个晶体管。每个晶体管包括在第一方向上延伸的栅极电极、源极电极和漏极电极。逐一设置到每个晶体管的多个栅极电极在与第一方向交叉的第二方向上以预定间隔布置,使得满足以下表达式(1)和表达式(2):

[0010] $X_i \leq X_{i+1} \cdots (1)$

[0011] $X_1 < X_n \cdots (2)$

[0012] 其中, X_i 表示多个栅极电极中的第*i*个栅极电极在第一方向上的中心位置坐标,

[0013] X_{i+1} 表示多个栅极电极中的第*i*+1个栅极电极在第一方向上的中心位置坐标,并且

[0014] n 表示多个栅极电极的数量。

[0015] 在根据本公开的一个实施方式的半导体器件中,逐一设置到每个晶体管的多个栅极电极以预定间隔布置,使得满足表达式(1)和表达式(2)。因此,与布置多个栅极电极使得满足 $X_i = X_{i+1}$ 和 $X_n - X_1 = 0$ 的情况相比,可以消除在 $X_n/2$ 处的栅极电极附近的热集中。此外,与将多个栅极电极布置为Z字形或V形的情况不同,不产生死区。

附图说明

- [0016] 图1是示出根据本公开的一个实施方式的半导体器件的示例性平面配置的图。
- [0017] 图2是示出在图1中示出的半导体器件的区域 α 中的示例性截面配置的图。
- [0018] 图3是示出图1中示出的半导体器件的区域 β 中的示例性截面配置的图。
- [0019] 图4是示出在图1中示出的半导体器件的区域 γ 中的示例性截面配置的图。
- [0020] 图5是图1中所示的半导体器件的平面配置的放大图。
- [0021] 图6是示出半导体器件的发热分布的模拟结果的图。
- [0022] 图7是示出在图6的发热分布中最大温度的变化量与叉指的中心位置的移位之间的关系关系的图。
- [0023] 图8是示出根据叉指的长度和数量的变化的发热分布的模拟结果的图,其中使叉指的长度和数量的乘积恒定。
- [0024] 图9是示出叉指布置的方向上的发热分布的图。
- [0025] 图10是示出图8的发热分布中的温度升高量和纵横比之间的关系关系的图。
- [0026] 图11是示出根据一个修改例的图1的半导体器件的平面配置的图。
- [0027] 图12是应用图1至图11的半导体器件的示例性高频模块的图。
- [0028] 图13是示出应用图1至图11的半导体器件的无线电通信设备的示例的图。

具体实施方式

[0029] 在下文中,参照附图详细描述本公开的一些实施方式。以下描述仅是本公开的实例,并且本公开不受以下描述的模式限制。此外,本公开不限于在每个附图中示出的部件的布置、维度、尺寸比等。应注意,按照以下顺序给出描述。

- [0030] 1. 背景
- [0031] 2. 实施方式(半导体器件) …图1至图11
- [0032] 3. 应用例(高频模块和无线电通信设备) …图12和图13

[0033] <1. 背景>

[0034] 假设第五代(5G)移动通信系统使用毫米波段中的信号。空间衰减大的毫米波段需要高功率输出,导致需要高功率、高频半导体器件。高功率、高频半导体器件的实例包括功率放大器和RF开关。

[0035] GaN的特征在于高击穿电压、高温操作、以及高饱和漂移。在GaN异质结处形成的二维电子气(2DEG)的特征在于高迁移率和高片电子密度。由于这些特征,使用基于GaN的异质结的高电子迁移率晶体管(HEMT)能够实现具有低电阻率的高速、高击穿电压操作。因此,期望使用基于GaN的异质结的高电子迁移率晶体管应用于高功率、高频半导体器件。

[0036] 顺便提及,大电流流经通道的功率放大器具有由焦耳热引起的发热的问题。随着沟道的温度增加,沟道的电阻和外围布线增加,导致功率放大器的特性劣化。作为抑制通道的温度升高的方法,可想到促进热排出到设备外部。然而,对于期望包括GaN基HEMT的便携式终端,尺寸的约束较大,并且难以提供足够的排热机构。

[0037] 作为抑制通道温度升高的另一种方法,减小通道的密度也是有效的。用于功率放大器的场效应晶体管(FET)经常采用多叉指结构,其中多个栅极并联布置。如果总栅极宽度恒定,则减小每栅极的宽度,并且增加叉指的数量,使得可以抑制发热的集中并降低最大温

度。此外,增大叉指之间的间隔使得可以进一步降低最大温度。

[0038] 同时,当如在专利文献1和专利文献2中所描述将叉指阵列制成Z字形或V形时,由叉指包围的半封闭区域变成死区。这样的死区减小了电路布局的自由度,阻碍了尺寸的减小。因此,在下文中,给出了具有多叉指结构的半导体器件的一些实施方式的描述,其使得可以在不减小电路布局的自由度的情况下抑制尺寸增加的同时抑制热产生的集中。

[0039] <2.实施方式>

[0040] [配置]

[0041] 接下来,给出根据本公开的实施方式的半导体器件1的描述。图1示出根据本实施方式的半导体器件1的示例性平面配置。图2示出在图1中示出的半导体器件1的区域 α 中的示例性截面配置。图3示出在图1中示出的半导体器件1的区域 β 中的示例性截面配置。图4示出在图1中示出的半导体器件1的区域 γ 中的示例性截面配置。

[0042] 半导体器件1包括使用 $\text{Al}_{1-x}\text{yGa}_x\text{In}_y\text{N}$ ($0 \leq x < 1, 0 \leq y < 1$) / GaN的异质结的多个高电子迁移率晶体管。半导体器件1具有多叉指结构,其中多个高电子迁移率晶体管并联连接。每个电子迁移率晶体管包括栅极电极15、源极电极17和漏极电极18。半导体器件1包括例如栅极耦接部20、源极耦接部30和漏极耦接部40。逐一设置到高电子迁移率晶体管中的每一个的多个栅极电极15耦接至栅极耦接部20。逐一设置到高电子迁移率晶体管中的每一个的多个源极电极17耦接至源极耦接部30。逐一设置到高电子迁移率晶体管中的每一个的多个漏极电极18耦接至漏极耦接部40。

[0043] 例如,栅极耦接部20电耦接至传输高频信号的输入电路。从输入电路输出的高频信号经由栅极耦接部20被每个电子迁移率晶体管的栅极电极15接收。例如,漏极耦接部40电耦接至传输高频信号的输出电路。从每个高电子迁移率晶体管的漏极电极18输出的高频信号经由漏极耦接部40被输出电路接收。例如,两个过孔导体(凸块)31和32电连接至源极耦接部件30。过孔导体31和32在后面描述的基板10的法线方向上延伸,并且例如耦接至地线。例如,过孔导体31和32被设置成使得多个高电子迁移率晶体管介于其间。

[0044] 在每个高电子迁移率晶体管中,栅极电极15、源极电极17和漏极电极18在第一方向(图1的页面的水平方向)上延伸。此外,例如,源极电极17和漏极电极18被布置为在与第一方向垂直的第二方向(图1的页面的垂直方向)上彼此相对,栅极电极15介于其间。

[0045] 栅极电极15包括经由栅极绝缘膜14和阻挡层12与沟道层11接触的栅极操作部分。当对栅极电极15施加预定电压时,栅极操作部分控制在沟道层11的紧邻栅极操作部分下方的部分中流动的电流。沟道层11的栅极操作部的正下方的部分为有源区域。在有源区中,产生用作通道的二维电子气层。

[0046] 半导体器件1包括例如设置在基板10上的沟道层11和阻挡层12。半导体器件1还包括例如设置在阻挡层12上的绝缘层13和栅极绝缘膜14。绝缘层13在形成上述栅极操作部分的部分处具有开口(以下称为“栅极开口”)。栅极绝缘膜14与阻挡层12的在阻挡层12的栅极开口部的底面露出的部分接触而形成。栅极绝缘膜14是按照阻挡层12的底面和内壁以及绝缘层13的表面形成的共形层(conformal layer)。半导体器件1还包括形成为填充阻挡层12的栅极开口的栅极电极15。

[0047] 阻挡层12除了栅极开口之外还具有有一对开口(以下称为“源极开口”和“漏极开口”)。源极开口和漏极开口设置在彼此相对的相应位置处,栅极开口介于其间,并且在第一

方向(图1的页面的水平方向)上延伸。沟道层11在源极开口和漏极开口的底面露出。

[0048] 半导体器件1例如还包括源极电极17和漏极电极18。源极电极17与在源极开口部的底面露出的沟道层11欧姆结。漏极电极18与在漏极开口部的底面露出的沟道层11欧姆结。半导体器件1还包括例如栅极电极15和形成为与栅绝缘膜14的表面接触的绝缘层16。绝缘层13、栅极绝缘膜14和绝缘层16在夹着栅极电极15的一对区域中各自具有开口。一对区域中的一个中的绝缘层13、栅极绝缘膜14和绝缘层16的开口填充有源极电极17。成对区域中的另一个区域中的绝缘层13、栅极绝缘膜14和绝缘层16的开口填充有漏极电极18。源极电极17和漏极电极18的上表面在绝缘层16的表面露出。

[0049] 例如,基板10包括GaN。在控制晶格参数的缓冲层设置在基板10与沟道层11之间的情况下,基板10可包括例如Si、SiC或蓝宝石。在这种情况下,例如,缓冲层包括诸如AlN、AlGaIn、或者GaIn的化合物半导体。

[0050] 沟道层11是其中形成高电子迁移率晶体管的沟道的层。沟道层11的有源区域(沟道区域)是由于来自阻挡层12的极化而积聚载流子的区域。沟道层11使用由于来自阻挡层12的极化而容易积聚载流子的化合物半导体材料形成。化合物半导体材料的实例包括GaN。可以使用未掺杂的化合物半导体材料形成沟道层11。在这种情况下,抑制了载流子在沟道层11中的杂质散射,并且实现了高速率的载流子迁移率。当使用不同的化合物半导体形成的沟道层11和阻挡层12彼此异质结时,用作沟道的二维电子气层形成在沟道层11的与阻挡层12接触的界面处。

[0051] 阻挡层12使用化合物半导体材料形成,使得由于来自沟道层11的极化而在沟道层11中积聚载流子。化合物半导体材料的实例包括 $\text{Al}_a\text{In}_b\text{Ga}_{1-a-b}\text{In}_b\text{N}$ ($0 \leq a < 1, 0 \leq b < 1$)。可以使用未掺杂的化合物半导体材料形成阻挡层12。在这种情况下,抑制了沟道层23中载流子的杂质散射,并且实现了高速率的载流子迁移率。应注意,例如,可在阻挡层12与沟道层11之间设置包括例如AlN的间隔层以控制异质结界面。沟道层11、阻挡层12和间隔层例如可以通过金属有机化学气相沉积(MOCVD)或分子束外延(MBE)来形成。

[0052] 绝缘层13、栅极绝缘膜14和绝缘层16各自使用氧化铝(Al_2O_3)、氧化硅(SiO_2)或氮化硅(SiN)形成。栅极电极15具有例如镍(Ni)和金(Au)从基板10以该顺序堆叠的结构。与沟道层11欧姆结的源极电极17和漏极电极18例如具有从基板10依次层叠钛(Ti)、铝(Al)、镍(Ni)、金(Au)的结构。

[0053] 如图1所示,例如,栅极耦接部20具有逐一设置到两个高电子迁移率晶体管的栅极电极15的每对的多个分支21。每个分支21的一端耦接到两个高电子迁移率晶体管的栅极电极15。多个空隙16a可以形成在绝缘层16中。在这种情况下,如图3所示,例如,多个空隙16a中的每一个设置在与分支21相对的部分处。如图4所示,例如,每个空隙16a可以与外部连通。在这种情况下,如图4所示,例如,绝缘层16包括与分支21的上表面接触的绝缘层16A和与源极耦接部30的后表面接触的绝缘层16B。空隙16a形成在绝缘层16A和绝缘层16B之间。源极耦接部30形成为延伸跨过多个空隙16a。

[0054] 图5以放大的方式展示了图1中所示的平面配置的一部分。在图5中,从页面底部对第*i*个栅极电极15(其中, $1 \leq i \leq n-1$,*n*是栅极电极15的数量)的纵向方向上的中心位置 G_{ci} 给出曲线图。此外,在图5中,从页面的底部对第*i+1*个栅极电极15在纵向方向上的中心位置 G_{ci+1} 给出曲线图。

[0055] 半导体器件1的多个栅极电极15可具有彼此相等的长度。注意,半导体器件1的多个栅极电极15的至少一部分(一个或多个)可以具有与其他栅极电极15不同的长度。

[0056] 在半导体器件1中,多个栅极电极15在第二方向上以预定间隔布置。例如,多个栅极电极15在第二方向(图5的页面的垂直方向)以等间隔布置。多个栅极电极15在第二方向上的布置节距可不管位置而是恒定的,或者可根据位置而不同。半导体器件1中的多个栅极电极15被布置为使得中心位置 G_{ci} 满足以下表达式(1)和表达式(2):

$$[0057] \quad X_i \leq X_{i+1} \dots (1)$$

$$[0058] \quad X_1 < X_n \dots (2)$$

[0059] 其中, X_i 表示第*i*个栅极电极15在第一方向上的中心位置坐标,

[0060] X_{i+1} 表示第*i+1*个栅极电极15在第一方向上的中心位置坐标;并且

[0061] n 表示栅极电极15的数量。

[0062] 在这种情况下,半导体器件1中的多个栅极电极15可布置成使得中心位置 G_{ci} 满足以下表达式(3):

$$[0063] \quad X_i < X_{i+1} \dots (3)$$

[0064] 可替代地,半导体器件1中的多个栅极电极15可以被安排成使得当*i*是 $n/2$ 或接近 $n/2$ 时 $X_{i+1}-X_i$ 取最大值。在这种情况下,半导体器件1中的多个栅极电极15优选地布置成使得 $X_{i+1}-X_i$ 随着*i*从1变成 $n/2$ 逐渐增加。此外,半导体器件1中的多个栅极电极15优选地布置成使得 $X_{i+1}-X_i$ 随着*i*从 n 向 $n/2$ 变化而逐渐增加。在这种情况下,中心位置 G_{ci} 被布置成S形。在下文中,多个栅极电极15的这种布置被称为“S形类型2”。

[0065] 在“S形类型2”中, X_n-X_1 可以等于或大于栅极电极15的纵向长度(例如,在多个栅极电极15中具有最大长度的栅极电极15的长度)。此外,在“S形类型2”中,通过连接栅极电极15的中心位置 G_{ci} 而获得的曲线的长度可以是栅极电极15的纵向长度(例如,多个栅极电极15中具有最大长度的栅极电极15的长度)的三倍以上。

[0066] 应注意,当半导体器件1中的多个栅极电极15被布置成使得当*i*从1变成 $n/2$ 时 $X_{i+1}-X_i$ 逐渐减小以及当*i*从 n 变成 $n/2$ 时 $X_{i+1}-X_i$ 逐渐减小时,中心位置 G_{ci} 被布置成S形。注意,在下文中,多个栅极电极15的这种布置被称为“S形类型1”。此外,在下文中,无论位置如何,半导体器件1中的多个栅极电极15的这样的布置(即, $X_{i+1}-X_i$ 是恒定的)被称为“线性类型”。应注意,“线性类型”中的术语“线性”指当 $X_{i+1}-X_i$ 为零时与第二方向平行的直线,并且指当 $X_{i+1}-X_i$ 取正值或负值时在与第二方向交叉的方向上延伸的直线。

[0067] 图6示出根据实施方式和比较例的半导体器件的发热分布的模拟结果。在图6的(A)的最左侧的发热分布示出其中布置多个栅极电极15以满足 $X_i=X_{i+1}$ 的模拟结果。在图6的(A)中间的发热分布示出模拟结果,在该模拟结果中,多个栅极电极15被布置成使得 $X_{i+1}-X_i$ 采用正常数并且 X_n-X_1 变成 $25\mu\text{m}$ 。在图6的(A)的最右侧的发热分布示出模拟结果,其中,多个栅极电极15被布置成使得 $X_{i+1}-X_i$ 采用正常数并且 X_n-X_1 变成 $50\mu\text{m}$ 。

[0068] 图6的(B)中的两个发热分布示出模拟结果,其中多个栅极电极15被布置成使得当满足 $1 \leq i \leq n/2$ 时 $X_{i+1}-X_i$ 取负常数并且当满足 $n/2 \leq i \leq n$ 时 $X_{i+1}-X_i$ 取正常数。在图6的(B)的中间的发热分布示出其中布置多个栅极电极15使得 $X_n-X_{n/2}$ 变成 $25\mu\text{m}$ 的模拟的结果。在图6的(B)的最右侧的发热分布示出其中布置多个栅极电极15使得 $X_n-X_{n/2}$ 变成 $50\mu\text{m}$ 的模拟的结果。

[0069] 图6的(C)中的发热分布示出模拟结果,其中多个栅极电极15布置成“S形类型1”。图6的(D)中的发热分布示出多个栅极电极15布置成“S形类型2”的模拟结果。在图6的(D)的中间的发热分布示出其中布置多个栅极电极15使得 $X_n - X_n/2$ 变成 $25\mu\text{m}$ 的模拟的结果。在图6的(D)的最右侧的发热分布示出其中布置多个栅极电极15使得 $X_n - X_n/2$ 变成 $50\mu\text{m}$ 的模拟的结果。

[0070] 要注意的是,在具有在图6的(D)中所示的发热分布的半导体器件1中, $X_n - X_1$ 是等于或大于栅极电极15的纵向长度的长度(例如,在多个栅极电极15的栅极电极15中具有最大长度的栅极电极15的长度)。此外,在具有图6的(D)中示出的发热分布的半导体器件1中,通过连接栅极电极15的中心位置 G_{ci} 获得的曲线具有栅极电极15的纵向长度(例如,多个栅极电极15的栅极电极15中具有最大长度的栅极电极15的长度)的三倍以上的长度。

[0071] 图7共同展示了在图6中展示的结果。在图7中,纵轴表示通过将图6的(A)的最左边示出的模拟中的温度分布的最大温度(参考温度)与每个模拟的结果中的最大温度之间的差除以总发热量而获得的值。在图7中,水平轴表示 $X_n - X_n/2$ (移位量)。

[0072] 从图6和图7中显而易见的是,最大温度随着移位量的增加而降低,并且S形类型2是当移位量相同时表现出最高散热效果的布置。还显而易见的是,S形类型1和V形类型在散热方面比S形类型2差。根据上述事实,可知随着 $X_n/2$ 处的栅极电极15附近的移位量增加,有效地消除了 $X_n/2$ 处的栅极电极15附近的热集中。

[0073] 图8的(A)、图8的(B)、图8的(C)示出在使栅极电极15的长度和数量的积恒定时根据叉指的长度和数量的变化的热产生分布的模拟结果。图8的(A)示出每个栅极电极15的长度设置为 $75\mu\text{m}$ 并且栅极电极15的数量设置为20的模拟结果。图8的(B)示出每个栅极电极15的长度设置为 $50\mu\text{m}$ 并且栅极电极15的数量设置为30的模拟结果。图8的(C)示出每个栅极电极15的长度设置为 $25\mu\text{m}$ 并且栅极电极15的数量设置为60的模拟结果。图9是栅极电极15在布置方向上的图8的(A)、图8的(B)以及图8的(C)的发热分布的波形图。从图9中显而易见的是,随着栅极电极15的数目增加,最大温度降低并且温度分布接近均匀性。其原因之一在于,随着栅极电极15的个数的增加,温度最大的位置与配置有多个栅极电极15的区域的外侧区域的距离变短,所以散热变得容易。

[0074] 图9示出其中布置了多个栅极电极15的区域的纵横比与从环境温度开始的温度升高量 $\Delta T_{ja} [^\circ\text{C}]$ 之间的关系。从图9中显而易见的是,随着其中布置多个栅极电极15的区域的纵横比增加,最大温度降低并且温度分布接近均匀性。其原因之一在于,温度最大的位置与配置有多个栅极电极15的区域的外侧面积之间的距离随着配置区域的纵横比增加而变短,所以散热变得容易。

[0075] [效果]

[0076] 接下来,描述半导体器件1的效果。

[0077] 根据本实施方式,当向栅极电极15施加预定电压时,在沟道层11的就在栅极电极15下方的部分中产生二维电子气层。由此,沟道层11的栅极电极15正下方的部分成为有源区域(沟道区域)。由此,电流从漏极电极18通过沟道层11的有源区域(沟道区域)流向源极电极17。因而,沟道层11的栅极电极15的正下方的部分作为一般的HEMT进行动作。

[0078] 在这种情况下,在沟道层11中流动的电流产生热量。产生的热量通过基板10、源极电极17和漏极电极18释放到外部。但是,局部产生的热容易残留在半导体器件1内。这可增

加通道的温度和管道和外围导线的电阻,导致装置特性的劣化。

[0079] 然而,在本实施方式中,以预定间隔布置逐一提供给高电子迁移率晶体管中的每一个的多个栅极电极15,使得满足表达式(1)和表达式(2)。因而,与将多个栅极电极15配置为满足 $X_i = X_{i+1}$ 和 $X_n - X_1 = 0$ 的情况相比,能够消除在 $X_n/2$ 处栅极电极附近的热集中。此外,与将多个栅极电极15配置为锯齿形或V形的情况不同,不产生死区。因此,具有多叉指结构的半导体器件1使得可以抑制尺寸的增加并抑制热集中,而不降低电路布局的自由度。

[0080] 进一步的,在本实施方式中,多个栅极电极15的长度可以相等。这简化了多叉指结构的形成。结果,可以抑制尺寸的增加并且进一步抑制发热而不降低电路布局的自由度。

[0081] 进一步地,在本实施方式中,多个栅极电极15可布置成使得 $X_{i+1} - X_i$ 取恒定而与位置无关的正值或负值。这也简化了多叉指结构的形成。结果,可以抑制尺寸的增加并且进一步抑制发热而不降低电路布局的自由度。

[0082] 进一步地,在本实施方式中,可以布置多个栅极电极15,使得当 i 是 $n/2$ 或接近 $n/2$ 时, $X_{i+1} - X_i$ 取最大值。由此,能够有效地消除在 $X_n/2$ 处的栅极电极附近的热集中。

[0083] 进一步地,在本实施方式中,多个栅极电极15可被布置成使得当 i 从1变成 $n/2$ 时 $X_{i+1} - X_i$ 逐渐增加,并且当 i 从 n 变成 $n/2$ 时 $X_{i+1} - X_i$ 逐渐增加。由此,能够有效地消除在 $X_n/2$ 处的栅极电极附近的热集中。

[0084] 进一步地,在本实施方式中, $X_n - X_1$ 可以等于或大于栅极电极15在第一方向上的长度。由此,能够有效地消除在 $X_n/2$ 处的栅极电极附近的热集中。

[0085] 进一步地,在本实施方式中,通过连接栅极电极15的中心位置获得的曲线的长度可以是栅极电极在第一方向上的长度的三倍或更大。由此,能够有效地消除在 $X_n/2$ 处的栅极电极附近的热集中。

[0086] 应注意,例如,在上述实施方式中,可进一步设置如图11所示的过孔导体(凸块)33和34。过孔导体33与源极耦接部30的位于多个分支21正上方的一部分接触。过孔导体34与漏极耦接部40的与多个分支21相对的部分接触,其中多个栅极电极15介于其间。即,通路导体34、34隔着多个栅极电极15相对。这使得可以通过过孔导体33和34有效地将在通道处产生的热量释放到外部。

[0087] 需要说明的是,上述实施方式中相邻的两个栅极电极15之间的间隔可以为矩形或扇形。

[0088] <3. 应用例>

[0089] [应用例1]

[0090] 接下来,参照图12描述应用根据本公开的实施方式或变形例的半导体器件1的高频模块2。图12是高频模块2的立体图。

[0091] 高频模块2例如包括边缘天线42、驱动器43、相位调整电路44、开关41、低噪声放大器45、带通滤波器46和功率放大器47。

[0092] 高频模块2是天线集成型模块,其中,安装有集成为一个模块的前端组件,诸如形成成为阵列的边缘天线42、开关41、低噪声放大器45、带通滤波器46和功率放大器47。例如,高频模块2可以用作通信收发器。包括在高频模块2中的开关41、低噪声放大器45、功率放大器47等的晶体管可以是例如设置在根据本公开的实施方式或变形例的半导体器件1中的高电子迁移率晶体管,以增加高频增益。

[0093] [应用例2]

[0094] 图13示出无线电通信设备的示例。无线电通信设备例如是具有声音通信、数据通信和LAN连接等多种功能的便携式电话系统。无线电通信设备例如包括天线ANT、天线切换电路3、高功率放大器HPA、射频集成电路(RFIC)、基带BB、声音输出单元MIC、数据输出单元DT以及接口单元I/F(例如,无线局域网(W-LAN))、蓝牙(注册商标)等。天线切换电路3包括在根据本公开的实施方案和变形例的半导体器件1中提供的高电子迁移率晶体管。射频集成电路RFIC和基带BB通过接口单元I/F彼此耦接。

[0095] 发送时,即从无线电通信设备的发送系统发送发送信号到天线ANT时,基带BB输出的发送信号通过射频集成电路RFIC、高功率放大器HPA和天线切换电路3输出到天线ANT。

[0096] 在接收时,即,当在天线ANT处接收的信号被输入到无线电通信设备的接收系统时,接收信号经由天线切换电路3和射频集成电路RFIC被输入到基带BB。从基带BB处处理的信号从诸如声音输出单元MIC、数据输出单元DT或接口I/F的输出单元输出。

[0097] 尽管已经参考实施方式、变形例和应用例描述了本公开,但是本公开不应局限于上述实施方式等,并且可以进行各种修改。应注意,本文中描述的效果仅是实例,并且本公开的效果不应局限于本文中描述的效果。本公开可具有除本文中描述的效果之外的效果。

[0098] 进一步地,例如,本公开可以具有以下配置。

[0099] (1) 一种半导体器件,包括:

[0100] 多个晶体管,彼此并联耦接,其中,

[0101] 每个所述晶体管包括在第一方向上延伸的栅极电极、源极电极和漏极电极,

[0102] 多个被逐一设置到每个所述晶体管的栅极电极在与所述第一方向交叉的第二方向上以预定间隔布置,使得满足以下表达式(1)和表达式(2):

$$[0103] \quad X_i \leq X_{i+1} \cdots (1)$$

$$[0104] \quad X_1 < X_n \cdots (2)$$

[0105] 其中, X_i 表示所述栅极电极中的第*i*个栅极电极在所述第一方向上的中心位置坐标,

[0106] X_{i+1} 表示所述栅极电极中的第*i+1*个栅极电极在所述第一方向上的中心位置坐标,以及

[0107] n 表示栅极电极的数量。

[0108] (2) 根据(1)的半导体器件,其中,多个栅极电极具有彼此相等的长度。

[0109] (3) 根据(1)或(2)所述的半导体器件,其中,多个栅极电极被布置为使得 $X_{i+1} - X_i$ 取恒定的正或负值,而与位置无关。

[0110] (4) 根据(1)至(3)中任一项所述的半导体器件,其中,多个栅极电极被布置为使得当*i*是 $n/2$ 或接近 $n/2$ 时, $X_{i+1} - X_i$ 取最大值。

[0111] (5) 根据(4)所述的半导体器件,其中,所述多个栅极电极被布置为使得随着*i*从1变成 $n/2$, $X_{i+1} - X_i$ 逐渐增加,并且随着*i*从 n 变成 $n/2$, $X_{i+1} - X_i$ 逐渐增加。

[0112] (6) 根据(4)所述的半导体器件,其中, $X_n - X_1$ 是等于或大于在所述第一方向上的所述栅极电极的长度的长度。

[0113] (7) 根据(4)所述的半导体器件,其中其中,通过连接每个栅极电极的中心位置而获得的曲线的长度是在所述栅极电极在所述第一方向上的三倍以上。

[0114] (8) 根据(1)至(7)中任一项所述的半导体器件,包括:

[0115] 栅极耦接部,电耦接至多个所述栅极电极;

[0116] 源极耦接部,电耦接至多个所述源极电极;

[0117] 漏极耦接部,电耦接至多个所述漏极电极;

[0118] 第一过孔,与所述栅极耦接部接触;以及

[0119] 第二过孔,与所述漏极耦接部接触,其中,

[0120] 所述第一过孔和所述第二过孔被设置为彼此相对,并且多个所述栅极电极介于所述第一过孔与所述第二过孔之间。

[0121] 本申请要求2021年4月5日向日本专利局提交的日本优先权专利申请JP2021-064449的权益,其全部内容通过引用并入本文。

[0122] 本领域的技术人员应当理解,根据设计要求和因素,可以出现各种修改、组合、子组合和变更,只要它们在所附权利要求或其等效物的范围内。

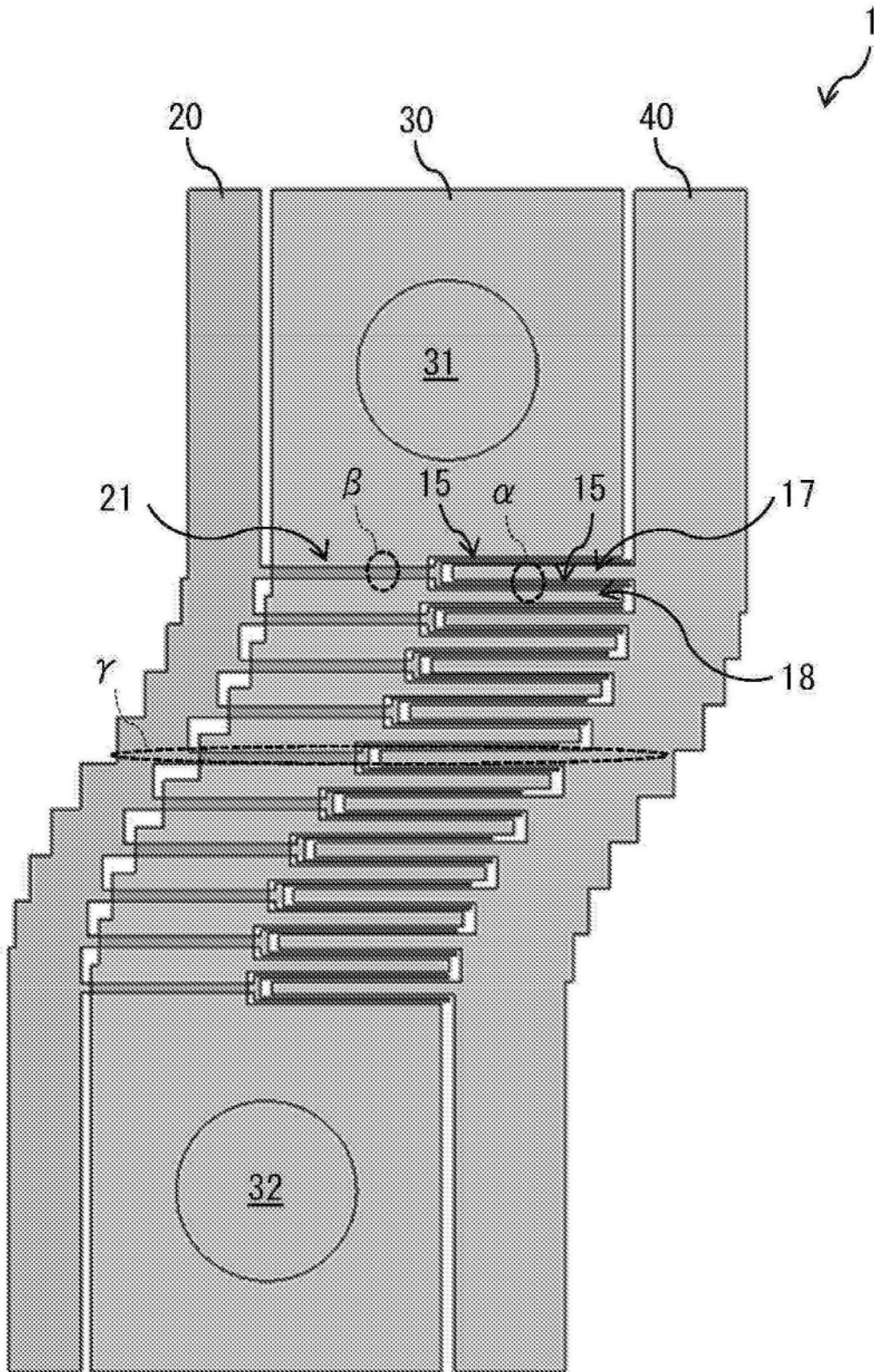


图1

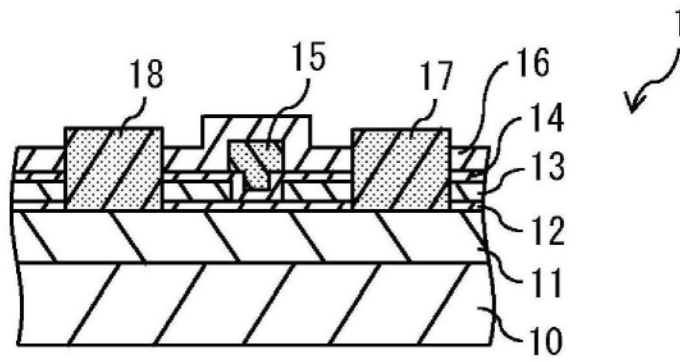


图2

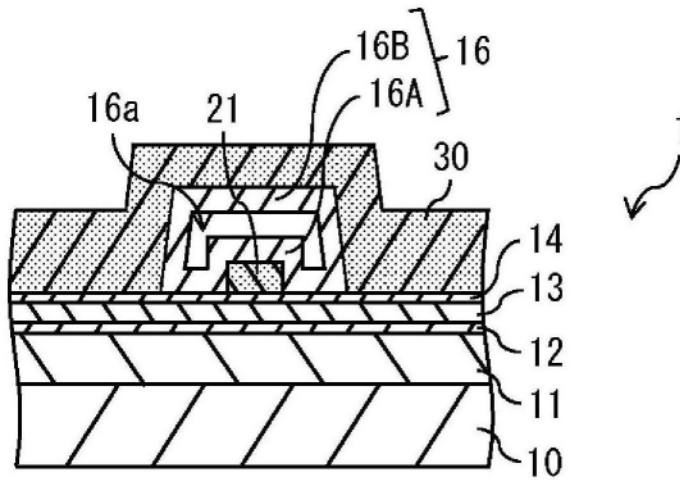


图3

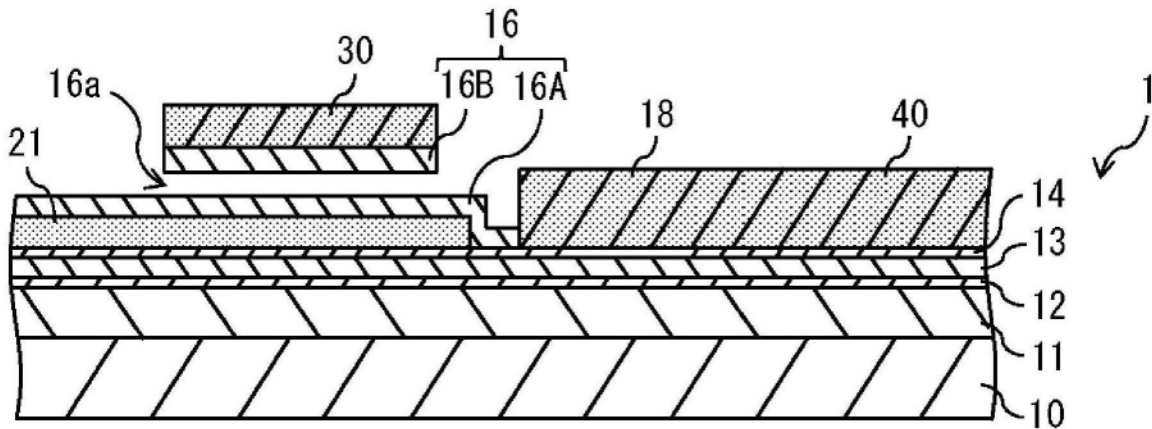


图4

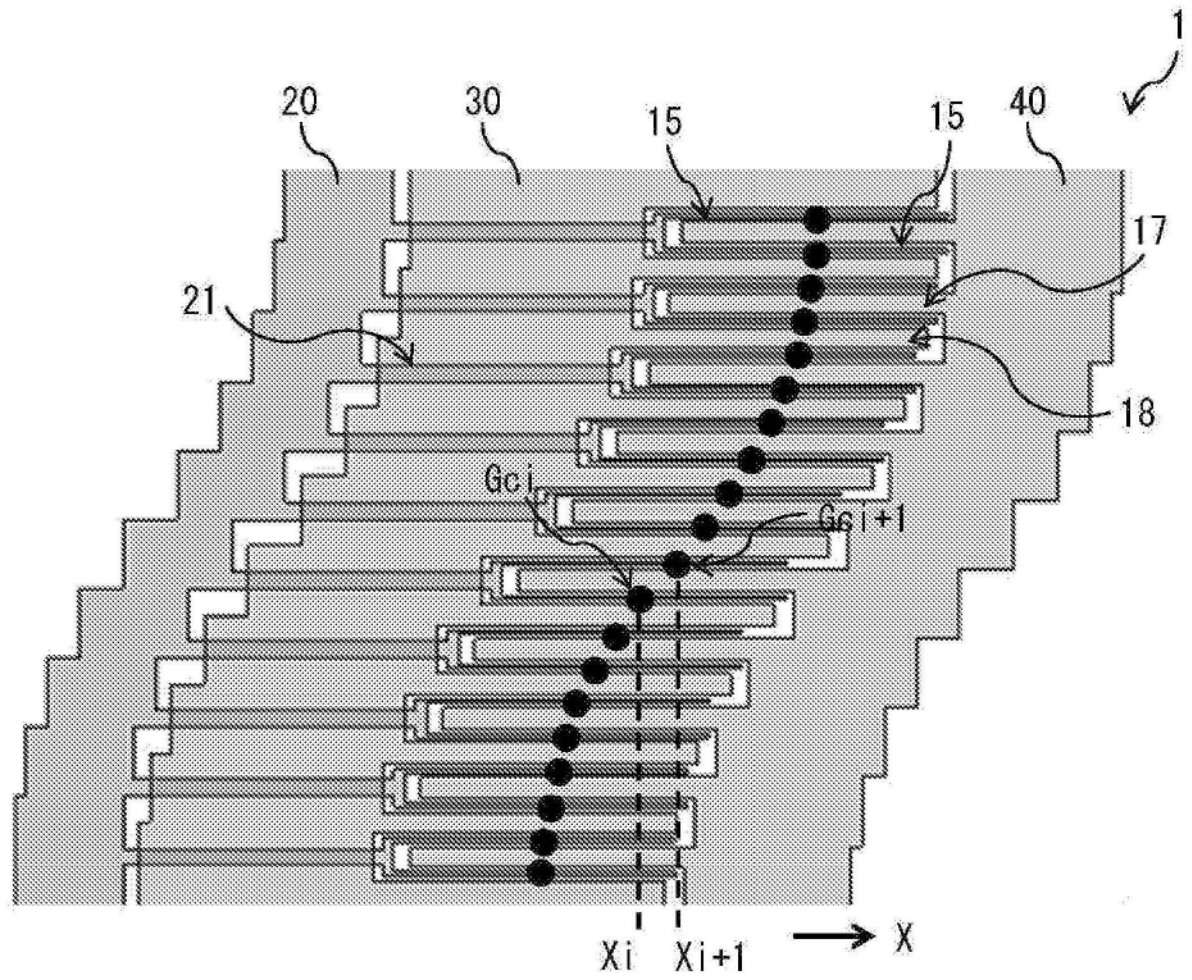


图5

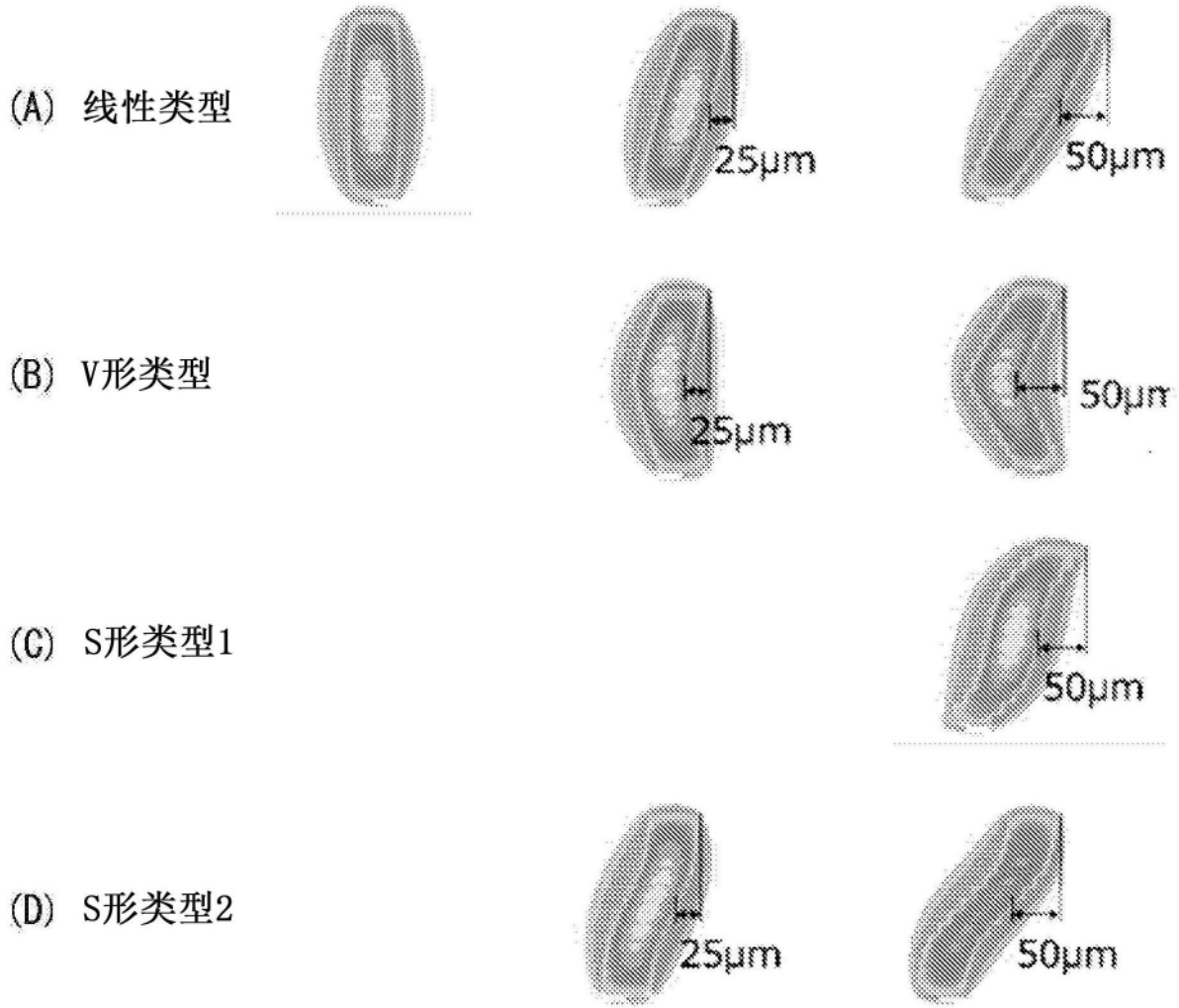


图6

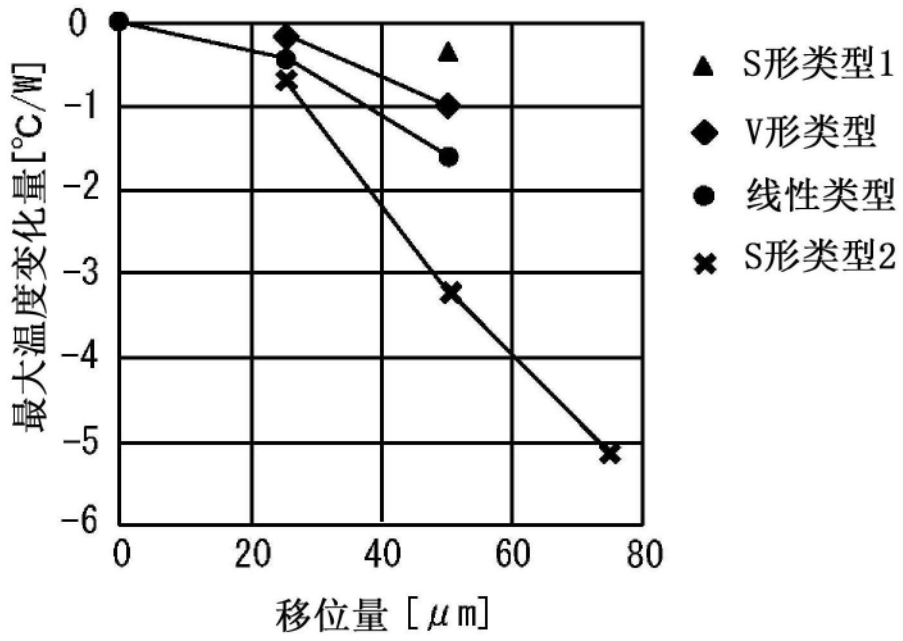


图7

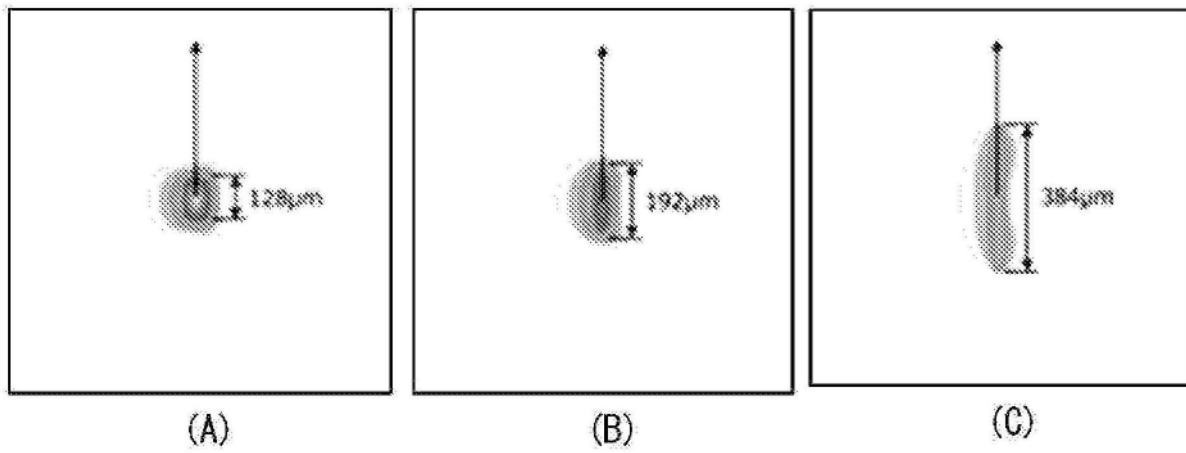


图8

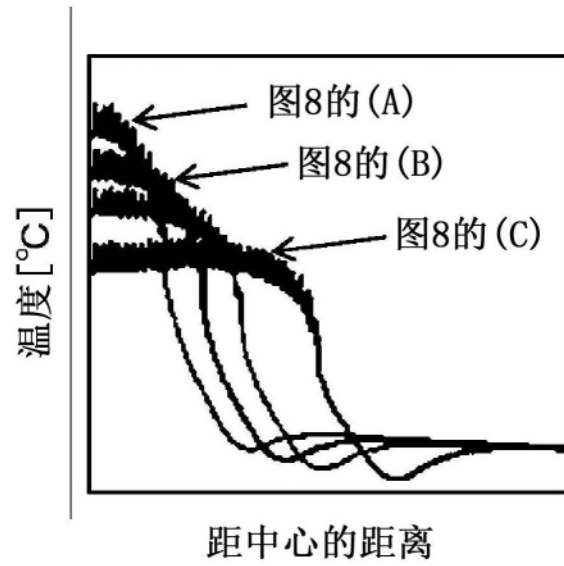


图9

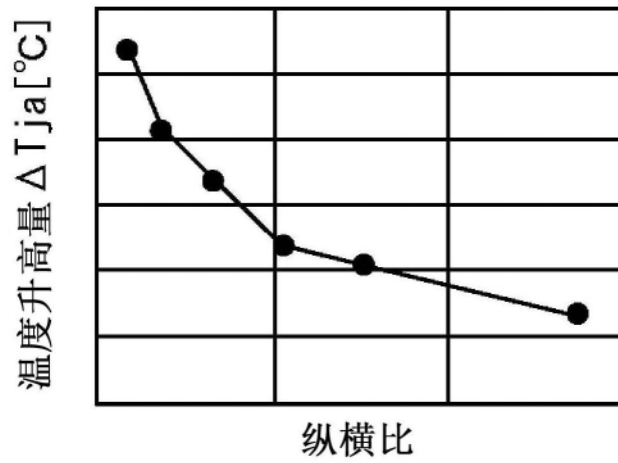


图10

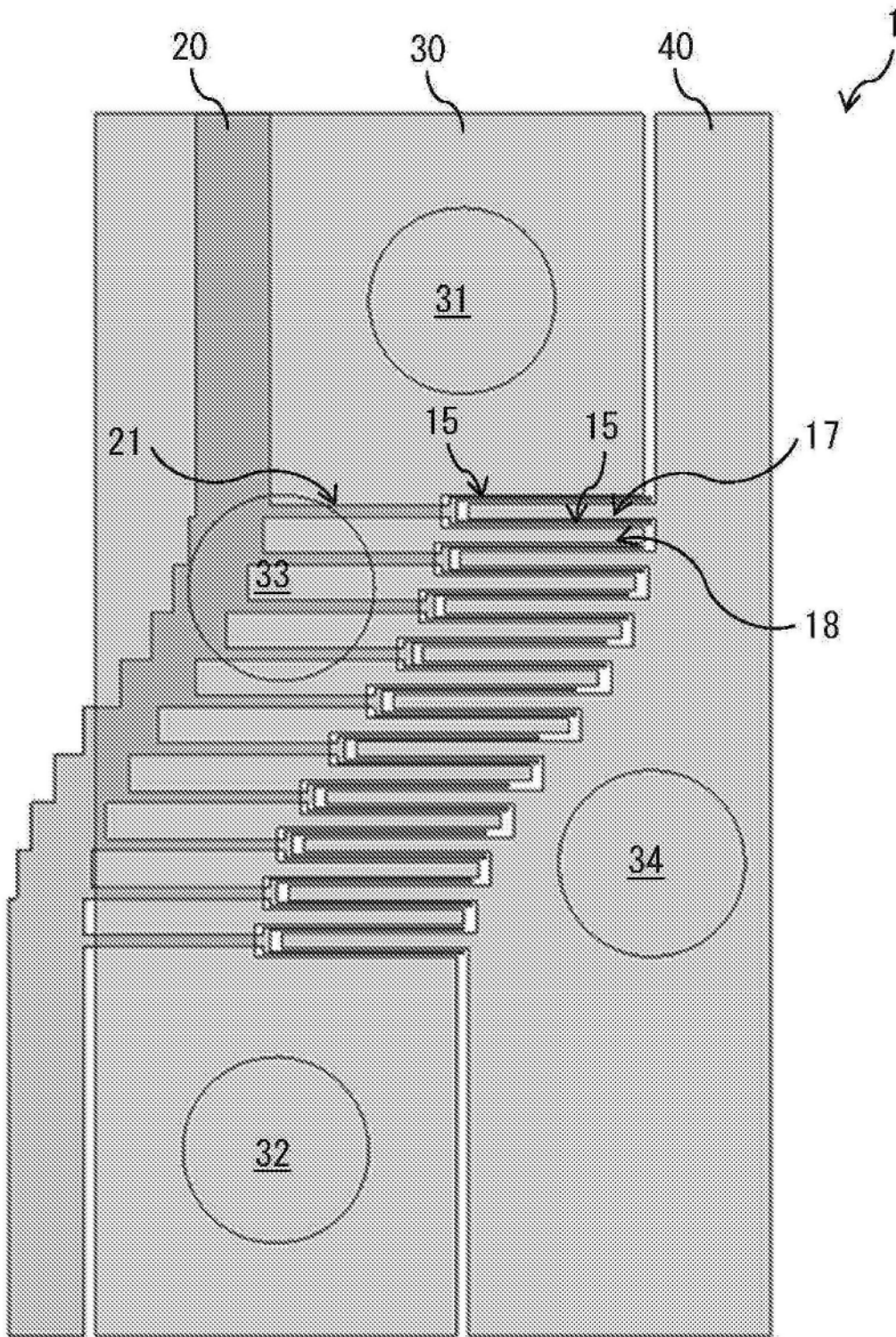


图11

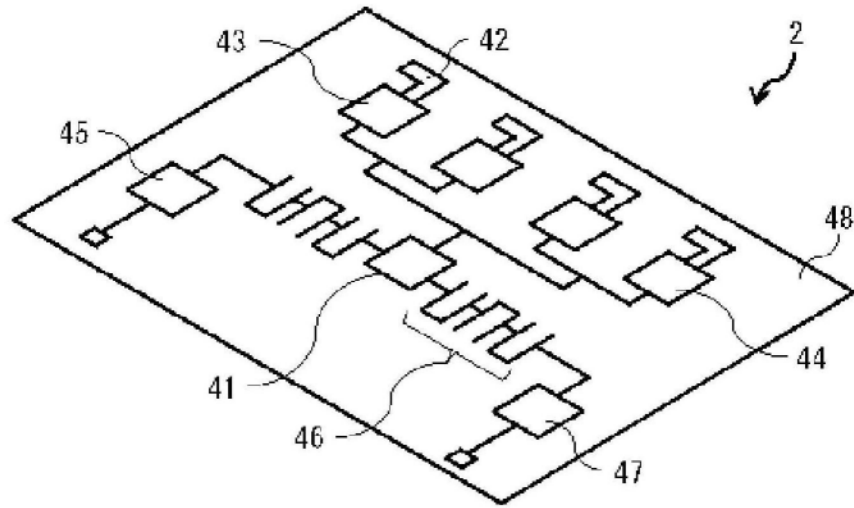


图12

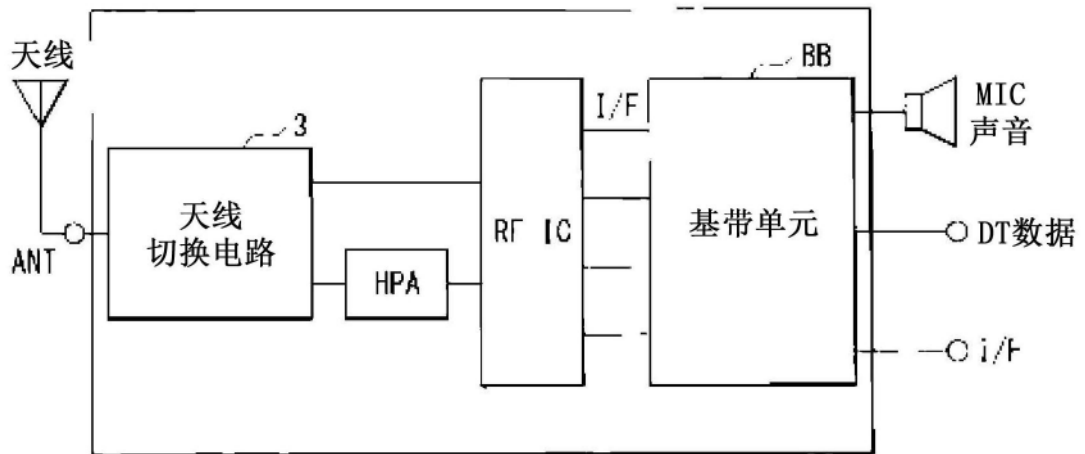


图13