



(12) 发明专利

(10) 授权公告号 CN 111868928 B

(45) 授权公告日 2024. 09. 06

(21) 申请号 201980020126.6

Z·冯 J·金 X·刘 N·多

(22) 申请日 2019.01.23

(74) 专利代理机构 上海专利商标事务所有限公司 31100

(65) 同一申请的已公布的文献号
申请公布号 CN 111868928 A

专利代理师 陈斌

(43) 申请公布日 2020.10.30

(51) Int.Cl.

(30) 优先权数据

H10B 41/35 (2023.01)

15/933,124 2018.03.22 US

H01L 29/423 (2006.01)

(85) PCT国际申请进入国家阶段日
2020.09.17

H01L 29/78 (2006.01)

H01L 29/788 (2006.01)

H01L 21/28 (2006.01)

H01L 21/66 (2006.01)

(86) PCT国际申请的申请数据
PCT/US2019/014816 2019.01.23

(56) 对比文件

TW 201804604 A, 2018.02.01

(87) PCT国际申请的公布数据
W02019/182681 EN 2019.09.26

US 2016064398 A1, 2016.03.03

US 2016218222 A1, 2016.07.28

(73) 专利权人 硅存储技术股份有限公司
地址 美国加利福尼亚州

审查员 张思秘

(72) 发明人 S·乔尔巴 C·德科贝尔特

权利要求书3页 说明书8页 附图42页

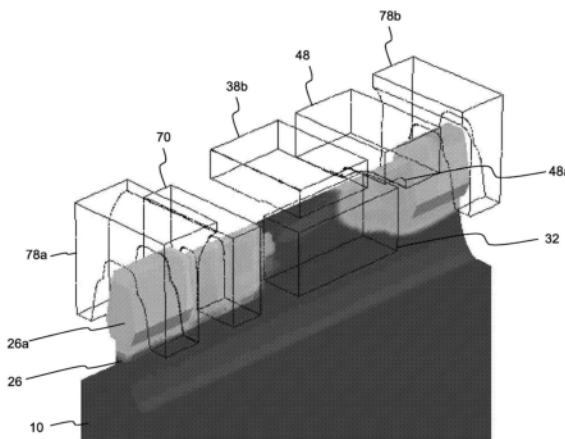
(54) 发明名称

极上方。

基于双晶体管鳍式场效晶体管的分裂栅极非易失性浮动栅极闪存存储器及其制造方法

(57) 摘要

本发明公开了一种非易失性存储器单元,该非易失性存储器单元形成在半导体衬底上,该半导体衬底具有上表面,该上表面具有向上延伸的鳍片,该向上延伸的鳍片具有相对的第一侧表面和第二侧表面。第一电极和第二电极与该鳍片的第一部分和第二部分电气接触。该鳍片的沟道区包括在该鳍片的该第一部分和该第二部分之间延伸的该第一侧表面和该第二侧表面的部分。浮动栅极沿着该沟道区的该第一部分的第一侧表面延伸,其中该浮动栅极中没有一部分沿着该第二侧表面延伸。字线栅极沿着该沟道区的第二部分的该第一侧表面和该第二侧表面延伸。控制栅极设置在该浮动栅极上方。擦除栅极具有第一部分和第二部分,该第一部分与该浮动栅极横向相邻设置,该第二部分竖直地设置在该浮动栅



1. 一种非易失性存储器单元,包括:

半导体衬底,所述半导体衬底具有上表面,所述上表面具有向上延伸的鳍片和向上延伸的第二鳍片,所述向上延伸的鳍片包括彼此相对的第一侧表面和第二侧表面,所述向上延伸的第二鳍片包括彼此相对的第三侧表面和第四侧表面;

第一电极,所述第一电极与所述鳍片的第一部分电气接触;

第二电极,所述第二电极与所述鳍片的第二部分电气接触,其中所述鳍片的所述第一部分和所述第二部分彼此间隔开,使得所述鳍片的沟道区包括所述第一侧表面和所述第二侧表面的部分,并且在所述鳍片的所述第一部分和所述第二部分之间延伸;

浮动栅极,所述浮动栅极沿着所述沟道区的第一部分延伸,其中所述浮动栅极沿着所述第一侧表面延伸并且与其绝缘,其中所述浮动栅极中没有一个部分沿着所述第二侧表面延伸,并且其中所述浮动栅极的至少一部分被设置在所述鳍片与所述第二鳍片之间并且沿着所述第三侧表面延伸且与所述第三侧表面绝缘,其中所述浮动栅极中没有一个部分沿着所述第四侧表面延伸,并且其中没有导电栅极沿着与所述浮动栅极沿其延伸的所述第一侧表面的一部分相对的所述第二侧表面的一部分设置并且与其绝缘,并且没有导电栅极沿着与所述浮动栅极沿其延伸的所述第三侧表面的一部分相对的所述第四侧表面的一部分设置并且与其绝缘;

字线栅极,所述字线栅极沿着所述沟道区的第二部分延伸,其中所述字线栅极沿着所述第一侧表面和所述第二侧表面延伸并且与所述第一侧表面和所述第二侧表面绝缘;

控制栅极,所述控制栅极设置在所述浮动栅极上方并且与其绝缘;

擦除栅极,所述擦除栅极具有第一部分和第二部分,所述第一部分与所述浮动栅极横向相邻设置并且与其绝缘,所述第二部分竖直地设置在所述浮动栅极上方并且与其绝缘。

2. 根据权利要求1所述的非易失性存储器单元,其中所述字线栅极包括金属材料,并且其中所述字线栅极通过高K绝缘材料与所述第一侧表面和所述第二侧表面绝缘。

3. 根据权利要求2所述的非易失性存储器单元,其中所述浮动栅极、所述控制栅极和所述擦除栅极各自包括多晶硅材料。

4. 根据权利要求3所述的非易失性存储器单元,其中所述第一电极和所述第二电极各自包括金属材料。

5. 根据权利要求1所述的非易失性存储器单元,其中所述控制栅极和所述擦除栅极各自竖直地设置在所述鳍片上方。

6. 根据权利要求1所述的非易失性存储器单元,其中所述鳍片的所述第一部分和所述第二部分各自具有大于所述鳍片的所述沟道区的宽度的宽度。

7. 根据权利要求1所述的非易失性存储器单元,其中所述鳍片的所述第一部分和所述第二部分各自具有大于所述鳍片的所述沟道区的高度的高度。

8. 根据权利要求1所述的非易失性存储器单元,其中所述第一电极沿着所述鳍片的所述第一部分的所述第一侧表面和所述第二侧表面延伸,并且其中所述第二电极沿着所述鳍片的所述第二部分的所述第一侧表面和所述第二侧表面延伸。

9. 根据权利要求1所述的非易失性存储器单元,其中所述浮动栅极具有矩形竖直横截面。

10. 根据权利要求1所述的非易失性存储器单元,其中所述浮动栅极具有U形竖直横截

面。

11. 根据权利要求10所述的非易失性存储器单元,其中所述控制栅极包括延伸到所述浮动栅极的所述U形竖直横截面中的下部部分。

12. 一种形成非易失性存储器单元的方法,所述方法包括:

将沟槽形成到半导体衬底的上表面中,使得所述上表面包括向上延伸的鳍片和向上延伸的第二鳍片,所述向上延伸的鳍片包括彼此相对的第一侧表面和第二侧表面,所述向上延伸的第二鳍片包括彼此相对的第三侧表面和第四侧表面;

形成与所述鳍片的第一部分电气接触的第一电极;

形成与所述鳍片的第二部分电气接触的第二电极,其中所述鳍片的所述第一部分和所述第二部分彼此间隔开,使得所述鳍片的沟道区包括所述第一侧表面和所述第二侧表面的部分,并且在所述鳍片的所述第一部分和所述第二部分之间延伸;

形成沿着所述沟道区的第一部分延伸的浮动栅极,其中所述浮动栅极沿着所述第一侧表面延伸并且与其绝缘,其中所述浮动栅极中没有一部分沿着所述第二侧表面延伸,并且其中所述浮动栅极的至少一部分被设置在所述鳍片与所述第二鳍片之间并且沿着所述第三侧表面延伸且与所述第三侧表面绝缘,其中所述浮动栅极中没有一部分沿着所述第四侧表面延伸,并且其中没有导电栅极沿着与所述浮动栅极沿其延伸的所述第一侧表面的一部分相对的所述第二侧表面的一部分设置并且与其绝缘,并且没有导电栅极沿着与所述浮动栅极沿其延伸的所述第三侧表面的一部分相对的所述第四侧表面的一部分设置并且与其绝缘;

形成沿着所述沟道区的第二部分延伸的字线栅极,其中所述字线栅极沿着所述第一侧表面和所述第二侧表面延伸并且与所述第一侧表面和所述第二侧表面绝缘;

形成设置在所述浮动栅极上方并且与其绝缘的控制栅极;

形成擦除栅极,所述擦除栅极具有第一部分和第二部分,所述第一部分与所述浮动栅极横向相邻设置并且与其绝缘,所述第二部分竖直地设置在所述浮动栅极上方并且与其绝缘。

13. 根据权利要求12所述的方法,其中所述字线栅极包括金属材料,并且其中所述字线栅极通过高K绝缘材料与所述第一侧表面和所述第二侧表面绝缘。

14. 根据权利要求12所述的方法,其中所述浮动栅极、所述控制栅极和所述擦除栅极各自包括多晶硅材料。

15. 根据权利要求14所述的方法,其中所述第一电极和所述第二电极各自包括金属材料。

16. 根据权利要求12所述的方法,其中所述控制栅极和所述擦除栅极各自竖直地设置在所述鳍片上方。

17. 根据权利要求12所述的方法,其中所述鳍片的所述第一部分和所述第二部分各自具有分别大于所述鳍片的所述沟道区的宽度和高度的宽度和高度。

18. 根据权利要求12所述的方法,其中所述第一电极沿着所述鳍片的所述第一部分的所述第一侧表面和所述第二侧表面延伸,并且其中所述第二电极沿着所述鳍片的所述第二部分的所述第一侧表面和所述第二侧表面延伸。

19. 根据权利要求12所述的方法,其中所述浮动栅极具有矩形竖直横截面。

20. 根据权利要求12所述的方法,其中所述浮动栅极具有U形竖直横截面。

21. 根据权利要求20所述的方法,其中所述控制栅极包括延伸到所述浮动栅极的所述U形竖直横截面中的下部部分。

基于双晶体管鳍式场效晶体管的分裂栅极非易失性浮动栅极 闪存存储器及其制造方法

[0001] 优先权声明

[0002] 本专利申请要求于2018年3月22日提交的题为“基于双晶体管鳍式场效晶体管的分裂栅极非易失性浮动栅极闪存存储器及其制造方法(Two Transistor Finfet-Based Split Gate Non-VOLATIVE Floating Gate Flash Memory And Method of Fabrication)”的美国专利申请号15/933,124的优先权。

技术领域

[0003] 本发明涉及非易失性闪存存储器单元阵列。

背景技术

[0004] 非易失性存储器设备在本领域中是公知的。例如,分裂栅存储器单元在美国专利5,029,130中有所公开(该专利出于所有目的以引用方式并入本文)。该存储器单元具有浮动栅极和控制栅极,该控制栅极设置在衬底的沟道区上方并且控制该沟道区的电导率,该沟道区在源极区和漏极区之间延伸。将各种组合的电压施加到控制栅极、源极和漏极,以编程存储器单元(通过将电子注入到浮动栅极中)、擦除存储器单元(通过从浮动栅极移除电子)以及读取存储器单元(通过测量或检测浮动栅极下方的沟道区的电导率以确定浮动栅极的编程状态)。

[0005] 非易失性存储器单元中的栅极的配置和数量可以变化。例如,美国专利7,315,056(其出于所有目的以引用方式并入本文)公开了存储器单元,该存储器单元附加包括在源极区上方的编程/擦除栅极。美国专利7,868,375(其出于所有目的以引用方式并入本文)公开了存储器单元,该存储器单元附加包括在源极区上方的擦除栅极和在浮动栅极上方的耦合栅极。还可参见美国专利6,747,310、7,868,375、9,276,005和9,276,006(这些专利也出于所有目的以引用方式并入本文)。

[0006] 因为缩小光刻尺寸从而减少沟道宽度的问题会影响所有半导体器件,所以已经提出了鳍式场效晶体管型结构。在鳍式场效晶体管型结构中,半导体衬底材料的鳍形构件将源极区连接到漏极区。鳍形构件具有顶表面和两个相对侧表面。然后,从源极区到漏极区的电流可沿着顶表面以及两个侧表面流动。因此,通过将沟道区“折叠”成两个侧表面,沟道区的表面宽度会增加,因此增加电流而不牺牲更多的半导体基板面,从而减少沟道区的“覆盖区”。已经公开了使用此类鳍式场效晶体管的非易失性存储器单元。现有技术鳍式场效晶体管非易失性存储器结构的一些示例包括美国专利7,423,310、7,410,913、8,461,640和9,634,018。然而,这些现有技术鳍式场效晶体管结构已经公开了使用浮动栅极作为堆叠栅极器件,或使用捕集材料,或使用SRO(富硅氧化物)或使用纳米晶体硅来存储电荷,或者使用对于具有多于2个栅极的存储器单元而言过于简单或对于所讨论的栅极数量而言过于复杂的其他存储器单元配置。

[0007] 发明人在将存储器单元的尺寸按比例缩小时已经发现了许多问题。超薄多晶硅或

非晶硅膜沉积和掺杂技术是复杂的,并且通常遭受掺杂不足和不均匀以及结构不均匀性。超薄多晶硅浮动栅极中的弹道电子传输导致编程问题(难以在超薄浮动栅极中捕获热电子)。控制栅极在浮动栅极顶部的集成导致厚多晶硅堆叠对高级CMOS技术(CMP平坦化步骤以及在高K金属栅极工艺流程中使用的后续高级光刻步骤)提出了严重的工艺集成挑战。相邻浮动栅极之间的电容耦合随着水平缩放而显著增加。这导致强串扰效应并且需要通过设计进行复杂的管理(单元的读取电流变得取决于相邻单元的电荷状态)。平坦浮动栅极存储器单元的缩放受到与晶体管宽度缩放相关的读取电流的减少的限制。较低的读取电流会对存取时间产生罚分,并且需要复杂的设计技术来满足高速存取时间规格。平坦浮动栅极架构不允许在高级技术节点处有效控制浮动栅极和选择晶体管的亚阈值泄漏,导致来自与选择单元共享相同位线的未选择单元的高背景泄漏。

发明内容

[0008] 上述问题通过一种非易失性存储器单元来解决,所述非易失性存储器单元包括:半导体衬底,所述半导体衬底具有上表面,所述上表面具有向上延伸的鳍片,所述向上延伸的鳍片包括彼此相对的第一侧表面和第二侧表面;第一电极,所述第一电极与所述鳍片的第一部分电气接触;第二电极,所述第二电极与所述鳍片的第二部分电气接触,其中所述鳍片的所述第一部分和所述第二部分彼此间隔开,使得所述鳍片的沟道区包括所述第一侧表面和所述第二侧表面的部分,并且在所述鳍片的所述第一部分和所述第二部分之间延伸;浮动栅极,所述浮动栅极沿着所述沟道区的第一部分延伸,其中所述浮动栅极沿着所述第一侧表面延伸并且与其绝缘,并且其中所述浮动栅极中没有一部分沿着所述第二侧表面延伸;字线栅极,所述字线栅极沿着所述沟道区的第二部分延伸,其中所述字线栅极沿着所述第一侧表面和所述第二侧表面延伸并且与所述第一侧表面和所述第二侧表面绝缘;控制栅极,所述控制栅极设置在所述浮动栅极上方并且与其绝缘;和擦除栅极,所述擦除栅极具有第一部分和第二部分,所述第一部分与所述浮动栅极横向相邻设置并且与其绝缘,所述第二部分竖直地设置在所述浮动栅极上方并且与其绝缘。

[0009] 一种形成非易失性存储器单元的方法,所述方法包括:将沟槽形成到半导体衬底的上表面中,使得所述上表面包括向上延伸的鳍片,所述向上延伸的鳍片包括彼此相对的第一侧表面和第二侧表面;形成与所述鳍片的第一部分电气接触的第一电极;形成与所述鳍片的第二部分电气接触的第二电极,其中所述鳍片的所述第一部分和所述第二部分彼此间隔开,使得所述鳍片的沟道区包括所述第一侧表面和所述第二侧表面的部分,并且在所述鳍片的所述第一部分和所述第二部分之间延伸;以及形成沿着所述沟道区的第一部分延伸的浮动栅极,其中所述浮动栅极沿着所述第一侧表面延伸并且与其绝缘,其中所述浮动栅极中没有一部分沿着所述第二侧表面延伸;形成沿着所述沟道区的第二部分延伸的字线栅极,其中所述字线栅极沿着所述第一侧表面和所述第二侧表面延伸并且与所述第一侧表面和所述第二侧表面绝缘;形成设置在所述浮动栅极上方并且与其绝缘的控制栅极;以及形成擦除栅极,所述擦除栅极具有第一部分和第二部分,所述第一部分与所述浮动栅极横向相邻设置并且与其绝缘,所述第二部分竖直地设置在所述浮动栅极上方并且与其绝缘。

[0010] 通过查看说明书、权利要求书和附图,本发明的其他目的和特征将变得显而易见。

附图说明

[0011] 图1A至图19A是示出了形成本发明的分裂栅极非易失性存储器单元的步骤的侧面剖视图(沿着行方向)。

[0012] 图1B至图19B是示出了在形成本发明的分裂栅极非易失性存储器单元的步骤期间衬底的逻辑区域的侧面剖视图。

[0013] 图5C至图19C是示出了形成本发明的分裂栅极非易失性存储器单元的步骤的侧面剖视图(沿着列方向)。

[0014] 图5D是示出了图5A和图5C的视图的方向的俯视图。

[0015] 图15D至图19D是示出了形成本发明的分裂栅极非易失性存储器单元的步骤的侧面剖视图(沿着列方向)。

[0016] 图20A和图20B是本发明的分裂栅极非易失性存储器单元的部分透视图。

[0017] 图21A至图25A是示出了形成本发明的分裂栅极非易失性存储器单元的替代实施方案的步骤的侧面剖视图(沿着行方向)。

[0018] 图21B至图25B是示出了在形成本发明的分裂栅极非易失性存储器单元的替代实施方案的步骤期间衬底的逻辑区域的侧面剖视图。

[0019] 图21C至图25C是示出了形成本发明的分裂栅极非易失性存储器单元的替代实施方案的步骤的侧面剖视图(沿着列方向)。

[0020] 图25D是示出了形成本发明的分裂栅极非易失性存储器单元的替代实施方案的最终步骤的侧面剖视图(沿着列方向)。

[0021] 图26A是示出第一实施方案的存储器单元部件的侧面剖视图(沿着列方向)。

[0022] 图26B是示出第二实施方案的存储器单元部件的侧面剖视图(沿着列方向)。

[0023] 图27A是示出第一实施方案的存储器单元部件的俯视图。

[0024] 图27B是示出第二实施方案的存储器单元部件的俯视图。

具体实施方式

[0025] 以下所述的实施方案有效地解决了常规分裂栅极存储器专有的缩放问题。具体地讲,本发明的分裂栅极存储器单元包括与主流鳍式场效晶体管CMOS制造流程兼容的两个晶体管。这两个晶体管串联连接。每个晶体管形成在两个相邻的硅鳍片上。第一晶体管(称为字线或选择晶体管)具有鳍式场效晶体管架构,其中HKMG栅极电极缠绕在硅鳍片中一个硅鳍片周围。第二晶体管(称为浮动栅极晶体管)具有插入在两个硅鳍片之间的多晶硅浮动栅极。浮动栅极晶体管以完全耗尽型SOI样模式操作,其中超薄沟道由仅位于用作沟道的硅鳍片的一侧上的浮动栅极电气控制。浮动栅极晶体管具有分裂栅极架构(单独的控制栅极和擦除栅极),从而允许改善的耐久性和可靠性。该架构允许有效控制单元泄漏(来自选择单元和未选择单元),同时保持合理的浮动栅极物理尺寸并且解决主存储器单元可缩放性挑战(高K金属栅极集成、读取电流缩放、浮动栅极串扰和隔离,以及选择的单元和未选择的单元泄漏控制)。存在两个公开的实施方案。第一实施方案是使用盒形浮动栅极实现的。使用U形浮动栅极来实现第二实施方案,从而允许改善与浮动栅极的控制栅极耦接以提高编程效率。

[0026] 第一实施方案的形成在图1A至图19A、图5C至图19C、图5D,和图15D至图19D(其描

绘了在衬底的存储器区域中形成存储器单元)以及图1B至图19B(其描绘了在同一衬底的外围区(也称为逻辑区域)中形成逻辑设备)中示出。该工艺从在硅半导体衬底10的存储器区域部分和逻辑区域部分两者上形成二氧化硅(氧化物)层12开始。在氧化物层12上形成氮化硅(氮化物)层14。在氮化物层14上形成硬掩模材料16。在硬掩模材料16上形成光致抗蚀剂18。然后图案化光致抗蚀剂,其包括光刻工艺,该光刻工艺包括选择性地曝光光致抗蚀剂的部分,并且选择性地移除光致抗蚀剂的部分以曝光下伏材料的选择性部分(即,在这种情况下为硬掩模材料16的条)。所得结构在图1A和图1B中示出。

[0027] 执行蚀刻以移除硬掩模材料16的曝光部分,留下如图2A和图2B所示的硬掩模材料16的垂直条(在光致抗蚀剂移除之后)。通过执行氧化物沉积然后进行各向异性氧化物蚀刻来沿着硬掩模材料条16的侧面形成氧化物间隔物20,这将间隔物20留在硬掩模条16的垂直侧壁上。在该结构上方形成光致抗蚀剂并将其图案化,以留下覆盖存储器区域中的交替间隔物20(例如,沿着每个条16的右手间隔物)和逻辑区域中的多对间隔物20的光致抗蚀剂条。然后使用氧化物蚀刻移除光致抗蚀剂曝光留下的那些氧化物间隔物20。如图3A和图3B所示,在光致抗蚀剂移除之后,执行蚀刻以移除硬掩模条16。

[0028] 执行一次或多次蚀刻以移除不在氧化物间隔物20下方的氮化物14、氧化物12和衬底10的上部部分的那些部分,这导致形成延伸到衬底中的沟槽24,并且在相邻沟槽24之间形成衬底10的薄鳍片结构26。如图4A和图4B所示,鳍片26在垂直/列方向上延伸,并且在存储器区域和逻辑区域两者中彼此平行。在该结构上方形成绝缘材料28(例如,氧化物)(包括用氧化物28填充沟槽24),然后进行氧化物平坦化以移除氮化物14的顶部上的氧化物28的任何部分。在该结构上方形成光致抗蚀剂30并且将其图案化以如图5A和图5C至图5D所示移除光致抗蚀剂30中在存储器区域中的交替填充的沟槽上方的部分,并且如图5B所示使整个逻辑区域被覆盖。执行氧化物蚀刻以移除由光致抗蚀剂30曝光留下的氧化物28的那些部分,从而从存储器区域中的交替沟槽24移除大部分氧化物28。在移除光致抗蚀剂30之后,如图6A至图6C所示,然后在结构上方形成多晶硅厚层,从而用多晶硅32填充存储器区域中的交替沟槽24。使用多晶硅蚀刻以移除多晶硅32的顶部部分,并且使多晶硅在氧化物28的顶部下方的沟槽24中凹陷。执行氧化物沉积和平坦化(例如,CMP)以在多晶硅上方形成氧化物,从而如图7A至图7C所示在存储器区域中的交替鳍片26之间留下多晶硅块32。

[0029] 通过氮化物蚀刻从存储器区域和逻辑区域移除氮化物14。在该结构上方形成绝缘层(例如,具有氧化物-氮化物-氧化物子层的ONO)34。在该结构上方形成光致抗蚀剂36并且将其图案化,以使逻辑区域和存储器区域中与多晶硅块32横向相邻的那些部分曝光。如图8A至图8C所示,然后使用氧化物蚀刻来移除ONO层34以及逻辑区域中的鳍片26之间的每个沟槽24中的氧化物28中的一些,并且移除与多晶硅块32的一侧横向相邻的ONO层34和氧化物28。将多晶硅38沉积在该结构上方。在该结构上方形成光致抗蚀剂40并且将其图案化,以使存储器区域的一部分部分地曝光在多晶硅块32上方。如图9A至图9C所示,使用蚀刻来移除ONO层34的曝光部分。

[0030] 在光致抗蚀剂移除后,在该结构上方形成氧化物层42。使用氮化物沉积和蚀刻以在多晶硅层38的侧壁处沿着氧化物层42的垂直部分形成氮化物间隔物44。使用氧化物蚀刻移除氧化物层42的曝光部分。然后,使用氧化物沉积以在该结构上方(包括在多晶硅块32的曝光部分上方)形成氧化物层46。氧化物46将用作擦除操作的隧道氧化物。如图10A至图10C

所示,在该结构上方形成多晶硅层48。执行多晶硅回蚀刻、以及氧化物蚀刻和平坦化,以移除多晶硅层48和氧化物46的上部部分,并使上表面平坦化。如图11A至图11C所示,执行一系列沉积以在该结构上形成氮化硅碳(SiCN)层50、氧化物层52、SiCN层54和硬掩模层56。

[0031] 在该结构上形成光致抗蚀剂并且将其图案化,在存储器区域中仅留下光致抗蚀剂条。执行蚀刻以移除硬掩模56的曝光部分,留下在行/水平方向上延伸的硬掩模56的条。在光致抗蚀剂移除之后,执行氧化物沉积和蚀刻以抵靠剩余硬掩模材料条形成氧化物间隔物58。在该结构上方形成光致抗蚀剂60并且将其图案化,以仅覆盖定位在多晶硅块38上方的间隔物中的一个间隔物(对于每个存储器单元)。如图12A至图12C所示,使用氧化物蚀刻来移除除光致抗蚀剂60下方的每个存储器单元的间隔物之外的所有间隔物58。在光致抗蚀剂移除之后,在该结构上形成光致抗蚀剂61并且将其图案化以使其仅保留在存储器区域中的多晶硅块32的一部分上方以及多晶硅块48的一部分上方。执行SiCN蚀刻以移除SiCN层54的曝光部分。执行氧化物蚀刻以移除氧化物层52和氧化物间隔物58的曝光部分。在逻辑区域中,移除氧化物层58和SiCN层54。所得结构示于图13A至图13C中。

[0032] 在光致抗蚀剂移除之后,执行SiCN蚀刻以移除存储器区域中的SiCN层50和SiCN层54的曝光部分。然后如图14A至图14C所示,使用多晶硅蚀刻以移除存储器区域中的多晶硅块38和48的曝光部分,留下原始多晶硅38的多晶硅块38a和38b,并且减少多晶硅块48的横向尺寸。在该结构上方形成光致抗蚀剂并且将其图案化以将其从与多晶硅块48相邻的存储器区域的一部分移除。执行氧化物蚀刻以使氧化物28的曝光部分凹陷(在多晶硅块48的一侧)。在光致抗蚀剂移除之后,存储器单元区中的存储器单元的边缘处的曝光的硅鳍片可任选地经受外延生长以扩大硅鳍片的顶部部分26a。从存储器区域移除氧化物层52和SiCN层50(使用逻辑区域上方的光致抗蚀剂)。在该结构上方形成共形的氧化物层62。然后如图15A至图15D所示,在该结构上方形成氮化物层64。在该结构上方形成氧化物66(例如,ILD氧化物),并且使用氮化物64作为抛光阻挡件对其进行CMP平坦化。在该结构上方形成光致抗蚀剂68并且将其图案化,以使多晶硅块38a上方的区域和逻辑区域曝光。如图16A至图16D所示,使用氮化物蚀刻以移除存储器区域中的多晶硅块38a的顶部上方的氮化物层64的部分,以及逻辑区域中的氮化物层64的部分。

[0033] 在光致抗蚀剂移除之后,使用多晶硅蚀刻和氧化物蚀刻来移除存储器区域中的多晶硅块38a和周围氧化物,以及逻辑区域中的多晶硅层38。然后在该结构上方形成高K金属栅极层HKMG 70,填充由移除的多晶硅块38a留下的空隙。HKMG层70包括导电金属层74下方的高K材料(即,介电常数K大于氧化物诸如HfO₂、ZrO₂、TiO₂、Ta₂O₅或其他适当材料等的介电常数)的绝缘层72。该形成可使用原子层化学气相沉积和回蚀刻来完成。高K金属栅极层也将形成在逻辑区域中(即,用于形成HKMG的工艺流程对于存储器区域和逻辑区域两者是相同的)。所得结构示于图17A至图17D中。

[0034] 在该结构上方形成氮化物,然后进行CMP平坦化,覆盖HKMG 70的顶部。通过图案化光致抗蚀剂和氧化物蚀刻从存储器区域移除ILD氧化物66。在该结构上形成金属触点78(一个金属触点在HKMG 70的一侧,并且一个金属触点在多晶硅块48的一侧),然后使用氮化物76作为蚀刻阻挡件进行CMP。金属触点78可包括在W CMP步骤之前退火的Ti 80、TiN₈₂和W 84子层。在该结构上方形成氮化物86。所得结构示于图18A至图18D中。在该结构上方形成氧化物88。使用图案化光致抗蚀剂以形成延伸穿过氧化物88和氮化物86以与各种部件接触的

金属触点90。最终结构示于图19A至图19D中。

[0035] 图20A和图20B示出了单个存储器单元的最终结构的透视图,该单个存储器单元具有沿着衬底鳍片26中的一个衬底鳍片形成的浮动栅极晶体管和字线晶体管。存储器单元包括间隔开的位线触点78a和源极线触点78b,它们是与鳍片26的放大顶部部分26a电气接触的电极。每个电极78a和78b被设置在鳍片26的相对侧和顶部上。字线栅极70、浮动栅极32、控制栅极38b和擦除栅极48位于电极78a和78b之间。字线栅极70沿着鳍片26的相对侧和顶部两者延伸并且与该相对侧和顶部绝缘。浮动栅极32仅设置在鳍片26的一侧上。控制栅极设置在鳍片26上方以及浮动栅极32上方。擦除栅极48设置在鳍片26上方并且部分地设置在浮动栅极32上方,并且包括面向浮动栅极32的上角的凹口48a以提高擦除效率。鳍片26包括从电极78a(其为漏极或位线触点)延伸到电极78b(其为源极触点)的沟道区。由字线栅极控制沟道区的由字线栅极围绕的一部分的电导率,并且由浮动栅极控制沟道区的与浮动栅极相邻的另一部分的电导率。

[0036] 应当理解,虽然本文的附图示出了单个存储器单元,但是多个存储器单元沿着鳍片26首尾相接地形成,形成一系列存储器单元,并且其他列的存储器单元沿着平行于所示鳍片26延伸的其他鳍片形成。每个存储器单元形成在形成于硅衬底中的两个鳍片上方或与其相邻,并且在垂直方向和水平方向两者上均具有不均匀的掺杂分布。鳍片之间的隔离沟槽填充有氧化硅。这种鳍式场效晶体管架构允许由于垂直方向上的沟道宽度延伸而增加每单元面积的有效读取电流密度。浮动栅极优选地为n+型多晶硅(或非晶硅),其设置在鳍片的一部分之间并与该部分相邻,并且通过氧化物与该鳍片隔离。浮动栅极在鳍片的顶部上方沿垂直方向延伸。浮动栅极具有盒状形状,具有矩形垂直横截面形状(即,参见图19A和图19C,从侧面观察的横截面)。浮动栅极和鳍片的相邻部分形成单元的第一晶体管,称为浮动栅极晶体管。浮动栅极晶体管像完全耗尽的绝缘体上硅晶体管一样操作。该配置允许有效减少浮动栅极与相邻单元的寄生耦合,同时保持合理的浮动栅极尺寸。浮动栅极的一部分设置在鳍片的顶部下方,这可限制栅极堆叠的高度,从而促进与HKMG CMOS工艺流程的集成。

[0037] 控制栅极优选地为n+型多晶硅(或非晶硅),覆盖浮动栅极的一部分,并且通过电介质(氧化硅-氮化物-氧化物堆叠或类似物)与浮动栅极和鳍片的顶部隔离。擦除栅极优选地为n+型多晶硅(或非晶硅),并且覆盖浮动栅极的剩余部分,并且通过隧道氧化物与浮动栅极隔离。在一侧上,擦除栅极通过氧化硅或通过氧化硅/氮化物/氧化物间隔物与控制栅极隔离。在另一侧上,擦除栅极在浮动栅极上方延伸,形成用于通过高效拐角改善的福勒-诺德海姆隧穿机制进行擦除操作的环绕拐角形状(即,凹口48a)。字线栅极优选地为覆盖鳍片的两个侧表面上的鳍式场效晶体管沟道区的第二部分的金属(包括钨和/或功函数调整金属)。金属字线栅极和下伏鳍片部分形成字线晶体管。字线晶体管的鳍式场效晶体管架构允许改善对来自共享同一列的未选择单元的亚阈值泄漏电流的控制,并且改善高温读取性能和相关存储器分割。

[0038] 源极电极78b由在鳍式场效晶体管上方生长的放大外延形状26a的顶部上的W/TiN/TiSi₂堆叠(或类似物)组成,并且与浮动栅极晶体管相邻。单元的源极电极78b共享同一行中的其他单元的源极电极,形成在行方向上延伸的共用源极线。位线电极78a由在鳍式场效晶体管上方生长的放大外延形状26a的顶部上的W/TiN/TiSi₂堆叠(或类似物)组成,并

且与字线晶体管相邻。位线电极78a连接至共享同一列的相邻单元的位线电极,并且连接在一起以形成沿列方向延伸的共用位线92。字线晶体管和浮动栅极晶体管被氮化硅间隔物围绕,该氮化硅间隔物将它们与源极线电极区域和位线电极区域隔离。鳍片26优选地在与位线电极、源极线电极相邻的那些区域中、在氮化硅间隔物下方以及在不与浮动栅极相邻的区域中的擦除栅极下方为n+型掺杂的。鳍片26在与浮动栅极相邻的区域中以及在字线栅极下方的区域中为p型掺杂的。竖直P型掺杂分布是高度不均匀的,在鳍片的顶部具有相对低的掺杂并且在鳍片的底部具有非常高的掺杂。高掺杂分布的顶部应在浮动栅极的底部上方,以避免在鳍式场效晶体管沟道的底部部分中形成寄生泄漏路径。可通过在上述制造工艺流程的不同阶段执行的一个或多个注入来实现所需掺杂分布。注入可与逻辑区域共享,或者仅在存储器区域上实现。

[0039] 该存储器单元架构允许实现浮动栅极的合理物理尺寸,简化处理,并且解决与弹道传输和超薄多晶硅沉积处理相关的问题。此外,在鳍片之间嵌入浮动栅极中的至少一些浮动栅极解决了相关的隔离和串扰问题,同时优化了高K金属栅极集成的栅极堆叠拓扑结构,并且为进一步的单元尺寸缩放提供了一种方式。

[0040] 第二实施方案的形成在图21A至图25A、图21B至图25B、图21C至图25C以及图25D中示出。该工艺从图5A至图5C的相同结构开始。执行氧化物蚀刻以移除由光致抗蚀剂30曝光留下的氧化物28的那些部分,从而从存储器区域中的交替沟槽24移除大部分氧化物28。在移除光致抗蚀剂30之后,而不是如上文参考图6A至图6C所公开的填充交替沟槽的多晶硅厚层32,在该结构上方形成原位n型掺杂多晶硅94的薄共形层,从而如图21A至图21C所示内衬于具有多晶硅94的存储器区域中的交替沟槽24的壁。使用氧化物沉积然后进行CMP平坦化来用氧化物96填充沟槽24的其余部分并且使该结构平坦化,留下具有U形横截面形状的多晶硅层94。然后如图22A至图22C所示,使用多晶硅蚀刻使U形多晶硅层94的顶部凹陷。在该结构上方形成氧化物,并且使用CMP来降低该结构的上表面并且使其平坦化(使用氮化物14作为CMP阻挡件)。使用氮化物蚀刻移除氮化物14。如图23A至图23C所示,在该结构上方形成氧化物层,然后使用多晶硅94作为阻挡件进行CMP或回蚀刻。

[0041] 在该结构上方形成光致抗蚀剂并且将其图案化以在U形多晶硅94内部留下曝光的氧化物96。然后使用氧化物蚀刻来移除U形多晶硅94内部的氧化物96。如图24A至图24C所示,在光致抗蚀剂被移除之后,然后在如上所述的结构上方形成ON0绝缘层34。使用上文参考图8A至图8C至图19A至图19C以及图15D至图19D提出的处理步骤继续处理,得到图25A至图25D所示的最终结构。该第二实施方案中的最终存储器单元具有与第一实施方案中的最终存储器单元基本上相同的结构,不同之处在于浮动栅极具有U形横截面形状而不是盒形状,并且控制栅极38b具有向下延伸到浮动栅极94的U形内部中的下部部分,以改善浮动栅极94与控制栅极38b之间的电容耦合。图26A和26B分别示出了第一实施方案和第二实施方案的横截面形状的差异。图27A和图27B分别为第一实施方案和第二实施方案的俯视图。

[0042] 应当理解,本发明不限于上述的和在本文中示出的实施方案,而是涵盖在由此支持的任何权利要求书的范围内的任何和所有变型形式。例如,对本文中本发明的引用不旨在限制任何权利要求书或权利要求术语的范围,而是仅参考可由一项或多项权利要求书覆盖的一个或多个特征。上文所述的材料、工艺和数值的示例仅为示例性的,而不应视为限制任何权利要求。例如,浮动栅极可由非晶硅而不是多晶硅形成。另外,并非所有方法步骤都

需要按所示的准确顺序执行。最后,单个材料层可被形成多个此类或类似材料层,反之亦然。

[0043] 应当指出的是,如本文所用,术语“在……上方”和“在……上”均包括性地包括“直接在……上”(之间没有设置中间材料、元件或空间)和“间接在……上”(之间设置有中间材料、元件或空间)。类似地,术语“相邻”包括“直接相邻”(之间没有设置中间材料、元件或空间)和“间接相邻”(之间设置有中间材料、元件或空间)，“被安装到”包括“被直接安装到”(之间没有设置中间材料、元件或空间)和“被间接安装到”(之间设置有中间材料、元件或空间),并且“被电连接到”包括“被直接电连接到”(之间没有将元件电连接在一起的中间材料或元件)和“被间接电连接到”(之间有将元件电连接在一起的中间材料或元件)。例如,“在衬底上方”形成元件可包括在两者间无中间材料/元件的情况下直接在衬底上形成该元件,以及在两者间有一种或多种中间材料/元件的情况下间接在衬底上形成该元件。

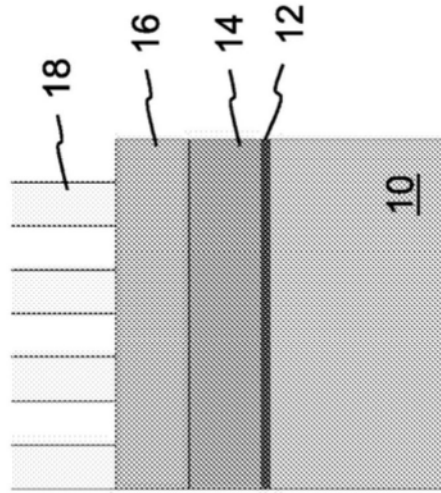


图1A

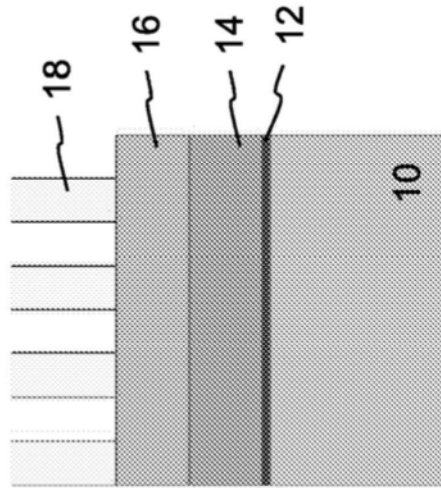


图1B

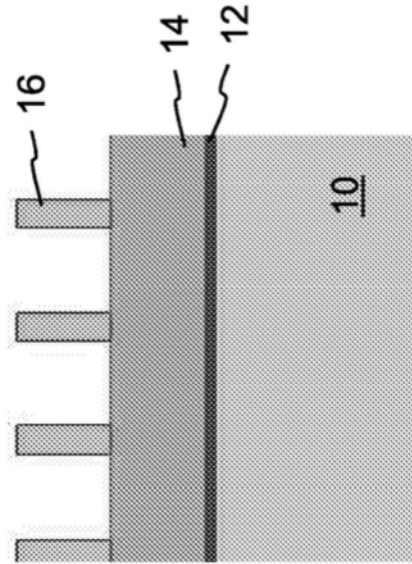


图2A

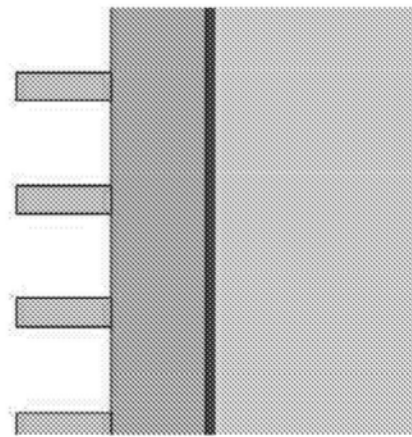


图2B

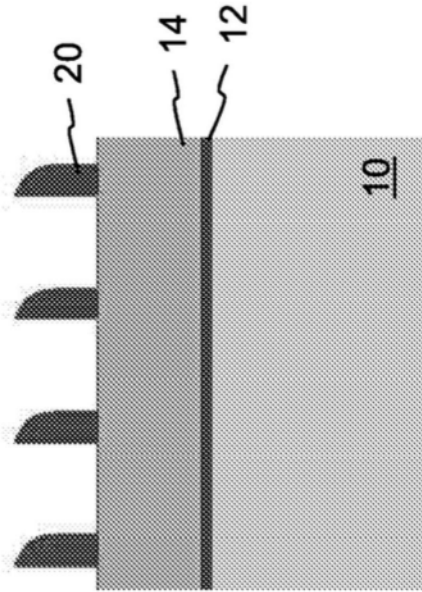


图3A

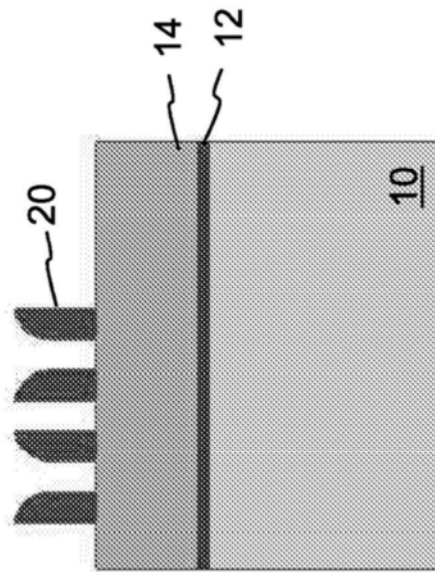


图3B

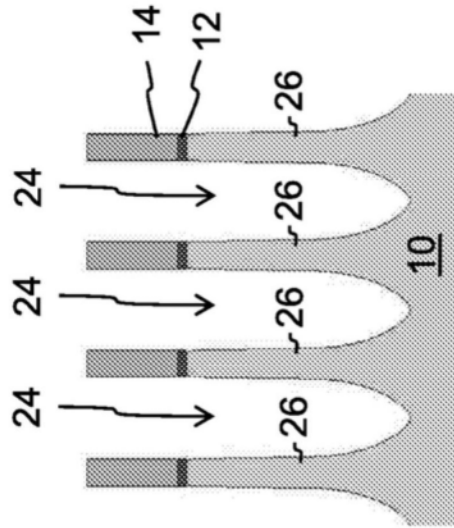


图4A

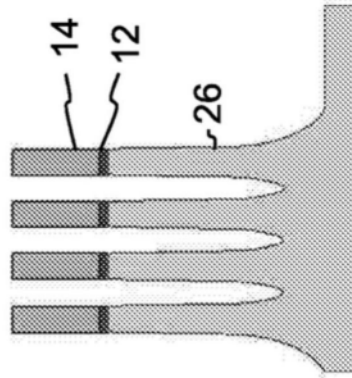


图4B

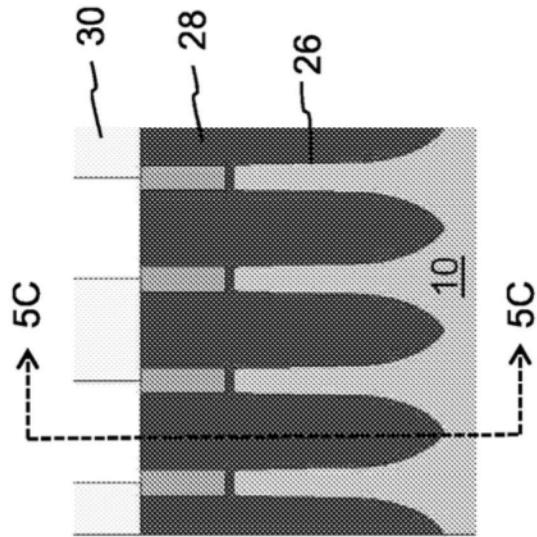


图5A

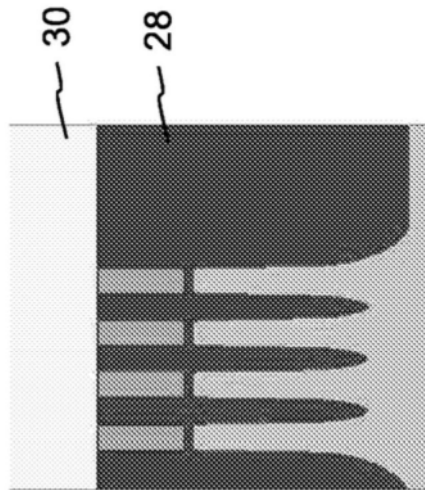


图5B

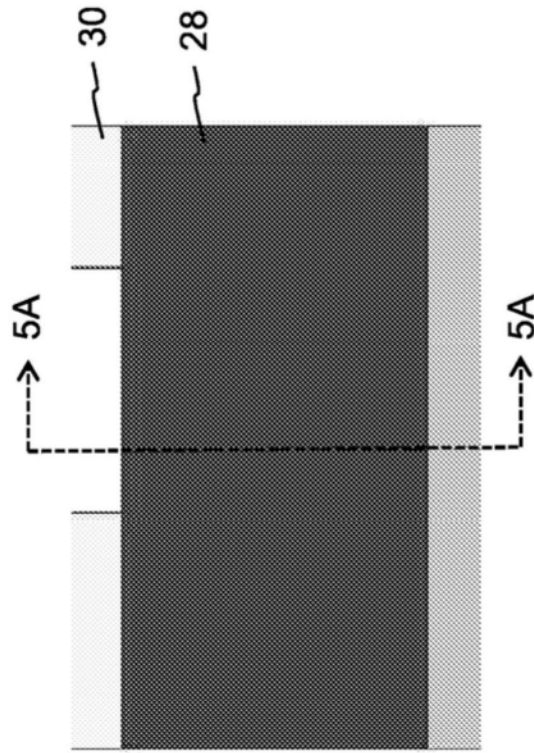


图5C

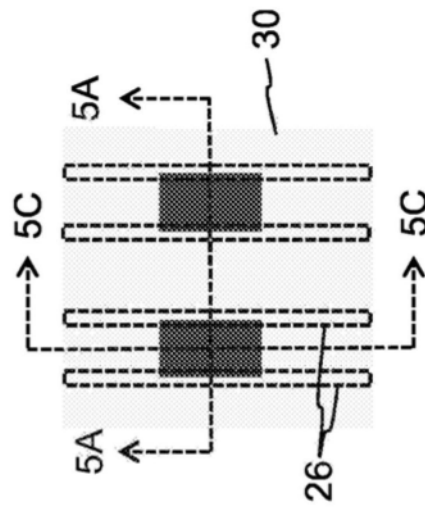


图5D

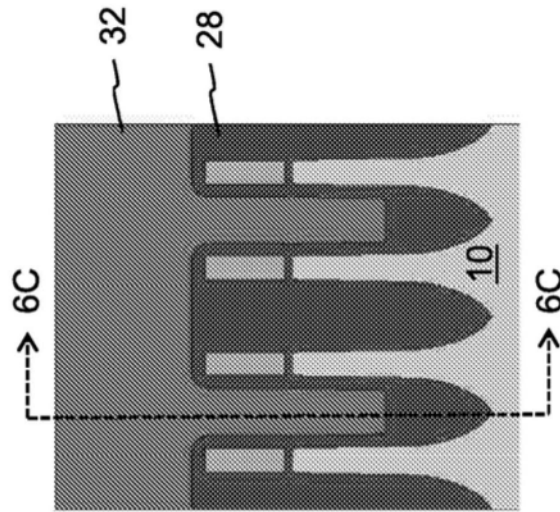


图6A

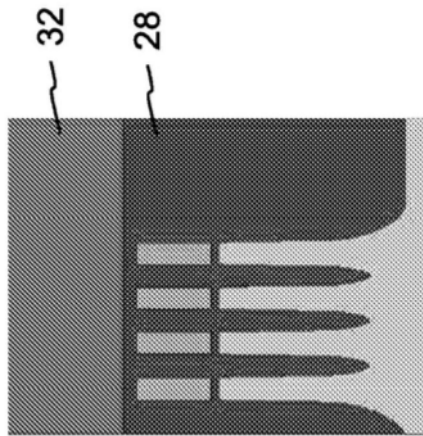


图6B

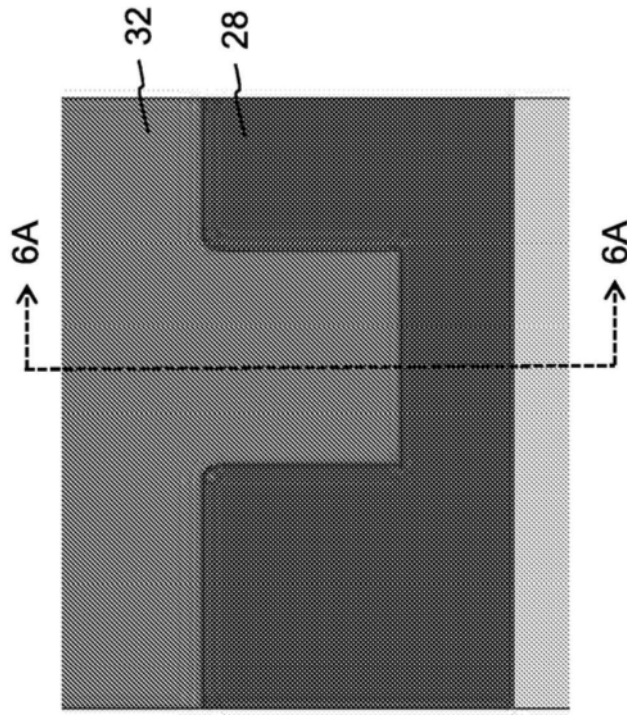


图6C

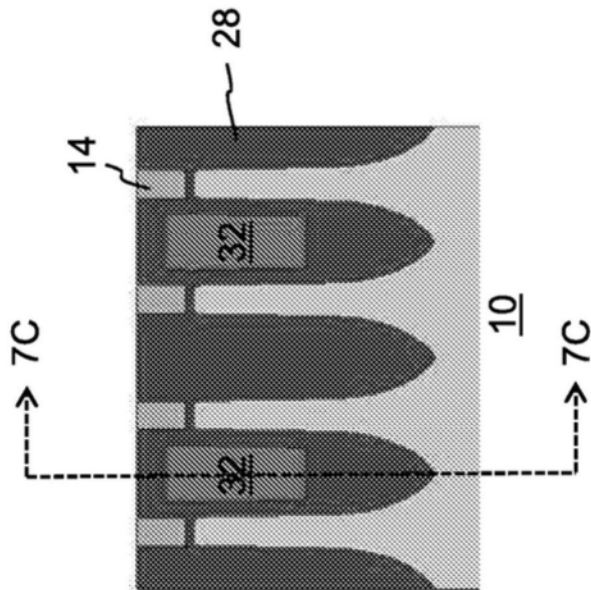


图7A

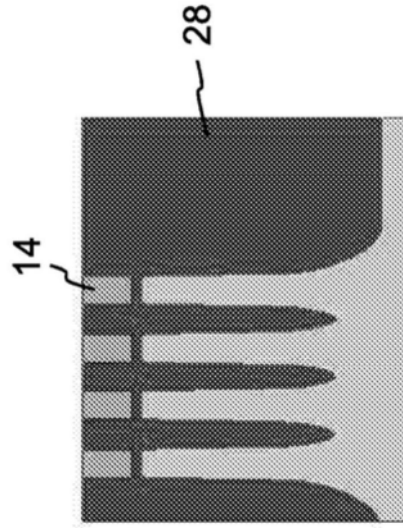


图7B

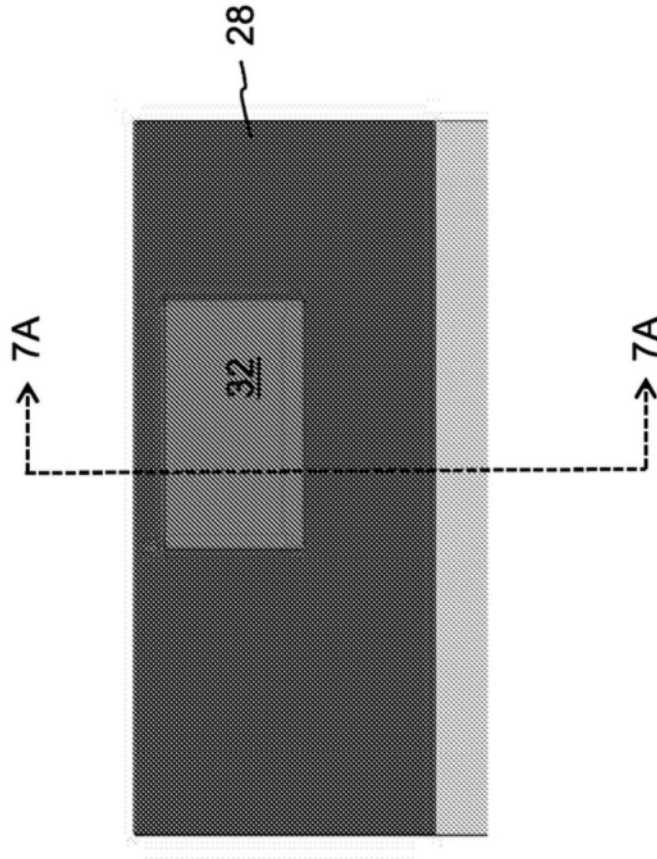


图7C

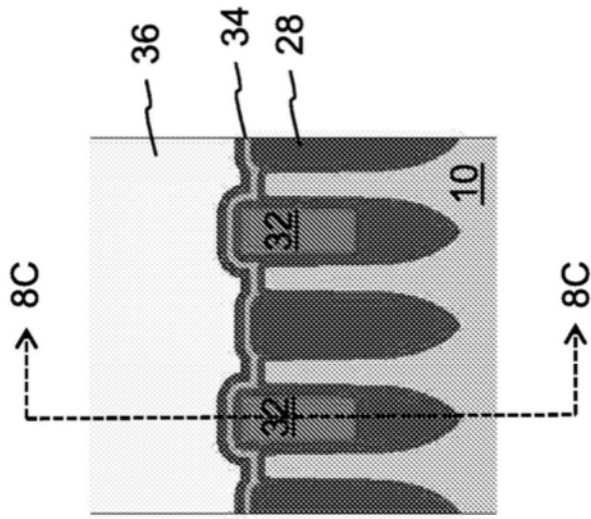


图8A

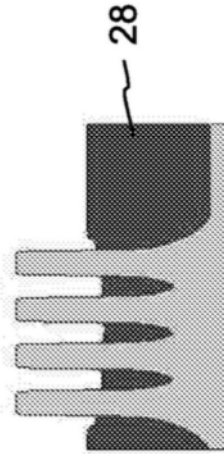


图8B

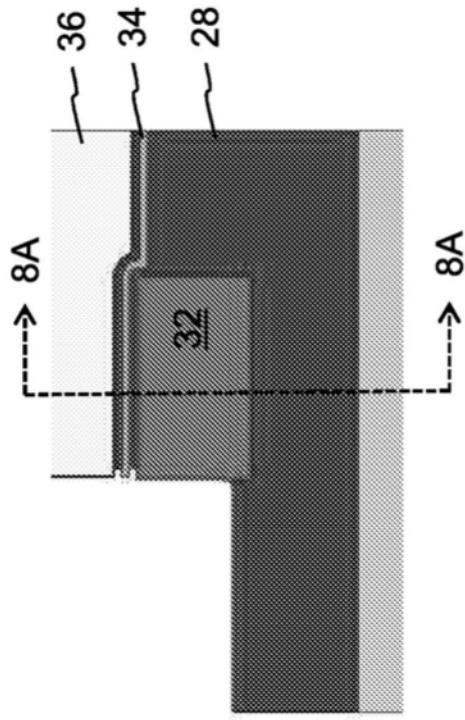


图8C

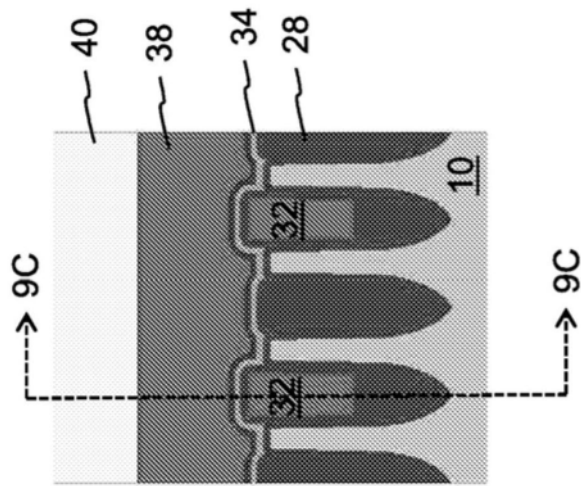


图9A

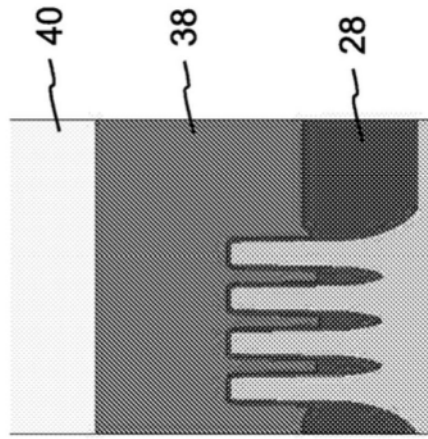


图9B

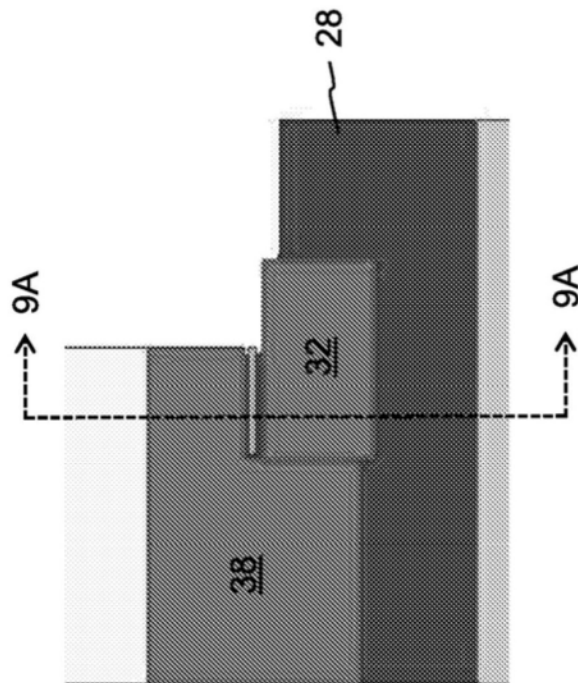


图9C

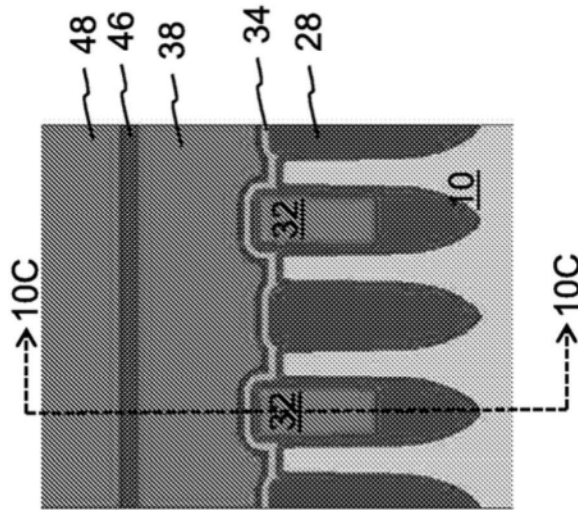


图10A

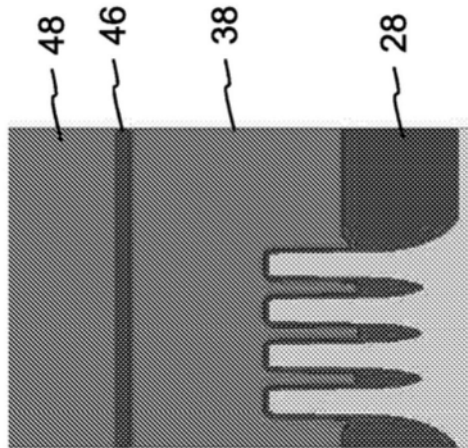


图10B

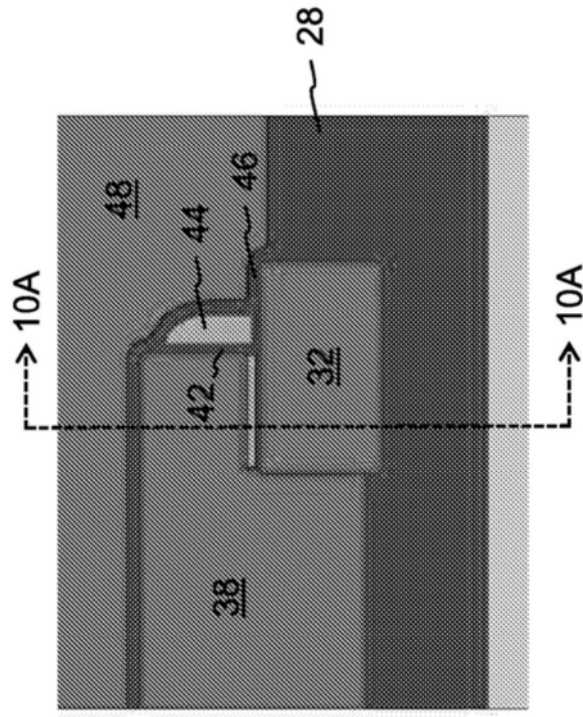


图10C

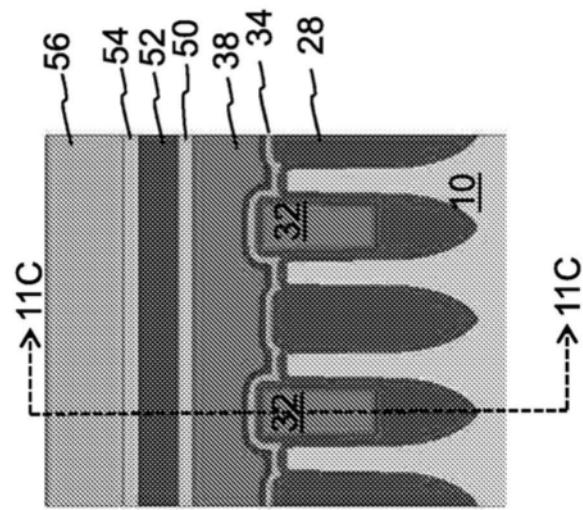


图11A

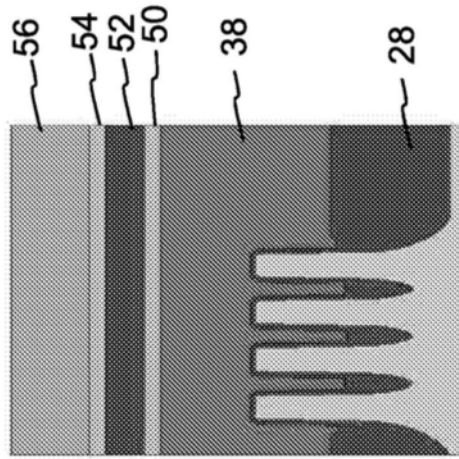


图11B

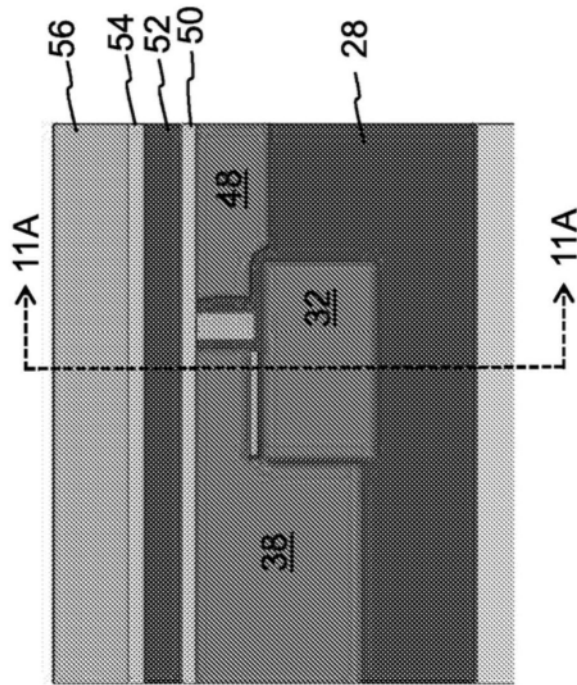


图11C

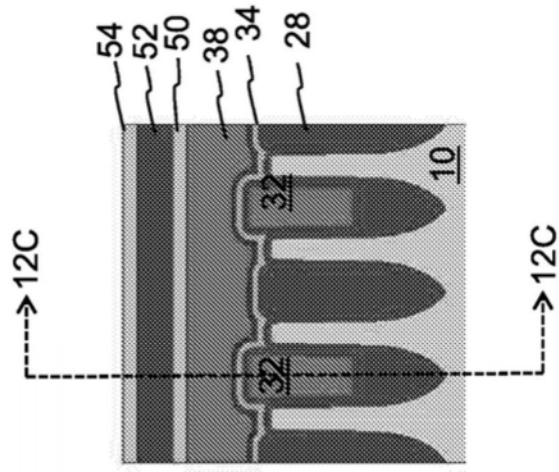


图12A

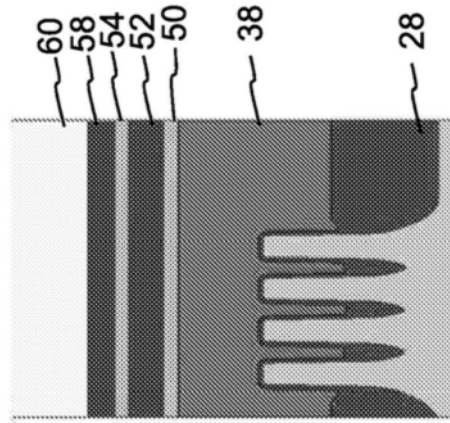


图12B

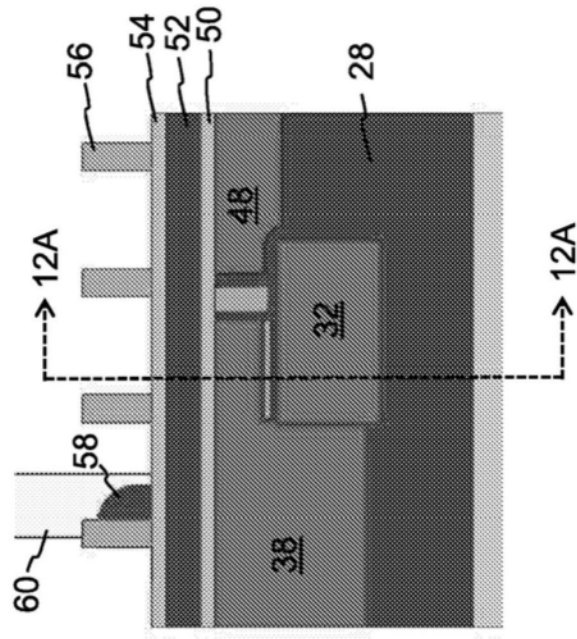


图12C

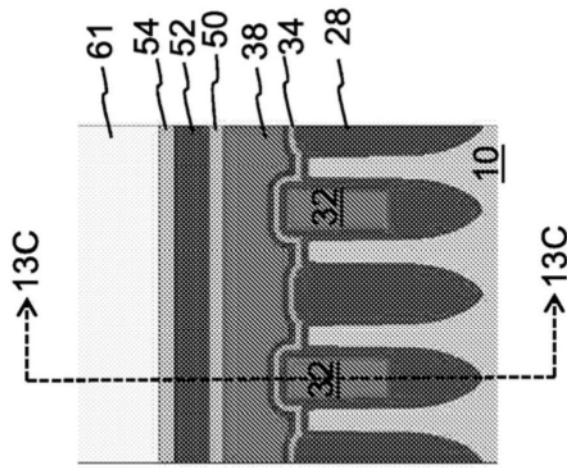


图13A

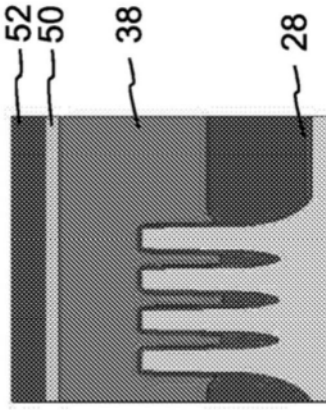


图13B

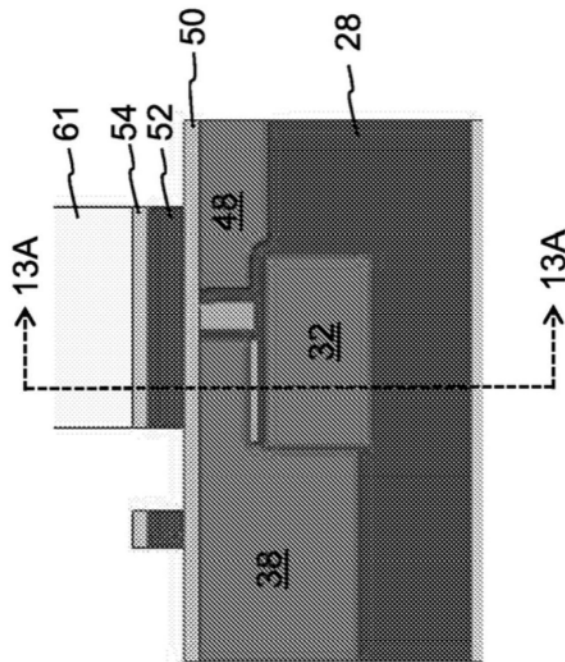


图13C

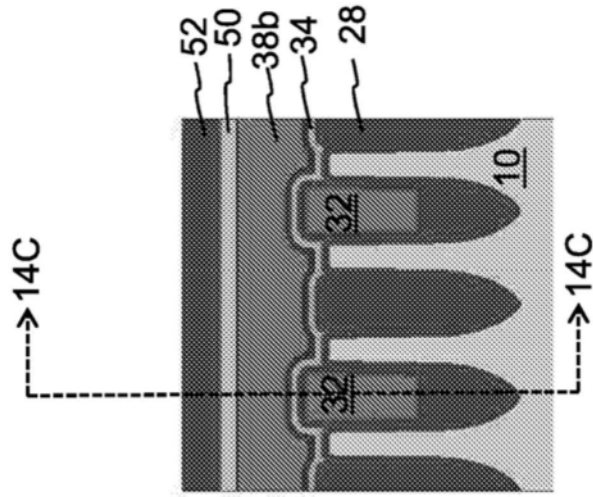


图14A

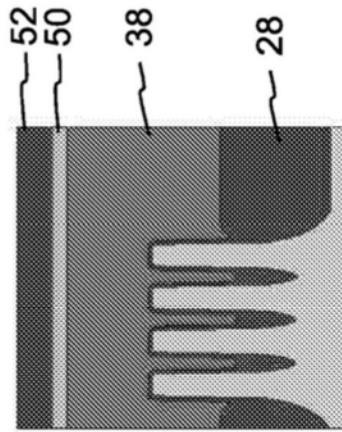


图14B

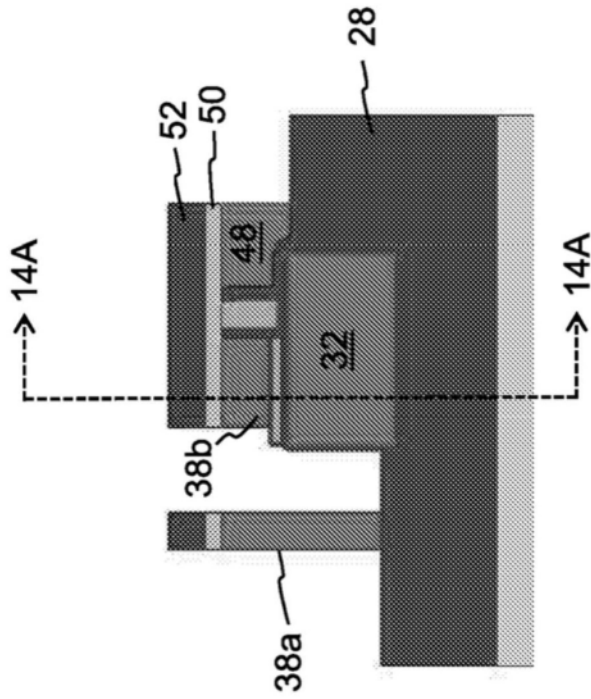


图14C

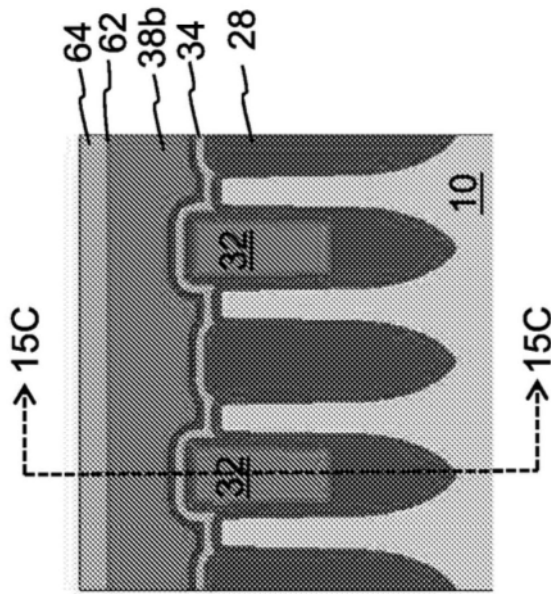


图15A

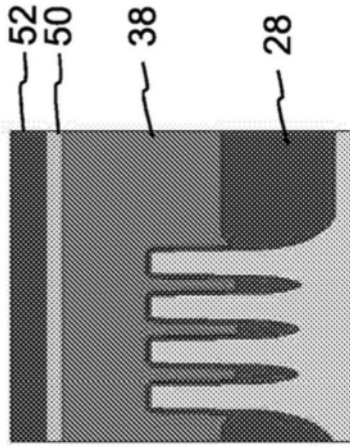


图15B

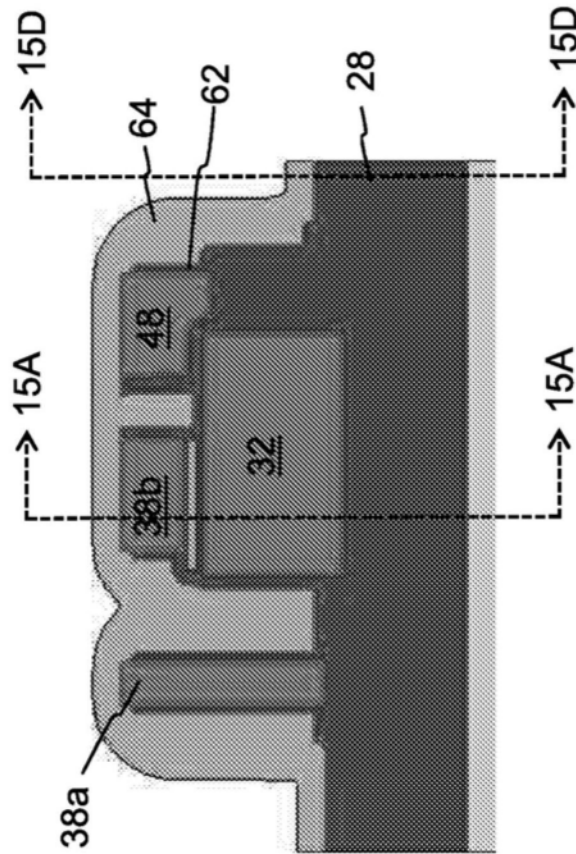


图15C

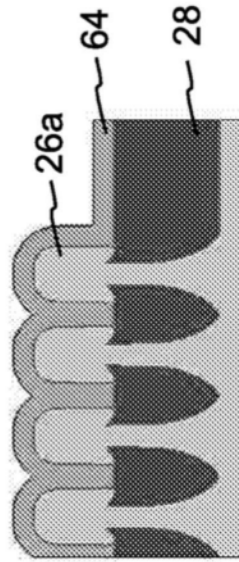


图15D

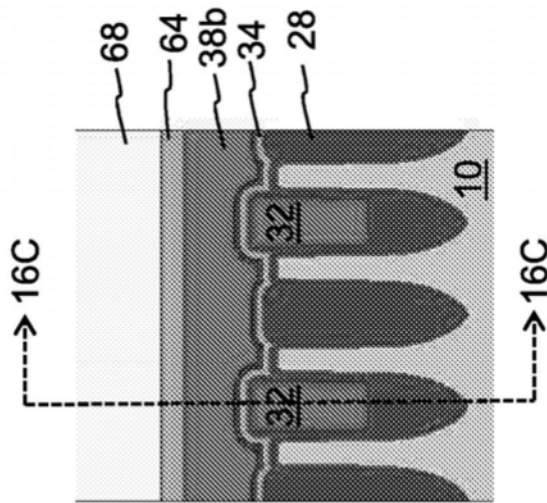


图16A

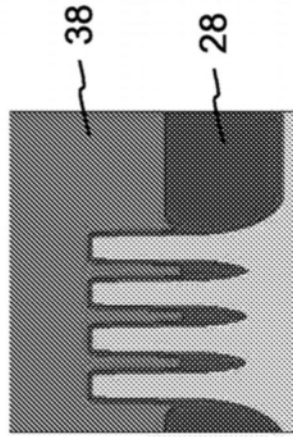


图16B

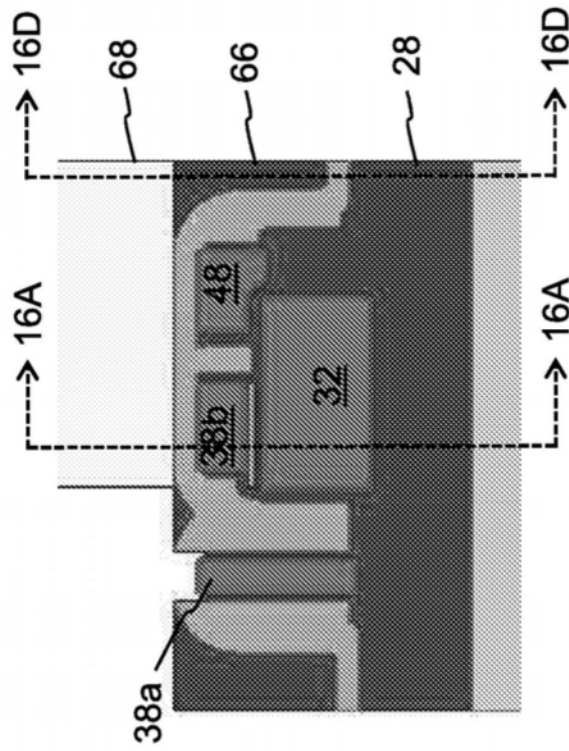


图16C

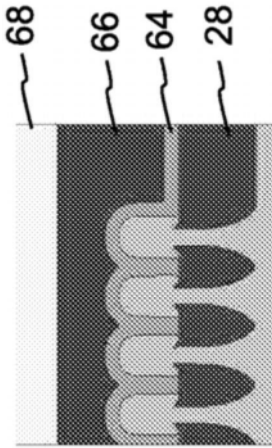


图16D

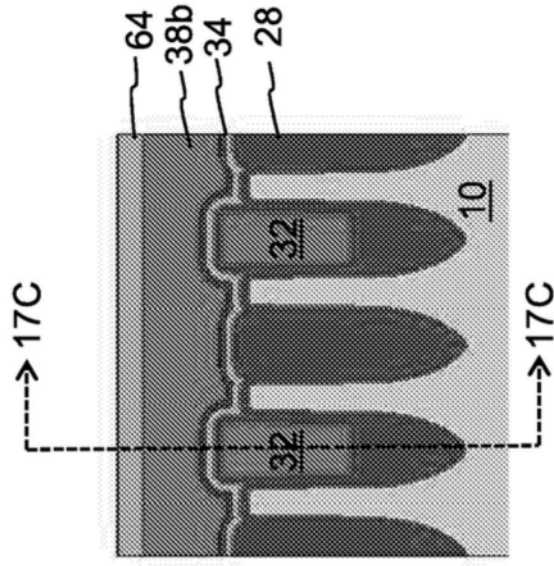


图17A

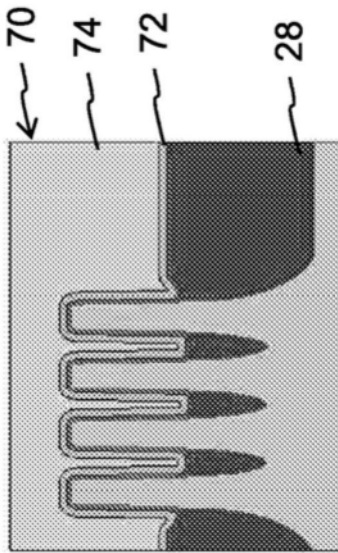


图17B

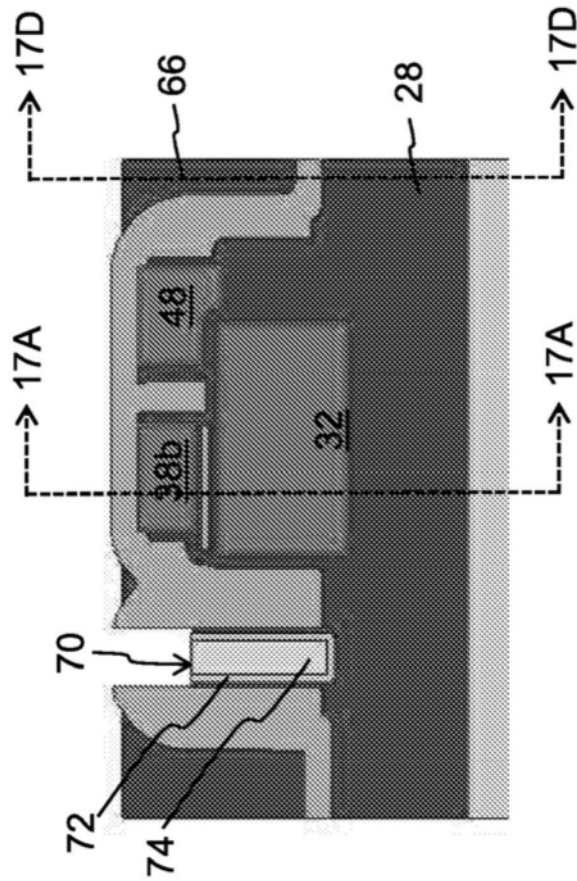


图17C

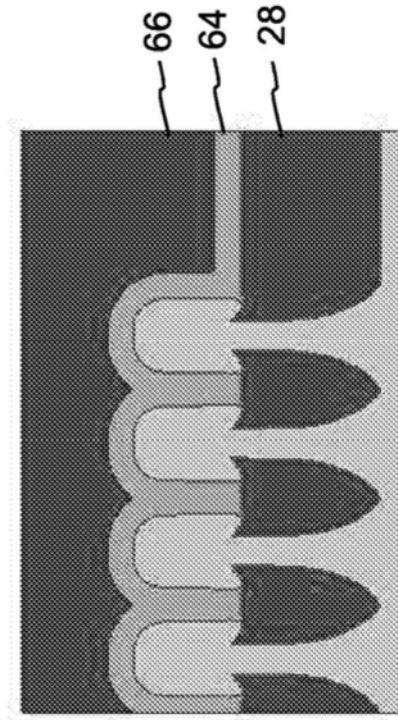


图17D

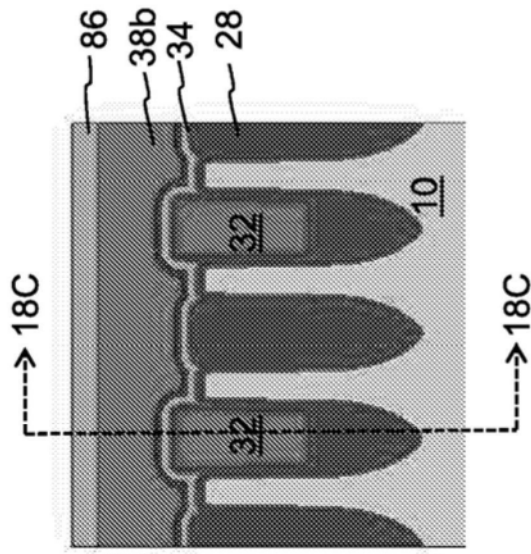


图18A

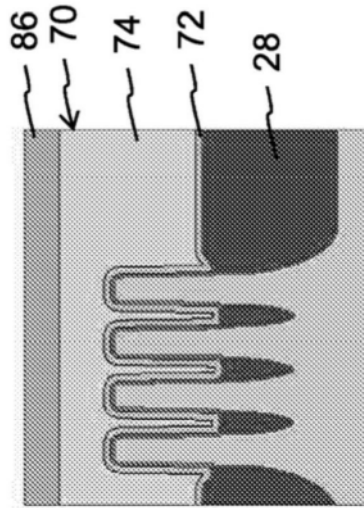


图18B

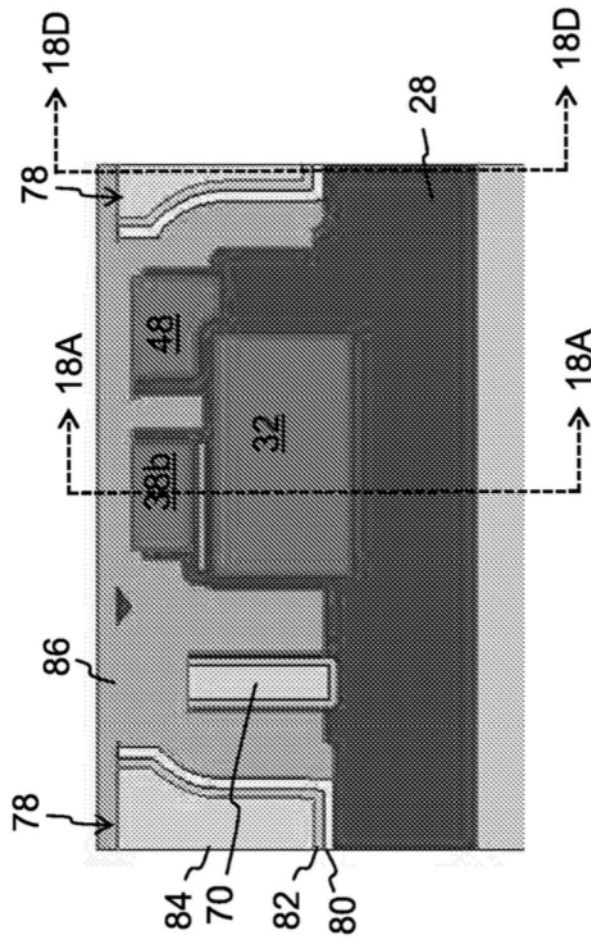


图18C

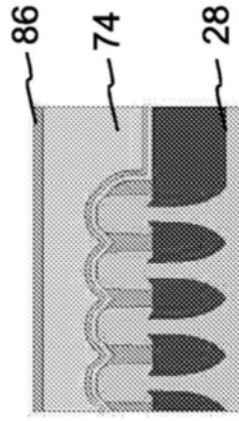


图18D

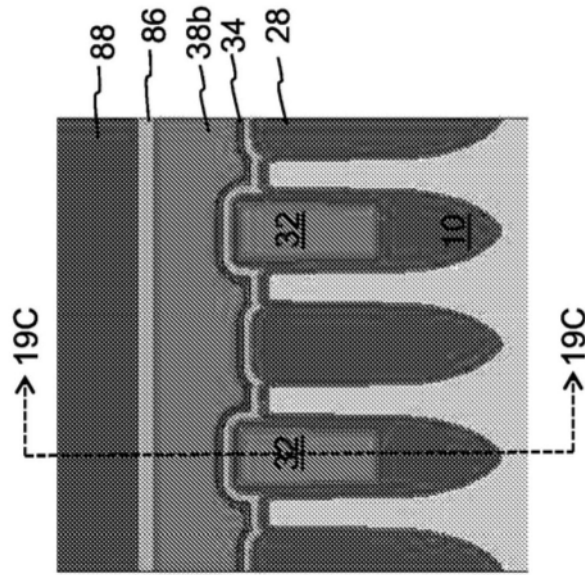


图19A

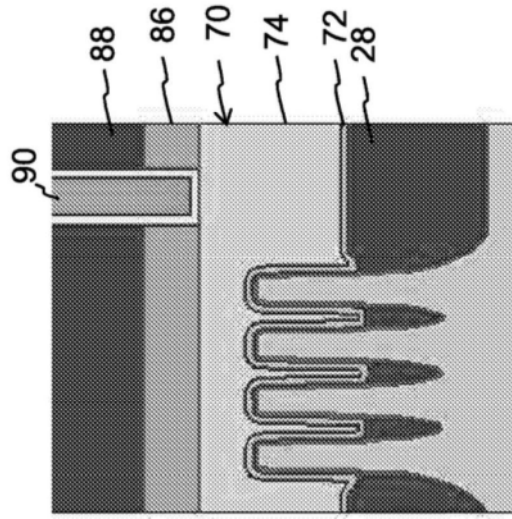


图19B

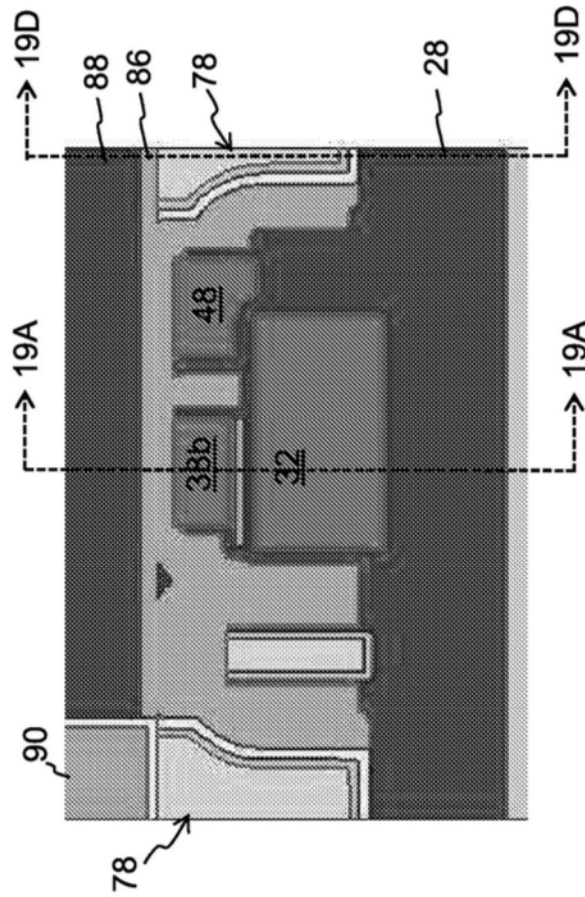


图19C

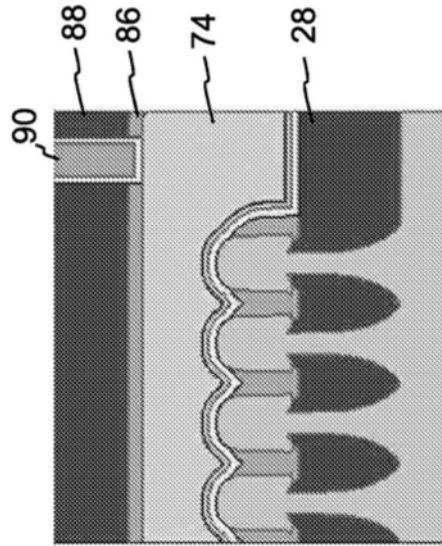


图19D

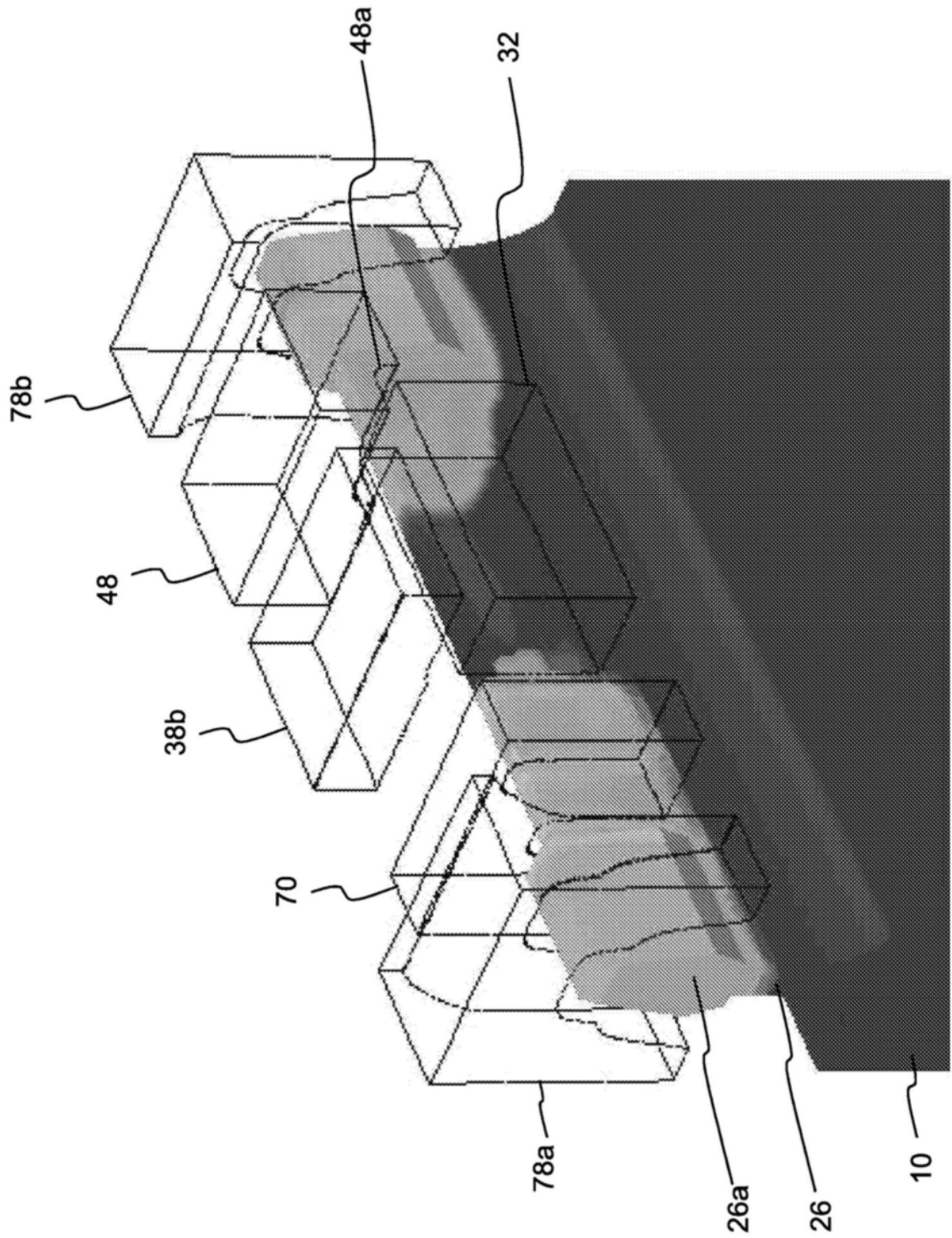


图20A

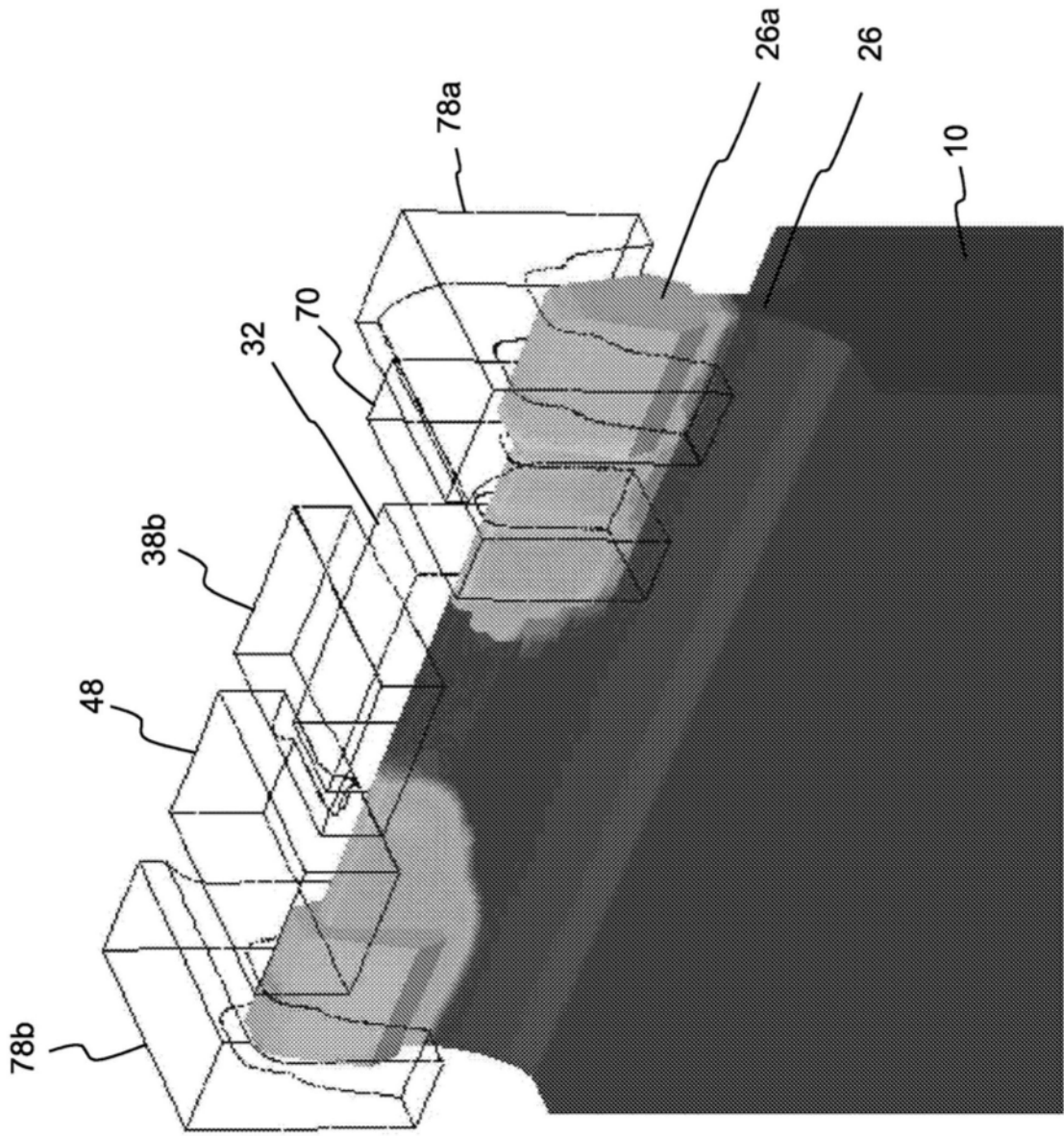


图20B

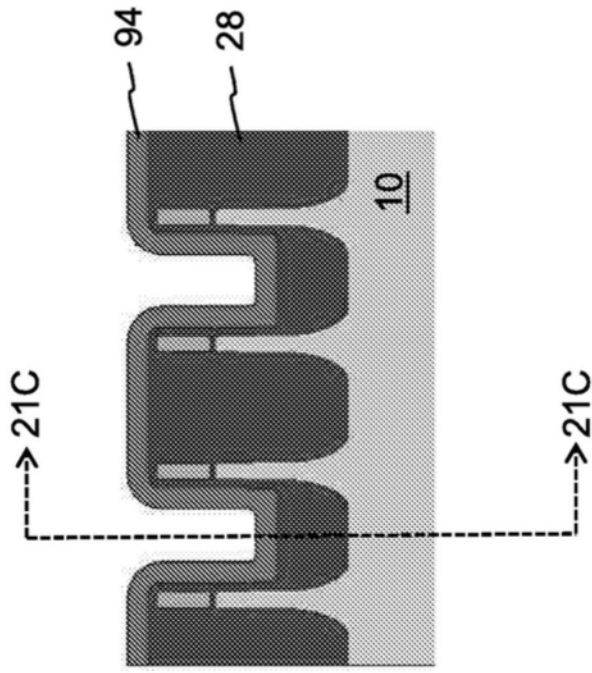


图21A

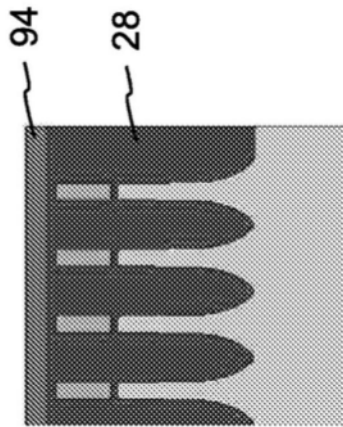


图21B

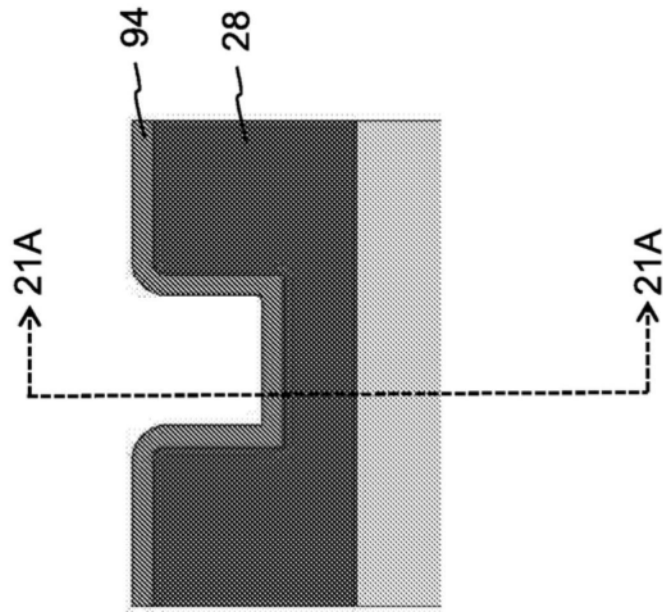


图21C

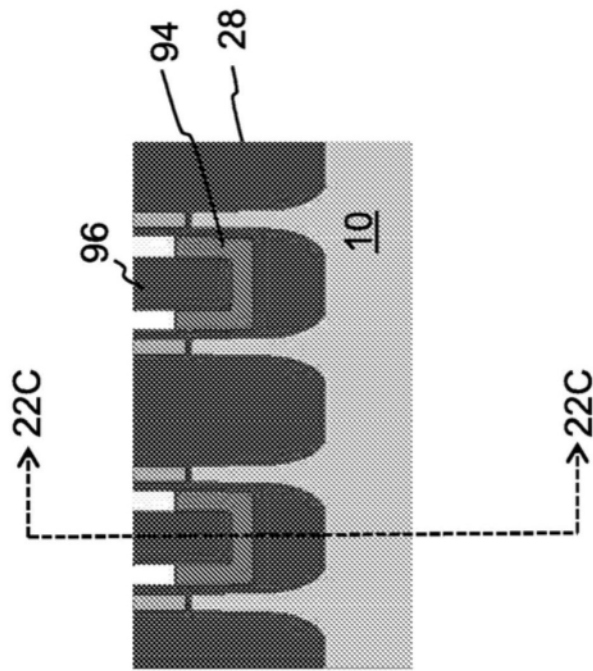


图22A

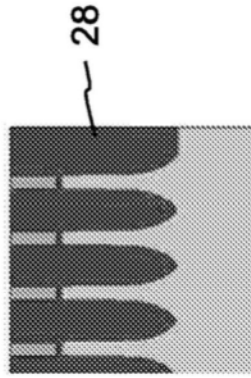


图22B

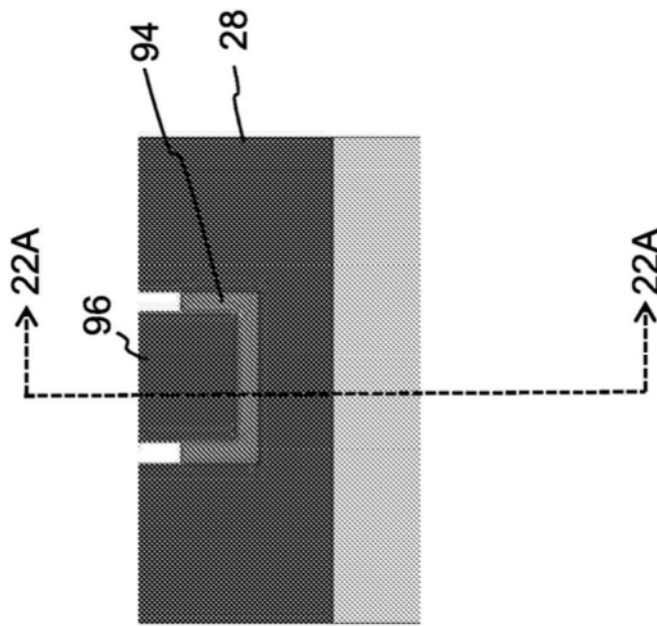


图22C

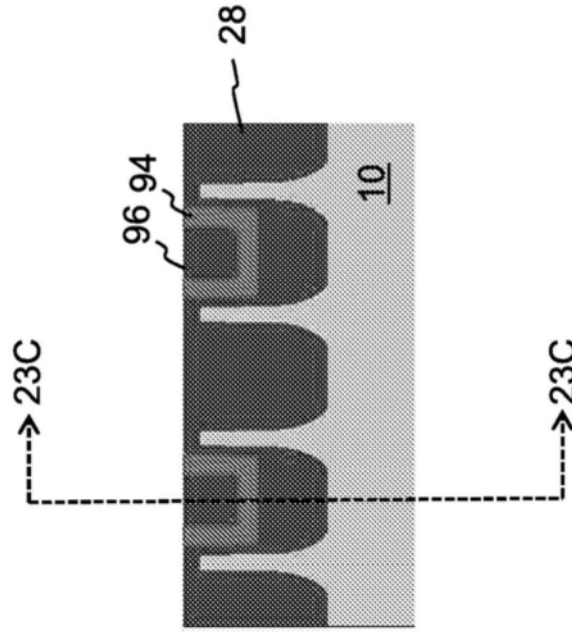


图23A

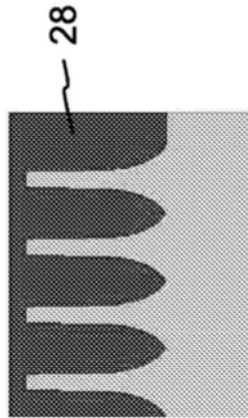


图23B

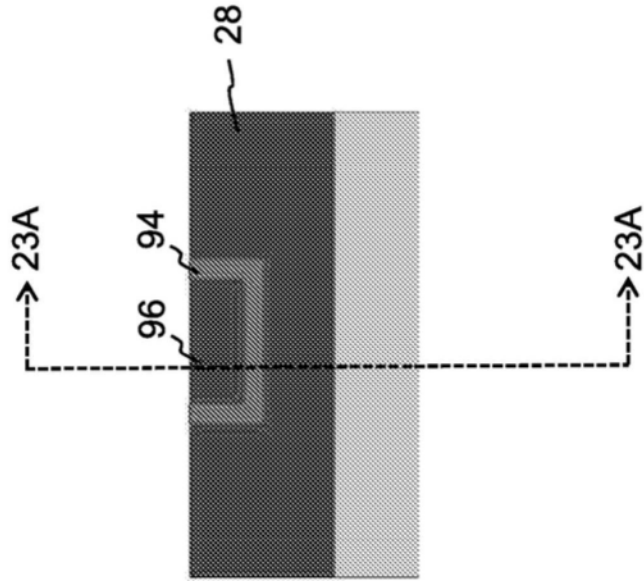


图23C

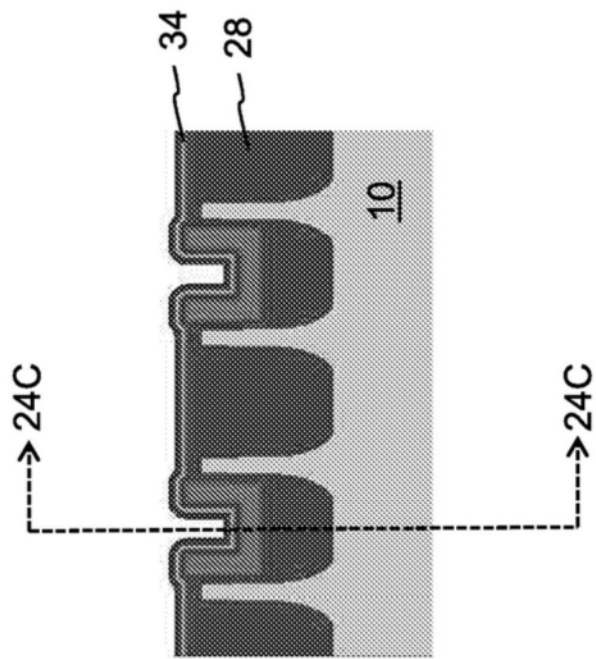


图24A

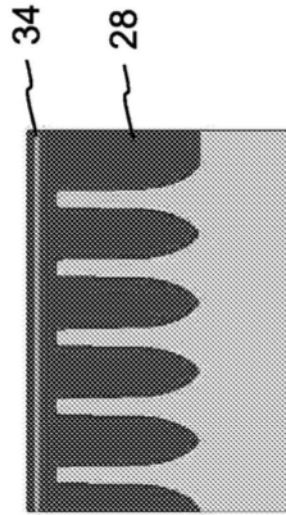


图24B

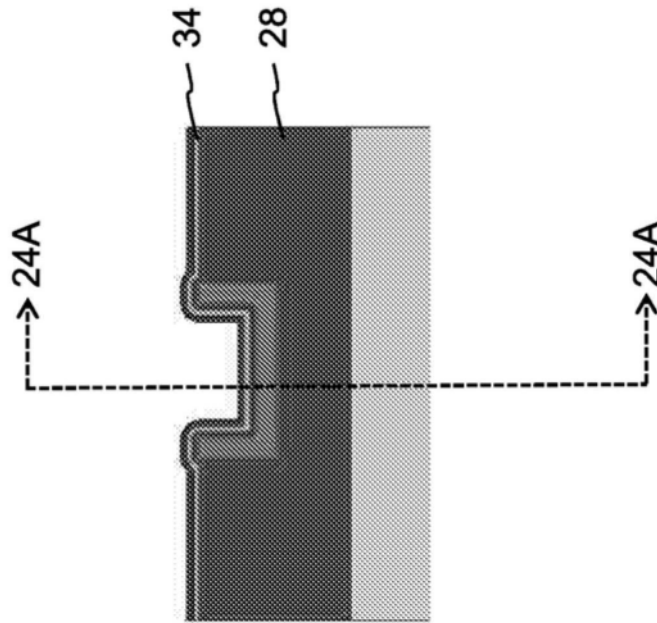


图24C

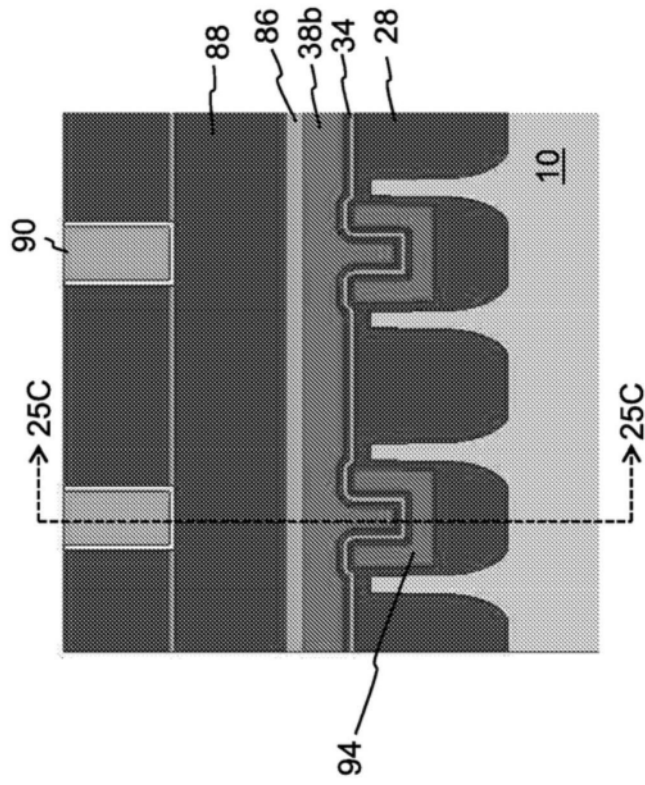


图25A

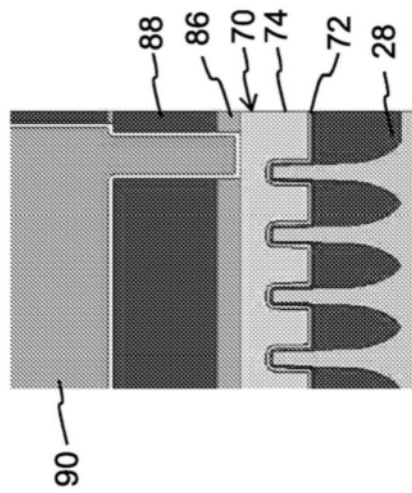


图25B

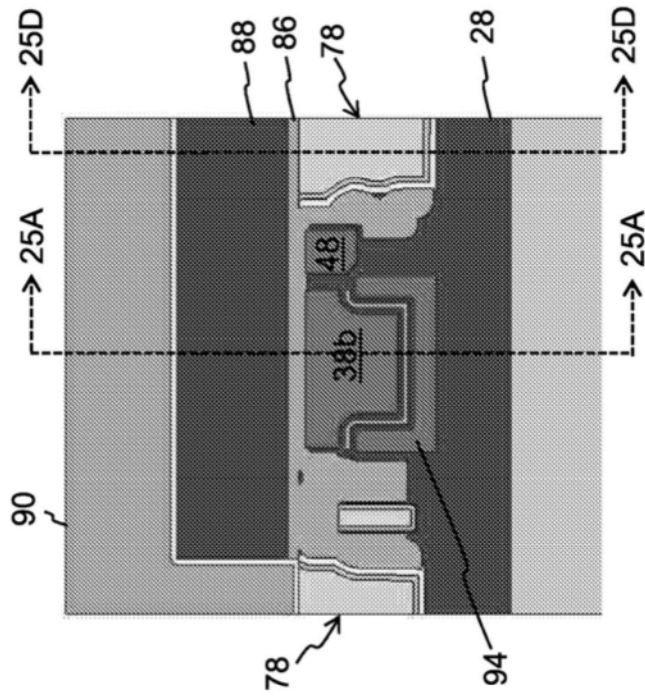


图25C

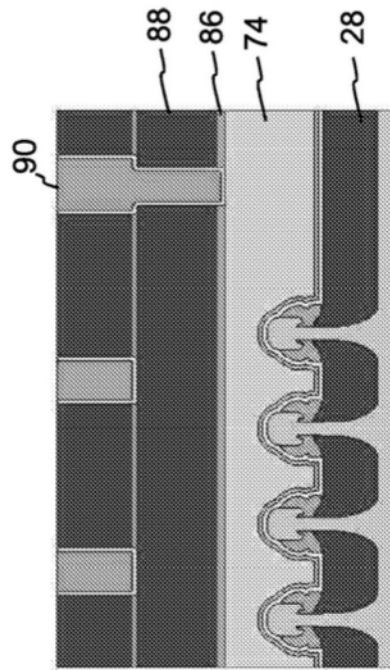


图25D

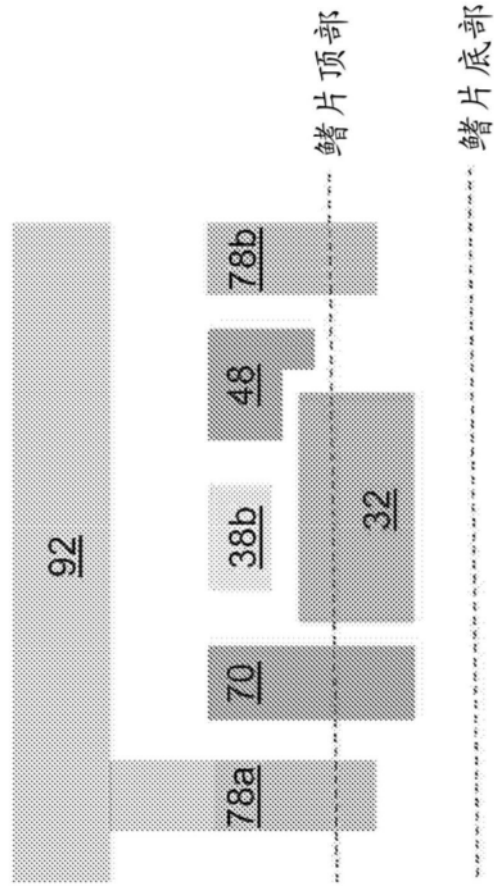


图26A

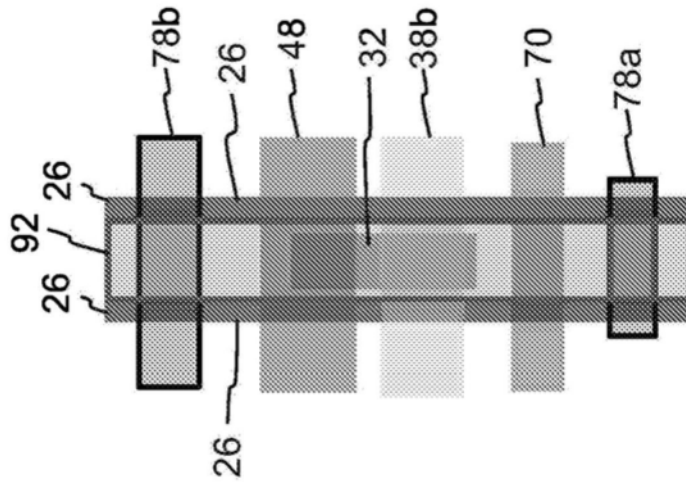


图27A

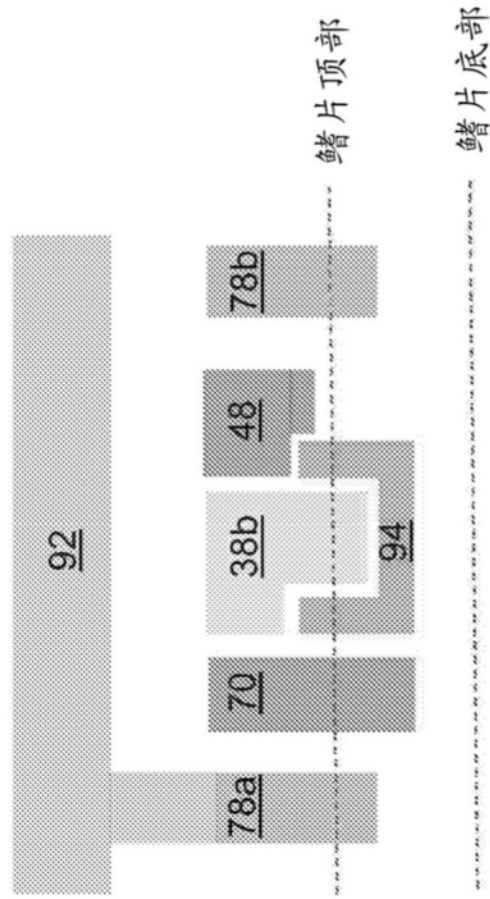


图26B

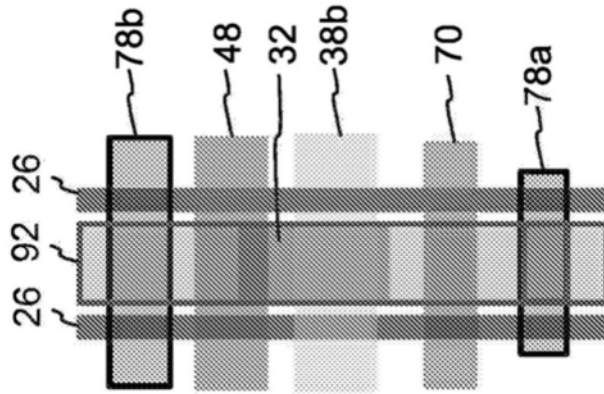


图27B