

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4157266号
(P4157266)

(45) 発行日 平成20年10月1日 (2008. 10. 1)

(24) 登録日 平成20年7月18日 (2008. 7. 18)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 5 2 H

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 5 4 Z

H O 1 L 29/78 6 5 8 A

請求項の数 9 (全 19 頁)

(21) 出願番号	特願2000-303853 (P2000-303853)	(73) 特許権者	000003078
(22) 出願日	平成12年10月3日 (2000. 10. 3)		株式会社東芝
(65) 公開番号	特開2002-110979 (P2002-110979A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年4月12日 (2002. 4. 12)	(74) 代理人	100058479
審査請求日	平成16年9月17日 (2004. 9. 17)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 電力用半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

主面を有する第1導電型の半導体基板と、
 前記半導体基板内に形成され、内部に空洞を有する第2導電型の拡散層と、
 前記主面上に形成された第2導電型の第1半導体領域と、
 前記第1半導体領域の表面に選択的に形成された第1導電型の第2半導体領域と、
 前記半導体基板と前記第2半導体領域に挟まれた前記第1半導体領域上に絶縁膜を介して形成されたゲート電極と
 を具備してなることを特徴とする電力用半導体装置。

【請求項 2】

前記拡散層は複数存在し、これらの拡散層を前記主面の上から見た形状はストライプ状または円状の形状であることを特徴とする請求項1に記載の電力用半導体装置。

【請求項 3】

前記複数の拡散層を前記主面の上から見た形状がストライプ状の場合、前記ストライプ状の拡散層の幅は0.5～5μm、隣り合う二つの前記ストライプ状の拡散層の中央の間隔は1～10μmであり、

前記複数の拡散層を前記主面の上から見た形状が円状の場合、前記円状の拡散層の直径は0.5～5μm、隣り合う二つの前記円状の拡散層の中心の間隔は1～10μmであることを特徴とする請求項2に記載の電力用半導体装置。

【請求項 4】

10

20

前記複数の拡散層は、前記主面に対して平行な方向においては、濃度的に互いに分離されていることを特徴とする請求項 2 に記載の電力用半導体装置。

【請求項 5】

前記拡散層は、深さ方向に 2 層以上存在することを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 6】

前記第 1 導電型の半導体基板、前記第 2 導電型の拡散層、前記第 2 導電型の第 1 半導体領域、前記第 1 導電型の第 2 半導体領域および前記ゲート電極を具備した高耐圧半導体素子は、パワー MOSFET または IGBTであることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の電力用半導体装置。

10

【請求項 7】

第 1 導電型の半導体基板の主面にトレンチを形成する工程と、
熱処理により前記トレンチを空洞に変形させる工程と、
前記空洞と繋がる開口部から第 2 導電型の不純物のガスを前記半導体基板内に導入し、前記不純物のガスを前記空洞の周辺部分の前記半導体基板内に拡散させることで、前記空洞の周辺部分の前記半導体基板内に第 2 導電型の拡散層を形成する工程と、
前記半導体基板の前記主面上に第 2 導電型の第 1 半導体領域を形成する工程と、
前記第 1 半導体領域の表面に第 1 導電型の第 2 半導体領域を選択的に形成する工程と、
前記半導体基板と前記第 2 半導体領域に挟まれた前記第 1 半導体領域上に絶縁膜を介してゲート電極を形成する工程と
を有することを特徴とする電力用半導体装置の製造方法。

20

【請求項 8】

第 1 導電型の半導体基板の主面にトレンチを形成する工程と、
前記トレンチの底面に対して垂直に第 2 導電型の不純物をイオン注入し、前記トレンチの底面に第 2 導電型層を形成する工程と、
熱処理により前記トレンチを空洞に変形させると同時に、前記空洞の周辺部分の前記半導体基板内に第 2 導電型の拡散層を形成する工程と、
前記半導体基板の主面上に第 2 導電型の第 1 半導体領域を形成する工程と、
前記第 1 半導体領域の表面に第 1 導電型の第 2 半導体領域を選択的に形成する工程と、
前記半導体基板と前記第 2 半導体領域に挟まれた前記第 1 半導体領域上に絶縁膜を介してゲート電極を形成する工程と
を有することを特徴とする電力用半導体装置の製造方法。

30

【請求項 9】

前記熱処理は、水素雰囲気中で行うことを特徴とする請求項 7 または 8 に記載の電力用半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、縦型の高耐圧半導体素子を備えた電力用半導体装置およびその製造方法に関する。

40

【0002】

【従来の技術】

図 17 に、従来の代表的なパワー MOSFET の断面図を示す。図中、81 は n^+ 型ドレイン層としての高不純物濃度の n^+ 型 Si 基板を示しており、この n^+ 型 Si 基板 81 上には低不純物濃度の n^- 型エピタキシャル Si 層 82 が形成されている。

【0003】

この n^- 型エピタキシャル Si 層 82 の表面には p 型ベース層 83 が選択的に形成され、さらにこの p 型ベース層 83 の表面には高不純物濃度の n^+ 型ソース拡散層 84 が選択的に形成されている。

【0004】

50

この n^+ 型ソース拡散層84と n^- 型エピタキシャルSi層82とで挟まれたp型ベース層83上には図示しないゲート絶縁膜を介してゲート電極85が設けられ、MOSゲート構造が形成されている。

【0005】

この種のパワーMOSFET、すなわちプレーナ型のパワーMOSFETにおいては、 n^+ 型Si基板81の裏面から n^- 型エピタキシャルSi層82を介して n^+ 型ソース拡散層84に主電流が流れる。そのため、素子がオン時の抵抗（オン抵抗）は、 n^- 型エピタキシャルSi層82の厚さ（エピ厚）に依存する。

【0006】

このように図17に示した従来のパワーMOSFETは、主電流が流れる領域と耐圧を維持する領域とが同一である。そのため、高耐圧化のためにエピ厚を厚くするとオン抵抗が上がり、逆にエピ厚を薄くしてオン抵抗を下げると耐圧も下がるという、相反する関係が存在している。すなわち、低オン抵抗化と高耐圧化を同時に満足させることは困難であった。

【0007】

しかし最近になり、これらを同時に満足させるような新構造のパワーMOSFETがいくつか提案されている。その一つとして、図18に示す新構造のパワーMOSFETが知られている。なお、図17と対応する部分には図17と同一符号を付してあり、詳細な説明は省略する。

【0008】

このパワーMOSFETはプレーナ型ではあるが、図示しない二つのゲート電極で挟まれた領域の中央に、 n^- 型エピタキシャルSi層82（82₁～82₆）よりも高不純物濃度のn型エピタキシャルSi層86およびその両側にp型ピラー層87があり、このp型ピラー層86は図示しないp型ベース層につながる構造をとっている。すなわち、主電流が流れる領域と耐圧を維持する領域とを分けた構造になっている。 n^+ 型Si基板81の不純物濃度は 1×10^{18} 以上（ 0.0018 cm 以下）、 n^- 型エピタキシャルSi層82の不純物濃度は $1 \sim 2 \times 10^{15}$ 程度である。

【0009】

このような構成であれば、主電流はn型エピタキシャルSi層86を通るためにオン抵抗はn型エピタキシャルSi層86の不純物濃度に依存し、一方、耐圧は横方向へ空乏層を伸ばすためにn型エピタキシャルSi層86およびp型ピラー層87のそれぞれの不純物濃度および幅で決まるため、低オン抵抗化および高耐圧化の両立が可能となる。

【0010】

しかしながら、この新構造のパワーMOSFETには以下のような欠点があった。

【0011】

すなわち、図18に示した新構造を製造するためには、図19（a）～図19（d）に示すように、薄い n^- 型エピタキシャルSi層82の成長、n型不純物としての砒素（As）のイオン注入、p型不純物注入用のマスク（不図示）の形成、p型不純物としてのボロン（B）のイオン注入からなる一連の工程を繰り返す必要がある。

【0012】

具体的には、n型エピタキシャルSi層86の厚さは $50 \mu\text{m}$ 程度、 n^- 型エピタキシャルSi層82の厚さは $8.3 \mu\text{m}$ 程度であるため、上記一連の工程を5回または6回行う必要がある。

【0013】

この場合、5回または6回のエピタキシャル成長工程、10回または12回のマスク形成工程、10回または12回のイオン注入工程が必要となる。その後、図19（d）に示すように、アニールを行って、イオン注入したAsおよびBを活性化し、n型エピタキシャルSi層86、p型ピラー層87が完成する。

【0014】

このように図18の新構造のパワーMOSFETを作製するためには、図17のプレーナ

10

20

30

40

50

型のパワーMOSFETに比べて、工程数が大幅に増加する。その結果、製造時間と製造コストがかかり、実用化は困難だと考えられる。

【0015】

図20に、低オン抵抗化および高耐圧化を両立できる、他の新構造のパワーMOSFETの断面図を示す。なお、図17と対応する部分には図17と同一符号を付してあり、詳細な説明は省略する。

【0016】

このパワーMOSFETは、所定の間隔で配列形成された複数のp型埋め込み層88をn⁻型エピタキシャルSi層82内に備えている。

【0017】

このような構成であれば、主電流はn⁺型Si基板81の裏面からp⁺型埋め込み層88間のn⁻型エピタキシャルSi層82を介してn⁺型ソース拡散層84へと流れる。したがって、オン抵抗は、n⁻型エピタキシャルSi層82の厚さと抵抗率、およびp⁺型埋め込み層88の間隔（特に横方向の間隔）によって決まる。

【0018】

一方、複数のp⁺型埋め込み層88のそれぞれから空乏層が伸び、これらの空乏層の和がn⁻型エピタキシャルSi層82の空乏層になるので、耐圧はn⁻型エピタキシャルSi層82の厚さと抵抗率によって決まる。

【0019】

したがって、オン抵抗をp⁺型埋め込み層88の間隔、耐圧をn⁻型エピタキシャルSi層82の厚さと抵抗率によって制御すれば、低オン抵抗化および高耐圧化を両立できる。

【0020】

図20に示した新構造を形成するためには、図21(a)～図21(c)に示すように、n⁻型エピタキシャルSi層82i(=1～3)の成長、p⁺型埋め込み層88を形成するためのBのイオン注入を繰り返す必要がある。

【0021】

具体的には、n⁺型Si基板81の不純物濃度は 1×10^{18} 以上(0.0018 cm 以下)、n⁻型エピタキシャルSi層82の不純物濃度および厚さはそれぞれ 1×10^{15} および $15 \mu\text{m}$ である。

【0022】

Bのイオン注入は、幅 $0.6 \sim 1.4 \mu\text{m}$ 、間隔 $6 \sim 10 \mu\text{m}$ 程度のストライプ状の開口部を有するレジストパターンをマスクにしてBイオンをドーズ量 $2 \times 10^{13} \sim 10^{14} \text{ KeV}$ 、加速電圧 $60 \sim 140 \text{ keV}$ の条件でn⁻型エピタキシャルSi層82中に注入する。これらの条件は2層目以降のn⁻型エピタキシャルSi層82i、2回目以降のBのイオン注入についても同じである。

【0023】

この後は、周知の方法に従って、図21(d)に示すように、p型ベース層83、n⁺型ソース拡散層84、ゲート電極85を形成する工程が続く。

【0024】

図20に示したパワーMOSFETは、図18に示したパワーMOSFETに比べて、n⁻型エピタキシャルSi層82の成長回数が少なく済むなどの理由により、工程数は大幅には増加しない。

【0025】

しかしながら、2層目のn⁻型エピタキシャルSi層82の成長のときに、p⁺型埋め込み層88中のBのオートドーピングにより、図21(d)に示すように、p⁺埋め込み層88が横方向に広がって、隣り合う二つp⁺埋め込み層88間のn⁻型エピタキシャルSi層82が狭くなる。その結果、主電流の経路が塞がれ、オン抵抗が増加してしまう。すなわち、プロセス上の問題からオン抵抗が増加するために、実用化が困難であるという問題があった。

【0026】

【発明が解決しようとする課題】

上述の如く、従来の低オン抵抗化および高耐压化の両立が可能なパワー MOSFET は、プロセス上の問題を抱えていた。すなわち、工程数が大幅に増加するために製造時間と製造コストがかかったり、あるいは製造工程中の B のオートドープにより主電流の経路が塞がれ、オン抵抗が増加するために、実用化が困難であるという問題があった。

【0027】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、低オン抵抗かつ高耐压の MOS ゲート構造を有する高耐压半導体素子を備え、かつその実現化が容易な電力用半導体装置およびその製造方法を提供することにある。

【0028】**【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りで、その骨子は、本出願人の独自の技術である中空構造による SOI 技術を高耐压半導体素子のオン抵抗および耐压の改善技術に適用したことにある。

【0029】

すなわち、上記目的を達成するために、本発明に係る電力用半導体装置は、主面を有する第 1 導電型の半導体基板と、前記半導体基板内に形成され、内部に空洞を有する第 2 導電型の拡散層と、前記主面上に形成された第 2 導電型の第 1 半導体領域と、前記第 1 半導体領域の表面に選択的に形成された第 1 導電型の第 2 半導体領域と、前記半導体基板と前記第 2 半導体領域に挟まれた前記第 1 半導体領域上に絶縁膜を介して形成されたゲート電極とを備えていることを特徴とする。

【0030】

このような構成であれば、内部に空洞を有する第 2 導電型の拡散層が、図 20 に示した p 型埋め込み層 88 と同様の働きをするので、低オン抵抗化および高耐压化を両立できるようになる。

【0031】

内部に空洞を有する第 2 導電型の拡散層は、以下の本発明に係る電力半導体装置の製造方法により、オートドープによる広がりを招かずに形成することができるので、容易に実現することができる。

【0032】

本発明に係る電力用半導体装置の製造方法は、第 1 導電型の半導体基板の主面にトレンチを形成する工程と、熱処理により前記トレンチを空洞に変形させる工程と、前記空洞と繋がる開口部から第 2 導電型の不純物のガスを前記半導体基板内に導入し、前記不純物のガスを前記空洞の周辺部分の前記半導体基板内に拡散させることで、前記空洞の周辺部分の前記半導体基板内に第 2 導電型の拡散層を形成する工程と、前記半導体基板の前記主面上に第 2 導電型の第 1 半導体領域を形成する工程と、前記第 1 半導体領域の表面に第 1 導電型の第 2 半導体領域を選択的に形成する工程と、前記半導体基板と前記第 2 半導体領域に挟まれた前記第 1 半導体領域上に絶縁膜を介してゲート電極を形成する工程とを有することを特徴とする。

本発明に係る電力用半導体装置の製造方法は、1 導電型の半導体基板の主面にトレンチを形成する工程と、前記トレンチの底面に対して垂直に第 2 導電型の不純物をイオン注入し、前記トレンチの底面に第 2 導電型層を形成する工程と、熱処理により前記トレンチを空洞に変形させると同時に、前記空洞の周辺部分の前記半導体基板内に第 2 導電型の拡散層を形成する工程と、前記半導体基板の前記主面上に第 2 導電型の第 1 半導体領域を形成する工程と、前記第 1 半導体領域の表面に第 1 導電型の第 2 半導体領域を選択的に形成する工程と、前記半導体基板と前記第 2 半導体領域に挟まれた前記第 1 半導体領域上に絶縁膜を介してゲート電極を形成する工程とを有することを特徴とする。

【0033】

このような構成であれば、第 2 導電型の拡散層の表面が露出した状態で、エピタキシャル成長を行う工程が無いので、第 2 導電型の拡散層のオートドープによる広がりを招かずに

10

20

30

40

50

済むようになる。

【0034】

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0035】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0036】

（第1の実施形態）

先ず、本発明の基礎となる技術について説明する。本出願人には、Si基板中に球形またはパイプ状等の中空構造を形成する方法（SOI技術）について既に出願している（特願平11-246582）。

【0037】

図1は、球形の中空構造の形成方法を示す工程図である。この形成方法は、Si基板1の表面にトレンチ2を形成し、その後水素雰囲気中（還元ガス雰囲気中）での高温熱処理（例えば、1100、1333Pa（=10Torr）、10min）により、Si基板1にSiの表面マイグレーションを発生せし、トレンチ2を球形の空洞3に変形させ、Si基板1中に球形の中空構造を形成するというものである。

【0038】

図2は、パイプ状の中空構造の形成方法を示す工程図である。この形成方法は、Si基板1の表面に複数のトレンチ2を所定の間隔で一方向に沿って形成し、その後球形の中空構造の場合と同様にH₂雰囲気中での高温熱処理により、Si基板1にSiの表面マイグレーションを発生せし、複数のトレンチ2を一つのパイプ状の空洞3に変形させ、Si基板1中にパイプ状の中空構造を形成するというものである。

【0039】

次に上記技術を製造プロセスに利用した本発明の第1の実施形態に係るパワーMOSFETについて説明する。図3は本実施形態のパワーMOSFETの断面図である。

【0040】

図中、11はn⁺型ドレイン層としての高不純物濃度のn⁺型Si基板を示しており、このn⁺型Si基板11上には低不純物濃度のn⁻型エピタキシャルSi層12が形成されている。本発明ではn⁻型エピタキシャルSi層12もSi基板とみなす。すなわち、本発明における第1導電型の半導体基板とは、第1導電型の半導体基板単体、およびその上に同じ導電型の半導体層が形成されたものの両方を含む。

【0041】

このn⁻型エピタキシャルSi層12の内部には、複数のp⁺型拡散層13が一方向に沿って形成されている。p⁺型拡散層13は紙面垂直方向に延びたパイプ状の拡散層であり、その内部にはパイプ状の空洞14が存在している。これらのp⁺型拡散層13は横方向においては濃度的に互いに分離されている。

【0042】

n⁻型エピタキシャルSi層12の表面にはp型ベース層15が選択的に形成され、さらにこのp型ベース層15の表面には高不純物濃度のn⁺型ソース拡散層16が選択的に形成されている。

【0043】

このn⁺型ソース拡散層16とn⁻型エピタキシャルSi層12とで挟まれたp型ベース層15上には図示しないゲート絶縁膜を介してゲート電極17が設けられている。

【0044】

このように構成されたパワーMOSFETによれば、パイプ状のp⁺型拡散層13が図20に示したp型埋め込み層88と同様の働きをするので、低オン抵抗化と高耐圧化を両立できるようになる。

【0045】

10

20

30

40

50

さらに、以下に説明する本実施形態のパワーMOSFETの製造方法においては、エピタキシャル成長の工程中に、 p^+ 型拡散層13の表面が露出することはない。したがって、エピタキシャル成長の工程中に、 p^+ 型拡散層13内の p 型不純物が拡散し、 p^+ 型拡散層13が横方向に広がって、隣り合う二つ p^+ 型拡散層13間の n^- 型エピタキシャルSi層12が狭くなり、オン抵抗が上昇するという問題はない。

【0046】

すなわち、 p^+ 型拡散層13を形成する際に p 型不純物のオートドーブの問題は起こらない。しかも、 p^+ 型拡散層13を形成するために、工程数が大幅に増加するという問題もない。したがって、低オン抵抗かつ高耐圧のパワーMOSFETを容易に実現することが可能となる。

10

【0047】

図4は、本実施形態のパワーMOSFETの製造方法を示す工程図である。

【0048】

まず、図4(a)に示すように、Si基板11上に n^- 型エピタキシャルSi層12₁を形成する。Si基板11の n 型不純物濃度は 1×10^{18} (atoms/cm³)以上で、その抵抗率は0.018 Ω・cm以下である。 n^- 型エピタキシャルSi層12の n 型不純物濃度は 1×10^{15} (atoms/cm³)程度で、その厚さは16 μmである。

【0049】

次に図4(b)に示すように、フォトリソグラフィおよびRIE等の異方性エッチングを用いて n^- 型エピタキシャルSi層12₁を加工し、 n^- 型エピタキシャルSi層12₁の表面に直径0.2 μm、深さ2 μmのトレンチ18を2次元的に配列形成する。このとき、同時に、 n^- 型エピタキシャルSi層12₁内にBガスを導入するための開口部(B導入用開口部)19も形成する。

20

【0050】

将来接続するトレンチ同士の間隔は例えば0.7 μm、接続しないトレンチ同士の間隔は例えば8 μmである。B導入用開口部19とそれに最も近いトレンチ18との間隔は例えば0.7 μmである。

【0051】

なお、図では簡単化のために、6行×3列に配列されたトレンチ18しか示していないが、図3と同じ素子を形成するためには6行×4列に配列されたトレンチ18を形成する。また、行および列の数は上記値に限定されるものではない。

30

【0052】

次に水素雰囲気中での高温熱処理(1100℃、1333 Pa、10 min)により、 n^- 型エピタキシャルSi層12₁にSiの表面マイグレーションを発生せざる。

【0053】

その結果、図4(c)に示すように、0.7 μmの間隔で並んだトレンチ18の列は、深さ約1 μm、直径0.3 μmのパイプ状の空洞14に変形し、 n^- 型エピタキシャルSi層12₁中に複数のパイプ状の中空構造が形成される。このとき、B導入用開口部19の表面は塞がれない。B導入用開口部19はパイプ状の空洞14と接続する。

【0054】

40

次に図4(d)に示すように、 n 型不純物濃度が 1×10^{15} (atoms/cm³)程度、厚さは13 μmの n^- 型エピタキシャルSi層12₂を n^- 型エピタキシャルSi層12₁上に形成する。

【0055】

このとき、B導入用開口部19に繋がる開口部が n^- 型エピタキシャルSi層12₂に生じるようにエピタキシャル成長を行う。あるいは n^- 型エピタキシャルSi層12₂を形成した後、エッチングによりB導入用開口部19に繋がる開口部を形成する。以下の説明では、この開口部およびB導入用開口部19をまとめてB導入用開口部19という。

【0056】

次に図4(e)に示すように、B導入用開口部19からBガスを n^- 型エピタキシャルS

50

i 層 1 2₁ , 1 2₂ 内に導入し、空洞 1 4 の周囲の n⁻ 型エピタキシャル S i 層 1 2₁ , 1 2₂ (= 1 2) に B を気相拡散させ、B 濃度が 4×10^{17} (a t o m s / c m³) のパイプ状の p⁺ 型拡散層 1 3 を形成する。言い換えれば、内部にパイプ状の空洞 1 4 を有する p⁺ 型拡散層 1 3 を形成する。

【 0 0 5 7 】

このときの p⁺ 型拡散層 1 3 を基板の上から見ると、図 5 に示すように、p⁺ 型拡散層 1 3 の形状はストライプ状となる。図 3 は、図 4 のストライプ状の p⁺ 型拡散層 1 3 に対して直交する平面による断面図である。ストライプ状の p⁺ 型拡散層 1 3 の幅は 0 . 5 ~ 5 μ m、隣り合う二つのストライプ状の拡散層 1 3 の中央の間隔は 1 ~ 1 0 μ m である。

【 0 0 5 8 】

この後は、周知の方法に従って、p 型ベース層 1 5、n⁺ 型ソース拡散層 1 6 およびゲート電極 1 7 等を形成して、図 3 に示したパワー M O S F E T が完成する。B 導入用開口部 1 9 は絶縁体または半導体で埋め込むか、あるいはそのまま残す。

【 0 0 5 9 】

本実施形態のパワー M O S F E T および従来のプレーナ型パワー M O S F E T のそれぞれについて、耐圧とオン抵抗との関係を調べた。その結果、図 6 に示すように、同じ耐圧で比較すると、本実施形態のパワー M O S F E T は、従来のプレーナ型パワー M O S F E T に比べて、オン抵抗を約 6 0 % 低減できることが分かる。

【 0 0 6 0 】

(第 2 の実施形態)

図 7 は、本発明の第 2 の実施形態に係るパワー M O S F E T を示す断面図である。なお、図 3 および図 4 と対応する部分には図 3 および図 4 と同一符号を付してあり、詳細な説明は省略する。

【 0 0 6 1 】

本実施形態が第 1 の実施形態と異なる点は、p⁺ 型拡散層 1 3 を深さ方向に 2 層に形成したことにある。

【 0 0 6 2 】

本実施形態のパワー M O S F E T の製造方法は以下の通りである。まず、図 4 (a) ~ 図 4 (d) までの工程を行う。

【 0 0 6 3 】

次に図 4 (b) および図 4 (c) の工程をもう一度行い、n⁻ 型エピタキシャル S i 層 1 2₂ 中に複数のパイプ状の空洞 1 4 を第 1 の実施形態と同じ条件で形成する。

【 0 0 6 4 】

次に B 導入用開口部 1 9 から B ガスを導入し、空洞 1 4 の周囲の n⁻ 型エピタキシャル S i 層 1 2₁ , 1 2₂ (= 1 2) 中に B を拡散させ、2 層のパイプ状の p⁺ 型拡散層 1 3 を形成する。

【 0 0 6 5 】

この後は、周知の方法に従って、p 型ベース層 1 5、n⁺ 型ソース拡散層 1 6 およびゲート電極 1 7 等を形成して、図 3 および図 4 に示したパワー M O S F E T が完成する。なお、p⁺ 型拡散層 1 3 を深さ方向に 3 層以上にしても良い。

【 0 0 6 6 】

(第 3 の実施形態)

図 8 は、本発明の第 3 の実施形態に係るパワー M O S F E T を示す断面図である。なお、以下の図において前出した図と同一符号 (添字が異なるものを含む) は同一符号または相当部分を示し、詳細な説明は省略する。

【 0 0 6 7 】

本実施形態が第 2 の実施形態と異なる点は、1 回のエピタキシャル成長で形成した n⁻ 型エピタキシャル S i 層 1 2 内にパイプ状の p⁺ 型拡散層 1 3 が深さ方向に 2 層形成されていることにある。

【 0 0 6 8 】

10

20

30

40

50

図 9 は、本発明の第 3 の実施形態に係るパワー MOS F E T の製造方法を示す工程図である。

【 0 0 6 9 】

まず、図 9 (a) に示すように、 S i 基板 1 1 上に n⁻ 型エピタキシャル S i 層 1 2 を形成する。 S i 基板 1 1 の n 型不純物濃度 (抵抗率) 、 n⁻ 型エピタキシャル S i 層 1 2 の n 型不純物濃度は、第 1 の実施形態と同じであるが、 n⁻ 型エピタキシャル S i 層 1 2 の厚さは第 1 の実施形態よりも厚く、約 4 2 μ m である。

【 0 0 7 0 】

次に図 9 (b) に示すように、フォトリソグラフィおよび R I E 等の異方性エッチングを用いて n⁻ 型エピタキシャル S i 層 1 2 を加工し、 n⁻ 型エピタキシャル S i 層 1 2 の表面から深さ方向に延びた直径 3 μ m 、深さ 3 0 μ m のトレンチ 1 8 を 2 次元的に配列形成する。このとき、同時に、 B 導入用開口部 1 9 も形成する。

10

【 0 0 7 1 】

図では簡略化のために、 3 行 × 2 列に配列されたトレンチ 1 8 しか示していないが、図 8 と同じ素子を形成するためには 3 行 × 4 列に配列されたトレンチ 1 8 を形成する。行および列の数は上記値に限定されるものではない。

【 0 0 7 2 】

次に水素雰囲気中での高温熱処理 (1 1 0 0 ° C 、 1 3 3 3 P a 、 1 0 m i n) により、 n⁻ 型エピタキシャル S i 層 1 2 に S i の表面マイグレーションを発生せざる。

20

【 0 0 7 3 】

その結果、図 9 (c) に示すように、同じ列の複数のトレンチ 1 8 は、互いに異なる深さの領域に形成された、 2 層のパイプ状の空洞 1 4 に変形し、 n⁻ 型エピタキシャル S i 層 1 2 中に 2 層のパイプ状の中空構造が形成される。このとき、 B 導入用開口部 1 9 の表面は塞がれない。 B 導入用 1 8 はパイプ状の空洞 1 4 と接続する。

【 0 0 7 4 】

浅い方の空洞 1 4 は表面から約 1 4 μ m の深さの位置に形成され、深い方の空洞 1 4 は表面から約 2 7 μ m の深さの位置に形成される。空洞 1 4 の直径は約 4 μ m 、空洞 1 4 の長手方向は、複数のトレンチ 1 8 の行方向と同じである。

【 0 0 7 5 】

次に図 9 (d) に示すように、 B 導入用開口部 1 9 から B ガスを導入し、空洞 1 4 の周囲の n⁻ 型エピタキシャル S i 層 1 2 中に B を拡散させ、 B 濃度が 4×10^{17} (a t o m s / c m³) のパイプ状の p⁺ 型拡散層 1 3 を形成する。

30

【 0 0 7 6 】

この後は、周知の方法に従って、 p 型ベース層 1 5 、 n⁺ 型ソース拡散層 1 6 およびゲート電極 1 7 等を形成して、図 8 に示したパワー MOS F E T が完成する。

【 0 0 7 7 】

(第 4 の実施形態)

図 1 0 は、本実施形態のパワー MOS F E T の製造方法を示す工程図である。

【 0 0 7 8 】

まず、第 3 の実施形態と同じ条件で、図 1 0 (a) に示すように、 S i 基板 1 1 上に n⁻ 型エピタキシャル S i 層 1 2 を形成する。

40

【 0 0 7 9 】

次に図 1 0 (b) に示すように、フォトリソグラフィおよび R I E 等の異方性エッチングを用いて n⁻ 型エピタキシャル S i 層 1 2 を加工し、 n⁻ 型エピタキシャル S i 層 1 2 の表面から深さ方向に延びた直径 3 μ m 、深さ 3 0 μ m のトレンチ 1 8 を 2 次元的に配列形成する。トレンチ 1 8 の列方向の間隔は 8 μ m である。

【 0 0 8 0 】

図では簡略化のために、 3 行 × 2 列に配列されたトレンチ 1 8 しか示していないが、行および列の数は上記値に限定されるものではない。

【 0 0 8 1 】

50

次に図10(c)に示すように、トレンチ18の内部にBガスを導入し、トレンチ18の周囲の n^- 型エピタキシャルSi層12中にBを拡散させ、B濃度が 4×10^{17} (atoms/cm³)のパイプ状の p^+ 型拡散層13を形成する。

【0082】

次に第3の実施形態と同じ条件の高温熱処理により、 n^- 型エピタキシャルSi層12にSiの表面マイグレーションを発生せさる。

【0083】

その結果、図10(d)に示すように、各トレンチ18は、互いに異なる深さの領域に形成された、2層の球状の空洞14に変形し、内部に複数の球状の空洞14を有する p^+ 型拡散層13が形成される。

【0084】

図10(e)に p^+ 型拡散層13のより正確な形状を示す。なお、熱処理の条件によっては、 p^+ 型拡散層13は図10(f)に示す形状にもなり得る。すなわち、空洞14のところで節を持った円筒状にもなり得る。

【0085】

空洞14の直径は約4 μ mである。横方向に隣り合うトレンチ18からできた空洞14は結合しない。 p^+ 型拡散層13の長手方向は、 n^- 型エピタキシャルSi層12の深さ方向である。このときの p^+ 型拡散層13を基板の上から見ると、図11(a)に示すように、円状になる。なお、図11(b)に、より現実的な p^+ 型拡散層13の平面パターンおよびその寸法を示す。

【0086】

この後は、周知の方法に従って、 p 型ベース層、 n^+ 型ソース拡散層およびゲート電極等を形成して、パワーMOSFETが完成する。

【0087】

(第5の実施形態)

図12(a)および図12(b)は、本発明の第5の実施形態に係るパワーMOSFETを示す断面図であり、それぞれ第4の実施形態の図10(a)および図10(b)に対応した断面図である。

【0088】

本実施形態が第4の実施形態と異なる点は、 p^+ 型拡散層13を形成した n^- 型エピタキシャルSi層12₁上に、 n^- 型エピタキシャルSi層12₂を形成し、この n^- 型エピタキシャルSi層12₂に p 型ベース層15、 n^+ 型ソース拡散層16およびゲート電極17等を形成したことにある。 n^- 型エピタキシャルSi層12₂の n 型不純物濃度は 1×10^{15} (atoms/cm³)程度で、その厚さは10 μ mである。

【0089】

(第6の実施形態)

図13は、本発明の第6の実施形態に係るパワーMOSFETの製造方法を示す工程図である。

【0090】

まず、図13(a)に示すように、Si基板11上に n^- 型エピタキシャルSi層12を形成した後、フォトリソグラフィおよびエッチングを用いて n^- 型エピタキシャルSi層12に直径3 μ m、深さ30 μ mのトレンチ18を2次元的に配列形成する。列方向(紙面に垂直な方向)に並んだトレンチ同士の間隔は8 μ mである。Si基板11の n 型不純物濃度(抵抗率)、 n^- 型エピタキシャルSi層12の n 型不純物濃度および厚さは、第3の実施形態と同じである。

【0091】

次に図13(b)に示すように、トレンチ18以外の n^- 型エピタキシャルSi層12の表面をレジスト20で覆った後、トレンチ18の底面に対して垂直にBをイオン注入し、トレンチ18の底面に高不純物濃度の P^+ 型層21を形成する。この後、レジスト20を剥離する。 P^+ 型層21のB濃度は、 4×10^{17} (atoms/cm³)である。なお、

10

20

30

40

50

レジスト 20 として、トレンチ 18 を形成する際に使用したエッチングマスクを利用することも可能である。

【0092】

次に図 13 (c) に示すように、第 3 の実施形態と同じ条件の高温熱処理により、トレンチ 18 の下方を空洞 14 に変形させ、 n^- 型エピタキシャル Si 層 12 内に 1 層目の空洞 14 を形成する。空洞 14 の直径は約 $4\ \mu\text{m}$ である。横方向に隣り合うトレンチ 18 からできた空洞 14 は結合しない。

【0093】

さらに、このときの高温熱処理により、 P^+ 型層 21 中の B が空洞 14 の内壁から n^- 型エピタキシャル Si 層 12 中に拡散するため、空洞 14 の周囲の n^- 型エピタキシャル Si 層 12 中に 1 層目の p^+ 型拡散層 13 を形成できる。言い換えれば、内部に球状の空洞 14 を有する p^+ 型拡散層 13 を形成できる。このときの 1 層目の p^+ 型拡散層 13 を基板の上から見ると円状となる。

【0094】

次に図 13 (d) に示すように、図 13 (b) の工程と同じ条件で、レジスト 20 をマスクにして B をイオン注入し、トレンチ 18 の底面に P^+ 型層 21 を再度形成する。

【0095】

次に図 13 (e) に示すように、高温熱処理により、トレンチ 18 を 2 層目の空洞 14 に変えたとともに、空洞 14 の周囲の n^- 型エピタキシャル Si 層 12 中に 2 層目の p^+ 型拡散層 13 を形成する。このときの 2 層目の p^+ 型拡散層 13 を基板の上から見ると円状となる。

【0096】

この後は、図 13 (f) に示すように、周知の方法に従って、 p 型ベース層 15、 n^+ 型ソース拡散層 16 およびゲート電極 17 等を形成し、パワー MOSFET が完成する。なお、 p^+ 型拡散層 13 を 3 層以上の多層にすることも可能である。

【0097】

(第 7 の実施形態)

図 14 は、本発明の第 7 の実施形態に係るパワー MOSFET の製造方法を示す工程図である。

【0098】

まず、図 14 (a) に示すように、Si 基板 11 上に n^- 型エピタキシャル Si 層 12 を形成した後、 n^- 型エピタキシャル Si 層 12 にトレンチ 18 を 2 次元的に配列形成する。

【0099】

次に図 14 (b) に示すように、レジスト 20 をマスクにしてトレンチ 18 の底面に対して垂直に B をイオン注入し、トレンチ 18 の底面に P^+ 型層 21 を形成する。

【0100】

次に図 14 (c) に示すように、高温熱処理により、 n^- 型エピタキシャル Si 層 12 内に 1 層目の空洞 14 および p^+ 型拡散層 13 を形成する。

【0101】

ここまでの図 14 (a) ~ 図 14 (c) の工程は、第 6 の実施形態の図 13 (a) ~ 図 13 (c) と同じである。

【0102】

次に図 14 (d) に示すように、高温熱処理により、 n^- 型エピタキシャル Si 層 12 内に 2 層目の空洞 14 を形成する。このとき、 P^+ 型層 21 は存在しないので、 p^+ 型拡散層 13 は形成されない。

【0103】

次に図 14 (e) に示すように、図 14 (b) の工程と同様に、レジスト 20 をマスクにしてトレンチ 18 の底面に対して垂直に B をイオン注入し、トレンチ 18 の底面に P^+ 型層 21 を形成する。

【 0 1 0 4 】

次に図 1 4 (f) に示すように、高温熱処理により、トレンチ 1 8 を 2 層目の空洞 1 4 に変えとともに、空洞 1 4 の周囲の n^- 型エピタキシャル Si 層 1 2 中に 2 層目の p^+ 型拡散層 1 3 を形成する。

【 0 1 0 5 】

周囲に p^+ 型拡散層 1 3 が形成されていない 2 層目の空洞 1 4 により、1 層目の p^+ 型拡散層 1 3 と 2 層目の p^+ 型拡散層 1 3 を確実に電氣的に分離できる。すなわち、1 層目の p^+ 型拡散層 1 3 中の B が 2 層目の p^+ 型拡散層 1 3 に向かって上方に拡散しても、その途中にある 2 層目の空洞 1 4 により B の拡散は抑制され、2 層目の p^+ 型拡散層 1 3 にまで B が拡散することを効果的に抑制することができる。

10

【 0 1 0 6 】

この後は、図 1 4 (g) に示すように、周知の方法に従って、 p 型ベース層 1 5、 n^+ 型ソース拡散層 1 6 およびゲート電極 1 7 等を形成し、パワー MOSFET が完成する。

【 0 1 0 7 】

図 1 5 に、本実施形態の変形例を示す。図 1 5 (a) は、1 層目の p^+ 型拡散層 1 3 と 2 層目の p^+ 型拡散層 1 3 との間に、周囲に p^+ 型拡散層 1 3 が形成されていない空洞 1 4 を 2 層形成した例を示している。もちろん、必要であれば、3 層以上形成しても良い。図 1 5 (b) は、 p^+ 型拡散層が周囲に形成されていない空洞 1 4 を最上層とした例である。

【 0 1 0 8 】

(第 8 の実施形態)

図 1 6 は、本発明の第 8 の実施形態に係るパワー MOSFET の製造方法を示す工程図である。本実施形態では、第 7 の実施形態と別の方法で、周囲に p^+ 型拡散層 1 3 が形成された空洞 1 4 と、周囲に p^+ 型拡散層 1 3 が形成されていない空洞 1 4 とが混在したパワー MOSFET の製造方法について説明する。

20

【 0 1 0 9 】

まず、図 1 6 (a) に示すように、Si 基板 1 1 上に n^- 型エピタキシャル Si 層 1 2 を形成する。

【 0 1 1 0 】

次に図 1 6 (b) に示すように、 n^- 型エピタキシャル Si 層 1 2 にトレンチ 1 8、B 導入用開口部 1 9 を形成し、さらにトレンチ 2 2 を形成する。トレンチ 1 8 の直径は 1 ~ 3 μm 程度、トレンチ 2 2 の直径は 3 ~ 10 μm 程度である。

30

【 0 1 1 1 】

次に図 1 6 (c) に示すように、水素雰囲気中での高温熱処理 (1 1 0 0 、 1 3 3 3 P a、1 0 m i n) により、第 3 の実施形態と同様に、トレンチ 1 8 をパイプ状の空洞 1 4 に変形する。

【 0 1 1 2 】

このとき、トレンチ 2 2 もパイプ状の空洞 2 3 に変形するが、トレンチ 2 2 の直径が太いことから、 n^- 型エピタキシャル Si 層 1 2 の深さ方向に関しての、空洞 2 3 の間隔は、空洞 1 4 のそれよりも広くなる。その結果、1 層目および 3 層目の空洞 1 4 のみがそれぞれ 1 層目および 2 層目の空洞 2 3 を介して B 導入用開口部 1 9 に繋がる。

40

【 0 1 1 3 】

次に図 1 6 (d) に示すように、B 導入用開口部 1 9 から B ガスを導入し、1 層目および 2 層目の空洞 2 3 ならびに 1 層目および 3 層目の空洞 1 4 の周囲の n^- 型エピタキシャル Si 層 1 2 に B を拡散させ、B 濃度が 4×10^{17} (a t o m s / c m ³) の p^+ 型拡散層 1 3 を形成する。

【 0 1 1 4 】

この後は、周知の方法に従って、 p 型ベース層、 n^+ 型ソース拡散層およびゲート電極 1 7 等を形成し、パワー MOSFET が完成する。ここでは、図 1 5 (b) の構造を形成する例について説明したが、図 1 5 (a)、図 1 4 に示した構造も同様の方法で形成するこ

50

とができる。

【 0 1 1 5 】

なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、縦型の高耐圧半導体素子としては、パワー MOS F E T の場合について説明したが、本発明は I G B T 等の他の縦型の高耐圧半導体素子にも適用できる。

【 0 1 1 6 】

また、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

10

【 0 1 1 7 】

【発明の効果】

以上詳説したように本発明によれば、低オン抵抗かつ高耐圧の MOS ゲート構造を有する高耐圧半導体素子を備え、かつその実現化が容易な電力用半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図 1】球形の中空構造の形成方法を示す工程図

【図 2】パイプ状の中空構造の形成方法を示す工程図

【図 3】本発明の第 1 の実施形態に係るパワー MOS F E T の断面図

20

【図 4】同パワー MOS F E T の製造方法を示す工程図

【図 5】同パワー MOS F E T の p^+ 型拡散層を基板の上から見た形状を示す図

【図 6】同パワー MOS F E T および従来のプレーナ型パワー MOS F E T のそれぞれについて、耐圧とオン抵抗との関係を調べた結果を示す図

【図 7】本発明の第 2 の実施形態に係るパワー MOS F E T を示す断面図

【図 8】本発明の第 3 の実施形態に係るパワー MOS F E T を示す断面図

【図 9】本発明の第 3 の実施形態に係るパワー MOS F E T の製造方法を示す工程図

【図 10】本実施形態のパワー MOS F E T の製造方法を示す工程図

【図 11】同パワー MOS F E T の p^+ 型拡散層を基板の上から見た形状を示す図

【図 12】本発明の第 5 の実施形態に係るパワー MOS F E T を示す断面図

30

【図 13】本発明の第 6 の実施形態に係るパワー MOS F E T の製造方法を示す工程図

【図 14】本発明の第 7 の実施形態に係るパワー MOS F E T の製造方法を示す工程図

【図 15】同実施形態の変形例を示す図

【図 16】本発明の第 8 の実施形態に係るパワー MOS F E T の製造方法を示す工程図

【図 17】従来の代表的なパワー MOS F E T を示す断面図

【図 18】従来の他のパワー MOS F E T を示す断面図

【図 19】同パワー MOS F E T の製造方法を示す工程図

【図 20】従来のさらに別のパワー MOS F E T を示す断面図

【図 21】同パワー MOS F E T の製造方法を示す工程図

40

【符号の説明】

1 ... S i 基板

2 ... トレンチ

3 ... 空洞

1 1 ... n^+ 型 S i 基板

1 2 , 1 2 ₁ , 1 2 ₂ ... n^- 型エピタキシャル S i 層

1 3 ... p^+ 型拡散層

1 4 ... 空洞

1 5 ... p 型ベース層

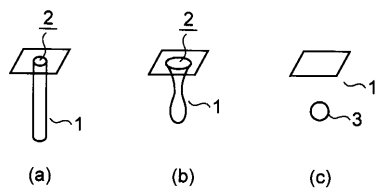
1 6 ... n^+ 型ソース拡散層

1 7 ... ゲート電極

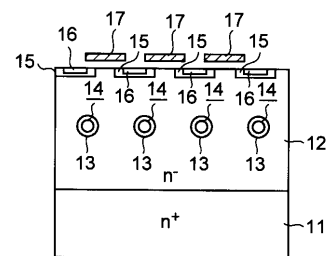
50

- 1 8 ... トレンチ
- 1 9 ... B 導入用開口部
- 2 0 ... レジスト
- 2 1 ... P⁺ 型層
- 2 2 ... トレンチ
- 2 3 ... 空洞

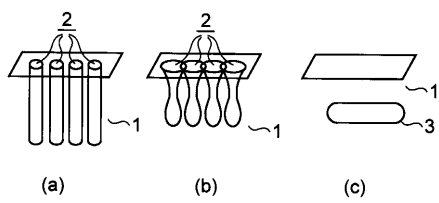
【 図 1 】



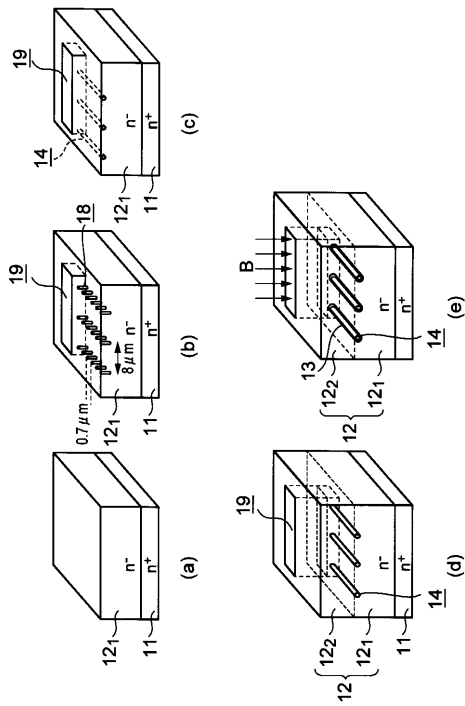
【 図 3 】



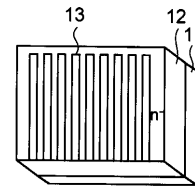
【 図 2 】



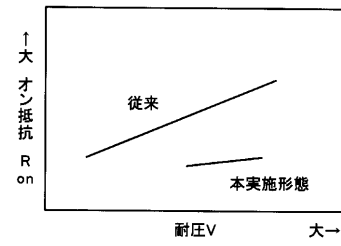
【図 4】



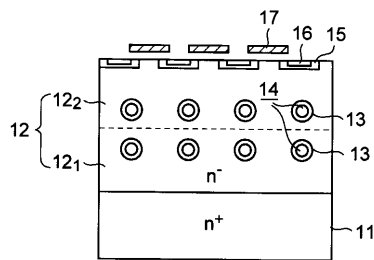
【図 5】



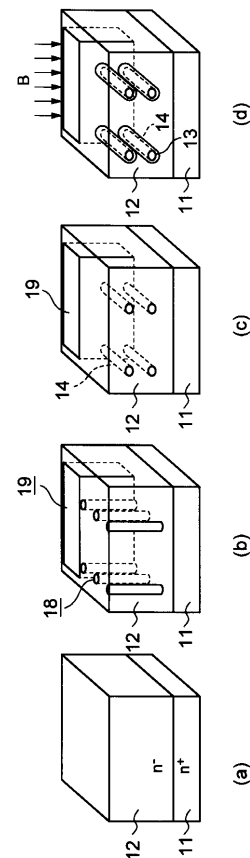
【図 6】



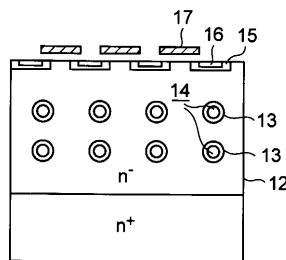
【図 7】



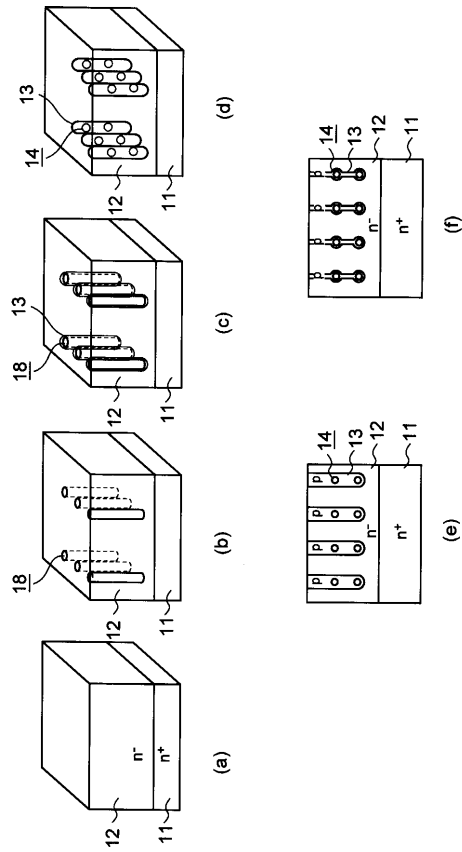
【図 9】



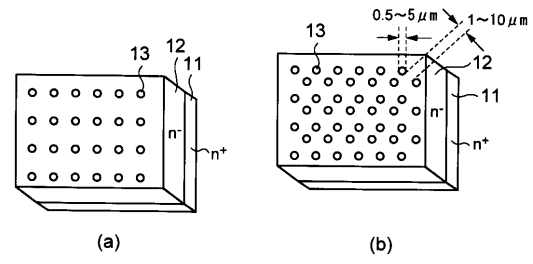
【図 8】



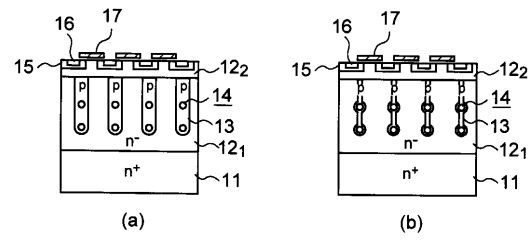
【図 10】



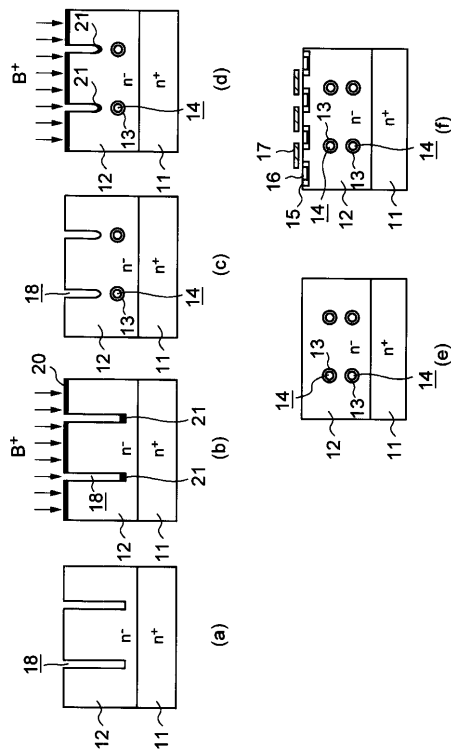
【図 11】



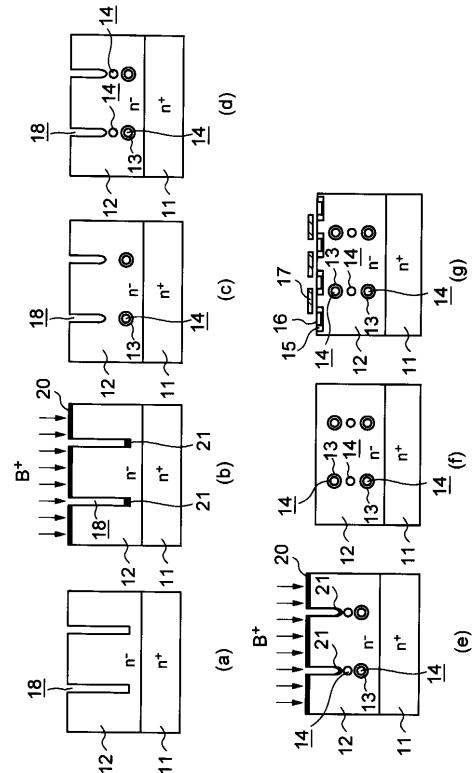
【図 12】



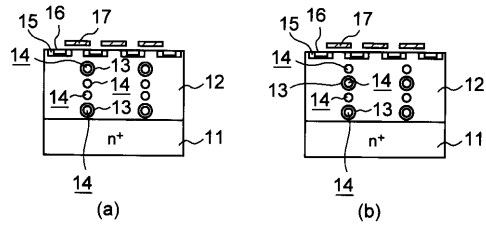
【図 13】



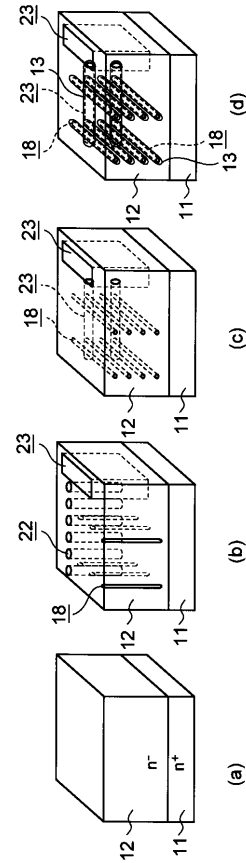
【図 14】



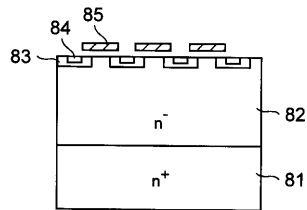
【図 15】



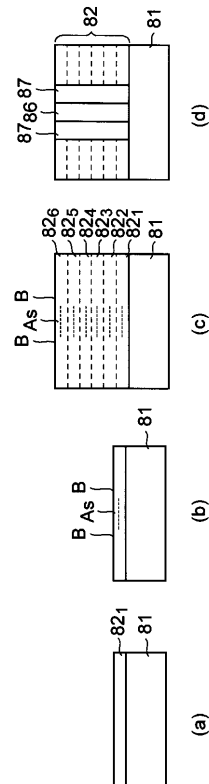
【図 16】



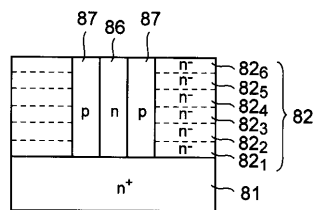
【図 17】



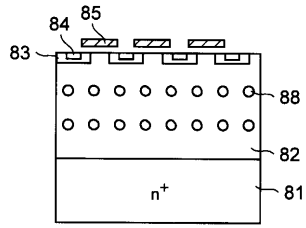
【図 19】



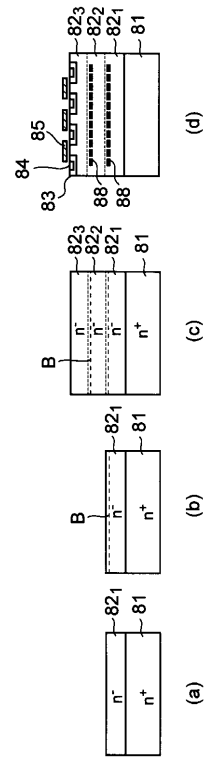
【図 18】



【図 20】



【図 21】



フロントページの続き

- (72)発明者 都鹿野 健一
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 斉藤 芳彦
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 齋藤 渉
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 大村 一郎
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 小倉 常雄
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 大橋 弘通
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

審査官 小野田 誠

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/78

H01L 21/336