

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/253100 A1

(51) 国際特許分類:
H02M 1/08 (2006.01) *H03K 17/687* (2006.01)
H03K 17/16 (2006.01)

(21) 国際出願番号: PCT/JP2024/020414

(22) 国際出願日: 2024年6月4日(04.06.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-095054 2023年6月8日(08.06.2023) JP

(71) 出願人: 日立 *A s t e m o* 株式会社(**HITACHI
ASTEMO, LTD.**) [JP/JP]; 〒3128503 茨城県ひ
たちなか市高場 2 5 2 0 番地 Ibaraki (JP).

(72) 発明者: 高 杭賢(**GAO, Hangxian**); 〒1008280 東
京都千代田区丸の内一丁目6番6号株
式会社日立製作所内 Tokyo (JP). 田中 信
太郎(**TANAKA, Shintaro**); 〒1008280 東京都
千代田区丸の内一丁目6番6号株式会
社日立製作所内 Tokyo (JP).

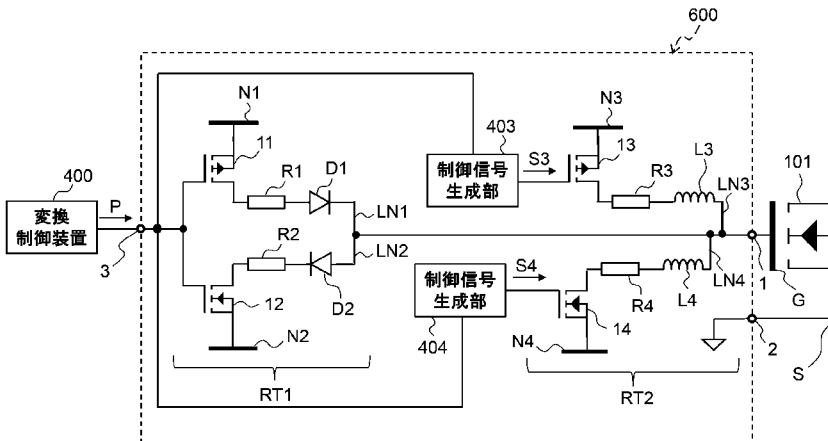
(74) 代理人: 弁理士法人サンネクスト国際特許
事務所(**SUNNEXT INTERNATIONAL PATENT
OFFICE**); 〒1400002 東京都品川区東品川二丁
目3番12号シーフォートスクエア センタ
ービルディング16階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: GATE DRIVE DEVICE

(54) 発明の名称: ゲート駆動装置

図 2



400 Conversion control device
403, 404 Control signal generation unit

(57) **Abstract:** A gate drive device (600) for applying a voltage to a gate terminal (G) of a semiconductor switching element (101) comprises: a first route (RT1) which has first gate resistors (R1, R2) and which is connected to the gate terminal; a second route (RT2) which has second gate resistors (R3, R4) and which is connected to the gate terminal in parallel to the first route; and active gate control units (403, 404) that perform control such that a gate current, when switching the switching state of the semiconductor switching element, flows through only the first route after flowing

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

through both the first route and the second route. Inductance components (L3, L4) of the second route are set to values larger than those of inductance components of the first route.

(57) 要約: 半導体スイッチング素子 (101) のゲート端子 (G) に電圧を印加するゲート駆動装置 (600) は、前記ゲート端子に接続され、第1ゲート抵抗 (R1、R2) を有する第1経路 (RT1) と、前記第1経路と並列に前記ゲート端子に接続され、第2ゲート抵抗 (R3、R4) を有する第2経路 (RT2) と、前記半導体スイッチング素子のスイッチング状態を切り替える際のゲート電流が、前記第1経路および前記第2経路の両方に流れた後に、前記第1経路のみに流れるように制御するアクティブゲート制御部 (403、404) と、を備え、前記第2経路のインダクタンス成分 (L3、L4) は前記第1経路のインダクタンス成分よりも大きな値に設定されている。

明 細 書

発明の名称： ゲート駆動装置

技術分野

[0001] 本発明は、半導体スイッチング素子のゲート駆動装置に関する。

背景技術

[0002] パワー半導体素子は種々の装置に用いられており、例えば、電力変換装置のインバータ回路のスイッチング素子として用いられている。このようなパワー半導体素子においては、スイッチング動作のターンオンおよびターンオフに伴ってスイッチング損失が発生する。そのため、電力変換装置では、小型化や高出力密度化のために、パワー半導体素子の低損失化が重要となる。例えば、スイッチング速度の調整が可能な構成として、ゲート抵抗の切り替えによる多段式ゲート駆動回路が知られている（特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2022-171419号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1に記載の構成では、スイッチング動作中のゲート電流の減衰が大きいため、高速化による低損失駆動が難しい。

課題を解決するための手段

[0005] 本発明の態様によるゲート駆動装置は、半導体スイッチング素子のゲート端子に電圧を印加するゲート駆動装置であって、前記ゲート端子に接続され、第1ゲート抵抗を有する第1経路と、前記第1経路と並列に前記ゲート端子に接続され、第2ゲート抵抗を有する第2経路と、前記半導体スイッチング素子のスイッチング状態を切り替える際のゲート電流が、前記第1経路および前記第2経路の両方に流れた後に、前記第1経路のみに流れるように制御するアクティブゲート制御部と、を備え、前記第2経路のインダクタンス

成分は前記第 1 経路のインダクタンス成分よりも大きな値に設定されている。

発明の効果

[0006] 本発明によれば、半導体スイッチング素子のスイッチング動作の高速化および低損失化を図ることができる。

図面の簡単な説明

[0007] [図1]図 1 は、電力変換装置の一例を示す図である。

[図2]図 2 は、ゲート駆動装置の回路構成を示す図である。

[図3]図 3 は、ターンオン時における各信号の波形例を示す図である。

[図4]図 4 は、ゲート駆動装置の比較例を示す図である。

[図5]図 5 は、ターンオフ時の各信号の波形例を示す図である。

[図6]図 6 は、変形例 1 を示す図である。

[図7]図 7 は、変形例 2 を説明する図である。

[図8]図 8 は、第 2 の実施形態を示す図である。

発明を実施するための形態

[0008] 以下、図を参照して本発明を実施するための形態について説明する。以下の記載および図面は、本発明を説明するための例示であって、説明の明確化のため、適宜、省略および簡略化がなされている。また、以下の説明では、同一または類似の要素および処理には同一の符号を付し、重複説明を省略する場合がある。なお、以下に記載する内容はあくまでも本発明の実施の形態の一例を示すものであって、本発明は下記の実施の形態に限定されるものではなく、他の種々の形態でも実施する事が可能である。

[0009] (第 1 の実施形態)

図 1 は、電力変換装置の一例を示す図である。第 1 の実施形態では、車両 1000 に搭載された電力変換装置 200 を例に説明する。電力変換装置 200 は、車両 1000 に搭載された電動モータ 300 を駆動する。車両 1000 には蓄電装置 100 が設けられ、電力変換装置 200 は蓄電装置 100 から供給される直流電力を交流電力に変換し、電動モータ 300 を駆動する。

。

[0010] 電動モータ300は、例えば、車輪を回転させるための走行用モータである。電動モータ300は、所定のパターンで結線される3相コイルを有する。結線パターンとしては、図1に示すY字パターンに限られず、デルタパターンのような他の結線パターンでも良い。電力変換装置200から所定の通電パターンを3相コイルに印加することにより、電動モータ300が回転駆動される。

[0011] 蓄電装置100は、正極端子100aおよび負極端子100bを有する。電力変換装置200は、正極バス線201p、負極バス線201n、平滑コンデンサ110および三相スイッチングアーム500（U，V，W）を有する。正極バス線201pは、蓄電装置100の正極端子100aに接続される。負極バス線201nは、蓄電装置100の負極端子100bに接続される。平滑コンデンサ110および三相スイッチングアーム500（U，V，W）の両端は、正極バス線201pと負極バス線201nとに接続される。

[0012] 三相スイッチングアーム500（U，V，W）のそれぞれには、上アームのスイッチング素子101と下アームのスイッチング素子101が設けられている。スイッチング素子101は、例えばパワースwitching素子であり、例えば、IGBTあるいはMOSFET等が用いられる。各スイッチング素子101は、並列接続された還流ダイオード（または、ボディダイオード）102を有する。上アームのスイッチング素子101と下アームのスイッチング素子101とは直列に接続されている。上アームのスイッチング素子101と下アームのスイッチング素子101との接続点は、電動モータ300の対応する相のコイルの一端に接続されている。なお、図1に示す例では、各上下アームに1つのスイッチング素子101が設けられているが、複数のスイッチング素子101を並列使用する構成であっても良い。

[0013] 電力変換装置200は、ゲート駆動装置600を制御する変換制御装置400を備える。変換制御装置400は、ゲート駆動装置600毎に制御指令Pを出力し、各スイッチング素子101を個別に制御する。制御指令Pは所

定のパルス幅を有するパルス信号であり、変換制御装置400はスイッチング素子101をPWM制御する。この制御指令Pによって、同一の相のスイッチング素子101は、同時にオンにならない範囲で交互にオン／オフ制御される。その結果、蓄電装置100からの直流電力が交流電力に変換されて電動モータ300が回転駆動される。

[0014] なお、本実施形態では、図1に示すようなインバータを構成する電力変換装置200を例に説明するが、本発明は、これに限られず、DC／DCコンバータ、AC／ACコンバータ、AC／DCインバータ等にも適用することができる。

[0015] 図2は、図1に示したU相の下アームに係るスイッチング素子101と、そのスイッチング素子101に対して設けられたゲート駆動装置600の回路構成を示したものである。なお、図示は省略するが、U相の上アームおよび他の相（V，W相）の上下アームについても同様の構成である。以下の説明では、用いられるスイッチング素子がMOSFETの場合を例に説明する。

[0016] ゲート駆動装置600の出力部1はスイッチング素子101のゲート端子Gに接続され、基準電位2はスイッチング素子101のソース端子Sと接続される。ゲート駆動装置600の入力部3は、変換制御装置400と接続される。変換制御装置400からゲート駆動装置600に入力された制御指令Pは、MOSFET11，12のゲートに入力されると共に、制御信号生成部403，404にも入力される。ゲート駆動装置600は、スイッチング素子101のゲート端子Gに接続される2つの経路RT1および経路RT2を有する。変換制御装置400、制御信号生成部403，404は、例えば、図示は省略するが、制御回路は内部にCPU、RAM、ROM、通信回路等を有している。また、変換制御装置400および制御信号生成部403，404を、一つの制御装置で構成するようにしても良い。

[0017] 第1の経路RT1は、配線LN1と配線LN2とを備える。配線LN1は、正側電源N1、オン側のMOSFET11、オン側のゲート抵抗R1およ

びダイオードD 1を有する。MOSFET 1 1は、ソースが正側電源N 1に接続され、ドレインがゲート抵抗R 1の一端に接続される。ゲート抵抗R 1の他端はダイオードD 1のアノードに接続される。ダイオードD 1のカソードはゲート端子Gに接続される。

[0018] 配線L N 2は、負側電源N 2、オフ側のMOSFET 1 2、オフ側のゲート抵抗R 2およびダイオードD 2を有する。MOSFET 1 2は、ソースが負側電源N 2に接続され、ドレインがゲート抵抗R 2の一端に接続される。ゲート抵抗R 2の他端はダイオードD 2のカソードに接続される。ダイオードD 2のアノードはゲート端子Gに接続される。なお、配線L N 1上のダイオードD 1または配線L N 2上のダイオードD 2を省略した構成でもよい。この場合、ゲート抵抗R 1, R 2の一端はゲート端子Gに接続される。

[0019] 一方、第2の経路R T 2は、配線L N 3と配線L N 4とを備える。配線L N 3は、正側電源N 3、電圧引き上げ用のMOSFET 1 3、ゲート抵抗R 3およびインダクタンス成分L 3を有する。MOSFET 1 3は、ソースが正側電源N 3に接続され、ドレインがゲート抵抗R 3の一端に接続される。ゲート抵抗R 3の他端は、インダクタンス成分L 3を介してゲート端子Gに接続される。

[0020] 配線L N 4は、負側電源N 4、電圧引き下げ用のMOSFET 1 4、ゲート抵抗R 4およびインダクタンス成分L 4を有する。MOSFET 1 4は、ソースが負側電源N 4に接続され、ドレインがゲート抵抗R 4の一端に接続される。ゲート抵抗R 4の他端は、インダクタンス成分L 4を介してゲート端子Gに接続される。MOSFET 1 3の入力部は制御信号生成部4 0 3に接続され、制御信号生成部4 0 3から制御信号S 3が入力される。MOSFET 1 4の入力部は制御信号生成部4 0 4に接続され、制御信号生成部4 0 4から制御信号S 4が入力される。

[0021] 制御信号生成部4 0 3, 4 0 4は、変換制御装置4 0 0から入力される制御指令Pに基づいて制御信号S 3, S 4を生成する。なお、スイッチング素子1 0 1の状態をセンシングし、その状態信号Jを制御信号生成部4 0 3,

404に入力するような構成としても良い。その場合、制御信号生成部403, 404は、制御指令Pと状態信号Jとに基づいて制御信号S3, S4を生成する。

[0022] 本実施形態においては、配線LN3のインダクタンス成分は、配線LN1のインダクタンス成分よりもインダクタンス成分L3だけ大きく設定される。同様に、配線LN4のインダクタンス成分は、配線LN2のインダクタンス成分よりもインダクタンス成分L4だけ大きく設定される。なお、インダクタンス成分L3, L4の設定範囲は、例えば、100nH~2000nH程度に設定される。

[0023] なお、正側電源N1と正側電源N3とは基本的には同電位に設定されるが、異なる電位であっても良い。例えば、ダイオードD1の順方向電圧を補正するために、正側電源N1の電位を正側電源N3の電位よりもダイオードD1の順方向電圧だけ高くなるように設定しても良い。負側電源N2および負側電源N4の電位設定についても同様であり、同電位でも良いし、負側電源N4の電位を負側電源N2の電位よりもダイオードD2の順方向電圧だけ高くなるように設定しても良い。

[0024] なお、スイッチング素子としてMOSFET11~14を用いる代わりに、BJT (Bipolar Junction Transistor) を用いても良い。

[0025] インダクタンス成分L3, L4については配線LN3, LN4上に配置すれば良く、例えば、インダクタをMOSFET13とゲート抵抗R3との間、および、MOSFET14とゲート抵抗R4との間でも良いし、配線LN3, LN4上に分散して配置しても良い。また、配線LN1~LN4の配線長や配線幅により、インダクタンス成分の大きさを調整するようにしても良い。また、ゲート抵抗R3, R4またはMOSFET13, 14としてリードタイプのものを使用し、リード線の長さを変えることによりインダクタンス成分の大きさを調整しても良い。

[0026] インダクタンス成分を調整するその他の方法としては、配線の形状を渦巻状またはジグザグ状にしても良いし、配線の一部が局所的に幅狭に形成され

ていても良い。さらに、フェライトビーズを実装することで、短いリード線でも所望のインダクタンス成分が得られるので、電源回路を小型化することができる。

[0027] (ターンオン時の動作説明)

図3は、スイッチング素子101のターンオン時における各信号の波形例を示す図である。波形(A)は、変換制御装置400からの制御指令Pを示す。波形(B)は、制御信号生成部403からの制御信号S3を示す。波形(C)は、スイッチング素子101のゲート電流 I_g を示す。波形(D)は、スイッチング素子101のゲート電圧 V_{gs} を示す。波形(E)の細い実線および破線はスイッチング素子101のドレインソース間主電圧(以下では、ドレインソース間電圧と呼ぶことにする) V_{ds} を示し、太い実線および破線はドレイン電流 I_{ds} を示す。波形(F)は、スイッチング素子101の損失パワー($=V_{ds} \times I_{ds}$)の波形を示す。なお、実線は実施形態の場合の波形を示し、破線は従来の場合の波形を示す。

[0028] ここで、従来の場合とは、例えば図4の比較例に示すような構成のゲート駆動装置610である。ゲート駆動装置610は、図2に示すゲート駆動装置600から、第2の経路RT2のインダクタンス成分L3、L4と、第1の経路RT1のダイオードD1、D2を省略したものである。

[0029] 図3の波形(A)に示すように、時刻 t_0 において、スイッチング素子101をゲートオン(ON)する制御指令P(ON)が、変換制御装置400からゲート駆動装置600に入力される。制御指令P(ON)がゲート駆動装置600に入力されると、MOSFET11がオンする。また、入力された制御指令P(ON)に基づいて、MOSFET13をオンする制御信号S3(パルス指令)が、制御信号生成部403からMOSFET13に入力される。MOSFET13はP型のMOSFETなので反転が必要であるが、ここでは反転前のパルス指令を示した。そのため、制御信号S3の波形は、制御指令Pのオンオフに対して、N型のMOSFET14に対する制御信号S4の波形と同様の波形で表されることになる。なお、制御信号S3の立ち

上がりは制御指令Pより遅れないように設定するのが良く、好ましくは同期するのが良い。また、制御指令Pより先に立ち上がっても良い。

[0030] 時刻 t_0 において、制御信号 S_3 がONに立ち上がると、波形 (C) に示すようにスイッチング素子 101 のゲート電流 I_g が上昇し始める。ゲート電流 I_g は第1および第2の経路 RT_1 , RT_2 上の各ゲート電流の合計値である。ゲート電流 I_g の上昇と共に、波形 (D) に示すようにゲート電圧 V_{gs} が上昇し始める。第1の実施形態および比較例のいずれにおいても、実線および破線で示すようにゲート電流が第1経路 RT_1 および第2経路 RT_2 上に同時に流れ始める。しかし、第1の実施形態では第2の経路 RT_2 上に追加のインダクタンス成分 L_3 , L_4 が存在するため、比較例 (破線) よりもゲート電流 I_g の立ち上がりが緩やかであり、それに応じてゲート電圧 V_{gs} の上昇も緩やかである。

[0031] 破線で示す比較例の場合には、本実施形態に比べてゲート電流 I_g の値が大きいため、ゲート容量の充電スピードが速くなる。そのため、比較例の場合の方が、ゲート電圧 V_{gs} が先にゲート閾値電圧 V_{th} に到達する。比較例の場合には、時刻 t_1 にゲート電圧 V_{gs} がゲート閾値電圧 V_{th} に到達すると、波形 (E) の細い破線で示すように、スイッチング素子 101 のドレインソース間電圧 V_{ds} が減少し始めるとともに、波形 (E) の太い破線で示すように、ドレイン電流 I_{ds} が上昇し始める。一方、本実施形態では、比較例の場合よりもゲート容量の充電スピードが遅いので、時刻 t_2 ($> t_1$) においてゲート電圧 V_{gs} がゲート閾値電圧 V_{th} に到達する。それとともに、ドレインソース間電圧 V_{ds} が減少し始め、ドレイン電流 I_{ds} が上昇し始める。波形 (F) に示すように、ドレイン電流 I_{ds} が上昇し始めるタイミングから、半導体スイッチング素子の損失が発生する。

[0032] 本実施形態に比べ比較例の場合はゲート電流 I_g がより大きいため、ゲート電流 I_g がより早くピーク値を迎える。また、ゲート電流 I_g は、ゲート電圧 V_{gs} とスイッチング素子 101 の正側電源との差分をゲート抵抗値で割った値で決定される。比較例の場合、波形 (D) に示すように本実施形態に比べ

てゲート電圧 V_{gs} の上昇がより速いため、ゲート電圧 V_{gs} と正側電源との差分も、より早く小さくなる。そのため、比較例の場合のピーク値到達後のゲート電流 I_g は、実施形態の場合に比べてより強く減衰されることになる。ドレインソース間電圧 V_{ds} の減少速度およびドレイン電流 I_{ds} の上昇速度はゲート電流 I_g と比例するため、比較例の場合のドレインソース間電圧 V_{ds} およびドレイン電流 I_{ds} の変化スピードは、第 1 の実施形態の場合よりも遅くなる。

[0033] ところで、ドレイン電流 I_{ds} のサージを抑制するためには、スイッチング素子 101 のドレイン電流 I_{ds} のサージが最大値になる前に、ゲートの充電スピードを高速モードから低速モードへ切り替える必要がある。すなわち、MOSFET 13 をオン状態からオフ状態へ切り替えて、第 2 の経路 RT2 のゲート電流の流れを止めて第 1 の経路 RT1 だけにゲート電流を流してゲート電流を減少させることで、充電スピードを低減する。この切り替えのタイミングは、ドレイン電流 I_{ds} のサージが生じる前までに済ませなければならない。そのため、ドレイン電流 I_{ds} の立ち上がりからドレイン電流 I_{ds} が最大となる時刻 t_3 までの期間内に、制御信号 S_3 をオフする必要がある。

[0034] 制御信号 S_3 がオン状態となっている時間のメイン部分は、ゲート電圧 V_g がゲート閾値電圧 V_{th} に到達するまでの充電期間である。比較例では、ゲート電圧 V_{gs} がゲート閾値電圧 V_{th} に到達するまでの期間が短いため、波形 (B) に示すように、第 1 の実施形態の場合よりも早いタイミングで制御信号 S_3 をオフしなければならない。そのため、比較例における制御信号 S_3 は、第 1 の実施形態の制御信号 S_3 よりも短いパルス幅となっている。すなわち、第 1 の実施形態では、ゲート閾値電圧までの充電時間が長くなり、従来よりも長いパルスの制御信号 S_3 でゲート駆動速度の切り替えが可能となる。

[0035] 制御信号 S_3 の終了タイミングは、例えば、制御指令 P に基づいて決定される。また、制御信号 S_3 の終了タイミングを、前述したスイッチング素子 101 の状態信号 J に基づいて決定しても良い。状態信号 J としては、例え

ば、ゲート電流 I_g 、ゲート電圧 V_{gs} 、ドレイン電流 I_{ds} 、ドレインソース間主電圧 V_{ds} のいずれかの変化率の立ち上がり、または、ドレインソース間電圧 V_{ds} 、ドレイン電流 I_{ds} の変化率の立ち下りなどがある。

[0036] 波形 (C) の破線で示すように、比較例の場合には、ゲート電流 I_g が高速で立ち上がってすぐに減衰する。一方、第 1 の実施形態ではインダクタンス成分 L_3 、 L_4 を設けたので、実線で示すようにスイッチング中のゲート電流 I_g の減衰を弱めることができる。その結果、スイッチング速度を向上させることができる。波形 (F) に示す損失パワーは、ドレインソース間電圧 V_{ds} とドレイン電流 I_{ds} との積で表される。第 1 の実施形態ではスイッチング速度向上により損失の発生する期間が短くなるため、損失パワーの時間積分値である損失量が破線で示す比較例の場合よりも小さくなる。すなわち、ターンオンにおける損失を低減することができる。

[0037] (ターンオフ時の動作説明)

図 5 は、スイッチング素子 101 のターンオフ時の各信号の波形例を示す図である。波形 (A) は、変換制御装置 400 からの制御指令 P を示す。波形 (B) は、制御信号生成部 404 からの制御信号 S_4 を示す。波形 (C) は、スイッチング素子 101 のゲート電流 I_g を示す。波形 (D) は、スイッチング素子 101 のゲート電圧 V_{gs} を示す。波形 (E) の細い実線および破線はスイッチング素子 101 のドレインソース間電圧 V_{ds} を示し、太い実線および破線はドレイン電流 I_{ds} を示す。波形 (F) は、スイッチング素子 101 の損失パワー ($= V_{ds} \times I_{ds}$) の波形を示す。なお、図 5 においても、実線は実施形態 (図 2) の場合の波形を示し、破線は比較例 (図 4) の場合の波形を示す。

[0038] 波形 (A) に示すように、時刻 t_0 において、スイッチング素子 101 をゲートオフ (OFF) する制御指令 P (OFF) が、変換制御装置 400 からゲート駆動装置 600 に入力される。制御指令 P (OFF) がゲート駆動装置 600 に入力されると、MOSFET 12 がオンする。また、入力された制御指令 P (OFF) に基づいて、MOSFET 14 をオンする制御信号

S 4（パルス指令）が、制御信号生成部 404 から MOSFET 14 に入力される。なお、制御信号 S 4 の立ち上がりは制御指令 P の立ち下がりより遅れないように設定するのが良く、好ましくは同期するのが良い。また、制御指令 P の立ち下がりより先に立ち上がっても良い。

[0039] 時刻 t_0 において、制御信号 S 4 が ON に立ち上がると、波形 (C) に示すようにスイッチング素子 101 のゲート容量を放電するゲート電流 I_g が流れ始める。ゲート電流 I_g は第 1 および第 2 の経路 RT 1, RT 2 上の各ゲート電流の合計値である。ゲート電流 I_g が流れ始めるとともに、ゲート電圧 V_{gs} が減少し始める。第 1 の実施形態および比較例のいずれにおいても、実線および破線で示すようにゲート電流が第 1 および第 2 の経路 RT 1, RT 2 上に同時に流れ始める。しかし、第 1 の実施形態では第 2 の経路 RT 2 上に追加のインダクタンス成分 L_3, L_4 が存在するため、比較例（破線）よりも放電におけるゲート電流 I_g の値の増加が緩やかであり、それに応じてゲート電圧 V_{gs} の減少も緩やかである。

[0040] 波形 (C) に示すように、破線で示す比較例の場合には、本実施形態に比べてゲート電流（放電電流） I_g の値が大きいため、ゲート容量の放電スピードが速くなる。そのため、波形 (D) に示すように、比較例の場合のゲート電圧 V_{gs} が先にゲートのミラープラトー（Miller Plateau）に到達する。破線で示す比較例のゲート電圧 V_{gs} が時刻 t_1 においてゲートのミラープラトーに到達すると、波形 (E) の細い破線で示すように、ドレインソース間電圧 V_{ds} が上昇し始める。

[0041] 一方、ゲート容量の放電スピードが遅い本実施形態では、ゲート電圧 V_{gs} は時刻 t_2 ($> t_1$) においてゲートのミラープラトーに到達する。その結果、時刻 t_2 においてドレインソース間電圧 V_{ds} が上昇し始め、波形 (F) に示すように、このタイミングからスイッチング素子 101 の損失が発生することになる。

[0042] 比較例ではゲート電流 I_g が本実施形態よりも大きいため、波形 (C) に示すように、ゲート電流 I_g が放電側でピークとなる時期が本実施形態よりも早

い。また、ゲート電流 I_g は、ゲート電圧 V_{gs} とスイッチング素子 101 の負側電源との差分をゲート抵抗値で割った値で決定される。比較例の場合、波形 (D) に示すように本実施形態に比べてゲート電圧 V_{gs} の減少がより速いため、ゲート電圧 V_{gs} と負側電源との差分も、より早く小さくなる。そのため、比較例の場合のピーク値到達後のゲート電流 I_g は、実施形態の場合に比べてより強く減衰されることになる。ドレインソース間電圧 V_{ds} の上昇速度はゲート電流 I_g の大きさに比例するため、比較例の場合のドレインソース間電圧 V_{ds} の上昇スピードは、本実施形態の場合よりも遅くなる。

[0043] ところで、スイッチング素子 101 のドレインソース間電圧 V_{ds} のサージが最大値となる前に、ゲートの放電スピードを高速モードから低速モードへ切り替える必要がある。具体的には、MOSFET 14 をオン状態からオフ状態へ切り替えることで、第 2 経路 RT2 のゲート電流の流れを止め、第 1 の経路 RT1 のみにゲート電流を流すことによってゲート電流を減少させる。それによって、放電スピードを低減することができる。

[0044] 高速モードから低速モードへ切り替えるタイミングは、ドレインソース間電圧 V_{ds} のサージが来る前までに済ませなければならない。すなわち、ドレインソース間電圧 V_{ds} の立ち上がりからドレインソース間電圧 V_{ds} が最大となる時刻 t_3 までの期間内に制御信号 S4 をオフする必要がある。制御信号 S4 がオフするまでの時間のメイン部分は、ゲート電圧 V_{gs} がミラープラトーに到達までの放電期間である。

[0045] 波形 (D) に示すように、ゲート電圧 V_{gs} がミラープラトーに到達までの放電期間は、第 1 の実施形態の場合に比べて比較例の場合の方が短い。そのため、比較例の場合には、第 1 の実施形態の場合より早いタイミングで制御信号 S4 をオフしなければならない。これにより、比較例の制御信号 S4 (破線) のパルス幅は、第 1 の実施形態の場合の制御信号 S4 (実線) よりも短いパルス幅となっている。すなわち、制御信号 S3 の場合と同様に、第 1 の実施形態では比較例よりも長いパルス幅での制御が可能となり、設計が容易となる。

- [0046] 制御信号 S 4 の終了タイミングは、例えば、制御指令 P に基づいて決定される。また、制御信号 S 3 の終了タイミングを、前述したスイッチング素子 101 の状態信号 J に基づいて決定しても良い。状態信号 J としては、例えば、ゲート電流 I_g 、ゲート電圧 V_{gs} 、ドレイン電流 I_{ds} 、ドレインソース間主電圧 V_{ds} のいずれかの変化率の立ち下がり、または、ドレインソース間電圧 V_{ds} 、ドレイン電流 I_{ds} の変化率の立ち上がりなどがある。
- [0047] このように、ターンオフの場合においても、波形 (C) の破線で示すように、比較例の場合には、ゲート電流 I_g が高速で立ち上がってすぐに減衰する。一方、第 1 の実施形態ではインダクタンス成分 L_3 、 L_4 を設けたので、実線で示すようにスイッチング中のゲート電流 I_g の減衰を弱めることができる。その結果、スイッチング速度を向上させることができる。波形 (F) の損失パワー ($= V_{ds} \times I_{ds}$) を見ると、第 1 の実施形態ではスイッチング速度向上により損失の発生する期間が短くなるため、損失パワーの時間積分値である損失量が破線で示す比較例の場合よりも小さくなる。すなわち、ターンオフにおける損失を低減することができる。
- [0048] 上述したように、ターンオン時には、図 2 の正側電源 N 1 および正側電源 N 3 から第 1 の経路 R T 1 の配線 L_{N1} および第 2 の経路 R T 2 の配線 L_{N3} を通って、スイッチング素子 101 のゲートに電流が流れる。その際に、インダクタンス成分 L_3 のゲート端子側の電位がゲート抵抗 R_1 のダイオード側の電位よりも高くなる可能性がある。その場合、スイッチング素子 101 のゲートに流れるべき電流の一部が、第 1 の経路 R T 1 のゲート抵抗方向へ流れる可能性がある。そのため、ゲート抵抗 R_1 のゲート端子側にダイオード D 1 を設けて、そのような逆流を防止するようにしている。また、ターンオフ時には、ゲート端子側の電位がゲート抵抗 R_2 のダイオード側の電位よりも低くなる可能性があり、ダイオード D 2 はそのときの逆流を防止するために設けたものである。
- [0049] このように、ゲート電流の通電方向を制限するダイオード D 1、D 2 を設けて第 1 の経路 R T 1 への逆流を防止することで、逆流による第 1 の経路 R

T 1 上の損失を低減し、ゲート基板の発熱を抑えることができる。また、スイッチング素子 1 0 1 のゲート容量の充放電を効率よく行うことができ、ゲートの充放電スピードを高く保つことができる。

[0050] (変形例 1)

図 6 は、上述した第 1 の実施形態の変形例 1 を示す図である。変形例 1 では、第 1 の実施形態の図 2 に示したインダクタンス成分 L 3, L 4 を、インダクタンス成分 L b により共通化したものである。配線 L N 3 および配線 L N 4 は、インダクタンス成分 L b を有する配線 L N b を介してゲート端子 G に接続される。また、配線 L N 1 および配線 L N 2 は、配線 L N a を介してゲート端子 G に接続される。

[0051] インダクタンス成分 L b を有する配線 L N b を用いることで、共通のインダクタンス成分 L b が配線 L N 3 および L N 4 にそれぞれ付加されることになる。インダクタンス成分 L b の大きさは、配線 L N 3 と配線 L N b との合計のインダクタンス成分、および、配線 L N 4 と配線 L N b との合計のインダクタンス成分のいずれもが、第 1 の経路 R T 1 のインダクタンス成分よりも大きくなるように設定される。

[0052] 図 6 に示すようなインダクタンス成分 L b を有する配線 L N b を用いることで、部品（インダクタ）の数の低減や回路の簡素化を図ることができる。ターンオン時およびターンオフ時の MOS F E T 1 3, 1 4 のオンオフ動作は、上述した第 1 の実施形態と同一であり説明を省略する。変形例 1 の構成においても、第 1 の実施の形態と同様の作用効果を奏することができる。

[0053] (変形例 2)

図 7 は、上述した第 1 の実施形態の変形例 2 を説明する図である。変形例 2 のゲート駆動装置 6 0 0 では、図 7 に示すように、図 2 の構成に対して、正側電源 N 3 とゲート端子 G との間にダイオード D 3 をさらに設けた。ターンオン時およびターンオフ時の動作については、上述した第 1 の実施形態と同様である。変形例 2 の構成においては、ゲート端子 G の電位が正側電源 N 3 より高くなる場合に、スイッチング素子 1 0 1 のゲートにおける余剰電荷

が正側電源N 3に戻る。これにより、ゲートのオーバーチャージを防ぐことができる。

[0054] (第2の実施形態)

図8は、本発明の第2の実施形態を示す図である。上述した図2では、スイッチング素子であるMOSFET 13のソースは正側電源N 3に接続されていたが、図8では、MOSFET 13のソースはMOSFET 11のドレインに接続される。同様に、MOSFET 14のソースは、MOSFET 12のドレインに接続される。図8では、配線LN 3, LN 4上に設けられるMOSFET 13, 14をスイッチとしてそれぞれ示した。これらのスイッチには、MOSFETの代わりにBJT (Bipolar Junction Transistor) を用いても良い。なお、図8では、第1および第2の経路を示す符号RT 1, RT 2の記載は省略した。

[0055] 第2の実施形態では、第2の経路の配線LN 3を流れる電流（ゲート電流）は、MOSFET 11, 13の両方で制御され、配線LN 4を流れる電流はMOSFET 12, 14の両方で制御されることになる。すなわち、MOSFET 11, 13の両方がオンのときのみ配線LN 3に電流が流れる。配線LN 4の場合には、MOSFET 12, 14の両方がオンのときのみ電流が流れる。

[0056] 第2の実施形態の場合には、MOSFET 11よりも先にまたは同時にMOSFET 13を同時にオンすれば、配線LN 1および配線LN 3に、自動的に同時にゲート電流の通電を開始することができる。配線LN 2, LN 4に関しても同様である。そのため、MOSFET 13, 14のオンタイミングをMOSFET 11, 12のオンタイミングよりも早く設定することで、MOSFET 13, 14の制御信号S 3, S 4のパルス幅を長くすることができる。これにより、ゲート駆動装置600の制御性の向上を図ることができるとともに、反応の遅い制御素子を第2の経路上の配線LN 3, LN 4に実装することが可能となる。

[0057] 以上説明した本発明の実施形態および変形例によれば、以下の作用効果を

奏する。

[0058] (1) 図1, 2等にしたように、スイッチング素子101のゲート端子Gに電圧を印加するゲート駆動装置600は、ゲート端子Gに接続され、ゲート抵抗 R_1 , R_2 を有する第1の経路RT1と、第1の経路RT1と並列にゲート端子Gに接続され、ゲート抵抗 R_3 , R_4 を有する第2の経路RT2と、スイッチング素子101のスイッチング状態を切り替える際のゲート電流が、経路RT1および経路RT2の両方に流れた後に、経路RT1のみに流れるように制御する制御信号生成部403, 404（アクティブゲート制御部）と、を備える。そして、経路RT2のインダクタンス成分は経路RT1のインダクタンス成分よりも大きな値に設定されている。例えば、図2に示すように、経路RT2のインダクタンス成分は、インダクタンス成分 L_3 , L_4 だけ経路RT1よりも大きく設定されている。

[0059] 上述のように経路RT2のインダクタンス成分を経路RT1よりも大きく設定することで、スイッチング中のゲート電流の減衰を弱めることができる。その結果、スイッチング速度の向上を図ることができ、スイッチング時の損失を低減することができる。また、スイッチング素子101が内蔵抵抗の大きいパワー素子であった場合も、高速駆動することができる。なお、図2に示す例では、第2の経路RT2に充電用の配線 L_{N3} と放電用の配線 L_{N4} とを設けたが、いずれか一方を設けるような構成でも良い。

[0060] (2) 上記(1)において、図2等にしたように、経路RT1は、ゲート電流の通電方向を制限するダイオード D_1 , D_2 をさらに備える。ゲート電流の逆流による経路RT1における損失を防止することができ、ゲート基板の発熱を抑えることができる。また、経路RT2を流れる電流をゲート容量の充放電に効率的に利用することができ、ゲート充放電スピードの向上を図ることができる。

[0061] (3) 上記(1)において、経路RT2のインダクタンス成分の少なくとも一部を、インダクタまたはフェライトビーズによって構成しても良い。インダクタを利用してインダクタンス成分 L_3 , L_4 を調整することにより、イ

ンダクタンス成分 L_3 、 L_4 の正確な調整を容易に行うことができる。また、フェライトビーズを配線上に実装してインダクタンス成分 L_3 、 L_4 を調整することで、短い配線でも所望のインダクタンス成分が得られ、電源回路の小型化を図ることができる。

[0062] (4) 上記(1)において、経路 RT_2 におけるインダクタンス成分 L_3 、 L_4 の少なくとも一部が、経路 RT_2 の配線長または経路 RT_2 における部品のリード線長によって設定されるようにしても良い。これにより、基板上のレイアウト設計が容易になる。

[0063] (5) 上記(1)において、図2、3等に応示するように、経路 RT_1 に設けられて、ゲート電流の通電を許可および遮断するMOSFET11、12(第1制御素子)と、経路 RT_2 に設けられて、ゲート電流の通電を許可および遮断するMOSFET13、14(第2制御素子)と、を備え、制御信号生成部403、404(アクティブゲート制御部)は、経路 RT_1 および経路 RT_2 の両方にゲート電流を流す際には、MOSFET11、12による通電の許可に先立ってまたは許可と同時に、MOSFET13、14による通電を許可する。

[0064] 上記のように、MOSFET11、12による通電の許可と同時にMOSFET13、14による通電を許可することで、経路 RT_1 によるゲート容量の充放電を、経路 RT_2 による充放電と同時に開始することができる。また、MOSFET13、14による通電をMOSFET11、12による通電に先立って開始することで、MOSFET13、14の制御に必要なパルス幅をより長くすることができ、ゲート駆動装置600の制御性向上を図ることができる。それにより、反応の遅い制御素子を経路 RT_2 上に実装することが可能となる。

[0065] (6) 上記(1)において、図2、3、5等に応示するように、経路 RT_1 に設けられて、ゲート電流の通電を許可および遮断するMOSFET11、12(第1制御素子)と、経路 RT_2 に設けられて、ゲート電流の通電を許可および遮断するMOSFET13、14(第2制御素子)と、を備え、制御信

号生成部403, 404 (アクティブゲート制御部)は、経路RT1のみにゲート電流を流すように制御する際には、スイッチング素子101のスイッチング電流 (ドレイン電流 I_{ds}) またはスイッチング電圧 (ドレインソース間電圧 V_{ds}) のサージピークのタイミングよりも前に、MOSFET13, 14による通電を遮断する。

[0066] ドレイン電流 I_{ds} またはドレインソース間電圧 V_{ds} のサージピークタイミングよりも前にMOSFET13, 14による通電を遮断することで、スイッチング素子101のゲートに流れるゲート電流が減る。それにより、スイッチングスピードが低減され、ドレイン電流 I_{ds} またはドレインソース間電圧 V_{ds} のサージを抑え込むことができる。

[0067] (7) 上記(1)において、図8等 to 示すように、ゲート抵抗 R_1 , R_2 を挟んでゲート端子Gと反対側の経路RT1上に設けられ、ゲート電流の通電を許可および遮断するMOSFET11, 12 (第1制御素子) と、経路RT2 (配線LN3, LN4) に設けられて、ゲート電流の通電を許可および遮断するMOSFET13, 14 (第2制御素子) と、を備え、経路RT2 (配線LN3, LN4) の一端はゲート抵抗 R_1 , R_2 とMOSFET11, 12との間に接続され、かつ、経路RT2の他端はゲート端子Gに接続され、変換制御装置400および制御信号生成部403, 404 (アクティブゲート制御部) は、MOSFET11~14によるゲート電流の通電の許可および遮断を制御する。

[0068] 上記構成においては、MOSFET11, 12の通電を許可する前にMOSFET13, 14を通電許可状態にしておくことで、経路RT1, RT2による充放電開始タイミングを容易に同時とすることができる。また、MOSFET13, 14のオンタイミングをMOSFET11, 12によるオンタイミングよりも先に開始することで、MOSFET13, 14の制御に必要なパルス幅をより長くすることができ、ゲート駆動装置600の制御性向上を図ることができる。それにより、反応の遅い制御素子を経路RT2上に実装することが可能となる。

[0069] (8) 上記(1)において、図6等にするように、経路RT2は、ゲート抵抗R3を有し、スイッチング素子101のゲート容量を充電するための配線LN3と、ゲート抵抗R4を有し、スイッチング素子101のゲート容量を放電するための配線LN4と、一端が配線LN3および配線LN4に接続され、他端がゲート端子Gに接続される配線LNbと、を備え、配線LN3と配線LNbとから成る配線のインダクタンス成分、および、配線LN4と配線LNbとから成る配線のインダクタンス成分は、それぞれ経路RT1のインダクタンス成分よりも大きな値に設定されている。

[0070] 図6に示すようなインダクタンス成分Lbを有する配線LNbを用いることで、第2経路のインダクタンス成分が共通化され、部品（インダクタ）の数の低減や回路の簡素化を図ることができる。

[0071] (9) 上記(1)において、図7等にするように、経路RT2は、スイッチング素子101のゲート容量を充電するための正側電源N3（ゲートチャージ電源）とゲート端子Gとを接続する配線LN3と、正側電源N3とゲート端子Gとの間に設けられ、カソードが正側電源N3に接続されアノードがゲート端子Gに接続されるダイオードD3と、を備える。ゲート端子Gの電圧が正側電源N3の電圧より高くなる場合、余分なゲート電荷を正側電源N3に帰還できる。これにより、ゲートのオーバーチャージを防止することができる。

[0072] 以上説明した各実施形態や各種変形例はあくまで一例であり、発明の特徴が損なわれない限り、本発明はこれらの内容に限定されるものではない。また、上記では種々の実施形態や変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

符号の説明

[0073] 11～14…MOSFET、100…蓄電装置、101…スイッチング素子、102…還流ダイオード、200…電力変換装置、300…電動モータ、400…変換制御装置、403、404…制御信号生成部、500…三相

スイッチングアーム、600, 610…ゲート駆動装置、1000…車両、
D1, D2, D3…ダイオード、J…状態信号、L3, L4, Lb…インダク
タンス成分、LN1～LN4, LNb…配線、N1, N3…正側電源、N2
, N4…負側電源、P…制御指令、R1～R4…ゲート抵抗、RT1, RT
2…経路、S3, S4…制御信号

請求の範囲

- [請求項1] 半導体スイッチング素子のゲート端子に電圧を印加するゲート駆動装置であって、
- 前記ゲート端子に接続され、第1ゲート抵抗を有する第1経路と、
- 前記第1経路と並列に前記ゲート端子に接続され、第2ゲート抵抗を有する第2経路と、
- 前記半導体スイッチング素子のスイッチング状態を切り替える際のゲート電流が、前記第1経路および前記第2経路の両方に流れた後に、前記第1経路のみに流れるように制御するアクティブゲート制御部と、を備え、
- 前記第2経路のインダクタンス成分は前記第1経路のインダクタンス成分よりも大きな値に設定されている、ゲート駆動装置。
- [請求項2] 請求項1に記載のゲート駆動装置において、
- 前記第1経路は、前記ゲート電流の通電方向を制限するダイオードをさらに備える、ゲート駆動装置。
- [請求項3] 請求項1に記載のゲート駆動装置において、
- 前記第2経路の前記インダクタンス成分の少なくとも一部を、インダクタまたはフェライトビーズによって構成する、ゲート駆動装置。
- [請求項4] 請求項1に記載のゲート駆動装置において、
- 前記第2経路における前記インダクタンス成分の少なくとも一部が、前記第2経路の配線長または前記第2経路における部品のリード線長によって設定される、ゲート駆動装置。
- [請求項5] 請求項1に記載のゲート駆動装置において、
- 前記第1経路に設けられて、前記ゲート電流の通電を許可および遮断する第1制御素子と、
- 前記第2経路に設けられて、前記ゲート電流の通電を許可および遮断する第2制御素子と、を備え、
- 前記アクティブゲート制御部は、

前記第 1 経路および前記第 2 経路の両方に前記ゲート電流を流す際には、前記第 1 制御素子による通電の許可に先立ってまたは許可と同時に、前記第 2 制御素子による通電を許可する、ゲート駆動装置。

[請求項6]

請求項 1 に記載のゲート駆動装置において、

前記第 1 経路に設けられて、前記ゲート電流の通電を許可および遮断する第 1 制御素子と、

前記第 2 経路に設けられて、前記ゲート電流の通電を許可および遮断する第 2 制御素子と、を備え、

前記アクティブゲート制御部は、

前記第 1 経路のみに前記ゲート電流を流すように制御する際には、

前記半導体スイッチング素子のスイッチング電流またはスイッチング電圧のサージピークのタイミングよりも前に、前記第 2 制御素子による通電を遮断する、ゲート駆動装置。

[請求項7]

請求項 1 に記載のゲート駆動装置において、

前記第 1 ゲート抵抗を挟んで前記ゲート端子と反対側の前記第 1 経路上に設けられ、前記ゲート電流の通電を許可および遮断する第 1 制御素子と、

前記第 2 経路に設けられて、前記ゲート電流の通電を許可および遮断する第 2 制御素子と、を備え、

前記第 2 経路の一端は前記第 1 ゲート抵抗と前記第 1 制御素子との間に接続され、かつ、前記第 2 経路の他端は前記ゲート端子に接続され、

前記アクティブゲート制御部は、前記第 1 制御素子および前記第 2 制御素子による前記ゲート電流の通電の許可および遮断を制御する、ゲート駆動装置。

[請求項8]

請求項 1 に記載のゲート駆動装置において、

前記第 2 経路は、

前記第2ゲート抵抗の一部を構成する第3ゲート抵抗を有し、前記半導体スイッチング素子のゲート容量を充電するための第1配線と

、

前記第2ゲート抵抗の一部を構成する第4ゲート抵抗を有し、前記半導体スイッチング素子のゲート容量を放電するための第2配線と

、

一端が前記第1配線および前記第2配線に接続され、他端が前記ゲート端子に接続される第3配線と、を備え、

前記第1配線と前記第3配線とから成る配線のインダクタンス成分、および、前記第2配線と前記第3配線とから成る配線のインダクタンス成分は、それぞれ前記第1経路のインダクタンス成分よりも大きな値に設定されている、ゲート駆動装置。

[請求項9]

請求項1に記載のゲート駆動装置において、

前記第2経路は、

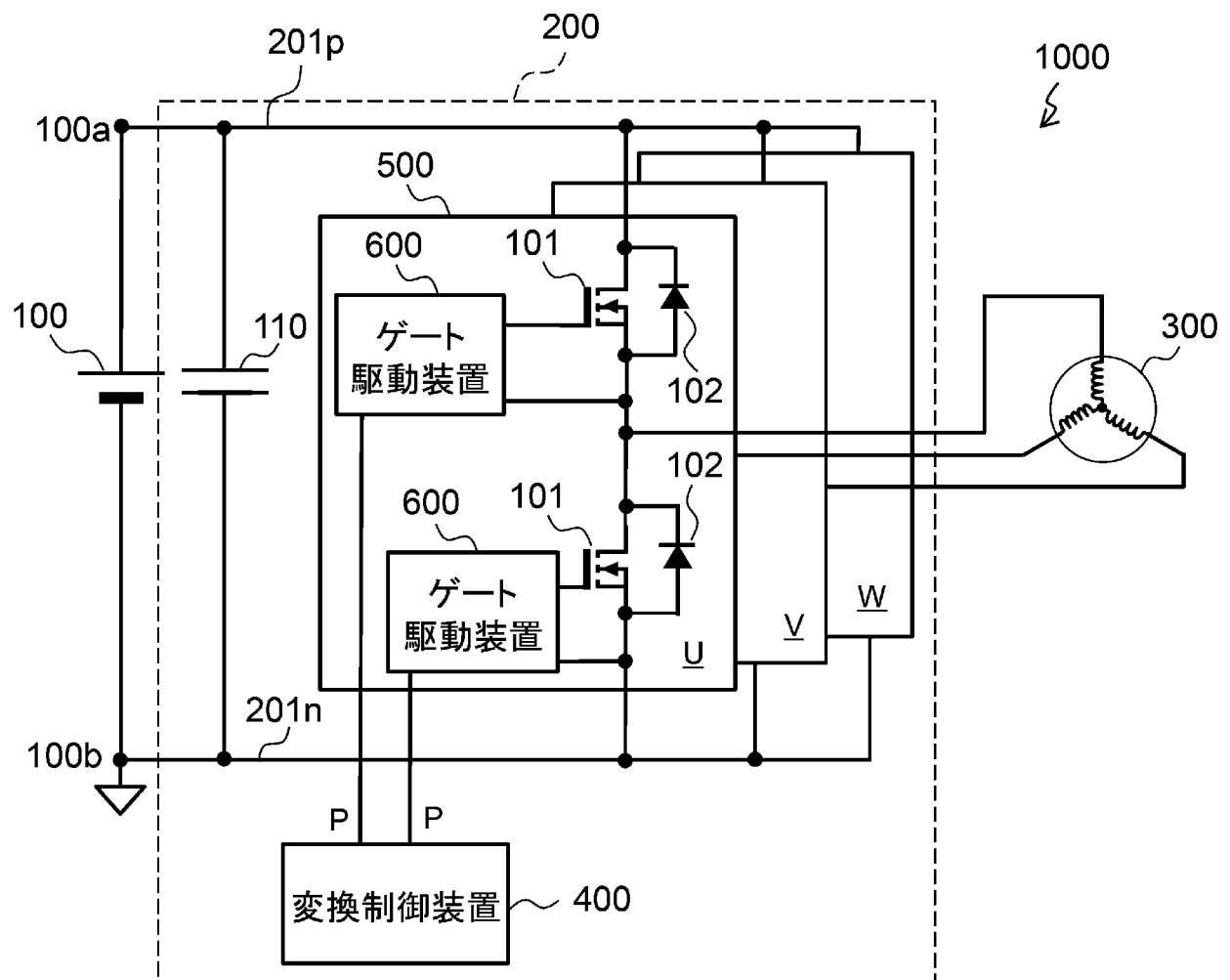
前記半導体スイッチング素子のゲート容量を充電するためのゲートチャージ電源と前記ゲート端子とを接続する配線と、

前記ゲートチャージ電源と前記ゲート端子との間に設けられ、カソードが前記ゲートチャージ電源に接続されアノードが前記ゲート端子に接続されるダイオードと、

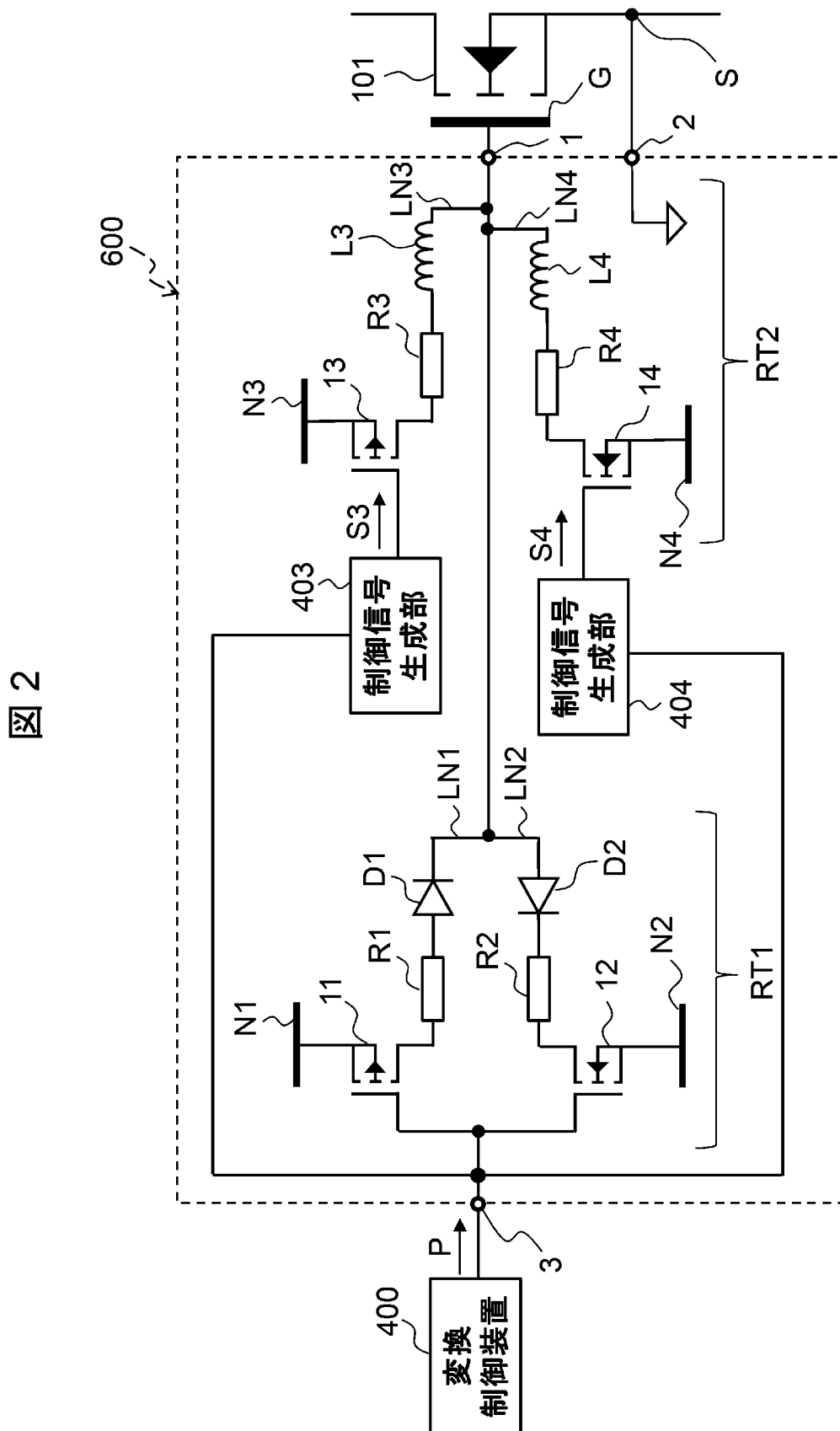
を備える、ゲート駆動装置。

[図1]

図 1

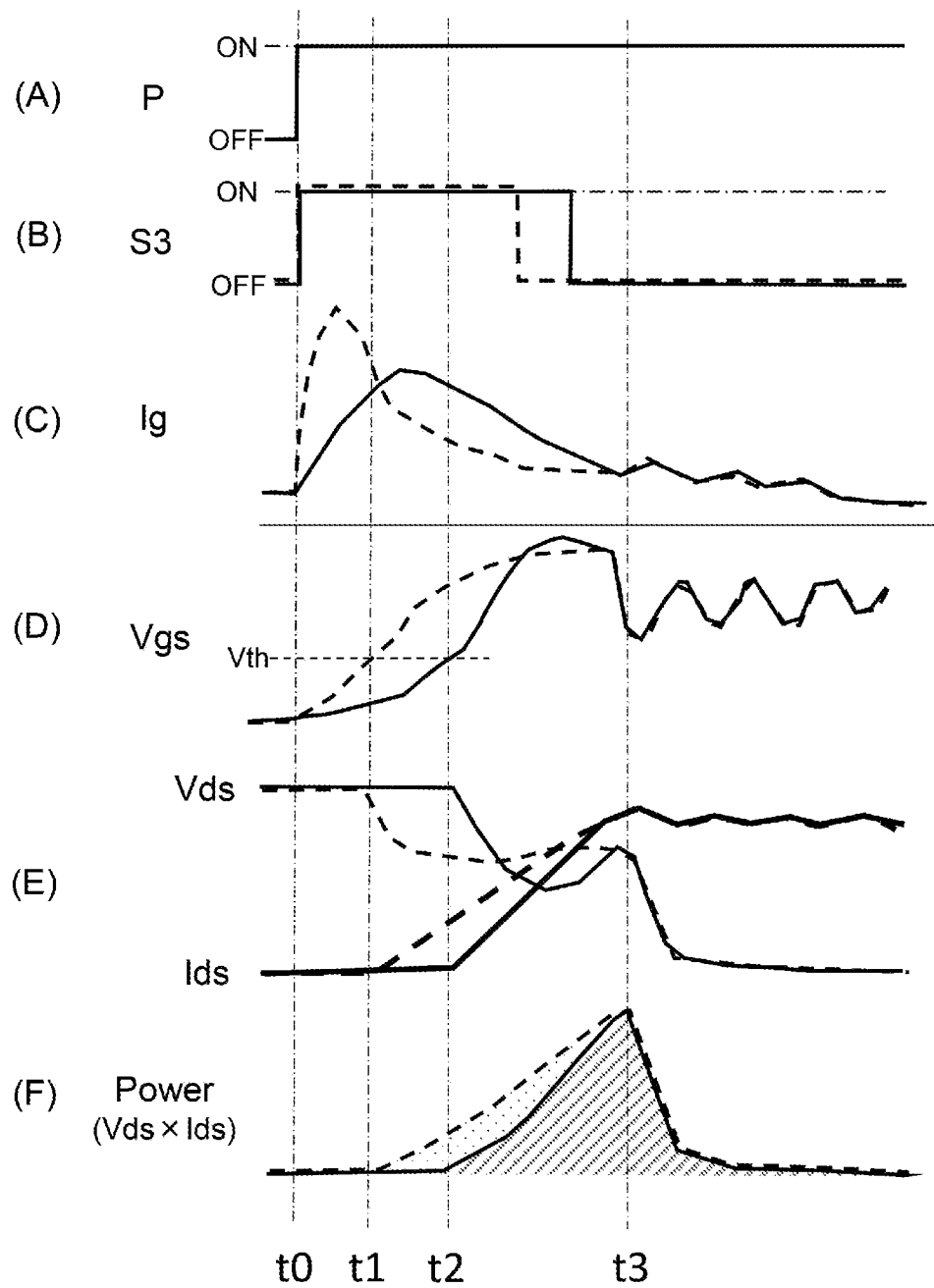


[図2]

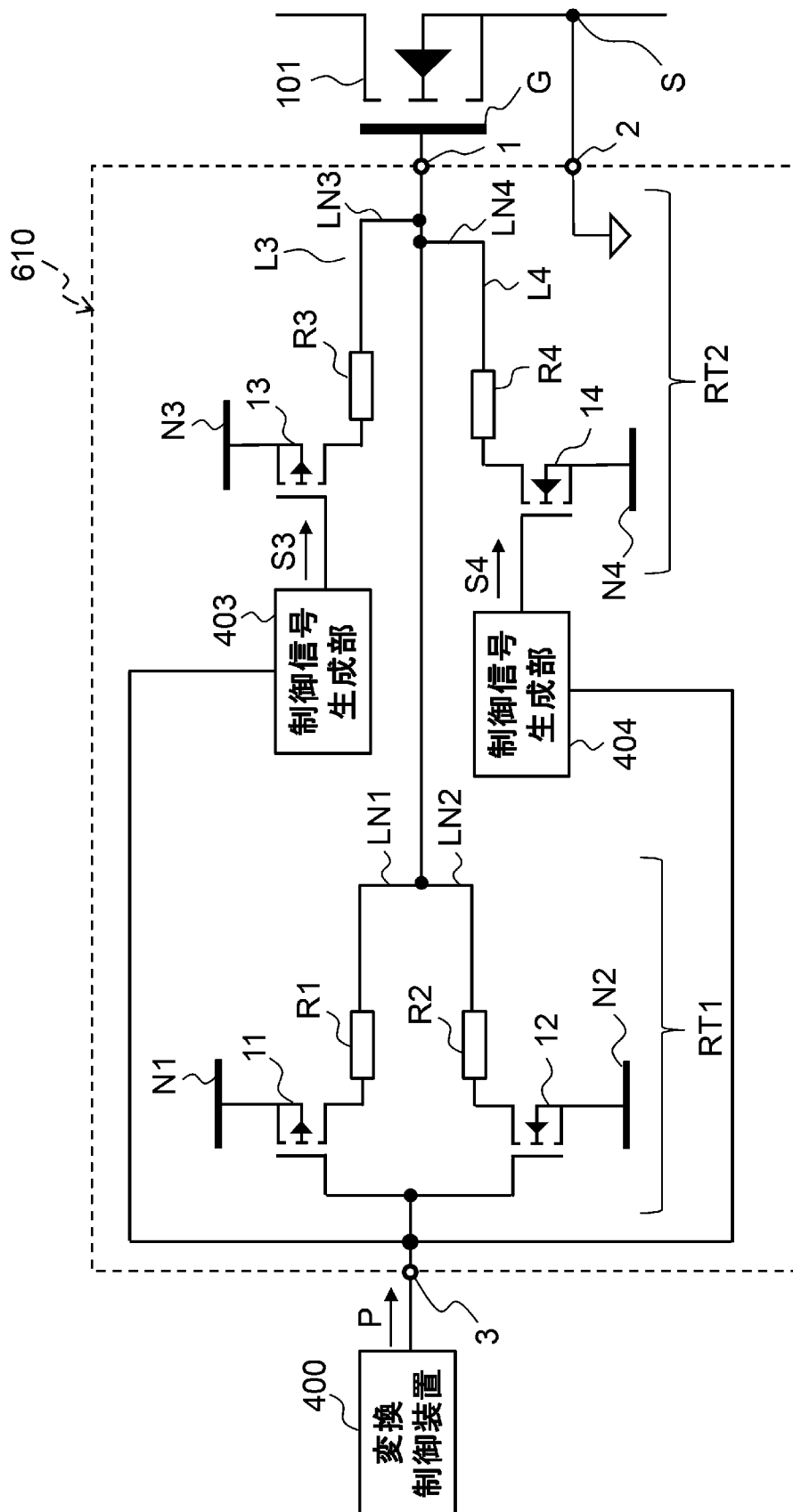


[図3]

図 3

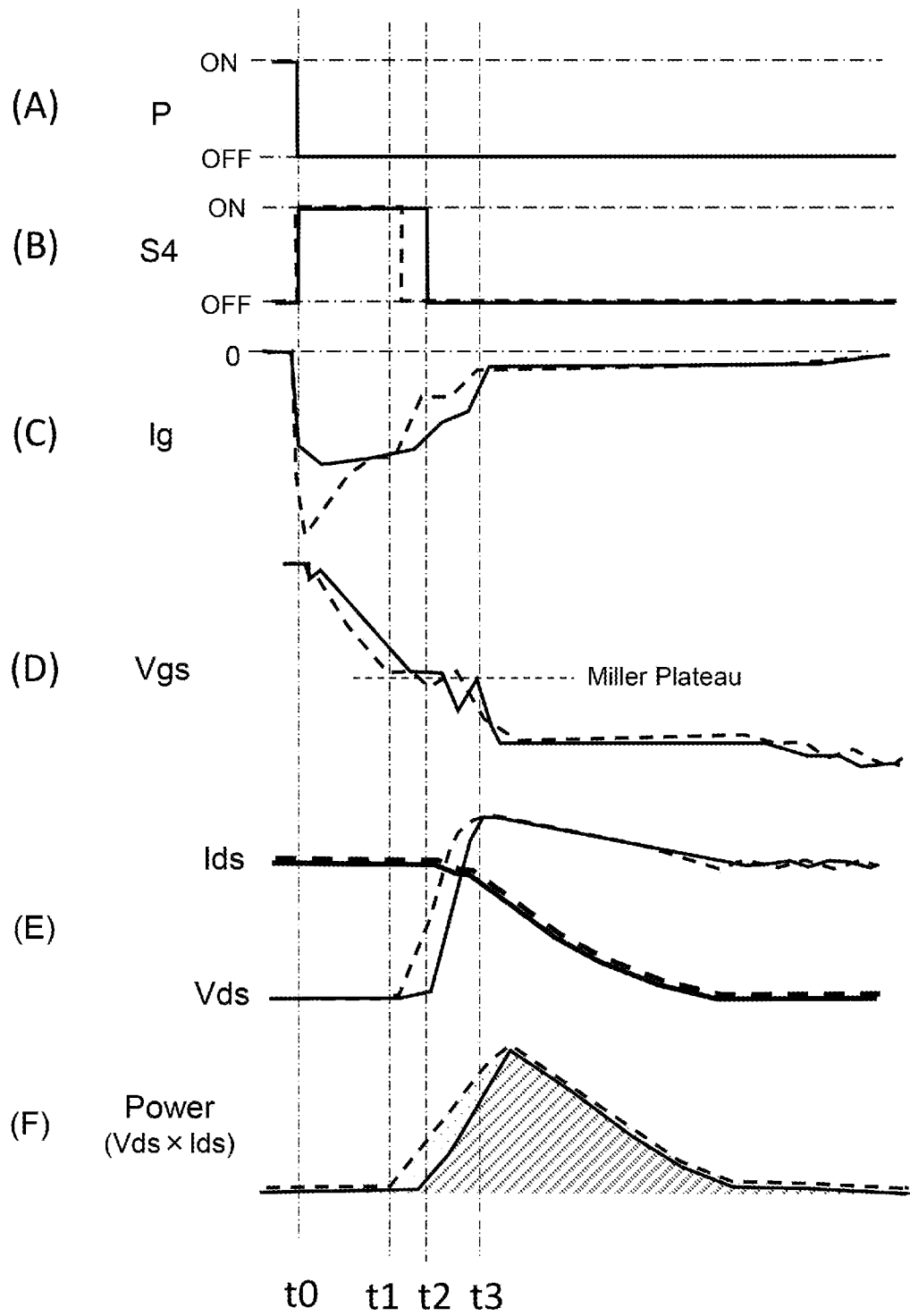


[図4]



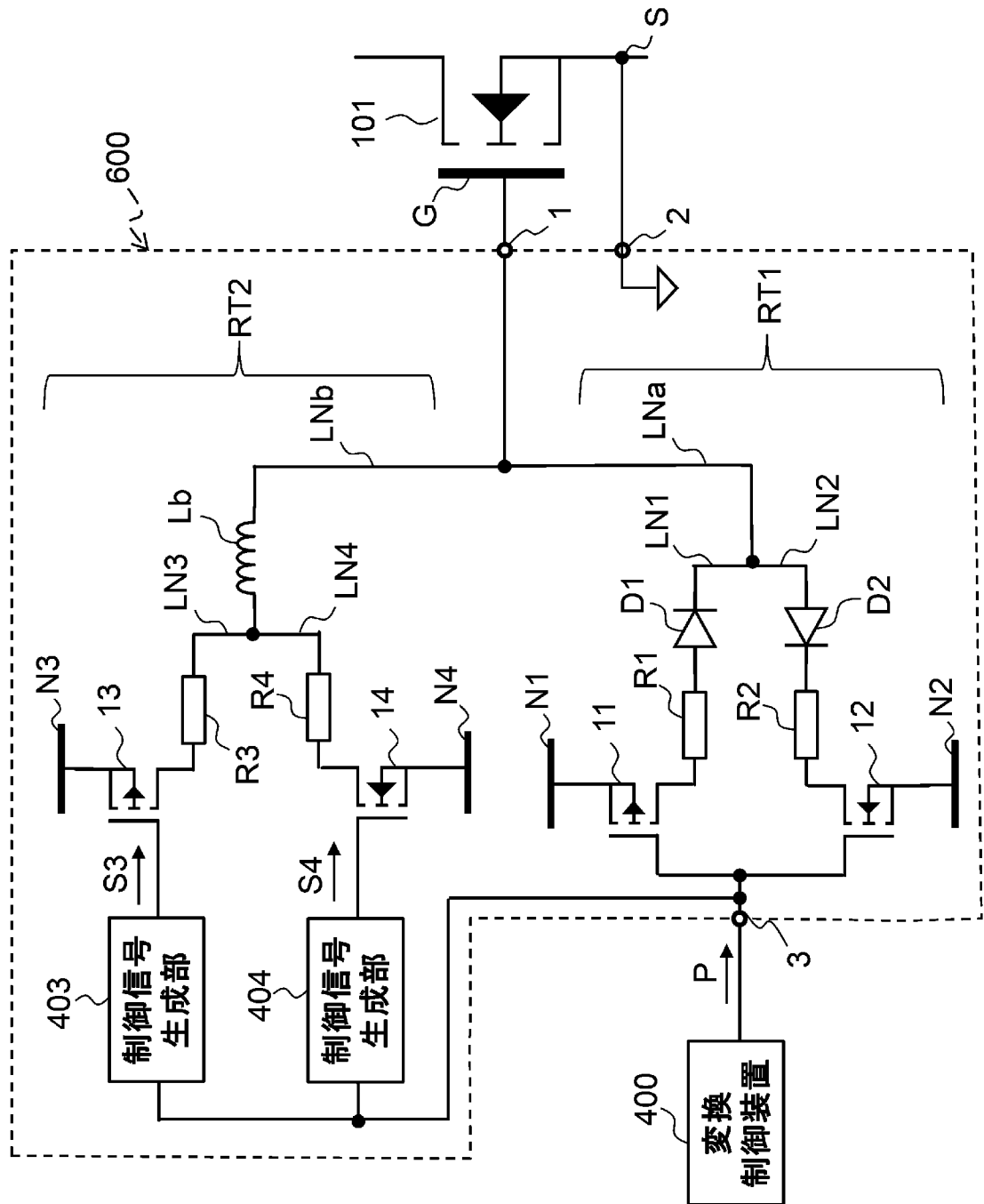
[図5]

図 5



[図6]

図 6



[図7]

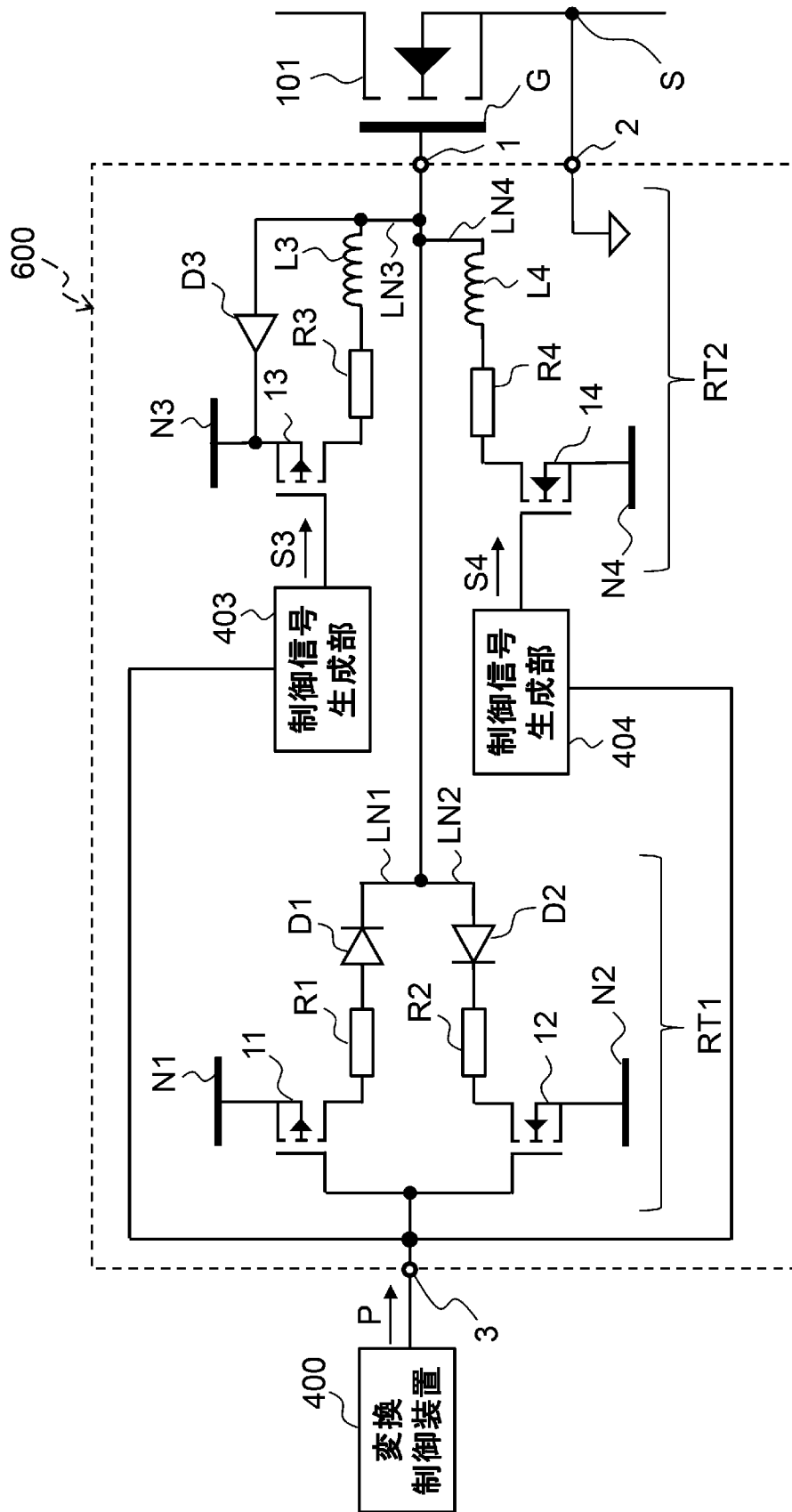
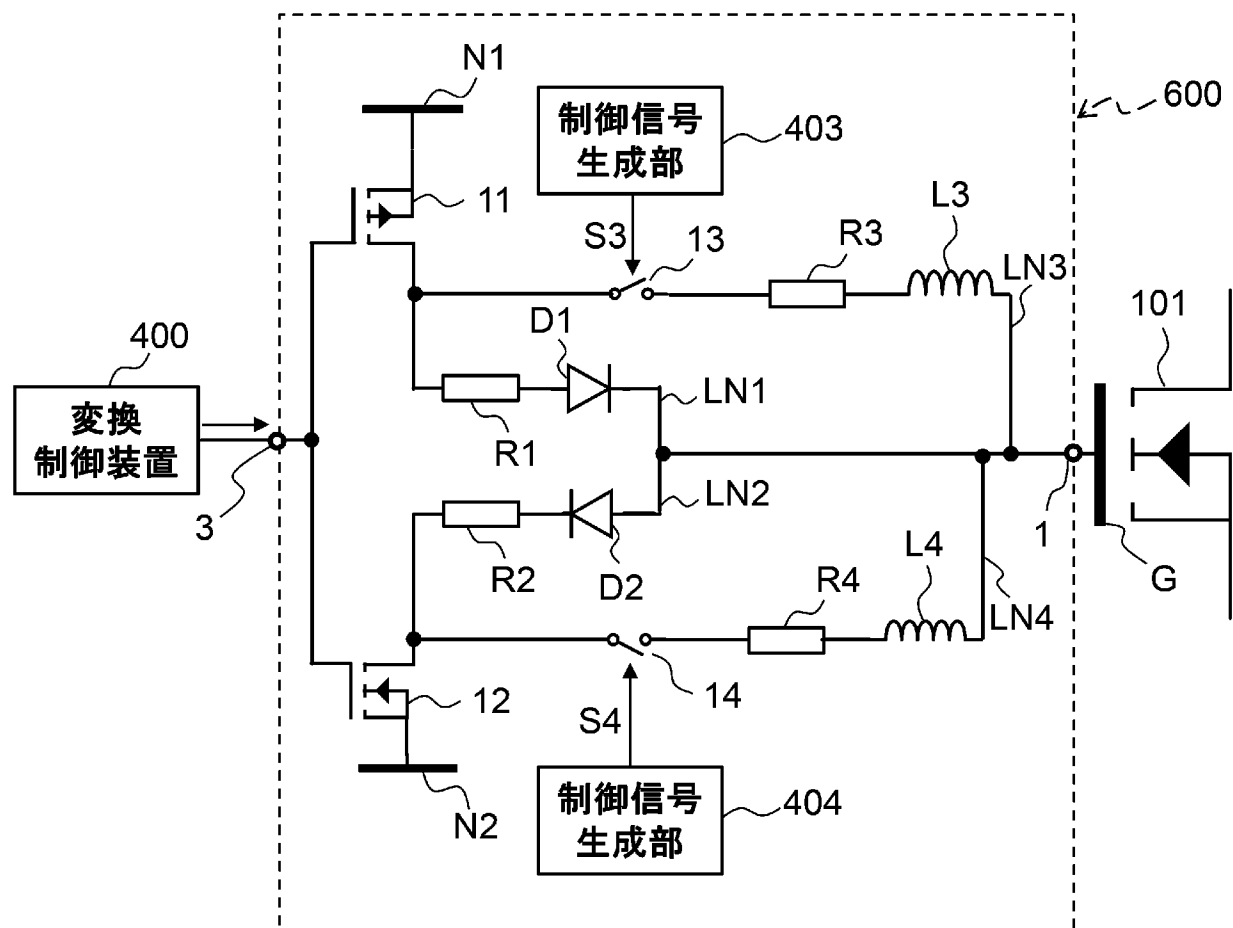


图 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020414

A. CLASSIFICATION OF SUBJECT MATTER H02M 1/08 (2006.01)i; H03K 17/16 (2006.01)i; H03K 17/687 (2006.01)i FI: H02M1/08 A; H03K17/16 H; H03K17/687 A According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M1/08; H03K17/16; H03K17/687 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2021-145432 A (HITACHI POWER SEMICONDUCTOR DEVICE LTD.) 24 September 2021 (2021-09-24) fig. 1	1-9
A	JP 2017-099146 A (TOYOTA JIDOSHA KABUSHIKI KAISHA) 01 June 2017 (2017-06-01) fig. 1	1-9
A	JP 2012-157168 A (TOYO ELECTRIC MFG. CO., LTD.) 16 August 2012 (2012-08-16) fig. 1	1-9
A	WO 2021/161362 A1 (MITSUBISHI ELECTRIC CORPORATION) 19 August 2021 (2021-08-19) fig. 1	1-9
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 04 July 2024		Date of mailing of the international search report 16 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/020414

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2021-145432	A	24 September 2021	US	2021/0288640	A1	
				fig. 1			
				DE	102021101696	A1	
				CN	113394955	A	
JP	2017-099146	A	01 June 2017	US	2017/0149330	A1	
				fig. 1			
JP	2012-157168	A	16 August 2012	(Family: none)			
WO	2021/161362	A1	19 August 2021	US	2023/0006552	A1	
				fig. 1			
				CN	115088169	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H02M 1/08(2006.01)i; H03K 17/16(2006.01)i; H03K 17/687(2006.01)i
FI: H02M1/08 A; H03K17/16 H; H03K17/687 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H02M1/08; H03K17/16; H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2021-145432 A（株式会社 日立パワーデバイス）24.09.2021（2021 - 09 - 24） 図1	1-9
A	JP 2017-099146 A（トヨタ自動車株式会社）01.06.2017（2017 - 06 - 01） 図1	1-9
A	JP 2012-157168 A（東洋電機製造株式会社）16.08.2012（2012 - 08 - 16） 図1	1-9
A	WO 2021/161362 A1（三菱電機株式会社）19.08.2021（2021 - 08 - 19） 図1	1-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

04.07.2024

国際調査報告の発送日

16.07.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

安食 泰秀 3H 3740

電話番号 03-3581-1101 内線 3316

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/020414

引用文献			公表日	パテントファミリー文献			公表日
JP	2021-145432	A	24.09.2021	US	2021/0288640	A1	
				FIG.1			
				DE	102021101696	A1	
				CN	113394955	A	
JP	2017-099146	A	01.06.2017	US	2017/0149330	A1	
				FIG.1			
JP	2012-157168	A	16.08.2012	(ファミリーなし)			
WO	2021/161362	A1	19.08.2021	US	2023/0006552	A1	
				FIG.1			
				CN	115088169	A	