

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵

H01L 27/04

H01L 21/82

G06F 15/60

(45) 공고일자 1993년07월23일

(11) 공고번호 특 1993-0006723

(21) 출원번호 특 1990-0022552

(22) 출원일자 1990년12월27일

(30) 우선권주장 471,892 1990년01월29일 미국(US)

(71) 출원인 인터내셔널 비지네스 머신즈 코포레이션 해워드 지, 피거로아
미합중국, 뉴욕 10504, 아몬크

(72) 발명자

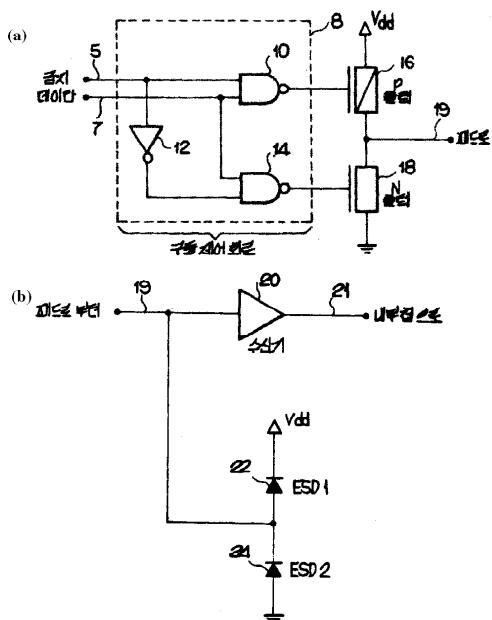
로버트 풀 매스레이드

미합중국, 텍사스 78758, 오스틴, 두네스버리 드라이브 1400
파소탐 트리кам 패널

(74) 대리인

미합중국, 텍사스 78681, 라운드 록, 크릭뷰 드라이브 1405
이병호, 최달용**심사관 : 정현영 (책자공보 제3345호)****(54) 다수의 입/출력회로소자 배치방법 및 집적회로의 입/출력회로****요약**

내용 없음.

대표도**명세서**

[발명의 명칭]

다수의 입/출력회로소자 배치방법 및 집적회로의 입/출력회로

[도면의 간단한 설명]

제1a도는 구동 회로의 개략적인 다이어그램.

제1b도는 수신 회로의 개략적인 다이어그램.

제2도는 종래의 배치 처리기를 사용하여 제1a 및 b도에 도시된 구동 및 수신 회로의 세 형태의 배치

다이어그램.

제3도는 회로 디바이스를 배치하기 위해 본 발명의 방법을 나타내는 플로우챠트.

제4도는 동일한 소자를 그룹으로 모으는 단계를 나타내는 도시도.

제5도는 각 소자를 보조 소자의 수직 스트링으로 신장시키는 도시도.

제6도는 수평 로우에 보조 소자의 스프링을 위치시키는 단계를 나타내는 도시도.

제7도는 마이크로 회로의 종래 길이로 로우를 절단시키는 단계와 스트링 엣지를 오버랩하도록 수평적으로 보조 소자를 팩킹 하는 두 단계의 도시도.

제8도는 감시 링을 부가하는 단계의 도시도.

제9도는 본 발명을 사용하는 실제 배치의 도시도.

* 도면의 주요부분에 대한 부호의 설명

8 : 구동 제어 회로 16 : P-채널 디바이스

18 : N-채널 디바이스 20 : 수신 회로

[발명의 상세한 설명]

본 발명은 데이터 처리 시스템 집적 회로에 관한 것으로, 특히, 입/출력 회로 소자를 포함하는 직접 회로에 관한 것이다.

데이터 처리 시스템은 실리콘 칩상의 집적회로에서 제조되는 전자 소자로 구성된다. 이러한 집적회로는 회로 기능을 수행하기 위해 필요되는 트랜지스터, 저항 및 캐퍼시터를 포함한다. 실리콘 칩상에 상기 회로 소자의 배치 또는 배열은 집적 회로상에 고밀도 회로 배열을 달성하려고 할 때 어려운 점이 많다. "외부세계"와 내부 집적 회로 칩 기능 사이에서 인터페이스를 제공하는 입/출력 회로가 있음으로 상기 입/출력 회로는 집적 회로의 배치에서 특정한 챌린지를 제공한다.

종래 기술에 따라 입/출력 회로를 제조하는 한 방법은 리버스 셀 접근 방법이 있다.

"리버스 셀 접근방법"의 예는 미합중국 특허 제 4,731,643호 및 제4,746,966호에 기술되었다. 리버스 셀 기술에 따르면 특정 영역은 입/출력 회로에 대해 집적 회로 칩 곁에 설정된다. 대표적으로, 이러한 영역 또는 셀은, 외부 회로에 접속된 입/출력 회로가 집적 회로 칩의 엣지상에 있으므로, 이러한 영역 또는 셀은 회로 칩의 주변에 있다. 상기 영역은 구동, 수신, 풀-업 및 다른 회로 기능을 포함하는 최대 예상기능(각 디바이스 크기는 최대)에 있어 입/출력 회로에 충분한다. 이러한 리저브된 영역 및 리저브된 셀의 수는 반도체 칩설계에서 허용되는 입/출력 회로의 수를 최대로 한다. 일반적으로 구동기능, 수신기능, 등등 같이 요구되는 각 기본 입/출력 기능을 수행하는 경용가능한 회로 배치가 제공된다. 그때 설계자는 요구되는 총기능을 구성하기 위해 이러한 초기 배치사이에서 선택한다. 이러한 소자는 주어진 입/출력 셀 내에서 선계획된 위치에 위치된다. 이러한 방법을 사용하면 생산성은 양호하다. 왜냐하면, 각 초기 기능은 한번만 배열되기 때문이다.

그러나 고밀도 집적 회로의 설계에서는 여러 가지 이유 때문에 부족한 면이 있다. 첫째로, 입/출력 회로는 최악의 가능한 인접 회로 배열을 예상하며 상호 떨어져 이격된다. 둘째로, 특정 공간은 초기 입/출력 기능의 각 형태를 가장 크게 예상되도록 셀에 예약된다. 셋째로 임의의 비사용된 입/출력 셀 공간은 내부 기능 회로에서 변화될 수 없다. 왜냐하면 그것은 봉괴되어 효율적으로 위치 또는 연결시키기가 어렵기 때문이다. 넷째로 입/출력 회로 배치는 패키지 접속 피지(또는 출력 핀패드 접속)에 공통적으로 접속된다. 상기 입/출력 접속은 입/출력 회로 밀도를 종종 제한한다.

집적 회로에 대한 입/출력 회로의 설계에 있어 제2의 방법은 "집적된 기능"을 이용하는 것이다. 집적 기능 방법은 완전한 커스텀 배치 방법이다. 즉, 특정 영역은 입/출력 회로 옆에 설정되지 않는다. 일반적으로, 입/출력 회로는 집적 회로 칩의 주변에 위치한다. 이것은 칩의 주변에서 외부 패드 접속에 직접 접속되는 것을 의미하는 인터페이스를 입/출력 회로가 "외부 세계"에 제공하기 때문이다. 상기 방법에 따라서, 완전한 배치는 입/출력 초기 기능의 각 조합에서 이루어진다. 예를 들면 한 기능이 두 개의 구동 형태, 두 개의 수신 형태 및 풀-업 부하 저항을 가진다면, 둘 또는 18 배치의 세배가 요구된다. 여러 형태 인수가 필요하다면, 배치 수는 증가된다. 예를 들면, 형태 인수는 (1) 긴 얇은 배치, (2) 스케어 배치 (3) "L"형 배치, 또는 (4) 와이어 그리드에 대한 각 방향으로 두 배치, 같은 여러 배치 종의 하나일 수 있다. 상기 결과, 전체 입/출력 회로는 커스텀 배치가 된다. 상기 방법은 매우 조밀한 집적 회로를 설계할 수 있으나 매우 많은 노동력을 필요로 한다.

리저트 셀 방법에 대해 상기 언급된 리저브 공간 문제점은 비사용되는 영역을 리저브하는 입/출력 셀이 없는 경우 집적 기능 방법에 의해 재가된다. 그러나 아직도 양호한 고밀도에는 제한을 받은다. 왜냐하면 한 입/출력 회로의 회로망은 가능한 회로 방해(배치 방해)를 예상할 때 다른 입/출력 회로의 회로망에 떨어져 위치하기 때문이다. 외부에 접속된 확산 영역은 삼입된 형태인 감시 링과 함께 또 다른 임의의 확산 영역으로부터 분리된다. 이것은 래치-업을 방지하기 위해 필요하다. 회로내의 패키지는 커스텀화 된다. 그러나, 나란히 패키지되는 다른 기능을 총 밀도에서의 손실에 따라 대립되는 형태 인수 일 수도 있다.

집적 회로 배치를 위한 한 기술로 "비트 스택배치"가 있다. 비트 스택 배치 이론에 따르면 회로의 위치는 이러한 회로의 와이어링에 의해 표시된다. 일반적으로 반도체 디바이스에서 비트 스택으로 구성되는 집적 입/출력 회로는 칩 주변상에 위치된다. 작은 크기의 집적 회로 설계에서는 이것은 문

제가 없다. 왜냐하면 칩의 엣지가 칩상의 다른 회로로부터 멀리 떨어지지 않기 때문이다. 그러나, 초대규모 집적 회로(VLSI)에서, 엣지는 칩의 내부와 다른 별개의 위치에 있다. 그러나, 입/출력 기능은 아직도 엣지 상에 위치된다. 왜냐하면, (1) 입/출력 회로는 집적 회로파키지 접속 패드와 매우 가까우며, (2) 입/출력 회로를 제공하는 버스는 내부 회로를 통해 제공되지 않은 엣지상에 위치하는 파워 버스를 포함하며, (3) 상보성 MOS집적 회로에서, "래치-업"으로 불리우는 기생효과가 존재하고, 래치-업으로부터 내부 칩을 보호하기 위하여, (외부 환경에 대한 상호 접속에 따른 인입 전압 변화에 기인하여 보다 더 래치-업을 감지할 수 있는) 입/출력 회로가 엣지에 위치하는 내부 회로부터 감시 링에 의해 이격 및 고립되며, (4) 입/출력 회로는 크고, 일반적으로 패키지 설계는 작은 회로상에서 와이어 크기를 감소시키고 어느 곳에든지 큰 회로를 위치시키는 것을 표시하기 때문이다.

비트 스택의 한 예는 발명의 명칭이 "고밀도 반도체 칩 제조 방법"미합중국 특허 제4,006,492호에 기술되어 있다. 상기 특허는 컬럼으로 배열되는 다수의 논리 셀을 제공하는 반도체 칩 배치 방법을 기술한다. 또 다른 예는, 명칭이 "불선으로 연결가능한 평면 집적 회로 구조"인 미합중국 특허 제3,999,214호에 나타나 있으며, 셀에 배열된 회로 기능과, 양 직교 방향에 평행한 셀의 직교 어레이에 배열되는 셀을 표시한다. 미합중국 특허 제 3,798,606호에 기술된 다른 예는, 각 회로 모듈이 내부 회로에 의해 데이터 처리를 하는 별개의 비트에 연결되는 다수의 모듈리식 회로 모듈에 전기적 상호 접속 통로를 제공하는 기판을 기술한다. 발명의 명칭이 "MOS 집적 회로용 칩 토파그리피"인 미합중국 특허 제 3,968,478호에 기술된 또 다른 예는 비트 스택 방법을 사용하는 내부 회로를 도시하면서 주변 입/출력 회로의 부분적인 커스텀 배치를 표시한다. 발명의 명칭이 "반도체 디바이스"인 일본국 특허출원 제 58-137229호는 입/출력 회로의 위치를 분리시키는 최적한 와이어링 기술을 도시하는 회로 배치를 기술한다.

최근에, 유럽 특허출원 제 52,828호는 비트스택 구조에 배치되는 내부 회를 도시하나 또한 입/출력 회로가 칩의 주변 위치를 따라 리저브된 셀로 배열되는 것을 기술한다.

상기의 비트 스택 구조 예는, 비-집적된 회로 소자로서 입/출력 회로의 배치를 기술하며, 집적 회로의 주변 영역상에 그들의 위치를 제공한다. 본 발명의 목적은 전체적인 직접 회로 칩 배치에서 집적된 입/출력 회로의 밀도를 향상시키는 집적 입/출력 회로의 방법 및 배치를 제공하는 것이다.

본 발명의 기술에 따라서, 입/출력 회로의 소자를 위치시키는 방법에 제공한다. 이러한 소자는 반도체 기판상에 위치된다. 반도체 기판은 다수의 입/출력 회로를 포함한다. 각 입/출력 회로는 다수의 비트를 포함하는 데이터 워드내에서 단일 정보 비트를 처리한다. 본 발명은 (1) 각 입/출력 회로를 유사한 가능 소자를 포함하는 그룹으로 분할하는 단계와, (2) 각 입/출력 회로에 대해 보조 소자의 수직 컬럼을 형성하여 상기 기능을 수행하도록 상기 보조 소자를 접속시키는 단계와, (3) 동일한 보조 소자의 로우 그룹을 형성하며 상호 인접한 동일 보조 소자를 갖는 다수의 컬럼을 형성하도록 상기 컬럼을 배치시키는 단계와, (4) 필요하다면 보조소자 로우 그룹 주위에서 감시 링을 형성하는 단계를 포함한다.

또한, 본 발명에 따라서, 입/출력 회로 그룹이 제공된다. 상기 그룹은 다수의 입/출력 회로를 포함하는 직접 회로 기판상에 위치된다. 상기 입/출력 그룹은 각 컬럼이 비트 그룹에서 단일 정보 비트를 처리하는 전체 입/출력 회로 소자를 표시하는 회로 소자의 다수 컬럼과, 상기 입/출력 회로사이에서 같은 디바이스를 포함하는 컬럼 양단에 위치되는 다수의 로우와, 상기 다수의 로우중 최소한 하나를 포함하는 감시 링을 포함한다.

본 발명의 또 다른 특징, 및 장점은 첨부된 도면을 참조하여 더욱더 상세히 기술하기로 한다. 본 발명은 반도체 장치에서 입/출력 회로의 배치에 관한 것이다. 상술된 바와 같이, 본 발명의 목적은 반도체 장치 표면에서 입/출력 회로에 요구되는 표면 영역을 최소화시키는 방법을 제공하는 것이다. I/O회로는 (1) 오프-칩을 구동하기 위해 버퍼/증폭을 제공하며, (2)는 내부 회로를 보호하며, (3) 양호한 전자 전압 레벨을 발생하는 인입 신호가 내부 회로를 구동하며 (4) 칩내에서 테스트를 수행하기 위해 칩으로부터 외부 세계를 차단한다. 본 발명을 적절히 사용하기 위해, 제조되는 집적회로는 다수의 입/출력 회로를 포함한다. 부가하여, 본 발명은 단일 반도체 기판에 집적되는 많은 회로에 큰 장점을 제공한다.

제1a 및 b도는 입/출력 회로의 두 부분을 도시한다. 집적 회로 칩의 배치에서 여러 형태의 입/출력 회로를 제공하는 것은 바람직하다. 제1a 및 b도에서의 특정 회로는 예로 제공되었으며 상기 회로에 적용되는 동일한 방법은 다른 입/출력 회로에서도 적용된다. 제1a도에서, 구동제어 회로(8)는 금지 입력(5) 및 데이터 입력(7)에 접속되는 두개의 NAND게이트(10,14)로 구성된다. 부가적으로 금지 입력(5)은 NAND게이트(14)의 입력에 교대로 접속되는 인버터(12)에 접속된다. NAND게이트(10)의 출력은 P채널 디바이스(16)를 구동한다. NAND게이트(14)의 출력은 N채널 디바이스(18)를 구동한다. P채널 디바이스(16)는 Vdd 및 출력(19)에 접속되며, 집적 회로 디바이스 자체로부터 패드 또는 출력 핀에 상기 출력(19)이 제공된다. 마찬가지로, N채널 디바이스(18)는 접지 및 출력(19)에 접속된다. P채널 디바이스(16)는 P채널 전계 효과 트랜지스터이다. 똑같이, 디바이스(18)는 N채널 전계 효과 트랜지스터이다.

제1a도는 제조되는 입/출력 회로의 또 다른 부분이다. 제1a도에서 출력 신호를 제공하는 패드는 제1b도의 회로에 접속된다. 라인(19)상의 신호는 수신 회로(20)에 제공되며, 상기 수신 회로는 라인(21)상의 출력을 반도체 디바이스의 내부 회로에 제공한다. 또한, 라인(19)은 두개의 다이오드(22,24)에 접속된다. 다이오드(22)는 Vdd에 접속되면, 다이오드(24)는 접지에 접속된다. 다이오드(22,24)는 수신기(20)에 정전기 방전 보호를 제공한다. 제1a 및 b도의 회로는 양방향 입/출력 회로를 제공하도록 함께 제조된다. 상기 기술된 바와 같이, 이러한 형태의 회로들은 집적 회로칩에 입/출력 데이터 흐름을 제공하는 데 사용된다.

제1도에서 개략적인 구성으로 도시된 바와 같이 이러한 입/출력 회로의 종래의 세가지 배치를 제2도의 배치 구성으로 도시된다. 이러한 세가지 입/출력 회로의 배치는 종래 기술에 따른다. 대표적인 입/출력 회로는 칩 엣지(26)에서 제조되며, 도시된 바와 같이 두개의 정전기 방전 다이오드(22,24)

으로 구성된다. 부가적으로, P채널 디바이스(16)은 두개의 감시 링(15,13)을 포함하도록 설계된다. 감시 링(17)을 포함하는 N채널 디바이스(18)는 P채널 디바이스(16)에 인접한다. N채널 디바이스(18)는 수신기(20)에 인접한다. 수신기(20)의 다른쪽면에 구동 제어부(8)가 위치한다.

이러한 디바이스들은 도시되지는 않았지만 금속 층에 상호 접속된다. 그러나, 유사한 입/출력 회로는 도시된 바와 같이 유사한 형태로 설계된다.

제3도는 집적 회로 반도체 디바이스상에서 다수의 입/출력의 효과적인 배치를 제공하는 본 발명의 방법을 도시한다. 단계(50)에서, 전체 입/출력 디바이스는 여러 소자로 분할된다. 입/출력 회로에는 세개의 기본적인 구성요소, 즉, 출력 제어 구동 회로(ODC), 정전기 방전 보호 회로(ESD), 및 수신 회로(RCV)가 있다. 단계(52)에서, 동일한 구성 요소는 동일 그룹으로 구성된다. 바꾸어 말하면, 모든 구동 회로는 같은 그룹이고(두개의 다른 구동 형태가 있다면, 두개의 구동 그룹으로 형성된다). 모든 ESD 회로는 함께 형성되고, 모든 수신회로는 함께 형성된다. 그때, 각 그룹은 분리되어 취급된다. 예를들면 구동회로 수신회로 및 ESD 보호 회로는 제4도에 도시된 바와 같이 함께 그룹으로 형성된다. 제4도에 도시된 이러한 배치는 종래 기술인 제2도에 도시된 바와 같이 구성요소가 유사한 것을 주목해야 한다. 그러나, 상호 연관된 수성요소의 위치는 변화되지 않는다.

예로써 구동 회로를 생각하면, 단계(54)에서 동일한 소자는 보조 소자의 수직 스트링으로 늘어난다. 이러한 구동회로의 예를 제5도에 도시되며, 제5도에서 구동 회로(14)는 N채널 디바이스(18)의 상부에 위치하며, 상기 N채널 디바이스(18)는 구동 제어 회로(10)의 상부 상에 위치한 P채널 디바이스(16)의 상부에 위치한다.

단계(56)에서 (제3도), 스트링은 수평 로우에 위치된다. 제6도는 세개의 소자에서 수행되는 상기 단계를 도시한다. 동일한 소자는 상호 가까이 위치되는 것을 주의해야 한다. 즉, N채널 디바이스(18)는 동일한 N채널 디바이스(18') 및 또 다른 입/출력 회로에 인접하여 위치한다.

단계(56)에서, 이러한 회로는 스트링 엣지를 오버랩 하도록 수평으로 팩(pack)된다. 부가적으로 단계(60)에서 제3도, 로우는 매크로의 종래 길이로 절단된다. 즉, 수평으로 팩된 동일한 디바이스는 복재될 수 있는 매크로 디바이스로 절단된다. 이러한 양 단계는 제7도에 도시된다. 엣지를 오버랩하는 수평 팩킹은 N채널 디바이스(18)의 단일 감시 링을 이동시켜 다른 N채널 디바이스를 따라 N채널 디바이스(18')에 인접한 N채널 디바이스(18)를 위치시키는 것을 도시한다. 양쪽에 대한 배치 규칙이 동일하며 안티-래치-업제한 조건이 유사할 때 상기 N채널 디바이스는 매우 가까이 위치할 수 있다. 삼입링을 생략하는 것은 래치-업에서 하나의 구동기가 불량하다 할지라도 제2의 구동기가 작동하도록 하는 것이다. 그때, 모든 디바이스(제7도에 도시된 바와 같이)는 단일 감시 링(122)에 의해 둘러싸여진다. 마찬가지로, P채널 디바이스(16,16')는 매우 가까이 위치되며, 모든 디바이스는 두개의 감시 링(108,120)에 의해 둘러싸여지며, 상기 링은 종래 기술에 따르는 각 감시 링 쌍에 의해 반대편에 위치된다. 구동 제어 회로(14,14')는 양쪽의 배치규칙이 동일하기 때문에 로우(100,102)로 도시되는 바와 같이 매우 가까이 위치된다. 이것은 상기 실시예에서 다이오드(12)를 포함하는 구동 제어 NAND 게이트(14)이다. 즉, 구동제어 NAND 게이트(10)는 도시된 바와 같이 P채널 출력 디바이스(16)에 인접하여 위치된다.

단계(62)(제3도)는 요구되는 바와 같이 감시 링이 보조 소자 로우에 부가되는 것을 제공한다. 실제로 감시 링은 공통으로 사용되며 제8도에 도시된 바와 같이 제공된다. 감시 링(122)는 (제7도), N채널 디바이스(18)(NAND 게이트(14) 및 다이오드 및 인버터(12)를 표시)로 구동 제어부(100,102)를 연장하는 감시링(104)이다. 상기 감시 링(104)은 P채널 디바이스(16)같은 P채널 디바이스를 에워싸는 감시 링(106)이며, 영역(130,132)을 구성하는 구동제어부와 NAND게이트(10)를 분리시킨다. 이것은 제7도 특히 제6도의 감시 링(122,120,180)과 제8도의 감시 링 구조(104,106,108)를 비교할 때 고려할 만한 공간 세이빙은 공통적인 감시 링에 의해 달성되는 것을 알 수 있다.

단계(86)에서 소자 매크로 세트는 필요한 입/출력 회로의 수를 제조하는데 사용된다. 수신 회로에 있어서, 단계(64,66,68,70,72)는 구동 회로를 위한 단계(54,56,58,60,62)의 동일하다. 그러므로 이들은 더 이상 논의 하지 않기로 한다.

정전기 방전 디바이스(ESD)보호에 있어서, 단계(74)는 다른 소자가 자체 보호되는지 어떤지의 결정을 제공한다. 이러한 다른 소자가 내부 클램프 같은 수단에 의해 이러한 다른 소자가 내부 클램프 같은 수단에 의해 자체 보호된다면, 그때, 단계(88)에 따른 방법은 모든 외부 정전기 방전 보호 디바이스를 삭제시킨다. 그러나, 수신 및 구동기가 자체 보호되지 않는다면 그때, 단계(76)에 따른 방법은, 이러한 소자가 구동 회로를 위한 단계(54)의 것과 유사한 방법으로 보조 소자의 수직 스트링으로 연장되도록 한다. 즉 단계(78,80,82,84)는 구동 회로를 위한 단계(56,58,60,62)와 동일함으로 더 이상 기술하지 않는다. 구동 회로의 소자는 분리 정전기 방전 보호를 요구하지 않는다. 왜냐하면 이러한 소자는 기생 트랜지스터의 자체 보호 매커니즘(참조로 본원에 포함된 AT 9-90-006 참조)을 구비한다.

제9도는 OCD세트에서 대해 제3도의 방법에 따라 실제 배치를 나타낸다. 배치는 N확산 감시 링(108)과 N-웰 감시 링(104,06)를 갖는 P채널 출력 디바이스(16)를 도시한다. 즉, 제어 구동 회로(100,102)는 감시 링(104)을 갖는 것으로 도시된다. 또한 N채널 디바이스(18) 및 P채널 디바이스(16)가 도시된다. P채널 제어 회로(130,132)는 제9도의 하부에 도시된다.

상기 방법을 사용함으로써, 감시 링을 분할하여 함께 근접하게 팩된 디바이스 제조에 구성되는 마이크로세트를 포함하는 집적 회로의 배치가 이루어진다. 부가하여, 반대 특성을 갖는 디바이스는 밀접하게 위치되고 공통 감시 링을 분할한다. 상기 방법을 사용함으로써, 입/출력 디바이스의 배치는 수평적으로 인접한 같은 회로 소자를 갖는 비트 병렬 형태로 배열된다.

본 발명은 양호한 실시예를 참조하여 설명되고 도시되었으므로 본 발명 분야에 숙련된 사람이면 본 발명의 사상 및 범위를 벗어나지 않고도 여러 형태의 변형이 가능하다.

(57) 청구의 범위

청구항 1

각 입/출력 회로는 다수 비트 그룹에서 단일 비트를 처리하며 상기 입/출력 회로에 부가하여 다른 회로를 포함하는 반도체 기판상에 다수의 입/출력 회로의 소자를 배치시키는 방법에 있어서, (1) 각 입/출력 회로를, 유사 기능 보조 소자를 포함하는 그룹으로 분할하는 단계와, (2) 각 입/출력 회로에 대한 보조 소자의 수직 칼럼을 형성하여 상기 기능을 수행하도록 상기 보조 소자에 접속시키는 단계와, (3) 동일한 보조 소자의 로우 그룹을 형성하여 상호 인접한 동일 보조 소자를 갖는 다수의 칼럼을 형성하도록 상기 칼럼을 인접하게 배치시키는 단계와, (4) 필요하다면, 상기 보조 소자 로우 그룹 둘레에서 감시 링을 형성하는 단계를 구비하는 다수의 입/출력 회로 소자 배치 방법.

청구항 2

제1항에 있어서, 단계(1)는, 상기 보조 소자를 구동기, 수신기 또는 정전기 방전 보호 기능 보조 소자 그룹으로 분할하는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 3

제1항에 있어서, 단계(2)는 다른 칼럼에서 동일한 보조 소자의 위치에 대하여 동일한 위치에 상기 보조 소자를 위치시키는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 4

제1항에 있어서, 단계(3)는 상기 로우 그룹을 형성하여 매우 근접하게 상기 동일한 보조 소자를 팩킹시키는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 5

제1항에 있어서, 단계(4)는 전용 감시 링을 결합시키는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 6

제4항에 있어서, 단계(3)는 비트 그룹에서 입/출력 회로 비트의 관계 위치에 따라 각 상기 칼럼을 위치시키는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 7

제2항에 있어서, 정전기 방전 보호 회로가 필요한지 아닌지를 결정하며 필요하지 않다면 정전기 방전 회로를 제거하는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 8

각 입/출력 회로는 다수 비트 그룹에서 단일 비트를 처리하고, 상기 입/출력 회로에 부가하여 다른 회로를 포함하는 반도체 기판 상에 전체 입/출력 회로의 소자를 배치시키는 방법에 있어서, (1) 상기 다른 회로의 소자로부터 입/출력 보조 소자 회로 소자를 분리시키는 단계와, (2) 기능을 수행하도록 각 그룹이 상호 접속되는 보조 소자를 포함하여 각 입/출력 회로를 소자 그룹으로 분할하는 단계와, (3) 각 입/출력 회로에 대한 보조 소자의 수직 칼럼 위치를 형성하여 상기 기능을 수행하도록 상기 보조 소자를 연결시키는 단계와, (4) 수직으로 인접한 상기 수직 칼럼을 위치시켜 각 비트에 대한 입/출력 회로 칼럼을 형성하여 상기 칼럼을 접속시키는 단계와, (5) 동일한 보조 소자의 로우 그룹을 형성하여 상호 인접한 동일한 보조 소자를 갖는 다수의 칼럼을 형성하도록 상기 칼럼을 인접하게 배치시키는 단계와, (6) 필요하다면 상기 보조 소자 로우 그룹 주위에서 감시 링을 형성하는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 9

제8항에 있어서, 단계(2)는 상기 보조 소자를 구동기, 수신기 또는 정전기 방전 보호 기능 소자 그룹으로 분할하는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 10

제8항에 있어서, 단계(3)는 다른 칼럼 위치에서 동일한 보조 소자의 위치에 대하여 동일한 위치에 상기 보조 소자를 위치시키는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 11

제8항에 있어서, 단계(5)는 상기 로우 그룹을 형성하여 매우 밀접하게 상기 동일한 보조 소자를 팩킹시키는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 12

제8항에 있어서, 단계(6)는 전용 감시 링을 결합시키는 단계를 포함하는 다수의 입/출력 회로 소자 배치 방법.

청구항 13

제11항에 있어서, 단계(5)는 비트 그룹에서 입/출력 회로 비트의 관계 위치에 따라 각 상기 칼럼을

위치시키는 단계를 포함하는 다수의 입/출력 회로로 소자 배치 방법.

청구항 14

제9항에 있어서, 단계(2)는 정전기 방전 보호 회로가 필요한지 아닌지를 결정하며 필요하지 않다면 정전기 방전 회로를 제거하는 단계를 포함하는 다수의 입/출력 회로로 소자 배치 방법.

청구항 15

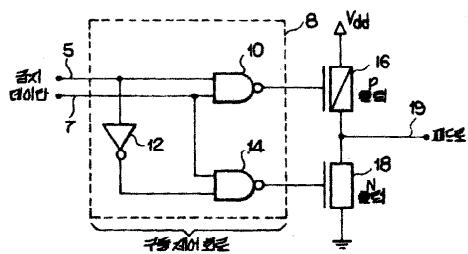
다른 회로를 포함하는 집적 회로 반도체 기판상의 입/출력 회로의 그룹에서, 상기 입/출력 그룹은, 각 칼럼이 비트 그룹에서 단일 데이터 비트를 처리하는 전체 입/출력 회로 소자를 표시하는 회로 소자의 다수의 칼럼과, 상기 입/출력 회로 사이에서 동일한 디바이스를 포함하는 상기 칼럼 양단에 위치되는 다수의 로우와, 상기 다수의 로우중 최소한 하나를 포함하는 감시 링을 구비하는 집적 반도체 기판상의 입/출력 회로.

청구항 16

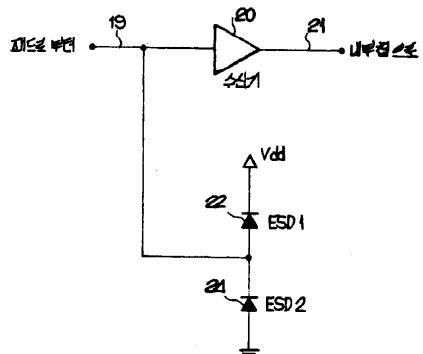
제15항에 있어서, 디바이스 로우의 완전한 보호를 위하여 위치되는 정전기 방전 보호 회로 디바이스를 포함하는 집적 반도체 기판상의 입/출력 회로.

도면

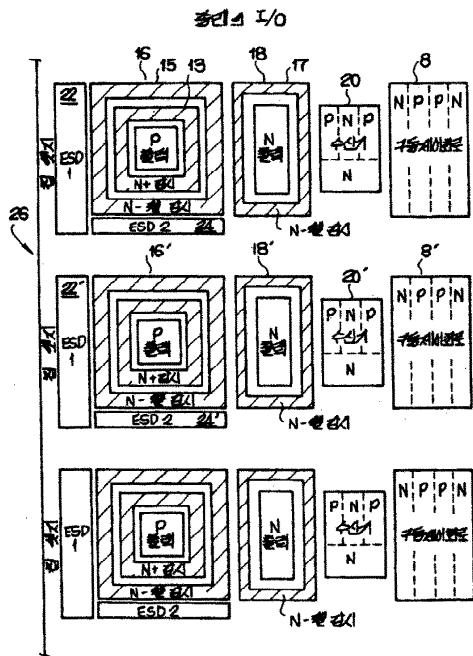
도면 1A



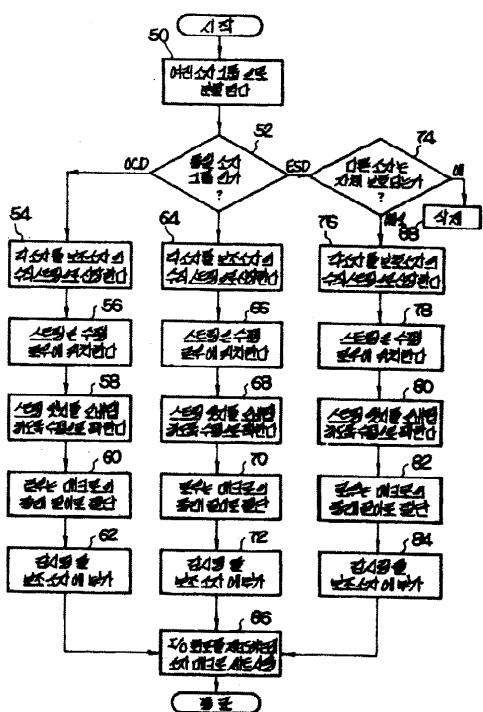
도면 1B



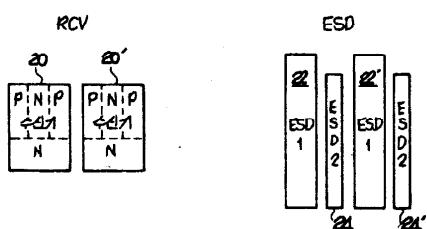
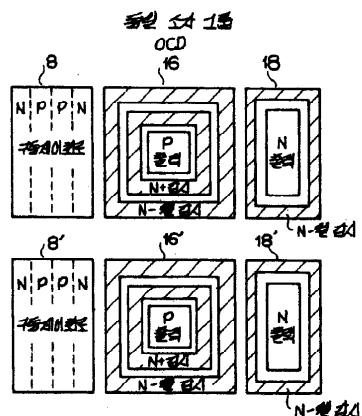
도면2



도면3

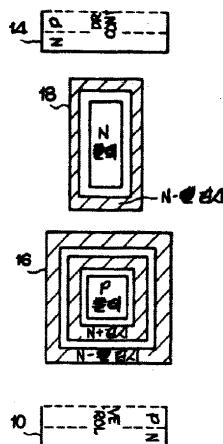


도면4

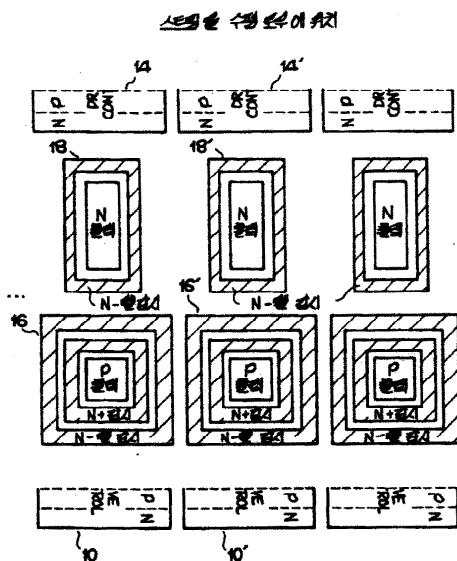


도면5

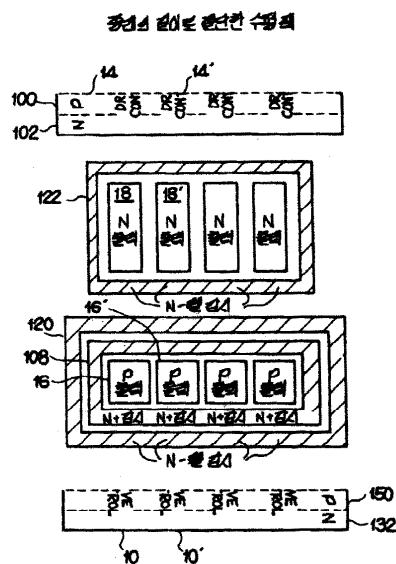
五類最常見的圖形 (五類 OCD)



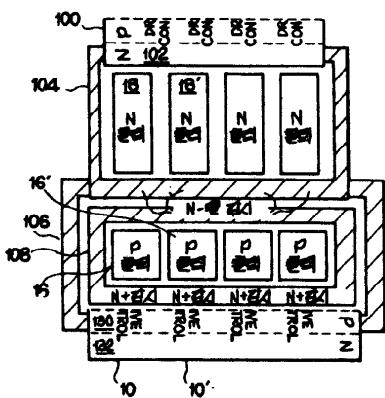
도면6



도면7



도면8



도면9

