



(21)申請案號：105119211

(22)申請日：中華民國 103 (2014) 年 11 月 25 日

(51)Int. Cl.：

*H01L29/43 (2006.01)**H01L29/66 (2006.01)**H01L29/78 (2006.01)*

(30)優先權：2013/12/26 世界智慧財產權組織 PCT/US13/77873

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：艾利克索夫 艾列克珊德 ALEKSOV, ALEKSANDAR (DE)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：16 項 圖式數：8 共 49 頁

(54)名稱

互補式穿隧 F E T 裝置及其形成方法

COMPLEMENTARY TUNNELING FET DEVICES AND METHOD FOR FORMING THE SAME

(57)摘要

揭示使用氧化物及/或有機半導體材料之形成互補式穿隧場效電晶體(TFET)的設備。一種型式的 TFET 包括：基底；摻雜的第一區，形成在基底上方，具有選自週期表的 III-V、IV-IV、及 IV 族組成的群組之 p 型材料；摻雜的第二區，形成在基底上方，具有透明氧化物 n 型半導體材料；及，閘極堆疊，耦合至摻雜的第一及第二區。另一型式的 TFET 包括：基底；摻雜的第一區，形成在基底上方，具有 p 型有機半導體材料；摻雜的第二區，形成在基底上方，具有 n 型氧化物半導體材料；及，閘極堆疊，耦合至摻雜的源極和汲極區。在另一實例中，以有機唯半導體材料用於主動區而製造 TFET。

Described is an apparatus forming complementary tunneling field effect transistors (TFETs) using oxide and/or organic semiconductor material. One type of TFET comprises: a substrate; a doped first region, formed above the substrate, having p-type material selected from a group consisting of Group III-V, IV-IV, and IV of a periodic table; a doped second region, formed above the substrate, having transparent oxide n-type semiconductor material; and a gate stack coupled to the doped first and second regions. Another type of TFET comprises: a substrate; a doped first region, formed above the substrate, having p-type organic semiconductor material; a doped second region, formed above the substrate, having n-type oxide semiconductor material; and a gate stack coupled to the doped source and drain regions. In another example, TFET is made using organic only semiconductor materials for active regions.

指定代表圖：

符號簡單說明：

100 . . . 穿隧場效電  
晶體

120 . . . 穿隧場效電  
晶體

100

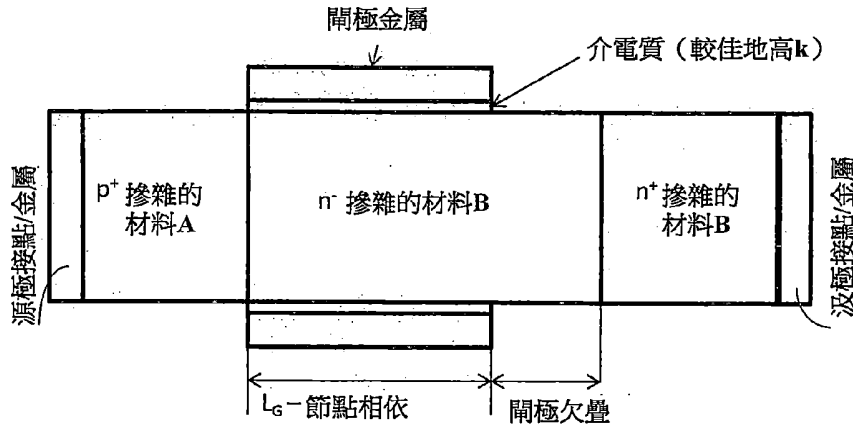


圖 1A

120

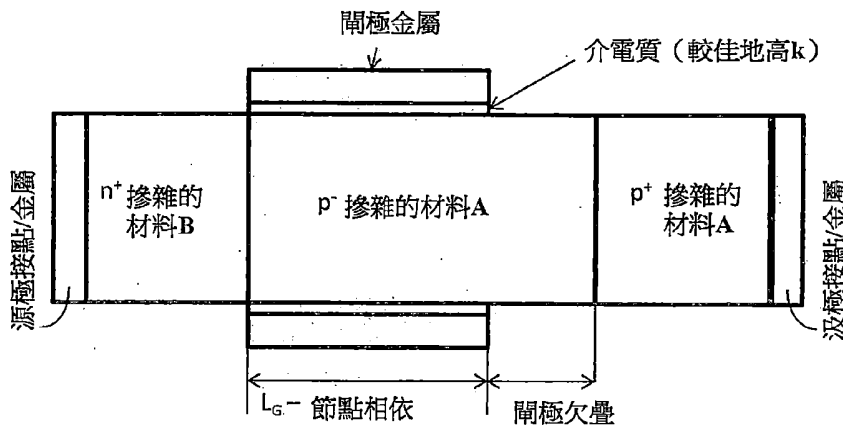


圖 1B

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

互補式穿隧 FET 裝置及其形成方法

Complementary tunneling FET devices and method for forming the same

## 【技術領域】

本發明係關於互補式穿隧 FET 裝置及其形成方法。

## 【先前技術】

在過去數十年，積體電路的特徵縮小一直是成長的半導體產業背後的推力。縮小至愈來愈小的特徵能夠在半導體晶片的有限不動產上增加功能單元的密度。舉例而言，縮小的電晶體尺寸允許將增加數目的記憶體裝置併入於晶片上，導致製造具有增加容量的產品。但是，對於愈來愈多的容量之推動一直是議題。使各裝置的性能最佳化的需求愈來愈重要。

在製造積體電路裝置時，隨著裝置尺寸持續縮小，例如三閘極電晶體等多閘極電晶體變得愈來愈佔優勢。在習知的製程中，三閘極電晶體一般製於塊體矽基底或是絕緣體上矽基底上。在某些情形中，塊體矽基底由於較低成本且因為它們能夠使三閘極製程較不複雜，所以是較佳的。但是，在塊體矽基底上，用於三閘極電晶體的製程當使金屬閘極電極的底部與在電晶體本體的底部之源極和汲極延

伸部尖端(亦即「鰭部」)相對準時，通常會遇到問題。當三閘極電晶體形成於塊體基底上時，為了最佳化的閘極控制及降低短通道效應，需要適當的對準。舉例而言，假使源極和汲極延伸部尖端比金屬閘極電極更深時，則會發生打穿。替代地，假使金屬閘極電極比源極和汲極延伸尖端更深時，結果會是不必要的閘極寄生電容。已嘗試很多不同的技術來降低電晶體的接面漏電。但是，在接面漏電抑制的領域，仍然需要顯著的改良。

穿隧式場效電晶體(TFET)由於更陡峭的次臨界斜率而在提供顯著的性能增進上是有前景的裝置。目前用以製造TFET裝置異質接面的二材料是GaSb(p型)及InAs(n型)。目前的TFET裝置在相同的技術節點上苦於比Si-FET更低的電流及苦於在夾止點的寄生穿隧漏電流(亦即，降低的開/關比例)。此理由主要在於InAs的低能帶隙能量及低的導電帶狀態密度(CBDOS或 $N_c$ )。

#### 【圖式簡單說明】

從揭示之下述詳細說明及本發明的不同實施例之附圖，將更完整瞭解本揭示的實施例，但是，這些說明及圖式僅用於說明及瞭解，不應被視為將本揭示侷限於特定實施例。

圖 1A 顯示 n 型 TFET 的一般 TFET 結構。

圖 1B 顯示 p 型 TFET 的一般 TFET 結構。

圖 2 顯示根據本揭示的一實施例之 n-TFET 的能帶

圖。

圖 3A-D 顯示根據本揭示的一實施例之使用氧化物半導體材料的 p 型和 n 型 TFET 之能帶對準圖。

圖 4A-D 顯示根據本揭示的一實施例之使用氧化物及/或有機半導體材料的 p 型和 n 型 TFET 之能帶對準圖。

圖 5A 顯示氧化物及比較的半導體根據它們的電荷中性位準對準之能帶圖。

圖 5B 顯示氧化物及比較的半導體根據它們的真空位準對準之能帶圖。

圖 6A-H 顯示根據本揭示的一實施例之使用氧化物半導體材料以形成 TFET 時的製程流程圖。

圖 7A-H 顯示根據本揭示的一實施例之使用有機半導體材料以形成 TFET 時的製程流程圖。

圖 8 是根據本揭示的一實施例之設有 TFET 的智慧型裝置或電腦系統或 SoC(系統晶片)。

### 【發明內容及實施方式】

實施例說明包括具有間斷能帶對準的異質界面之 TFET 接面的材料。此處用於 n-TFET 之「間斷能帶對準」意指在用於源極主動層的材料之共價帶能量與用於通道區(通道區是包含閘極欠疊之閘極區的半導體材料)的材料之導電帶能量之間的能隙。通道與汲極區材料通常是相同的(具有不同的摻雜程度,但是,一般而言,根據不同實施例,其可包括不同的材料)。間斷能帶(亦即,一能帶

與另一能帶之間的差)可以大於或等於零(或正好約為零)。對於 p-TFET，間斷能隙是從源極區的導電帶(n 型摻雜的)至通道區的共價帶之能隙。

在一實施例中，形成異質接面的材料具有用於 p 型之高的有效共價帶狀態密度(VBDOS 或  $N_V$ )以及用於 n 型之高的有效導電帶狀態密度(CBDOS 或  $N_C$ )，以取得可與目前的 Si-FET 相比或超過的高電流。在一實施例中，用於形成 TFET 的材料具有的能帶隙比操作電壓( $V_{DD}$ )產生的電位差更寬，以抑制不必要的夾止漏電流。

實施例說明 TFET 結構(用於能夠形成 C-TFET 邏輯(亦即，互補 TFET 邏輯)之 n-TFET 及 p-TFET)，TFET 結構在相同的技術節點，具有的裝置性能實質上等於或超過 Si-FET 的裝置性能，並維持或增進次臨界值斜率及最小化裝置/電路之關閉狀態漏電流。某些實施例說明使用替代材料以形成 TFET，亦即，替代材料為今日用於形成 TFET 之材料(亦即，標準的 IV 族或 IV-IV 族合金或古典的 III-V 族材料)以外的材料族群。在一實施例中，與古典的標準 III-V、IV-IV、及 IV 族材料相結合的透明無機半導體氧化物材料用於形成 TFET。在一實施例中，使用透明無機半導體氧化物材料結合有機半導體材料形成 TFET。在一實施例中，僅有有機半導體材料用於形成 TFET 的主動區以減少上述 TFET 裝置的缺點。

實施例使用於 TFET 裝置之間斷能帶隙對準成為可能。實施例呈現導電及共價帶中用於高性能之 DOS(狀態

密度)(在相同材料中不一定必要)，以致於高性能 p-TFET 及 n-TFET 能夠形成具有比目前的 TFET 更高位準的電流之互補穿隧 FET 邏輯(C-TFET)。在一實施例中，電流可以良好地達到或超過相同技術節點的 Si-FET 中的電流位準。

某些實施例使用具有更高的能帶隙之材料以抑制關閉狀態的漏電流。這些實施例顯示優於目前的 TFET 之漏電性能。某些實施例能夠在 Si 以外的不同基底上形成這些邏輯裝置(例如但不限於玻璃、聚合物)及/或透明裝置(使用由透明或半透明材料製成的電極)。舉例而言，透明半導體氧化物及有機半導體可以相結合以取得透明裝置。在一實施例中，僅有有機半導體用於形成 TFET 的主動區。某些實施例說明以低溫製程製造 TFET 的方法，低溫製程允許在可撓基底上製造更高性能的裝置。在這些實施例中，可取得更高性能的可撓邏輯，這對於將計算延續性擴充至穿戴式及可撓電子領域是重要的。

某些實施例說明使用有機異質界面及氧化物半導體/有機異質界面之低溫製程會允許製造垂直堆疊的裝置。在這些實施例中，在相同技術節點上，可以取得電路工作面積的顯著縮減。實施例說明比傳統的 TFET 材料呈現更有效率的閘極控制之材料，這是因為所述的材料比今日 TFET 中使用之古典的 III-V 族半導體 GaSb 及 InAs 具有更低的  $\epsilon_r$ 。在一實施例中，所述的有機半導體具有 2.5 至 3.5 之相當低的  $\epsilon_r$ ，而由於電壓降在閘極介電質與閘極通

道層(亦即半導體)之間分壓，允許對 n-TFET 或 p-TFET(具有 p<sup>-</sup>或本質控制層)有更佳的閘極控制。

在下述說明中，說明眾多細節以助於更瞭解本揭示的實施例說明。但是，習於此技藝者將清楚，沒有這些特定細節，仍可實施本揭示的實施例。在其它情形中，以方塊圖形式而非詳細地顯示習知的結構及裝置，以免模糊本揭示的實施例。

注意，在實施例的對應圖式中，以線代表訊號。某些線較粗以表示更多構成的訊號路徑，以及/或在一或更多端具有箭頭，以表示主要的資訊流向。這些表示並非是限定性的。相反地，配合一或更多舉例說明的實施例，使用線以便於更容易瞭解電路或邏輯單元。如設計需求或偏好所示之任何呈現的訊號事實上包括在任一方向上行進的一或多個訊號且可以任何適當型式的訊號設計來實施。

在說明書及申請專利範圍中，「連接」一詞意指在連接的事物之間直接連接，而無任何中介裝置。「耦合」一詞意指在相連接的事物之間的直接電連接，或是經由一或更多被動或主動中間裝置之間接連接。「電路」一詞意指一或更多配置成彼此協力以提供所需功能之被動及/或主動組件。「訊號」一詞意指至少一電流訊號、電壓訊號或資料/時脈訊號。「一(a 或 an)」及「定冠詞(the)」包含複數含意。「在...之中(in)」包含「在...之中(in)」及「在...之上(on)」。

「比例化」一詞一般意指將設計(圖及佈局)從一處理

技術轉換至另一處理技術。「比例化」一詞通常也意指在相同的技術節點內縮小佈局及裝置。舉例而言，「比例化」一詞也意指相對於例如電源位準等另一參數之訊號頻率的調整(例如減速)。「實質上」、「靠近」、「幾乎」、「接近」、及「約」等詞一般意指在目標值的 $\pm 20\%$ 之內。

除非另外指明，否則，使用序數形容詞「第一」、「第二」、及「第三」等等以說明共同的物件，但僅表示意指類似的物件之不同情形，而非要意指被如此說明的物件必須是依給定的順序、或是依時間、依空間、依層級或依任何其它方式。

基於實施例的目的，電晶體是金屬氧化物半導體(MOS)電晶體，其包含汲極、源極、閘極及塊體終端。電晶體也包含三閘極和鰭式 FET 電晶體、閘極全環繞圓柱電晶體、TFET、或是例如奈米碳管或自旋電子裝置等其它實施電晶體功能的裝置。源極和汲極端可以是相同的端且於此可交互使用。習於此技藝者將瞭解，在不悖離揭示的範圍之下，可以使用例如雙極接面電晶體 -BJT PNP/NPN、BiCMOS、CMOS、eFET 等等其它電晶體。

「MN」一詞意指 n 型電晶體(例如 NMOS、NPN、BJT、等等)以及「MP」一詞意指 p 型電晶體(例如 PMOS、PNP、BJT、等等)。

圖 1A 顯示用於 n 型 TFET 的一般 TFET 結構 100。此處，TFET 具有由介電材料(例如高 K 材料)上的閘極金屬

形成的閘極端。介電材料耦合材料 B 形成之本質或輕度摻雜的 n 型主動區。在閘極之下的最小有效通道長度(亦即  $L_G$ )是處理節點相依的。在輕度摻雜的 n 型主動區(亦即 n<sup>-</sup>摻雜的)的任一側上是形成源極區之 p<sup>+</sup>摻雜的主動區以及形成汲極區之 n<sup>+</sup>摻雜的主動區。p<sup>+</sup>摻雜區由材料 A 形成，而 n<sup>+</sup>摻雜區由材料 B 形成。金屬接點耦合至各 p<sup>+</sup>及 n<sup>+</sup>摻雜區，以分別提供源極和汲極接點。如同所示，在閘極下之 n<sup>-</sup>摻雜的主動區會過延伸形成閘極欠疊。也可使用材料 C(不同於材料 A 及 B)以形成 n<sup>+</sup>摻雜區之汲極區。

在一實施例中，材料 A 選自古典的 III-V、IV-IV、及 IV 族(例如 Ge、GaSb、等等)，而材料 B 選自透明氧化物半導體(例如  $\alpha$ -Ga<sub>2</sub>O<sub>3</sub>、 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>、In<sub>2</sub>O<sub>3</sub>、或 SnO<sub>2</sub>)。在一實施例中，材料 A 選自有機半導體(例如，P3HT、PCBM、PEDOT:PSS、CuPc、CoPc 或其它具有對準氧化物半導體的間斷能帶之有機材料(亦即，這些有機半導體的共價帶在氧化物的導電帶上方(亦即，較接近真空位準))，其中，P3HT 是聚(3-己基噻吩-2,5-二基)；PCBM 是苯基-C61-丁酸甲酯；PEDOT:PSS 是聚(3,4-乙烯二氧基噻吩-2,5-二基)聚(苯乙烯磺酸鹽)，CuPc 是銅(II)酞青；CoPc 是鈷酞青)。在一實施例中，材料 B 是選自透明或半透明氧化物半導體(例如 Ga<sub>2</sub>O<sub>3</sub>、In<sub>2</sub>O<sub>3</sub>、或 SnO<sub>2</sub>)。在一實施例中，材料 A 選自有機半導體(例如 p<sup>++</sup>P3HT、PCBM、PEDOT:PSS、CuPc、CoPc 等等)，而材料 B 也是選自有機半導體(例如 F16CuPc、SnCl<sub>2</sub>Pc、等等，其中，F16CuPc

是六十氟酞青銅)。

圖 1B 顯示用於 p 型 TFET 的一般 TFET 結構 120。此處，TFET 具有由介電材料(例如高 K 材料)上的閘極金屬形成的閘極端。介電材料耦合材料 A 形成之稍微摻雜的 p 型主動區(亦即 p<sup>-</sup>摻雜)。在閘極之下的最小有效通道長度(亦即 L<sub>G</sub>)是處理節點相依的。在稍微摻雜的 p 型主動區(亦即 p<sup>-</sup>摻雜的)的任一側上是形成源極區之 n<sup>+</sup>摻雜的主動區以及形成汲極區之 p<sup>+</sup>摻雜的主動區。n<sup>+</sup>摻雜區由材料 B 形成，而 p<sup>+</sup>摻雜區由材料 A 形成。也可使用材料 C(不同於材料 A 及 B)以形成 n<sup>+</sup>摻雜區之汲極區。材料 A 及 B 是參考圖 1A 所述的。再參考圖 1B，金屬接點耦合至各 n<sup>+</sup>及 p<sup>+</sup>摻雜區，以分別提供源極和汲極接點。如同所示，在閘極金屬下之 p<sup>-</sup>摻雜的主動區會過延伸形成閘極欠疊。在一實施例中，TFET(n-TFET 及/或 p-TFET)是鰭式 FET、三閘極、或是方形奈米線式裝置。

圖 2 闡明一顯示根據本揭示的一實施例之 TFET 的能帶圖之圖形 200。必須指出，具有與任何其它圖的元件相同代號(或名稱)之圖 2 的這些元件可以以任何類似之說明方式操作或作用，但是不侷限於此。

此處，x 軸是距離，y 軸是電子伏特(eV)為單位之能帶隙能量 E。此處，在能量尺度上的數字表示離真空位準的距離。實線表示無外加電壓下的能帶對準(亦即，中性/關閉狀態)。虛線表示當施加操作電壓至汲極區時的以及無電壓施加至閘極區時(亦即，關閉狀態)的能帶對準。虛

線表示當操作電壓施加至汲極和閘極區時(亦即，開啟狀態)的能帶對準。此處，實線、虛線、及點虛線是表示在不同操作模式下的相同裝置。

圖形 200 顯示 p 型 TFET 的能帶對準，p 型 TFET 由高度摻雜 p 型(亦即， $p^{++}$ 摻雜)之來自古典的 III-V、IV-IV、及 IV 族(例如 Ge、GaSb)的材料 A 製成。對於  $p^{++}$ 摻雜的 Ge，導電帶的能量(亦即， $E_{cGe}$ )約為 4eV，而共價帶的能量(亦即， $E_{vGe}$ )低於  $E_{cGe}$  但高於汲極區的導電帶能量。在一實施例中，汲極區由高度摻雜的 n 型(亦即， $n^+$ 摻雜)透明氧化物半導體材料(例如  $\alpha$ -Ga<sub>2</sub>O<sub>3</sub>、 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>、In<sub>2</sub>O<sub>3</sub>、或 SnO<sub>2</sub>)製成。SnO<sub>2</sub> 的導電帶的能量(亦即  $E_{cSnO2}$ )低於(或等於，亦即，邊線間斷能隙)形成中斷能帶隙的  $E_{vGe}$ 。在汲極區與源極區之間的區域是由透明氧化物半導體材料(例如  $\alpha$ -Ga<sub>2</sub>O<sub>3</sub>、 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>、In<sub>2</sub>O<sub>3</sub>、或 SnO<sub>2</sub>)製成的輕度摻雜的 n 型區(亦即， $n^-$ )。在例如此之裝置中的閘極通常/理想地全圍繞通道材料/區域(例如材料 B 的輕度摻雜部份)或是從一側至少正接觸此區域。在閘極金屬與通道材料/區域(亦即，材料 B 的輕度摻雜區域)之間有介電材料(高 k 或非高 k)。在圖 200 中，閘極是顯示閘極空間上延著 X 軸設置之佔位。

圖 3A-D 顯示根據本揭示的一實施例之使用氧化物半導體材料的 p 型和 n 型 TFET 之能帶對準。必須指出，具有與任何其它圖的元件相同代號(或名稱)之圖 3A-D 的這些元件可以以任何類似之說明方式操作或作用，但是不侷

限於此。

圖 3A 顯示圖形 300，圖形 300 顯示根據一實施例之 p-TFET 的能帶對準。圖 3B 顯示圖形 320，圖形 320 顯示根據一實施例之 n-TFET 的能帶對準。圖 3C 顯示圖形 330，圖形 330 顯示根據另一實施例之 p-TFET 的能帶對準。圖 3D 顯示圖形 340，圖形 340 顯示根據另一實施例之 n-TFET 的能帶對準。在圖 3A-D 的實施例中，透明氧化物半導體材料用於 n 型材料，而古典的 III-V、IV-IV、及 IV 族半導體材料用於 p 型材料。此處，代表半導體材料之各方塊或長方形的頂部是導電帶(CB)及各方塊的底部是共價帶(VB)。

在一實施例中，傳統上以 InAs 用於 TFET 由透明氧化物半導體材料取代。在一實施例中，透明氧化物半導體材料選自包括  $\beta\text{-Ga}_2\text{O}_3$ 、 $\text{In}_2\text{O}_3$ 、或  $\text{SnO}_2$  之群組。在一實施例中， $\beta\text{-Ga}_2\text{O}_3$  在  $\Gamma$  點(亦即，伽瑪點)具有單一導電帶最小值。歸因於約  $0.34 m_0$  之高有效質量， $\beta\text{-Ga}_2\text{O}_3$  的  $N_C$  幾乎是  $5.7 \times 10^{18} \text{ cm}^{-3}$ 。這比 InAs 的  $N_C$  高約二個數量級。 $\beta\text{-Ga}_2\text{O}_3$  的  $\epsilon_r$  約為 10，低於約 15.2 之 InAs 的  $\epsilon_r$ 。 $\beta\text{-Ga}_2\text{O}_3$  具有約 4.7 eV 至 4.9 eV 的寬能帶以及約  $8 \times 10^6 \text{ V/cm}$  的高崩潰電場。 $\beta\text{-Ga}_2\text{O}_3$  的電子親和力是在 4.7 eV 至 5.1 eV 的範圍內。

在一實施例中， $\text{SnO}_2$  的直接能帶隙約為 3.6 eV 且其電子親和力是在 4.7 eV 至 5.0 eV 的範圍內。 $\text{SnO}_2$  的有效質量(亦即，DOS)約  $0.275 m_0$ ，造成約  $4.1 \times 10^{18} \text{ cm}^{-3}$  的

$N_C$ ，比  $\beta\text{-Ga}_2\text{O}_3$  中的還低，但仍然比 InAs 中的還高出一個數量級。 $\text{SnO}_2$  具有高達  $2\text{-}8 \times 10^{20} \text{cm}^{-3}$  的 n 型摻雜濃度。

參考圖 3A 的 p-TFET，源極區由任一高度摻雜的古典 III-V、IV-IV、及 IV 族材料(例如  $p^{++}$  摻雜的 Ge)形成，汲極區由高度摻雜的(亦即  $n^+$  摻雜)透明氧化物半導體材料(例如  $\alpha\text{-Ga}_2\text{O}_3$ 、 $\beta\text{-Ga}_2\text{O}_3$ 、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$  中之一)形成。閘極重疊區由稍微摻雜的(亦即  $n^-$  摻雜)n 型透明氧化物半導體材料形成。參考圖 3B 的 n-TFET，源極區由任一高度摻雜的古典 III-V、IV-IV、及 IV 族材料(例如  $p^{++}$  摻雜的 Ge)形成，汲極區由高度摻雜的(亦即  $n^+$  摻雜)透明氧化物半導體材料(例如  $\alpha\text{-Ga}_2\text{O}_3$ 、 $\beta\text{-Ga}_2\text{O}_3$ 、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$  中之一)形成。閘極重疊區由來自古典 III-V、IV-IV、及 IV 族的任一材料之稍微摻雜的(亦即  $p^-$  摻雜)p 型材料形成。

參考圖 3C 的 p-TFET，源極區由任一高度摻雜的古典 III-V、IV-IV、及 IV 族材料(例如  $p^{++}$  摻雜的 GaSb)形成，汲極區由高度摻雜的(亦即  $n^+$  摻雜)透明氧化物半導體材料(例如  $\alpha\text{-Ga}_2\text{O}_3$ 、 $\beta\text{-Ga}_2\text{O}_3$ 、 $\text{GaGdO}_x$ 、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$  中之一)形成。閘極重疊區由稍微摻雜的(亦即  $n^-$  摻雜)n 型透明氧化物半導體材料形成。參考圖 3D 的 n-TFET，源極區由任一高度摻雜的古典 III-V、IV-IV、及 IV 族材料(例如  $p^{++}$  摻雜的 GaSb)形成，汲極區由高度摻雜的(亦即  $n^+$  摻雜)透明氧化物半導體材料(例如  $\alpha\text{-Ga}_2\text{O}_3$ 、 $\beta\text{-Ga}_2\text{O}_3$ 、 $\text{GaGdO}_x$ 、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$  中之一)形成。閘極重疊區由來自古典 III-V、IV-IV、及 IV 族之任一材料之稍微摻雜的(亦即  $p^-$  摻

雜)p 型材料(例如 p<sup>-</sup>摻雜的 Ge)形成。

Ga<sub>2</sub>O<sub>3</sub>(亦即, GaGdO<sub>x</sub>, 其中 x 是整數)是介電質, 使得 GaAs MOSFET 能夠取得用於 GaSb/β-Ga<sub>2</sub>O<sub>3</sub> 或 GaSb/α-Ga<sub>2</sub>O<sub>3</sub> 介面之低介面密度。在一實施例中, α-Ga<sub>2</sub>O<sub>3</sub> 或 β-Ga<sub>2</sub>O<sub>3</sub> 表現類似 GaSb 氧化物。在一實施例中, 使用介面狀態鈍化方法, 以在異質介面介面處從一材料至其它材料之轉變時降低或消除在介面狀態。GaSb 的共價帶在約 4.9 eV, 提供中斷能帶隙給 GaSb/β-Ga<sub>2</sub>O<sub>3</sub> p/n 異質介面, 在 p<sup>-</sup>摻雜的 GaSb 共價帶與 n<sup>-</sup>摻雜的 β-Ga<sub>2</sub>O<sub>3</sub> 導電帶之間有高達 0.2 eV 的中斷。

在一實施例中, p 型摻雜的 Ge、SiGe、或 Si 與 n 型摻雜的 SnO<sub>2</sub> 相結合以形成 TFET。Sn 是 IV 族元素且本身與 Ge 和 Si 等電位, 以及 SnO<sub>2</sub> 具有類似於 GeO<sub>2</sub> 和 SiO<sub>2</sub> 的結構。期望在一側上 Si、Ge、SiGe、及 Sn 與另一側上 SiO<sub>2</sub>、GeO<sub>2</sub> 及 SnO<sub>2</sub> 之間的此電子及結構相似性允許低狀態異質介面。間斷能帶隙對齊如同對 GaSb/β-Ga<sub>2</sub>O<sub>3</sub> 般造成類似的中斷。圖 5A-B 顯示用於評估不同材料結合的能帶對準之圖形。

圖 4A-D 顯示根據本揭示的一實施例之使用氧化物及/或有機半導體材料的 p 型和 n 型 TFET 之能帶對準圖。必須指出, 具有與任何其它圖的元件相同代號(或名稱)之圖 4A-D 的這些元件可以以任何類似之說明方式操作或作用, 但是不侷限於此。

圖 4A 顯示圖形 400, 圖形 400 顯示根據一實施例之

p-TFET 的能帶對準。圖 4B 顯示圖形 420，圖形 420 顯示根據一實施例之 n-TFET 的能帶對準。圖 4C 顯示圖形 430，圖形 430 顯示根據另一實施例之 p-TFET 的能帶對準。圖 4D 顯示圖形 440，圖形 440 顯示根據另一實施例之 n-TFET 的能帶對準。在圖 4A-B 的實施例中，透明氧化物半導體材料用於 n 型材料，而有機半導體材料用於 p 型材料。在圖 4C-D 的實施例中，有機半導體材料用於 p 型及 n 型材料。此處，代表半導體材料之各方塊或長方形的頂部是導電帶(CB)及各方塊的底部是共價帶(VB)。

參考圖 4A 的 p-TFET，源極區由有機半導體材料形成，汲極區由高度摻雜的(亦即  $n^+$ 摻雜)透明氧化物半導體材料(例如  $\beta\text{-Ga}_2\text{O}_3$ 、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$  中之一)形成。p 型有機半導體材料的實例包含 P3HT、MDMO-PPV(亦即，聚[2-甲氧基-5-(3,7-二甲基辛氧基)-1,4-伸苯基-伸乙烯基])、PEDOT:PSS、CuPc、CoPc。對於 P3HT、MDMO-PPV、及稠五苯，同質能量約為 4.7 eV 至 5.1 eV。此處，「HOMO」一詞意指最高被佔據的分子軌道。對於分子或分子晶體，例如有機材料，HOMO 等於共價帶邊緣  $E_v$ 。此處，「LUMO」一詞意指最高未被佔據的分子軌道。對於分子或分子晶體(例如這些有機材料)，LUMO 是導電帶邊緣  $E_c$  的等效。對於 PEDOT:PSS 的 HOMO 能量約為 5.0 eV 至 5.3 eV。能帶位置會受沈積方法及後置沈積處理影響。P3HT、PEDOT:PSS 可以是重度摻雜的(亦即，大於  $3 \times 10^{20} \text{ cm}^{-3}$  之 PDOT:PSS 電洞濃度)。P3HT 及

PEDOT:PSS 的能帶隙約為 1.7 eV 至 2.0 eV。HOMO 的  $N_v$  良好地在數個  $10^{18} \text{ cm}^3$  之上。在一實施例中，閘極區由輕度摻雜的(亦即， $n^-$ 摻雜) $n$  型透明氧化物半導體材料形成。也可使用此處未列出但具有適當的能帶對準及摻雜特性之其它有機材料。

參考圖 4B 的  $n$ -TFET，源極區由  $p$  型有機半導體材料形成(例如， $p^{++}$ 摻雜的 P3HT、MDMO-PPV、PEDOT:PSS 中之一)，汲極區由高度摻雜的(亦即  $n^+$ 摻雜)透明氧化物半導體材料(例如  $\alpha\text{-Ga}_2\text{O}_3$ 、 $\beta\text{-Ga}_2\text{O}_3$ 、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$  中之一)形成。閘極重疊區由稍微摻雜的(亦即， $p^-$ 摻雜)來自  $p$  型有機半導體材料之  $p$  型材料形成。也可使用此處未列出但具有適當的能帶對準及摻雜特性之其它有機材料。

在一實施例中，與氧化物半導體結合，能帶對準顯示在 0 eV 至 0.3 eV 之間的中斷能隙，當使用 PEDOT:PSS 時，值約 0 eV 至 0.1 eV，在 P3HT、CuPc、或 CoPc 時更高。在一實施例中，未經摻雜的 P3HT 也作為  $p^-$ 材料， $p^-$ 材料也是 CoPc 或 CuPc。也可使用此處未述及但具有適當的能帶對準及摻雜特性之其它有機材料。在一實施例中，對於有機半導體材料，添加表面分離的有機單聚層會允許調諧表面雙極以並因而調諧能帶對準。

參考圖 4C 的  $p$ -TFET，源極區由有機半導體材料形成(例如， $p^{++}$ 摻雜的 P3HT、MDMO-PPV、PEDOT:PSS)，汲極區由高度摻雜的(亦即  $n^+$ 摻雜)有機半導體材料(例如 F16CuPc、 $\text{SnCl}_2\text{Pc}$ 、等等)形成。閘極重疊區由稍微摻雜

的(亦即,  $n^-$  摻雜)來自  $n$  型有機半導體材料(例如 F16CuPc、 $\text{SnCl}_2\text{Pc}$ 、等等)形成。參考圖 4D 的  $n$ -TFET, 源極區由任一高度摻雜的有機半導體材料(例如,  $p^{++}$  摻雜的 P3HT、MDMO-PPV、PEDOT:PSS)形成, 汲極區由高度摻雜的(亦即  $n^+$  摻雜)有機半導體材料(例如 F16CuPc、 $\text{SnCl}_2\text{Pc}$ 、等等)形成。閘極區由稍微摻雜的(亦即,  $p^-$  摻雜)來自有機半導體材料(例如,  $p^{++}$  摻雜的 P3HT、MDMO-PPV、PEDOT:PSS 中之一)之  $p$  型材料形成。

雖然很多有機  $n$  型材料具有傾向於 2.5 eV 至 3.5 eV 的  $E_{\text{vac}}$  之很淺的 LUMO, 在一實施例中, 例如 F16CuPc 等具有在  $E_{\text{vac}}$  之下約 4.9 eV 的 LUMO 有機  $n$  型半導體可以對例如 P3HT 的 HOMO 位準形成優良適配。雖然有機材料的遷移率很低, 但是, 在一實施例中, 假使閘極在載子波長的長度之內且閘極欠疊比載子波長還短, 則對於 TFET, 本質裝置性能不會由遷移率界定。在一實施例中, 導因於有機半導體材料的高載子濃度, 重度摻雜的區域會降低寄生電阻。舉例而言, PDOT-PSS 可以具有接近 ITO 的導電率。

圖 5A 顯示氧化物及比較的半導體根據它們的電荷中性位準對準之能帶圖 500。必須指出, 具有與任何其它圖的元件相同代號(或名稱)之圖 5A 的這些元件可以以任何類似之說明方式操作或作用, 但是不侷限於此。

此處, 在  $x$  軸上, 根據半導體的電荷中性位準而列出多個半導體, 以及, 在  $y$  軸上, 以 eV 為單位繪出它們的

能帶隙能量。代表半導體氧化物的各方塊的頂部是導電帶 (CB) 以及各方塊的底部是共價帶 (VB)。各方塊的 CB 與 VB 之間的差是半導體氧化物的能帶隙能量。藉由選擇 Ge 以用於 p 型源極區以及選擇 SnO<sub>2</sub> (透明或半透明的半導體氧化物) 以用於 n 型汲極區，觀察到約 250 meV 的間斷能隙，允許這二材料結合以形成 p 型 TFET。

圖 5B 顯示氧化物及比較的半導體根據它們的真空位準對準之能帶圖 520。必須指出，具有與任何其它圖的元件相同代號 (或名稱) 之圖 5B 的這些元件可以以任何類似之說明方式操作或作用，但是不侷限於此。

此處，在 x 軸上，根據半導體的真空位準而列出多個半導體，以及，在 y 軸上，以 eV 為單位繪出它們的能帶隙能量。代表半導體氧化物的各方塊的頂部是導電帶 (CB) 以及各方塊的底部是共價帶 (VB)。各方塊的 CB 與 VB 之間的差是半導體氧化物的功函數。對相同的材料結合，比較圖 5A 和圖 5B，取得不同的能帶偏移或間斷能隙配置。對於使用選取的材料而製成的異質介面，真實的能帶偏移及能帶對準有點在圖 5A 與圖 5B 中的結果之間中。在大部份的情形中，藉由根據電荷中性位準 (CNL) 之能帶對準，可以示出能帶偏移的較佳引導。

圖 6A-H 顯示根據本揭示的一實施例之當使用氧化物半導體材料以形成 TFET 時的製程流程圖。必須指出，具有與任何其它圖的元件相同代號 (或名稱) 之圖 6A-H 的這些元件可以以任何類似之說明方式操作或作用，但是不侷

限於此。

在一實施例中，n-電極(例如金屬)形成於基底(例如矽基底)上。在一實施例中，高度摻雜的 n 型透明半導體氧化物材料層(例如  $n^+$ 摻雜的  $\beta\text{-Ga}_2\text{O}_3$ )形成於 n-電極上。在一實施例中，在高度摻雜的透明半導體氧化物材料層(例如  $n^+\beta\text{-Ga}_2\text{O}_3$ )上形成稍微摻雜的 n 型透明半導體氧化物材料層(例如  $n^-$ 摻雜的  $\beta\text{-Ga}_2\text{O}_3$ )。在一實施例中，高度摻雜的來自古典 III-V、IV-IV、或 IV 族材料之 p 型半導體材料(例如  $p^+$ 摻雜的 Ge)沈積於稍微摻雜的 n 型透明半導體氧化物材料層(例如  $n^-$ 摻雜的  $\beta\text{-Ga}_2\text{O}_3$ )。在一實施例中，光阻(PR)層沈積於高度摻雜的 p 型半導體材料。參考圖 6A 的層堆疊 600，說明製程。

圖 6B 顯示當 F 為基礎的(氟為基礎的)ICP(感應耦合電漿) RIE(反應離子蝕刻)施加至光阻時之處理 620。施加此處理以移除光阻層及蝕刻高度摻雜的 p 型半導體材料( $p^+$ 摻雜的 Ge)。ICP-RIE 的處理停止於輕度摻雜的  $n^-\beta\text{-Ga}_2\text{O}_3$  透明半導體氧化物層。

圖 6C 顯示處理 630，其中， $n^-\beta\text{-Ga}_2\text{O}_3$  透明半導體氧化物層被選擇性蝕刻。在一實施例中，使用 Cl 為基礎的(氯為基礎的)RIE 處理，以選擇性蝕刻  $n^-\beta\text{-Ga}_2\text{O}_3$  的層。在一實施例中，將 F 氣體用在混合物中以稍微蝕刻 Ge。在選擇性蝕刻之後，形成斜切蝕刻壁，以用於閘極金屬自行對準。圖 6D 顯示處理 640，其中，高 K 閘極介電材料(例如，ALD-原子層沈積)641 沈積於斜切蝕刻的  $n^-\beta\text{-Ga}_2\text{O}_3$  及

$p^+$  Ge 上。

圖 6E 顯示處理 650，其中，閘極金屬 651 沈積於高 K 閘極介電材料層 641 上。圖 6F 顯示處理 660，其中，低 K ILD 661 材料沈積於閘極金屬 651 層上，其中，ILD 是層間介電質，為用於互連堆疊之低 K 材料。圖 6G 顯示處理 670，其中，移除低 K ILD 661 材料層上的過量材料，亦即，平坦化。圖 6H 顯示處理 680，其中，藉由在平坦化的表面上沈積金屬而形成電極 681。在本實例中，形成 p-電極。並未顯示所有處理。舉例而言，用於 n-電極之通路及垂直連接的形成。但是，使用習知的方法，可以執行這些處理。

圖 7A-H 顯示根據本揭示的一實施例之當使用有機半導體材料以形成 TFET 時的製程流程圖。必須指出，具有與任何其它圖的元件相同代號(或名稱)之圖 7A-H 的這些元件可以以任何類似之說明方式操作或作用，但是不侷限於此。

參考圖 7A 的層堆疊 700，說明製程。層堆疊 700 如下所述。在一實施例中，n-電極(例如金屬)形成於基底(例如矽基底)上。在一實施例中，高度 n 型摻雜的透明半導體氧化物材料層(例如  $n^+$ 摻雜的  $\beta\text{-Ga}_2\text{O}_3$ )形成於 n-電極上。在一實施例中，在高度摻雜的透明半導體氧化物材料層(例如  $n^+\beta\text{-Ga}_2\text{O}_3$ )上形成稍微摻雜的 n 型透明半導體氧化物材料層(例如  $n^-\beta\text{-Ga}_2\text{O}_3$ )。在一實施例中，高度摻雜的 p 型有機半導體材料(例如  $p^+$  P3HT)沈積於稍微摻雜的 n

型透明半導體氧化物材料層(例如  $n\text{-}\beta\text{-Ga}_2\text{O}_3$ )。在一實施例中，光阻層沈積於高度摻雜的 p 型半導體材料上。

圖 7B 顯示當 F 為基礎的 ICP(感應耦合電漿) RIE(反應離子蝕刻)施加至光阻時之處理 720。施加此處理以移除光阻層及蝕刻高度摻雜的 p 型有機半導體材料( $p^+$  P3HT)。ICP-RIE 的處理停止於輕度摻雜的  $n\text{-}\beta\text{-Ga}_2\text{O}_3$  透明半導體氧化物層。

圖 7C 顯示處理 730，其中， $n\text{-}\beta\text{-Ga}_2\text{O}_3$  透明半導體氧化物層被選擇性蝕刻。在一實施例中，使用 Cl 為基礎的 RIE 處理，以選擇性蝕刻  $n\text{-}\beta\text{-Ga}_2\text{O}_3$  的層。在一實施例中，將  $\text{O}_2$  氣體用在混合物中以稍微蝕刻 p 型有機半導體(例如  $p^+$  摻雜的 P3HT)。在選擇性蝕刻之後，形成斜切蝕刻壁，以用於閘極金屬自行對準。圖 7D 顯示處理 740，其中，高 K 閘極介電材料(例如，ALD-原子層沈積)741 沈積於斜切蝕刻的  $n\text{-}\beta\text{-Ga}_2\text{O}_3$  及  $p^+$  P3HT 上。圖 7E 顯示處理 750，其中，閘極金屬 751 沈積於高 K 閘極介電材料層 741 上。圖 7F 顯示處理 760，其中，低 K ILD 761 沈積於閘極金屬 751 層上。圖 7G 顯示處理 770，其中，移除低 K ILD 761 層上的過量材料，亦即，平坦化。圖 7H 顯示處理 780，其中，藉由在平坦化的表面上沈積金屬而形成電極 781。在本實施例中，形成 p-電極。並未顯示所有處理。舉例而言，用於 n-電極之通路及垂直連接的形成。但是，使用習知的方法，可以執行這些處理。

圖 8 是根據本揭示的一實施例之具有 TFET 的智慧型

裝置或電腦系統或 SoC(系統晶片)。必須指出，具有與任何其它圖的元件相同代號(或名稱)之圖 8 的這些元件可以以任何類似之說明方式操作或作用，但是不侷限於此。

圖 8 顯示行動裝置的實施例之方塊圖，其中，使用平坦表面介面連接器。在一實施例中，計算裝置 1700 代表行動計算裝置，例如計算平板電腦、行動電話或智慧型電話、無線賦能電子讀取器、或其它無線行動裝置。將瞭解，一般性地顯示某些組件，且並非此裝置的所有組件顯示在計算裝置 1700 中。

在一實施例中，計算裝置 1700 包含設有參考上述實施例所述的 TFET 之第一處理器 1710。計算裝置 1700 的其它區塊也包含參考上述實施例所述的 TFET。本揭示的各式各樣實施例也包括例如無線介面等在 1770 內的網路介面，以致於系統實施例可以併入於例如行動電話或個人數位助理等無線裝置。

在一實施例中，處理器 1710(及處理器 1790)包含一或更多實體裝置，例如微處理器、應用處理器、微控制器、可編程邏輯裝置、或其它處理機構。由處理器 1710 執行的處理操作包含作業平台或作業系統的執行，在作業平台或作業系統上，執行應用及/或裝置功能。處理操作包含與使用人或其它裝置的 I/O(輸入/輸出)有關的操作、與電力管理有關的操作、及/或與連接計算裝置 1700 至另一裝置有關的操作。處理操作也包含與音頻 I/O 及/或顯示 I/O 有關的操作。

在一實施例中，計算裝置 1700 包含音頻子系統 1720，音頻子系統 1720 代表與提供音頻功能給計算裝置有關的硬體(例如，音頻硬體及音頻電路)以及軟體(例如，驅動程式、編解碼程式)組件。音頻功能包含揚音器及/或耳機輸出、以及麥克風輸入。用於這些功能的裝置整合於計算裝置 1700 中、或連接至計算裝置 1700。在一實施例中，使用者藉由提供由處理器 1710 接收及處理的音頻命令而與計算裝置 1700 互動。

顯示子系統 1730 代表硬體(例如，顯示裝置)及軟體(例如，驅動程式)組件，提供視覺及/或觸覺顯示給使用者，以與計算裝置 1700 互動。顯示子系統 1730 包含顯示介面 1732，顯示介面 1732 包含用以提供顯示給使用者之特定顯示幕或硬體裝置。在一實施例中，顯示介面 1732 包含與處理器 1710 分開的邏輯，以至少執行與顯示有關的某些處理。在一實施例中，顯示子系統 1730 包含觸控顯示幕(或觸控墊)裝置，提供輸出及輸入給使用者。

I/O 控制器 1740 代表與使用者互動有關的硬體裝置及軟體組件。I/O 控制器 1740 可操作以管理音頻子系統 1720 及/或顯示子系統 1730 的一部份之硬體。此外，I/O 控制器 1740 顯示用於連接至計算裝置 1700 的其它裝置之連接點，使用者經由此而可以與系統互動。舉例而言，附著至計算裝置 1700 的裝置可以包含麥克風裝置、揚音器或立體系統、視頻系統或其它顯示裝置、鍵盤或小鍵盤裝置、或例如讀卡機或其它裝置等用於特定應用的其它 I/O

裝置。

如上所述，I/O 控制器 1740 與音頻子系統 1720 及/或顯示子系統 1730 互動。舉例而言，經由麥克風或其它音頻裝置的輸入提供用於計算裝置 1700 的一或更多應用或功能之輸入或命令。此外，取代顯示輸出或是顯示輸出之外，提供音頻輸出。在另一實例中，假使顯示子系統 1730 包含觸控顯示幕，顯示裝置也作為輸入裝置，至少部份地由 I/O 控制器 1740 管理。在計算裝置 1700 上也有其它鍵或開關，以提供由 I/O 控制器 1740 管理的 I/O 功能。

在一實施例中，I/O 控制器 1740 管理例如加速計、相機、光感測器或其它環境感測器、或其它包含於計算裝置 1700 中的硬體等裝置。輸入是直接使用者互動的一部份、以及提供環境輸入給系統而影響其操作(例如，過濾雜訊、因亮度偵測而調整顯示、施加相機閃光、或其它特點)。

在一實施例中，計算裝置 1700 包含電力管理 1750，管理電池功率使用、電池充電、及與省電操作有關的特點。記憶體子系統 1760 包含用於在計算裝置 1700 中儲存資訊的記憶體裝置。記憶體包含非依電性(假使記憶體裝置的電力中斷時，狀態不改變)及/或依電性(假使記憶體裝置的電力中斷時，狀態未定)記憶體裝置。記憶體子系統 1760 儲存應用資料、使用者資料、音樂、相片、文件、或其它資料、以及與計算裝置 1700 的應用和功能的執行

有關之系統資料(不論是否長期或暫時的)。

實施例的要件也提供成機器可讀取的媒體(例如，記憶體 1760)，用於儲存電腦可執行的指令(例如，用以實施此處所示的任何其它處理之指令)。機器可讀取的媒體(例如，記憶體 1760)包含但不限於快閃記憶體、光碟、CD-ROM、DVD ROM、RAM、EPROM、EEPROM、磁性或光學卡、相位變化記憶體(PCM)或是適用於儲存電子或電腦可執行的指令之其它型式的機器可讀取的媒體。舉例而言，本揭示的實施例作為電腦程式(例如，BIOS)被下載，所述電腦程式可以經由通訊鏈路(例如，數據機或網路連結)而從遠端電腦(例如伺服器)傳送至請求電腦(例如，客戶端)。

連結 1770 包含硬體裝置(例如，無線及/或有線連接器和通訊硬體)以及軟體組件(例如，驅動程式、協定堆疊)以使計算裝置 1700 能與外部裝置通訊。計算裝置 1700 可為分開的裝置，例如其它計算裝置、無線存取點或基地台、以及例如耳機、印表機或其它裝置等週邊裝置。

連結 1770 包含多種不同型式的連結。一般而言，計算裝置 1700 顯示為設有蜂巢式連結 1772 及無線連結 1774。蜂巢式連結 1772 大致上意指由無線載波提供的蜂巢式網路連結，例如經由 GSM(行動通訊之全球系統)或是變異或衍生、CDMA(分碼多存取)或變化或衍生、TDM(分時多工化)或變異或衍生、或其它蜂巢式服務標準。無線連結(或無線介面)1774 意指非蜂巢式的無線連結，以及包

含個人區域網路(例如藍芽、近場、等等)、區域網路(例如 Wi-Fi)、及/或廣域網路(例如 WiMax)、或是其它無線通訊。

週邊連接 1780 包含硬體介面及連接器、以及軟體組件(例如，驅動程式、協定堆疊)以產生週邊連接。將瞭解，計算裝置 1700 可為至其它計算裝置的週邊裝置(「至」1782)、以及具有連接至其的週邊裝置(「來自」1784)。為了例如管理(例如下載及/或上傳、改變、同步化)計算裝置 1700 上的內容之目的，計算裝置 1700 通常具有「停泊(docking)」連接器以連接至其它計算裝置。此外，停泊連接器可允許計算裝置 1700 連接至某些週邊，這些週邊允許計算裝置 1700 控制內容輸出至例如影音或其它系統。

除了專有的停泊連接器或其它專有的連接硬體之外，計算裝置 1700 還能經由共同的或標準的基礎連接器而產生週邊連接 1780。共同型式包含通用串列匯流排(USB)連接器(包含任何數目的不同硬體介面)、包含迷你顯示埠(MDP)之顯示埠、高清晰度多媒體介面(HDMI)、火線、或其它型式。

在說明書中述及「實施例」、「一實施例」、「某些實施例」、或「其它實施例」意指配合實施例說明之特定的特點、結構、或特徵包含在至少某些實施例中，但是，不一定是所有實施例。「實施例」、「一實施例」、或「某些實施例」之不同出現並非一定都意指相同的實施

例。假使說明書述及組件、特點、結構、或特徵「可以」、「可能」、或「會」被包含時，則並非要求該特定組件、特點、結構、或特徵被包含。假使說明書或申請專利範圍述及「一(a 或 an)」元件，則並非意指僅有這些元件中的一個元件。假使說明書或申請專利範圍述及「增加的」元件，則並未排除有一個以上的增加元件。

此外，在一或更多實施例中，特定的特點、結構、功能或特徵可以以任何適當方式結合。舉例而言，第一實施例可以與第二實施例結合，只要特定的特點、結構、功能或特徵與二實施例未互斥。

雖然配合本發明的具體實施例而說明本發明，但是，習於此技藝者在慮及上述說明之後，將清楚這些實施例的很多替代、修改及變化。舉例而言，例如動態隨存取記憶體(DRAM)等其它記憶體架構可以使用所述的實施例。揭示的實施例涵蓋所有這些落在後附的申請專利範圍的廣義範圍內之替代、修改及變化。

此外，為了簡明起見且不模糊本揭示，對積體電路(IC)晶片之習知的功率/接地連接及其它組件顯示或未顯示在呈現的圖式中。此外，為避免模糊本揭示，且也慮及與方塊圖配置的實施有關之細節是高度取決於本揭示會在其內實施的平台之事實(亦即，這些細節應在習於此技藝者的視界之內)，以方塊圖形式顯示配置。在揭示特定細節(例如電路)以說明揭示之舉例說明的實施例的情形中，習於此技藝者應清楚知道，有或沒有這些特定細節的變化，

都可以實施揭示。因此，說明應被視為說明性的而非限定的。

下述實例關於另外的實施例。實例中的細節可以用於一或更多實施例中的任意處。此處說明之設備的所有選加特點也可以與方法或處理相關地實施。

舉例而言，提供 TFET，其包括：基底；摻雜的第一區，配置在基底上方，具有選自週期表的 III-V、IV-IV、及僅 IV 族組成的群組之 p 型材料；以及，摻雜的第二區，配置在基底上方，具有透明或半透明的氧化物 n 型半導體材料；及閘極堆疊，耦合至摻雜的第一及第二區。

在一實施例中，透明或半透明的氧化物 n 型半導體材料是選自  $\alpha\text{-Ga}_2\text{O}_3$ 、 $\beta\text{-Ga}_2\text{O}_3$ 、 $\text{In}_2\text{O}_3$ 、及  $\text{SnO}_2$  組成的群組。在一實施例中，TFET 是鰭式 FET、三閘極或方形奈米線式裝置。在一實施例中，TFET 又包括耦合至閘極堆疊之輕度摻雜的 n 型材料，輕度摻雜的 n 型材料將第一及第二摻雜區彼此分開。在一實施例中，TFET 又包括耦合至閘極堆疊之輕度摻雜的 p 型材料，輕度摻雜的 p 型材料將第一及第二摻雜區彼此分開。在一實施例中，摻雜的第一區是源極區，以及，其中，摻雜的第二區是汲極區。

在另一實例中，提供 TFET，其包括：基底；摻雜的第一區，配置在基底上方，具有 p 型有機半導體材料；摻雜的第二區，配置在基底上方，具有 n 型透明或半透明的氧化物半導體材料；及閘極堆疊，耦合至摻雜的源極和汲極區。

在一實施例中，p 型有機半導體材料選自 P3HT、MDMO-PPV、PEFOT：PSS、CoPc、及 CuPc 組成的群組。在一實施例中，n 型透明或半透明的氧化物半導體材料是選自  $\alpha\text{-Ga}_2\text{O}_3$ 、 $\beta\text{-Ga}_2\text{O}_3$ 、 $\text{In}_2\text{O}_3$ 、及  $\text{SnO}_2$  組成的群組。在一實施例中，TFET 是鱗式 FET、三閘極或方形奈米線式裝置。在一實施例中，TFET 又包括耦合至閘極堆疊之輕度摻雜的 n 型材料，輕度摻雜的 n 型材料將摻雜的第一及第二區彼此分開。

在一實施例中，TFET 又包括耦合至閘極堆疊之輕度摻雜的 p 型材料，輕度摻雜的 p 型材料將摻雜的第一及第二區彼此分開。在一實施例中，輕度摻雜的 p 型材料是未經摻雜的 P3HT、或是 CuPc 或 CoPc 材料。在一實施例中，摻雜的第一區是源極區，以及，其中，摻雜的第二區是汲極區。

在另一實例中，提供 TFET，其包括：基底；摻雜的第一區，配置在基底上方，具有 p 型有機半導體材料；摻雜的第二區，配置在基底上方，具有 n 型有機半導體材料；及閘極堆疊，耦合至摻雜的源極和汲極區。在一實施例中，p 型有機半導體材料是選自 P3HT、MDMO-PPV、PEDOT：PSS、CuPc、及 CoPc 組成的群組。

在一實施例中，n 型有機半導體材料是 F16CuPc 或  $\text{SnCl}_2\text{Pc}$ 。在一實施例中，TFET 是鱗式 FET、三閘極或方形奈米線式裝置。在一實施例中，TFET 又包括耦合至閘極堆疊之輕度摻雜的 n 型有機半導體材料，輕度摻雜的 n

型材料將摻雜的第一及第二區彼此分開。在一實施例中，TFET 又包括耦合至閘極堆疊之輕度摻雜的 p 型有機半導體材料，輕度摻雜的 p 型材料將摻雜的第一及第二區彼此分開。在一實施例中，輕度摻雜的 p 型材料是未經摻雜的 PFHT 材料。在一實施例中，摻雜的第一區是源極區，以及，其中，摻雜的第二區是汲極區。

在另一實施例中，提供系統，其包括：記憶體；處理器，耦合至記憶體，處理器具有根據各種實施例之上述 TFET 的多個 TFET；以及，無線天線，用於允許處理器與另一裝置通訊。

提供發明摘要，允許讀者可以確認技術揭示的本質及精神。摘要僅是助於瞭解，不是用以限定申請專利範圍的範圍或意義。後附的申請專利範圍於此併入詳細說明中，各申請項依據它自己為分別的實施例。

#### 【符號說明】

100：穿隧場效電晶體

120：穿隧場效電晶體

600：層堆疊

641：高 K 閘極介電材料

651：閘極金屬

661：低 K 層間介電質

681：電極

700：層堆疊

741 : 高 K 閘極介電材料

751 : 閘極金屬

761 : 低 K 層間介電質層

781 : 電極

1700 : 計算裝置

## 發明摘要

※申請案號：105119211 (由103140822分割)

※申請日：103年11月25日

※IPC分類：*H01L 29/43* (2006.01)  
*H01L 29/66* (2006.01)  
*H01L 29/78* (2006.01)

【發明名稱】(中文/英文)

互補式穿隧 FET 裝置及其形成方法

Complementary tunneling FET devices and method for forming the same

【中文】

揭示使用氧化物及/或有機半導體材料之形成互補式穿隧場效電晶體 (TFET) 的設備。一種型式的 TFET 包括：基底；摻雜的第一區，形成在基底上方，具有選自週期表的 III-V、IV-IV、及 IV 族組成的群組之 p 型材料；摻雜的第二區，形成在基底上方，具有透明氧化物 n 型半導體材料；及，閘極堆疊，耦合至摻雜的第一及第二區。另一型式的 TFET 包括：基底；摻雜的第一區，形成在基底上方，具有 p 型有機半導體材料；摻雜的第二區，形成在基底上方，具有 n 型氧化物半導體材料；及，閘極堆疊，耦合至摻雜的源極和汲極區。在另一實例中，以有機唯半導體材料用於主動區而製造 TFET。

## 【 英文 】

Described is an apparatus forming complementary tunneling field effect transistors (TFETs) using oxide and/or organic semiconductor material. One type of TFET comprises: a substrate; a doped first region, formed above the substrate, having p-type material selected from a group consisting of Group III-V, IV-IV, and IV of a periodic table; a doped second region, formed above the substrate, having transparent oxide n-type semiconductor material; and a gate stack coupled to the doped first and second regions. Another type of TFET comprises: a substrate; a doped first region, formed above the substrate, having p-type organic semiconductor material; a doped second region, formed above the substrate, having n-type oxide semiconductor material; and a gate stack coupled to the doped source and drain regions. In another example, TFET is made using organic only semiconductor materials for active regions.

**【代表圖】**

**【本案指定代表圖】**：第(1)圖。

**【本代表圖之符號簡單說明】**：

100：穿隧場效電晶體

120：穿隧場效電晶體

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：無

## 申請專利範圍

1. 一種穿隧場效電晶體(TFET)，包含：

基底；

n-電極，在該基底之上；

高度摻雜的 n 型透明半導體氧化物材料層，在該 n-電極上；

稍微摻雜的 n 型透明半導體氧化物材料層，在該高度摻雜的 n 型透明半導體氧化物材料層上；

高度摻雜的 p 型半導體材料，在該稍微摻雜的 n 型透明半導體氧化物材料層上，該高度摻雜的 p 型半導體材料具有斜切邊緣；

高 K 介電層，與該稍微摻雜的 n 型透明半導體氧化物材料層以及與該高度摻雜的 p 型半導體材料的該等斜切邊緣共形；

金屬閘極電極，在該高 K 介電層上且橫向相鄰於該高度摻雜的 p 型半導體材料；以及

P-電極，在該高度摻雜的 p 型半導體材料的上表面。

2. 如申請專利範圍第 1 項之 TFET，其中，該 P-電極在該金屬閘極電極之上延伸，該 TFET 又包含：

低 k 介電材料層，在該金屬閘極電極與該 p-電極之間。

3. 如申請專利範圍第 1 項之 TFET，其中，該高度摻雜的 p 型半導體材料的上表面及該低 k 介電材料層彼此共平面。

4. 如申請專利範圍第 1 項之 TFET，其中，該高度摻雜的 p 型半導體材料是高度摻雜的 p 型鍺 (Ge) 材料。

5. 如申請專利範圍第 1 項之 TFET，其中，該高度摻雜的 n 型透明半導體氧化物材料層是高度摻雜的 n 型  $\beta$ - $\text{Ga}_2\text{O}_3$  材料層。

6. 如申請專利範圍第 5 項之 TFET，其中，該稍微摻雜的 n 型透明半導體氧化物材料層是稍微摻雜的 n 型  $\beta$ - $\text{Ga}_2\text{O}_3$  材料層。

7. 如申請專利範圍第 1 項之 TFET，其中，該高度摻雜的 p 型半導體材料形成該 TFET 的源極區，且該 P-電極是源極電極，且其中，該高度摻雜的 n 型透明半導體氧化物材料層形成該 TFET 的汲極區，且該 n-電極是汲極電極。

8. 如申請專利範圍第 1 項之 TFET，其中，該 TFET 是鰭式 FET 裝置。

9. 一種穿隧場效電晶體 (TFET)，包含：

基底；

n-電極，在該基底之上；

高度摻雜的 n 型透明半導體氧化物材料層，在該 n-電極上；

稍微摻雜的 n 型透明半導體氧化物材料層，在該高度摻雜的 n 型透明半導體氧化物材料層上；

高度摻雜的 p 型有機層，在該稍微摻雜的 n 型透明半導體氧化物材料層上，該高度摻雜的 p 型有機層具有斜切

邊緣；

高 K 介電層，與該稍微摻雜的 n 型透明半導體氧化物材料層以及與該高度摻雜的 p 型有機層的該等斜切邊緣共形；

金屬閘極電極，在該高 K 介電層上且橫向相鄰於該高度摻雜的 p 型有機層；以及

P-電極，在該高度摻雜的 p 型有機層的上表面。

10. 如申請專利範圍第 9 項之 TFET，其中，該 P-電極在該金屬閘極電極之上延伸，該 TFET 又包含：

低 k 介電材料層，在該金屬閘極電極與該 p-電極之間。

11. 如申請專利範圍第 9 項之 TFET，其中，該高度摻雜的 p 型有機層的上表面及該低 k 介電材料層彼此共平面。

12. 如申請專利範圍第 9 項之 TFET，其中，該高度摻雜的 p 型有機層是高度摻雜的 p 型 P3HT (Poly(3-hexylthiophene-2,5-diyl)) 層。

13. 如申請專利範圍第 9 項之 TFET，其中，該高度摻雜的 n 型透明半導體氧化物材料層是高度摻雜的 n 型  $\beta$ - $\text{Ga}_2\text{O}_3$  材料層。

14. 如申請專利範圍第 13 項之 TFET，其中，該稍微摻雜的 n 型透明半導體氧化物材料層是稍微摻雜的 n 型  $\beta$ - $\text{Ga}_2\text{O}_3$  材料層。

15. 如申請專利範圍第 9 項之 TFET，其中，該高度

摻雜的 p 型有機層形成該 TFET 的源極區，且該 P-電極是源極電極，且其中，該高度摻雜的 n 型透明半導體氧化物材料層形成該 TFET 的汲極區，且該 n-電極是汲極電極。

16. 如申請專利範圍第 9 項之 TFET，其中，該 TFET 是鰭式 FET 裝置。

圖式

100

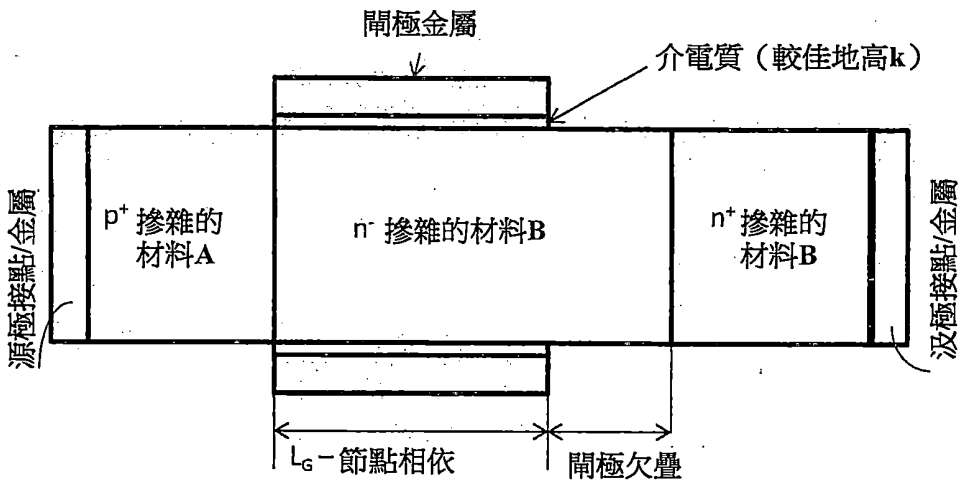


圖 1A

120

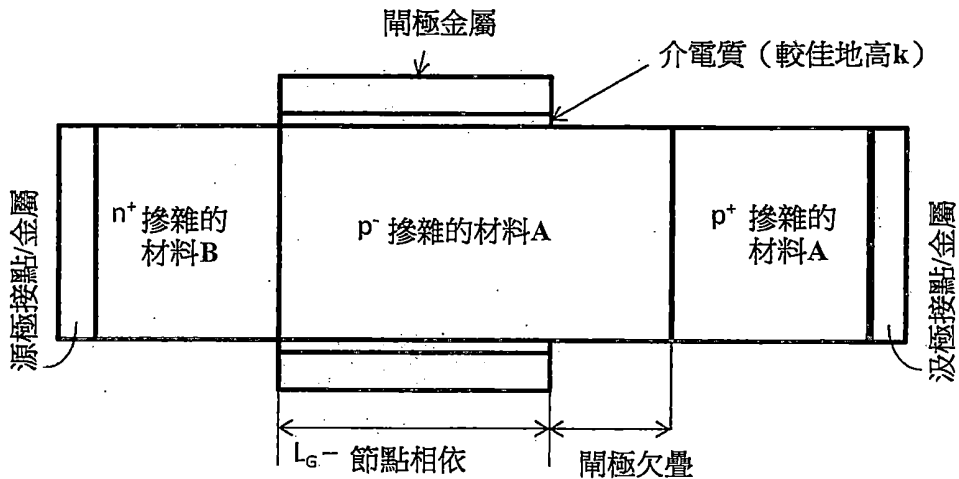


圖 1B

200

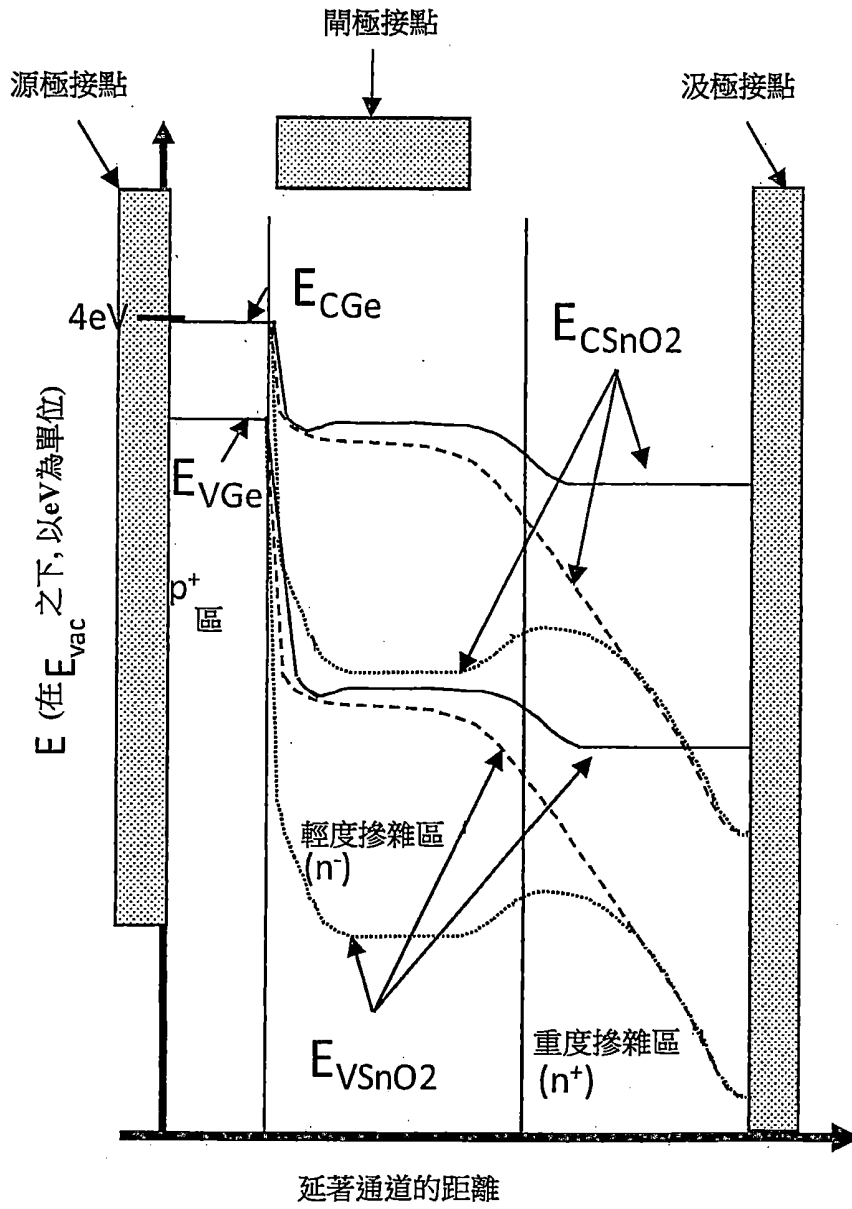


圖 2





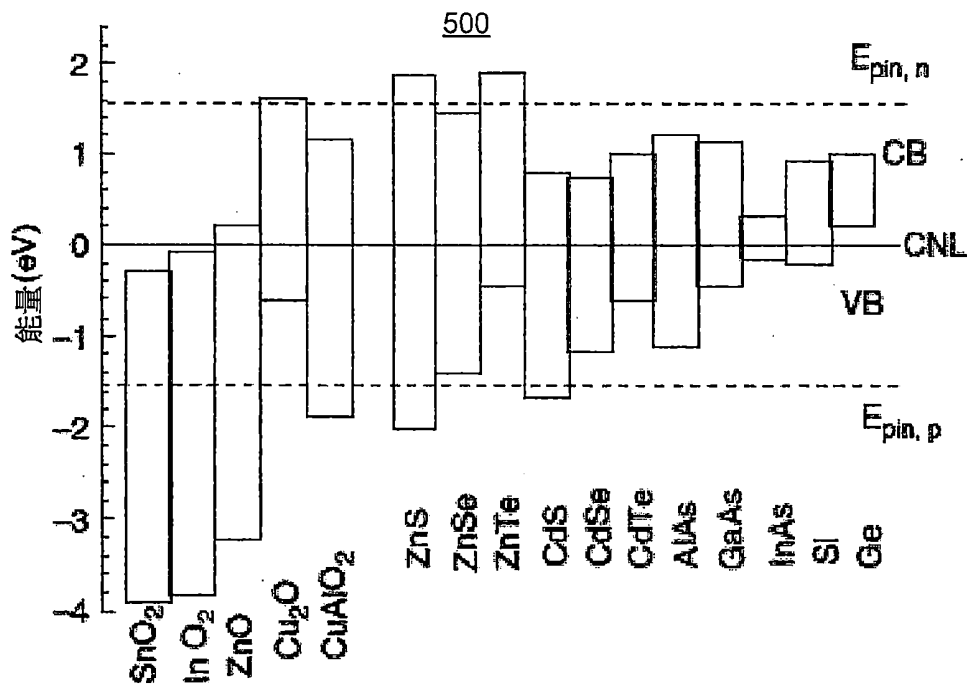


圖 5A

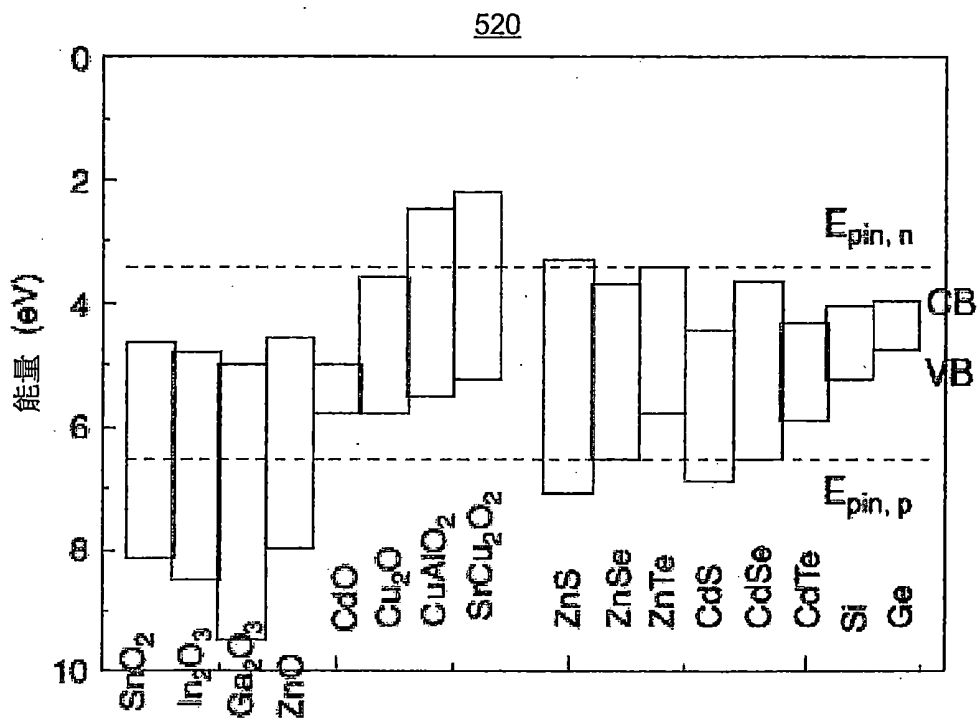


圖 5B













1700

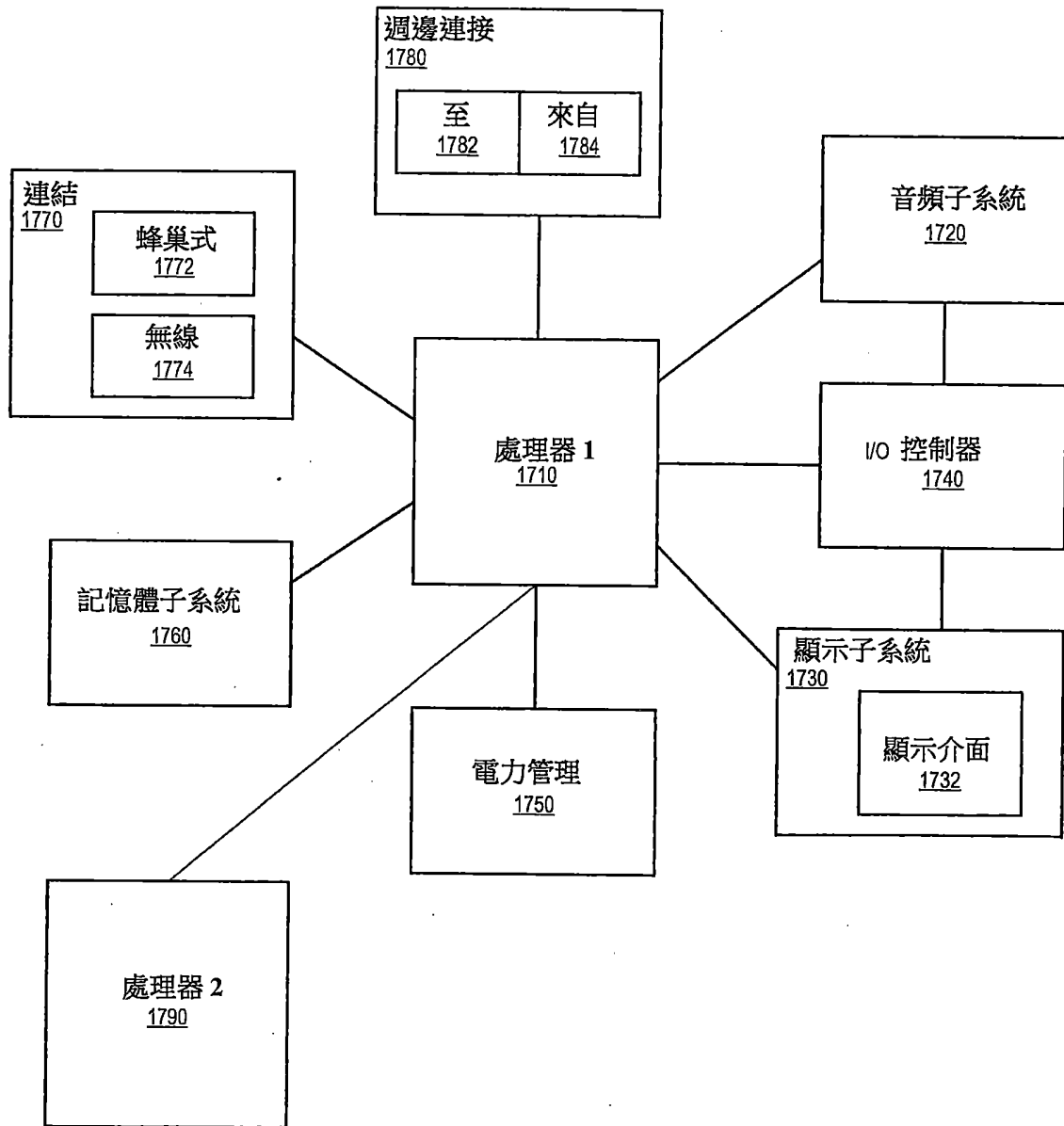


圖 8