[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)

[12] 发明专利说明书

专利号 ZL 01143781.2

[45] 授权公告日 2006 年 9 月 13 日

[11] 授权公告号 CN 1275217C

[22] 申请日 2001.12.20 [21] 申请号 01143781.2

[30] 优先权

[32] 2000.12.20 [33] KR [31] P2000-79375

[71] 专利权人 LG. 菲利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 安承国

审查员 胡 婧

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 陈 红

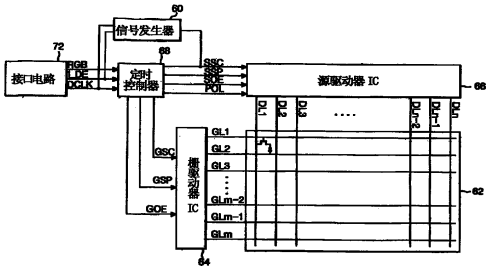
权利要求书 2 页 说明书 9 页 附图 10 页

[54] 发明名称

驱动液晶显示器的方法和设备

[57] 摘要

本发明公开了驱动液晶显示器的方法和设备，在液晶显示器的析象模式转换时提高图像质量。设备和方法中，在数据使能信号的使能开始时间产生复位信号，并响应复位信号重设用于取样视频数据的源移位时钟。



1．一种驱动液晶显示器的设备，包括：

接口电路，它产生点时钟和数据使能信号；和

复位信号发生器，用于检测从接口电路输出的数据使能信号的使能开始时间，指示视频数据存在的时间间隔，和产生复位信号，以产生源移位时钟，

其中该复位信号发生器包括：D 双稳态触发器，它接收经输入线的数据使能信号和点时钟，按点时钟延迟数据使能信号；反相器，反相延迟的数据使能信号；和“与”门，执行反相的延迟的使能信号和数据使能信号的逻辑乘积运算，产生指示数据使能信号的使能开始时间的复位信号。

2．按权利要求 1 的驱动设备，还包括：

源驱动器，用于响应源移位时钟取样和锁存视频数据，和把锁存的视频数据供给液晶显示器；

栅驱动器，给液晶显示器顺序供给扫描脉冲；

定时控制器，用于控制源驱动器和栅驱动器。

3．按权利要求 1 的驱动设备，其中，复位信号发生器触发点时钟产生源移位时钟，和响应复位信号重设移位时钟。

4．按权利要求 1 的驱动设备，其中，复位信号发生器不管点时钟数的变化而产生复位信号。

5．按权利要求 1 的驱动设备，其中，复位信号发生器在数据使能信号从低逻辑变到高逻辑时产生复位信号。

6．一种液晶显示器的驱动设备，包括：

定时控制器，产生源移位时钟和栅起动脉冲，其中无论从输入线输入的点时钟数如何变化，重设源移位时钟；

源驱动器，响应源移位时钟取样和锁存视频数据，和把锁存的视频数据供给液晶显示器；和

栅驱动器，给液晶显示器顺序供给扫描脉冲，

其中该定时控制器包括有复位信号发生器，该复位信号发生器包括 D 双稳态触发器，它接收经输入线的数据使能信号和点时钟，按点时钟延迟数据使能信号；反相器，反相延迟的数据使能信号；和“与”门，执行反相的延迟的使能信号和数据使能信号的逻辑乘积运算，产生指示数据使能信号的使能开始时间的复位信号。

7．按权利要求 6 的驱动设备，其中，定时控制器在数据使能信号从低逻辑变到高逻辑时产生复位信号。

8．按权利要求 6 的驱动设备，其中，定时控制器触发点时钟产生源移位时钟，和响应复位信号重置源移位时钟。

9．一种驱动液晶显示器的方法，包括：

接收指示视频数据存在的时间间隔的数据使能信号和点时钟，按点时钟延迟数据使能信号；

使上述延迟的数据使能信号反相；

执行反相的延迟使能信号和数据使能信号的逻辑乘积运算，产生指示数据使能信号的使能开始时间的复位信号；和

响应该复位信号重设取样视频数据的源移位时钟。

10．按权利要求 9 的方法，还包括：

取样视频信号后，响应源移位时钟锁存视频数据；

锁存的视频数据供给多根数据线；和

给多根栅线顺序供给扫描脉冲。

驱动液晶显示器的方法和设备

本申请要求2000年12月20日的韩国申请No. p2000-79375的利盖，该韩国申请在此引作参考。

发明的领域

本发明涉及液晶显示器，它具体涉及驱动液晶显示器的方法和设备。尽管本发明有很宽的应用范围，但本发明特别适用于改变液晶显示器的析象模式时提高图像质量。

相关技术描述

通常，有源短阵驱动系统的液晶显示器（LCD）用薄膜晶体管（TFT）作转换器件，以显示移动图像。由于这种LCD比常规的阴极射线管（CRT）小，它已广泛用于计算机监视器，以及诸如复印机的办公室自动化设备，和诸如蜂窝电话和寻呼机等便携式设备。

LCD趋向于高清晰度和大屏幕。近年来，用于个人计算机的LCD监视器已能满足诸如工作端的高端设备的清晰度要求。图1展示出这种LCD。

参见图1，LCD包括有薄膜晶体管（TFT）的液晶显示板2，和多根栅线GL1至GLm与多根数据线DL1至DLn之间设置的液晶单元。源驱动集成电路（IC）6给数据线DL1至DLn供给数据。栅驱动IC4给栅线GL1于GLm顺序供给扫描脉冲。定时控制器8给源驱动IC6和栅驱动IC4供给所需的定时控制信号。接口电路12从图解卡（未示出）给定时控制器8供给数据。

更具体地说，源驱动IC6响应从定时控制器输出的源移位时钟（SSC）

取样和锁存红（R）、绿（G）和兰（B）数据，把时间扫描点的定时系统掩蔽在时间扫描行的定时系统中。掩蔽进时间扫描行系统中的数据与扫描脉冲同步，并同时加到数据线DL1至DLn。

除源移位时钟（SSC）之外，从定时控制器8加到源驱动IC6的定时控制信号包括用于指令按水平同步间隔开始数据取样或锁存用的源起始脉冲（SSP），用于控制源驱动IC6的输出的源输出使能信号（SOE），根据帧／行／列的转换驱动而转换数据极性用的极性控制信号（POL）。

栅驱动IC6包括移位寄存器和电平移相器等。栅驱动IC6响应定时控制器8输出的栅起动脉冲（GSP）顺序供给有栅高压的扫描脉冲，由此把数据充入液晶单元。

除GSP外，从定时控制器8供给栅驱动IC4的定时控制信号包括确定TFT导通或截止时间用的栅移动时钟（GSC），和用于控制栅驱动IC4的输出的栅输出使能信号（GOE）。

定时控制器8接收经接口电路12输入的RGB信号，以分配给源驱动IC6，并控制源驱动IC6和栅驱动IC4。定时控制器8用基准时钟发生器（未示出）供给的SSC产生源驱动IC6和栅驱动IC4所需的定时控制信号。

接口电路12从图解卡（未示出）给定时间控制器8供给RGB数据，数据使能信号（I_DE）和点时钟（Dclk）。

定时控制器8和接口电路12可包括LVDS电路，所以它们能减少数据供给线的数量和减小电磁干扰。

VESA（视频电子标准协会）规定了以UXGA，SXGA，XGA，SVGA和VGA析象模式按偶数从图解卡输入到定时控制器8的数码使能信号（I_DE）的逆程消隐间隔，或按抵逻辑间隔，有65MHz频率的点时钟（Dclk）的数量。但是，如果析象模式是从UXGA，SXGA和XGA中的一个转换成SVGA和VGA，那么，点时钟（Dclk）的数量变成奇数。析象模式转换时，在屏幕上产生水平噪声。

如图2所示，常规的定时控制器8触发从接口电路12输出的点时钟（Dclk），产生SSC，而与按图解卡的析象转换无关。更具体地说，当不考虑析象，数据使能信号（I_DE）转变成高电平时，常规的定时控制器8以从一个周期的第三时序产生的点时钟（Dclk）起动复位电路，重设源移位时钟（SSC）。这里，如图3所示，如果析象模式是UXGA，SXGA和XGA之一，那么，在XGA模式中的65MHz的频率，按数据使能信号（I_DE）的逆程消隐间隔的点时钟（Dclk）数是偶数（n）。该情况下，源移位时钟（SSC）有正常的波形和频率。

另一方面，如图4所示，若析象模式是SVGA或VGA，那么按数据使能信号DE的逆程消隐间隔的点时钟(Dclk)数变成奇数。结果，析象模式从UXGA，SXGA和XGA之一转换成SVGA或VGA 时，输入源移位时钟（SSC）的源起动脉冲（SSP）和源移位时钟（SSC）变成按外边的定时规程规定的设置时间和保持时间，因此，在屏幕上造成水平噪声，如图5所示。

图3至图5中，用定时控制器8的内部电路建立数据使能信号DE，并指令用定时控制器8的装置从输入数据分成的奇数和偶数数据的取样开始时间。用展示屏幕范围的图9A至11B所示的波形图更容易说明该特征。图9A至11B所示波形图中，水平轴表示时间，以25.0ns为单位；垂直轴表示电压，以2.0V为单位。

图9A和9B表示XGA析象模式中的设置时间和保持时间的源起始脉冲（SSP）和源移位时钟（SSC）的波形，因为XGA模式中的点时钟（Dclk）数是偶数，所以，源起始脉冲（SSP）和源移位时钟（SSC）的波形是正常形状。

相反，图10A和10B表示析象模式从XGA变成VGA时在设置时间和保持时间的源起始脉冲（SSP）和源移位时钟（SSC）的波形。由于点时钟（Dclk）数从偶数变成奇数，所以源移位时钟（SSC）的周期改变，所以在析象模式转换时间的源移位时钟（SSC）的波形失真。图11A和11B分别示出XGA析

象模式保持不变和析象模式从XGA变成VGA时源起动脉冲（SSP）和源移位时钟（SSC）的重叠波形。

发明概述

因此，本发明的目的是，提供驱动液晶显示器的方法和设备，它们基本上克服了由现有技术的限制和缺点引起的一个以上的问题。

本发明的另一目的是，提供驱动液晶显示器的方法和设备，它能在液晶显示器的析象模式转换时保证图像质量。

本发明的其它优点和特征将从以下的说明中看到，或通过实施本发明了解到。以下的说明书附图和权利要求书中所描述的具体结构将能达到本发明的目的和其它优点。

为了达到符合本发明的这些优点和其它优点，作为实施例和广泛地描述，驱动液晶显示器的方法包括：接收指示视频数据存在的时间间隔的数据使能信号和点时钟，按点时钟延迟数据使能信号；使上述延迟的数据使能信号反相；执行反相的延迟使能信号和数据使能信号的逻辑乘积运算，产生指示数据使能信号的使能开始时间的复位信号；和响应该复位信号重设取样视频数据的源移位时钟。

方法还包括，取样视频数据后，响应源移位时钟锁存视频数据，锁存的视频数据加到多根数据线，和给多根栅线顺序供给扫描脉冲。

按本发明的另一方面，驱动液晶显示器的设备包括：产生点时钟和数据使能信号的接口电路；和复位信号发生器，它检测从接口电路输出的数据使能信号的使能开始时间以指示存在产生复位信号的视频数据的时间间隔，由此产生复位源移位时钟，其中该复位信号发生器包括：D双稳态触发器，它接收经输入线的数据使能信号机点时钟，根据点时钟延迟数据使能信号；反相器，反转延迟的数据使能信号，和“与”门，它执行反转的延迟的使能信号和数据起动信号的逻辑乘积运算，产生复位信号，指示数据使能信号的使能开始时间。

驱动设备还包括，源驱动器，它响应源移位时钟取样和锁存视频数据，和给液晶显示器加锁存的视频数据；栅驱动器，它给液晶显示器顺序供给扫描脉冲；和控制源驱动器和栅驱动器的定时控制器。

复位信号发生器触发点时钟，响应复位信号产生源移位时钟和复位源移位时钟。

复位信号发生器产生复位信号，与点时钟数的变化无关。

当数据使能信号从低逻辑变到高逻辑时，复位信号发生器产生复位信号。

按本发明的又一方案，驱动液晶显示器的设备还包括，定时控制器，它产生漏移位时钟和栅起动脉冲，其中源移位时钟复位与从输入线输入的点时钟数量变化无关；源驱动器，它响应源移位时钟取样和锁存视频数据，和把锁存的视频数据加到液晶显示器；和栅驱动器，它给液晶显示器顺序供给扫描脉冲，其中该定时控制器包括有复位信号发生器，该复位信号发生器包括：D双稳态触发器，它接收经输入线的数据使能信号机点时钟，根据点时钟延迟数据使能信号；反相器，反转延迟的数据使能信号，和“与”门，它执行反转的延迟的使能信号和数据起动信号的逻辑乘积运算，产生复位信号，指示数据使能信号的使能开始时间。

要知道，无论是一般说明还是以下的详细说明，都是为了更好地说明本发明所用的范例说明。

附图简述

附图是为了更好理解发明而设的，它包括在本申请中，并构成本申请的部分，附图画出本发明的实施例，它们与说明书一起用来解释发明的原理。

附图中：

图1是常规液晶显示器用的驱动设备的结构方框图；

图2是图1所示定时控制器的输出波形图；

图3是按UXGA，SXGA和XGA析象模式的图1所示的定时控制器的输入／输出波形图；

图4是按VGA和SVGA析象模式的图1所示的定时控制器的输入／输出波形图；

图5是按XGA和VGA析象模式的图1所示的定时控制器的输入／输出波形图；

图6是按本发明的驱动液晶显示器的设备的结构方框图；

图7是图6所示源移位时钟发生器的详细电路图；

图8是按本发明的驱动液晶显示器的设备的输入／输出波形图；

图9A是按XGA析象模式在设置时间的源起动脉冲和源移位时钟的波形图；

图9B是按XGA析象模式在保持时间的源起动脉冲和源移位时钟的波形图；

图10A是按VGA析象模式在设置时间的源起动脉冲和源移位时钟的波形图；

图10B是按VGA析象模式在保持时间的源起动脉冲和源移位时钟的波形图；

图11A示出图9A和10A所示波形的重叠波形；和

图11B示出图9B和10B所示波形的重叠波形。

图示实施例的详细描述

现在详细参见附图所示实施例，相同的部分用相同参考数字标示。

图6示出按本发明的驱动液晶显示器的设备。

LCD包括有多个薄膜晶体管（TFT）的液晶显示板62和设在多根栅线GL1至GLm与数据线DL1至DLn之间的液晶单元。源驱动集成电路（IC）66给数据线DL1至DLn供给数据。栅驱动IC64给栅线GL1至GLm顺序供给扫描脉冲。

定时控制器68给源驱动IC66和栅驱动IC64供给所需的定时控制信号。源移位时钟（SSC）发生器60接收点时钟（Dclk）和数据使能信号（I_DE），产生源移位时钟（SSC）。接口电路72从图解卡（未示出）给定时控制器72供给数据。

更具体地说，源驱动IC66响应从SSC发生器60输出的源移位时钟（SSC）取样和锁存红（R），绿（G）和兰（B）数据，并与扫描脉冲同步给数据线DL1至DLn同时供给数据。

栅驱动IC64包括移位寄存器和电平移相器。栅驱动IC64响应从定时控制器68输出的栅起动脉冲（GSP）顺序供给有栅高压的扫描脉冲。

定时控制器68接收经接口电路72输入的RGB信号，以分配给源驱动IC66和产生定时控制信号，以控制源驱动IC66和栅驱动IC64。

接口电路72把从图解卡（未示出）收到的RGB数据，数据使能信号（I_DE）和点时钟（Dclk）供给定时控制器68。

不管析象模式转换时的点时钟（Dclk）数，数据使能信号（I_DE）变成高电平时，SSC发生器60读出时间，产生复位信号。而且，SSC发生器60响应复位信号触发点时钟（Dclk），产生源移位时钟（SSC），和把源移位时钟（SSC）供给源驱动IC6。SSC发生器60可包括在定时控制器68中。

参见图7更充分说明SSC发生器。SSC发生器60包括接收从接口电路72输出的数据使能信号（I_DE）和点时钟（Dclk）用的D双稳态触发器21；连接到D双稳态触发器21的输出端的反相器23；接收经I_DE输入线26的数据使能信号（I_DE）的缓冲器22；连接到缓冲器22和反相器23的输出端的“与”门24，和连接在“与”门24的输出端与（Dcdk）输入线27之间的触发时钟和复位部分25。

更具体地说，随时输入点时钟（Dclk）时，D双稳态触发器21输出数据使能信号（I_DE），由此，使数据使能信号（I_DE）延迟一个点时钟（Dclk）周期。这里，假设点时钟（Dclk）的频率是65MHz。

缓冲器的把经I_DE输入线26输入的数据使能信号（I_DE）供给“与”门24的第1输放端。反相器反相经D双稳态触发器21延迟的数据使能信号（I_DE），并把反相的信号供给“与”门24的第2输入端。

“与”门24执行的缓冲器22收到的数据使能信号（I_DE）和从反相器收到的反相的数据使能信号（I_DE）的逻辑乘积运算，在数据使能信号（I_DE）从低逻辑变到高逻辑时，产生指示时间的信号。

触发时钟和复位部分25响应从“与”门24输入的高逻辑信号产生复位源移位时钟（SSC）用的复位信号，和响应复位信号触发点时钟（Dclk），由此产生频率为32MHz的源移位时钟。

参见图8。65MHz的点时钟（Dclk）输入D双稳态触发器21和复位部分25，使从“与”门24输出的信号与从触发时钟和复位部分25输出的信号同步。如果数据使能信号（I_DE）是按逆程消隐间隔，即按低逻辑，由于缓冲器22的输出信号保持低逻辑，所以“与”门24的输出信号保持在低逻辑。由于在数据使能信号（I_DE）从低逻辑变到高逻辑时，缓冲器22和反相器23的输出信号同时有高逻辑，所以，“与”门24产生高逻辑脉冲信号。换句话说，不管析象模式转换时，如从UXGA，SXGA和XGA之一转换成SVGA或VGA，点时钟的数量如何变化，“与”门24检测数据使能信号（I_DE）从低逻辑转变到高逻辑的逻辑值的时间。脉冲信号，即，由“与”门24产生的复位信号，加给触发时钟和复位部分25的复位端。输入复位信号时，触发时钟和复位部分25重设加到源驱动IC66的32.5MHz的源移位时钟（SSC）。而且，无论析象模式如何转换，输入到源驱动IC66的源移位时钟（SSC）始终有按数据使能信号的使能间隔的正常的脉冲宽度和频率。

用定时控制器68产生的源起动信号SSP的脉冲宽度是在奇数和偶数之间的区域的源移位时钟（SSC）和重设信号的脉冲宽度的两倍。

如上所述，按本发明的驱动液晶显示器的方法和设备重设源移位时钟（SSC），不管析象模式转换引起的点时钟（Dclk）的奇数／偶数变化，

检测输入到定时控制器的数据使能信号（I_DE）的起动间隔的起始时间。结果，不管析象模式转换时，例如，从UXGA，SXGA和XGA中的一个转换成SVGA或VGA模式时点时钟（Dclk）的奇数／偶数转换，输入源驱动IC的源移位时钟（SSC）和源起动脉冲（SSP）均符合VESA标准的定时规程。因而消除了水平噪声。而且，按本发明，输入到源驱动IC的源移位时钟（SSC）和源起动脉冲（SSP）在定时范围内。因此，无论在任何不同的温度条件下都能显示良好的图像。

本行业的技术人员应了解，在不脱离本发明的发明精神和范围的情况下，本发明的驱动液晶显示器的方法和设备还会有各种改型和变化。这些改型和变化均落入所附权利要求书及其等效文件要求保护的范围内。

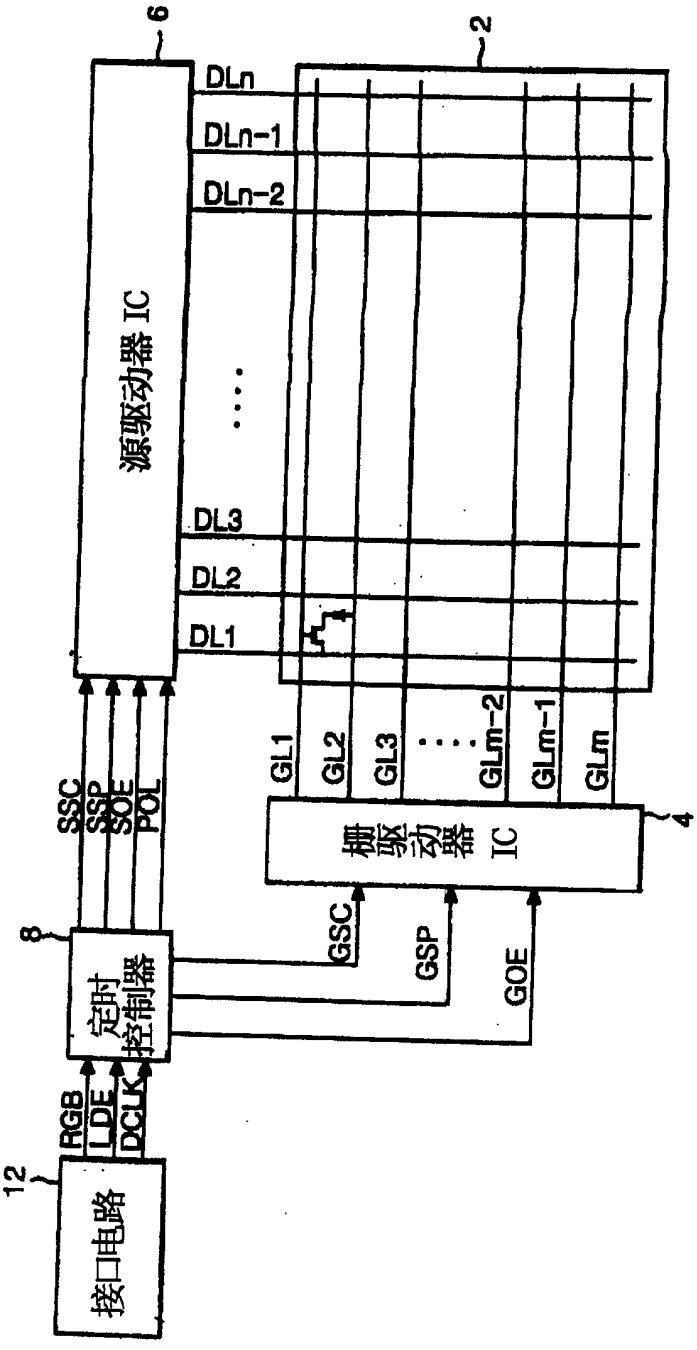

6
2
DLn
DLn-1
DLn-2
源驱动器 IC
DL3
DL2
DL1
GL1
GL2
GL3
GLm-2
GLm-1
GLm
栅驱动器 IC
4
SSC
SSP
SOE
POL
8
定时控制器
GSC
GSP
GOE
RGB
LDE
DCLK
12
接口电路

图1

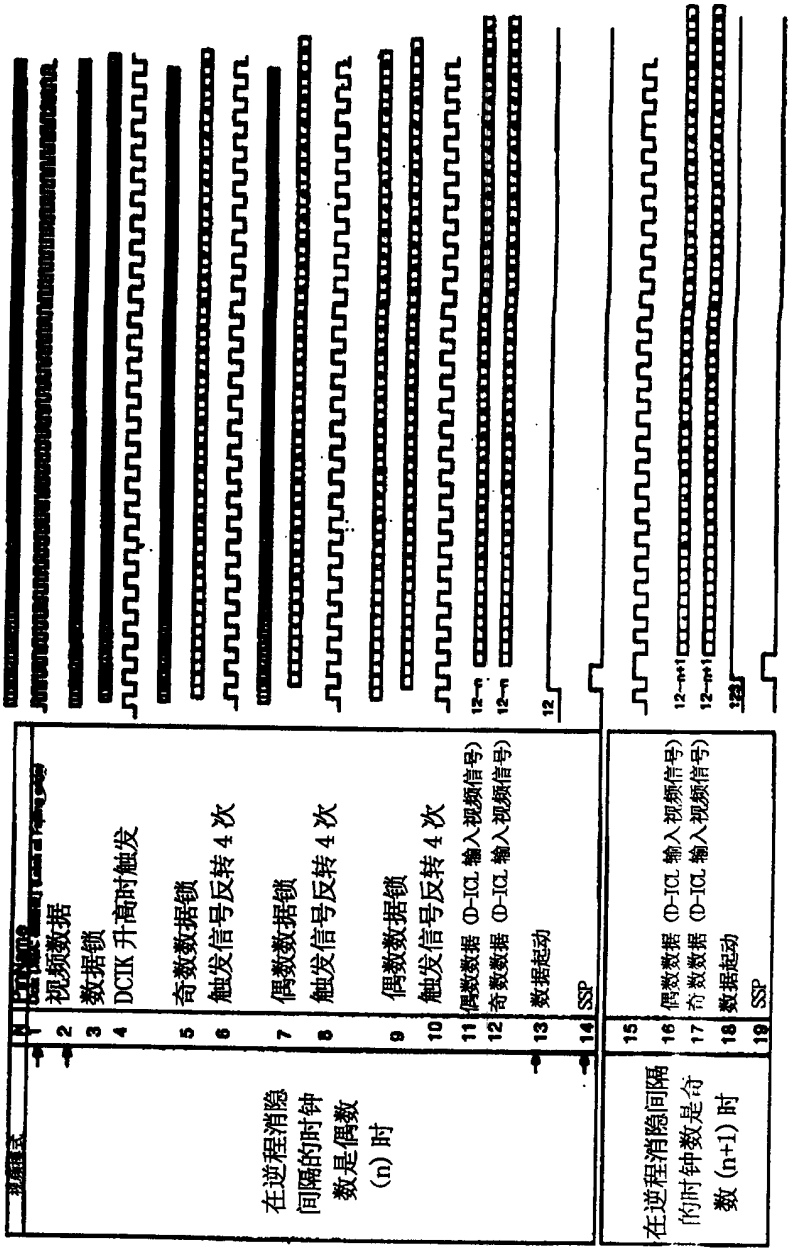

视频数据
数据锁
DCIK 升高时触发
奇数数据锁
触发信号反转 4 次
偶数数据锁
触发信号反转 4 次
偶数数据锁
触发信号反转 4 次
偶数数据 (D-IC. 输入视频信号)
奇数数据 (D-IC. 输入视频信号)
数据起动
SSP
在逆程消隐间隔的时钟数是偶数 (n) 时
偶数数据 (D-IC. 输入视频信号)
奇数数据 (D-IC. 输入视频信号)
数据起动
SSP
在逆程消隐间隔的时钟数是奇数 (n+1) 时

图 2

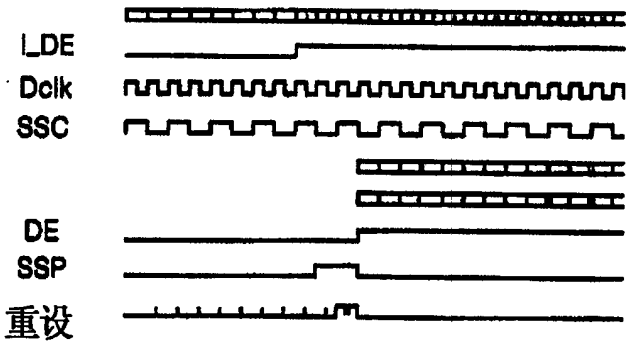


图3

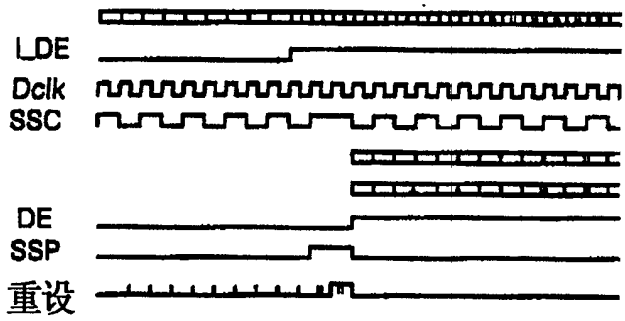


图4

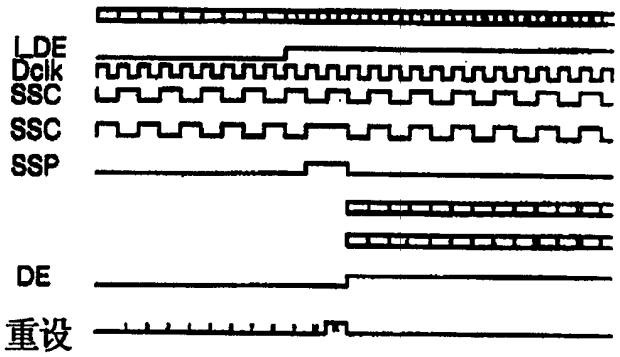


图5

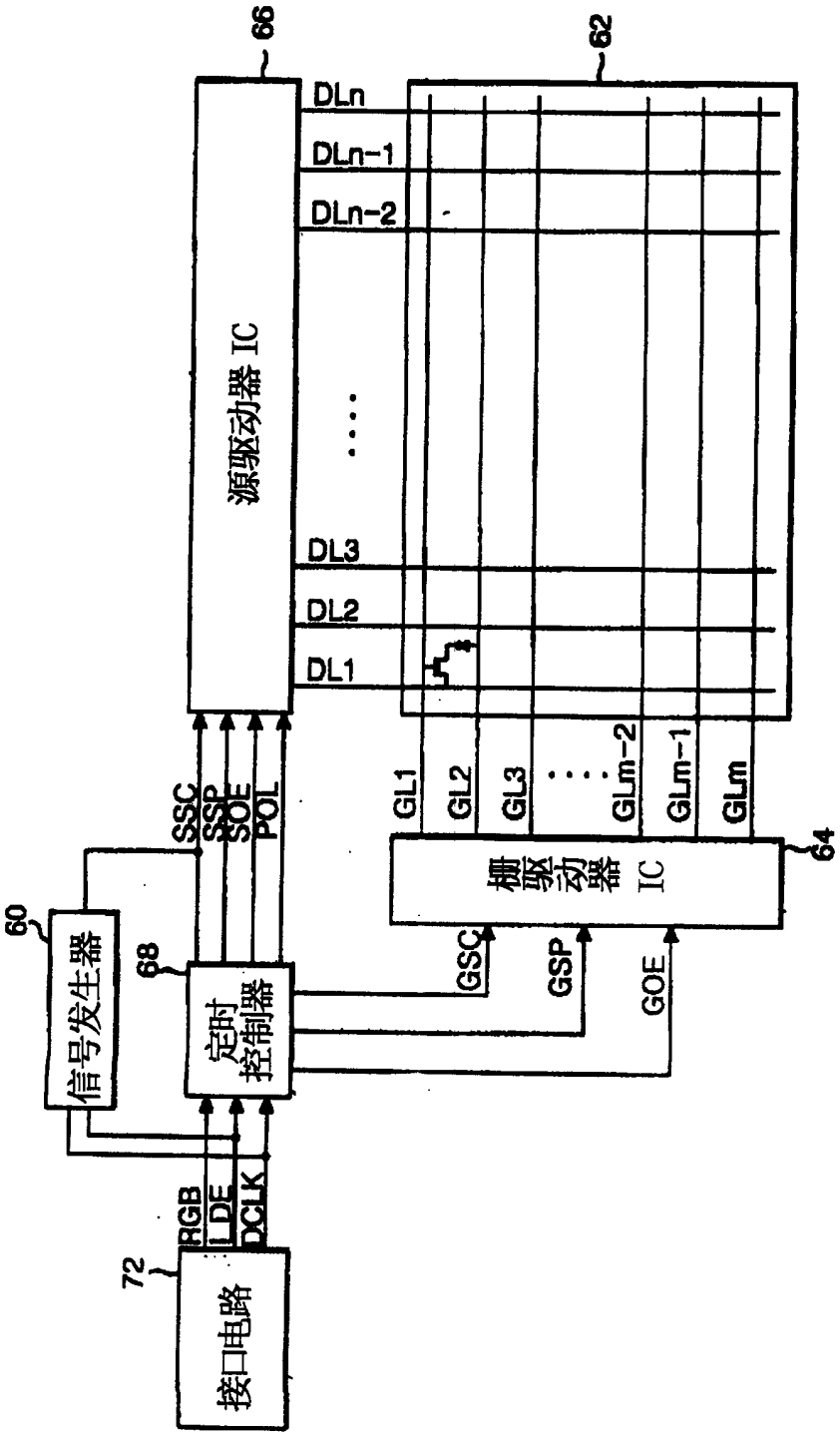

66
62
DLn
DLn-1
DLn-2
源驱动器 IC
DL3
DL2
DL1
GL1
GL2
GL3
GLm-2
GLm-1
GLm
栅驱动器 IC
64
SSC
SSP
SOE
POL
60
信号发生器
68
定时控制器
GSC
GSP
GOE
RGB
DE
DCLK
72
接口电路

图 6

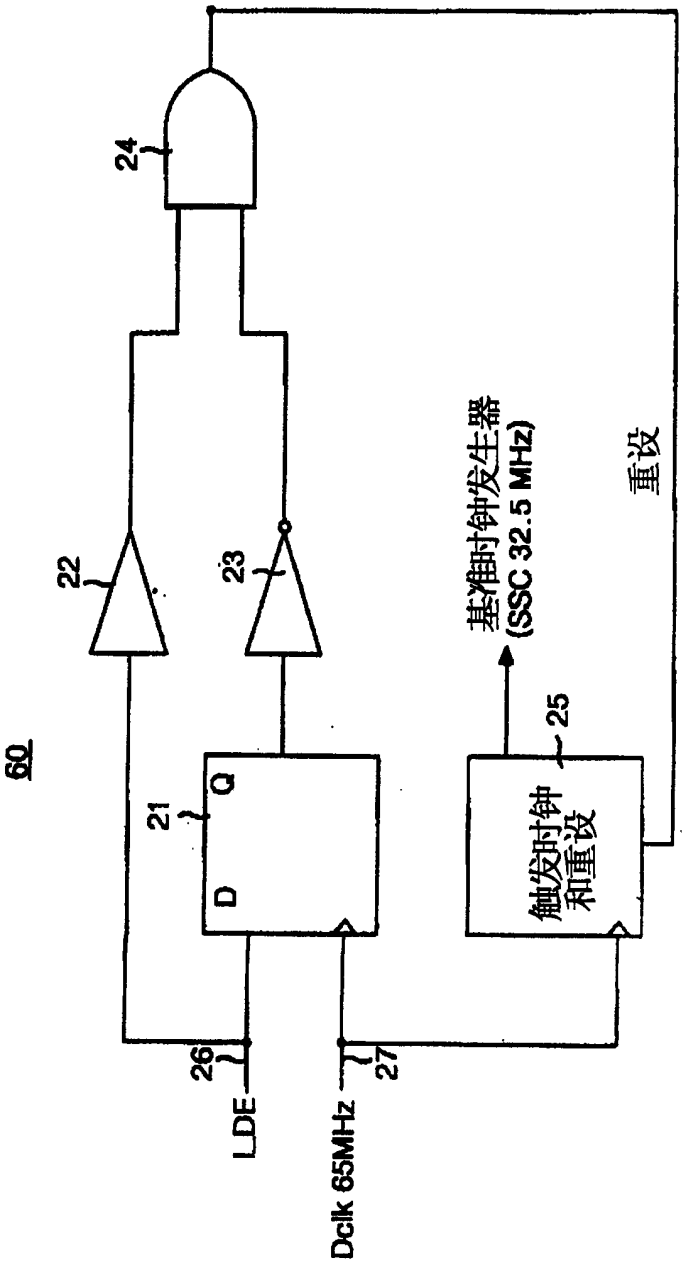

60
24
22
23
21
D
Q
25
触发时钟和重设
基准时钟发生器 (SSC 32.5 MHz)
重设
26
27
LDE
Dclk 65MHz

图 7

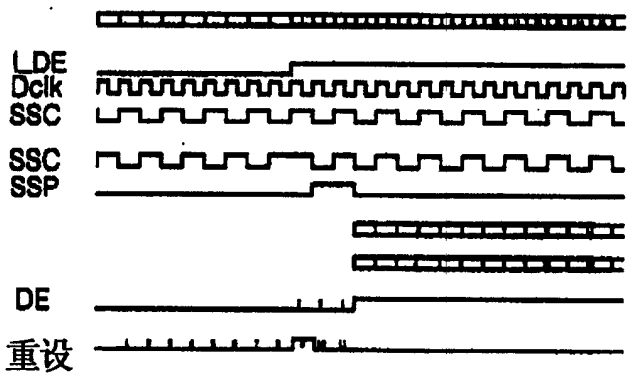


图8

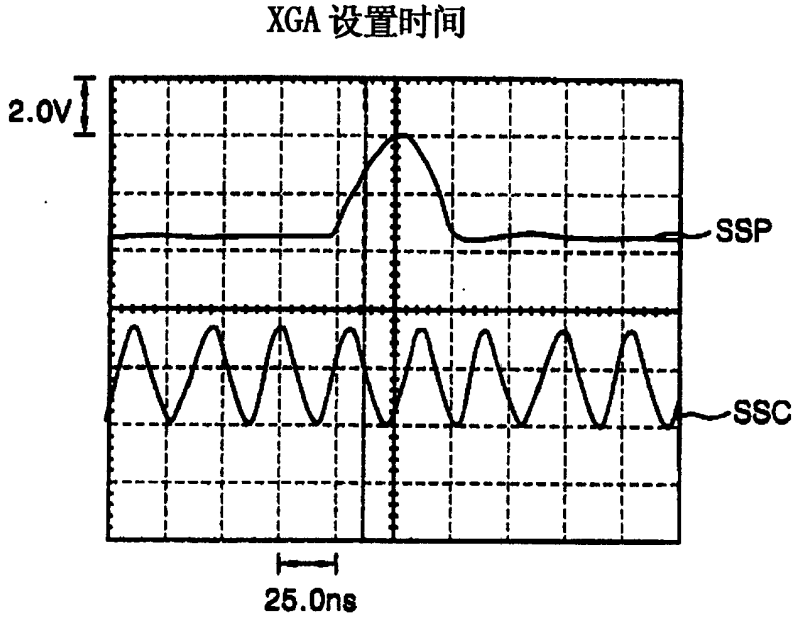


图 9A

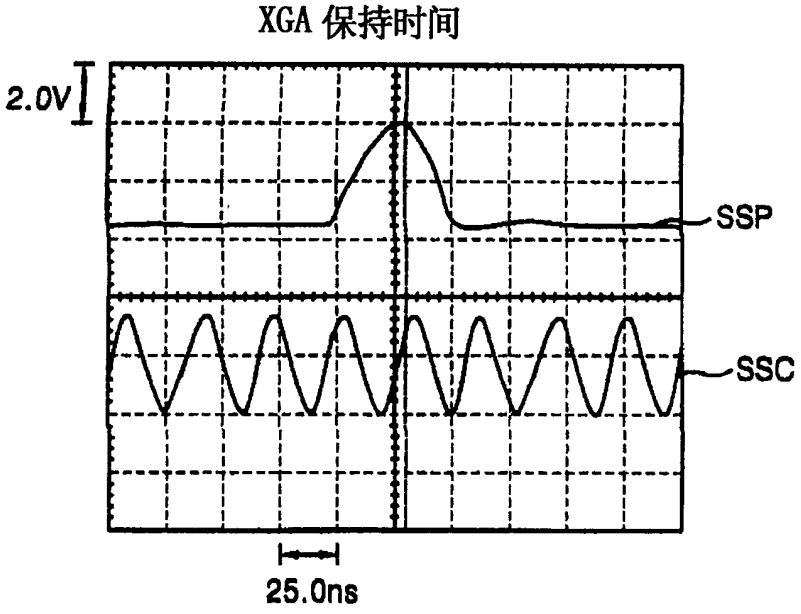


图 9B

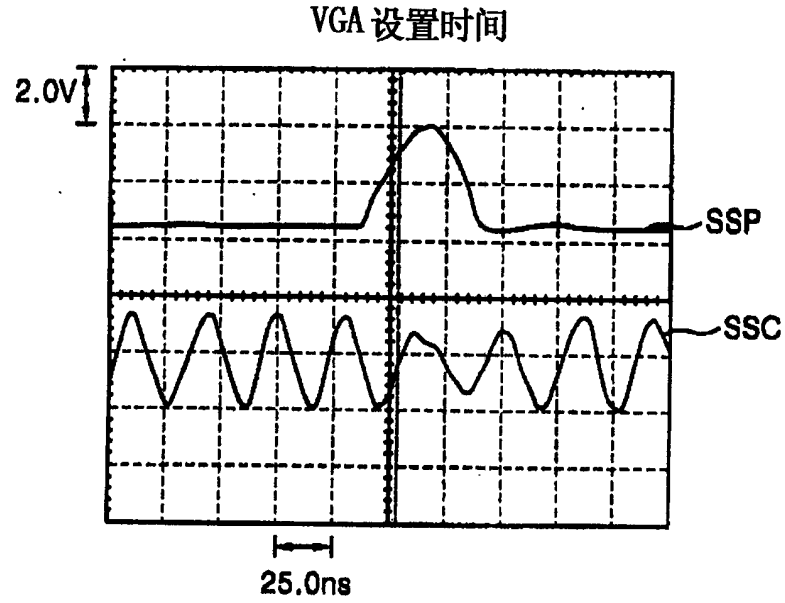


图 10A

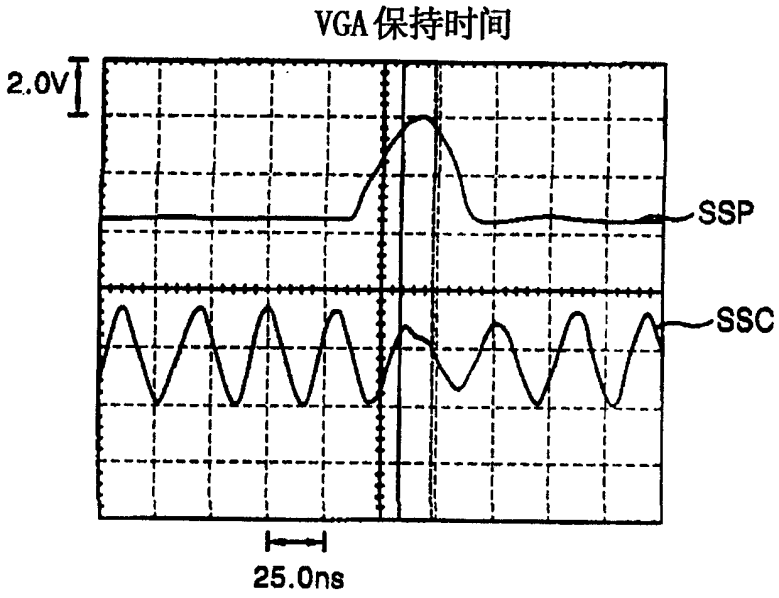


图 10B

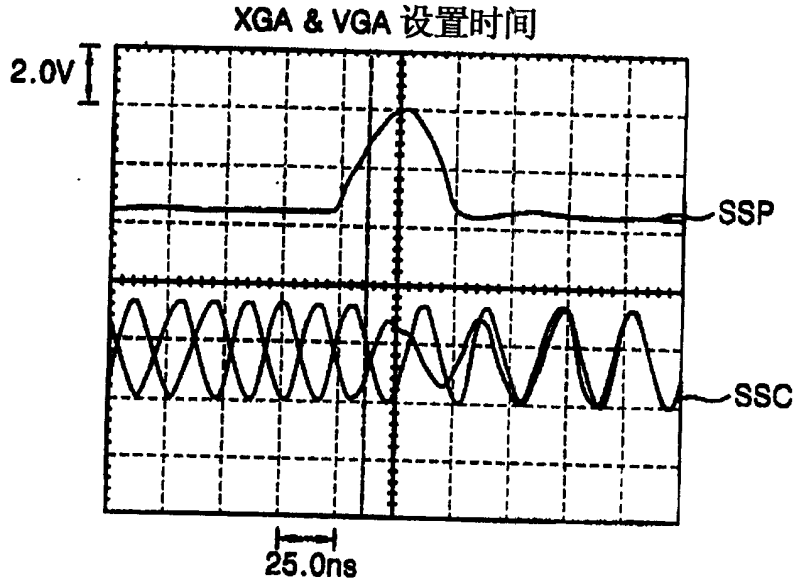


图 11A

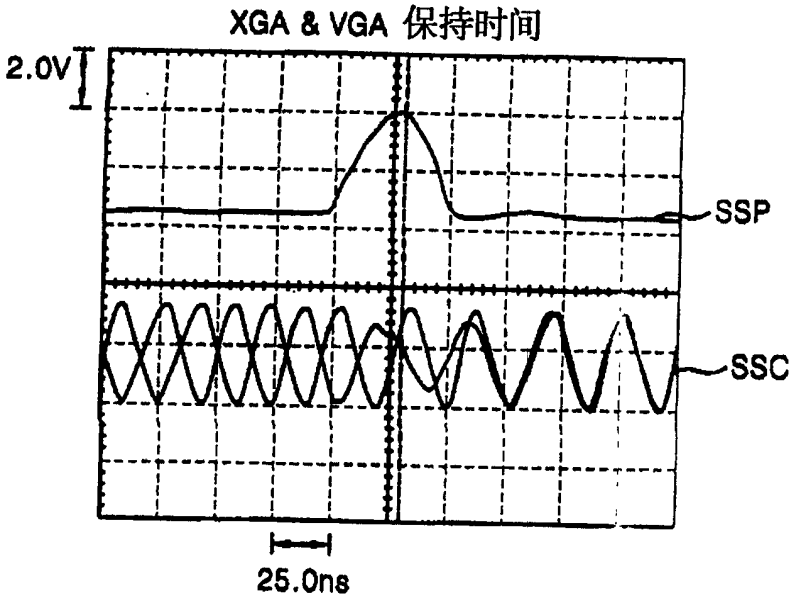


图 11B