

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年8月24日(2006.8.24)

【公開番号】特開2001-44421(P2001-44421A)

【公開日】平成13年2月16日(2001.2.16)

【出願番号】特願平11-211800

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 301G

H 01 L 29/78 301L

H 01 L 29/78 301P

【手続補正書】

【提出日】平成18年7月11日(2006.7.11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】半導体基板を準備する第1の工程と、

前記半導体基板の表面にゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜の表面にダミーゲートを形成する第3の工程と、

前記ダミーゲートをマスクとして用いつつ自己整合的に前記半導体基板に不純物を注入する第4の工程と、

前記半導体基板の全面に層間絶縁膜を形成する第5の工程と、

前記層間絶縁膜を薄膜化することにより前記ダミーゲートの側面にのみ前記層間絶縁膜を残す第6の工程と、

前記層間絶縁膜および前記ゲート絶縁膜を残置しつつ前記ダミーゲートを除去する第7の工程と、

前記ダミーゲートの除去された部分にゲート電極を形成する第8の工程と、

前記ダミーゲートのゲート長を減少させる第9の工程と

を備えるMISFETの製造方法。

【請求項2】前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートおよび前記層間絶縁膜のそれぞれの材料に採用し、

前記第7の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせて前記ダミーゲートにエッチングを施す工程を備える、

請求項1記載のMISFETの製造方法。

【請求項3】前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートおよび前記層間絶縁膜のそれぞれの材料に採用し、

前記第7の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせて前記ダミーゲート

にエッティングを施す工程を備え、

前記第9の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間でエッティング選択性を持たせて前記ダミーゲートに等方性エッティングを施す工程を備える、

請求項1記載のMISFETの製造方法。

【請求項4】 前記ダミーゲートは上部および下部を備え、

前記第9の工程においてゲート長を減少させるのは前記ダミーゲートの前記下部のみである、

請求項1記載のMISFETの製造方法。

【請求項5】 前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記下部と前記ダミーゲートの前記上部との間、および前記ダミーゲートの前記上部と前記層間絶縁膜との間、および前記ダミーゲートの前記下部と前記層間絶縁膜との間で、それぞれエッティング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートの前記上部および下部並びに前記層間絶縁膜のそれぞれの材料に採用し、

前記第7の工程は、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記上部と前記層間絶縁膜との間、および前記ダミーゲートの前記下部と前記層間絶縁膜との間で、それぞれエッティング選択性を持たせて前記ダミーゲートの前記上部および下部にエッティングを施す工程を備え、

前記第9の工程は、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記下部と前記ダミーゲートの前記上部との間でエッティング選択性を持たせて前記ダミーゲートの前記下部に等方性エッティングを施す工程を備える、

請求項4記載のMISFETの製造方法。

【請求項6】 前記第4および第9の工程を前記第5の工程に先立って複数回繰り返す、

請求項1、請求項3乃至5のいずれかに記載のMISFETの製造方法。

**【手続補正2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0009

**【補正方法】**変更

**【補正の内容】**

**【0009】**

**【課題を解決するための手段】**

この発明のうち請求項1にかかるものは、半導体基板を準備する第1の工程と、前記半導体基板の表面にゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜の表面にダミーゲートを形成する第3の工程と、前記ダミーゲートをマスクとして用いつつ自己整合的に前記半導体基板に不純物を注入する第4の工程と、前記半導体基板の全面に層間絶縁膜を形成する第5の工程と、前記層間絶縁膜を薄膜化することにより前記ダミーゲートの側面にのみ前記層間絶縁膜を残す第6の工程と、前記層間絶縁膜および前記ゲート絶縁膜を残置しつつ前記ダミーゲートを除去する第7の工程と、前記ダミーゲートの除去された部分にゲート電極を形成する第8の工程と、前記ダミーゲートのゲート長を減少させる第9の工程とを備えるMISFETの製造方法である。

**【手続補正3】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0011

**【補正方法】**削除

**【補正の内容】**

**【手続補正4】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0012

**【補正方法】**変更

**【補正の内容】****【0012】**

この発明のうち請求項3にかかるものは、請求項1記載のMISFETの製造方法であって、前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせることが可能な材料を、前記ゲート絶縁膜、前記ダミーゲートおよび前記層間絶縁膜のそれぞれの材料に採用し、前記第7の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間、および前記層間絶縁膜と前記ダミーゲートとの間で、それぞれエッチング選択性を持たせて前記ダミーゲートにエッチングを施す工程を備え、前記第9の工程は、前記ゲート絶縁膜と前記ダミーゲートとの間でエッチング選択性を持たせて前記ダミーゲートに等方性エッチングを施す工程を備える。

**【手続補正5】**

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

**【補正の内容】****【0013】**

この発明のうち請求項4にかかるものは、請求項1記載のMISFETの製造方法であって、前記ダミーゲートは上部および下部を備え、前記第9の工程においてゲート長を減少させるのは前記ダミーゲートの前記下部のみである。

**【手続補正6】**

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

**【補正の内容】****【0014】**

この発明のうち請求項5にかかるものは、請求項4記載のMISFETの製造方法であって、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記下部と前記ダミーゲートの前記上部との間、および前記ダミーゲートの前記上部と前記層間絶縁膜との間、および前記ダミーゲートの前記下部と前記層間絶縁膜との間で、それぞれエッチング選択性を持たせることができない材料を、前記ゲート絶縁膜、前記ダミーゲートの前記上部および下部並びに前記層間絶縁膜のそれぞれの材料に採用し、前記第7の工程は、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記上部と前記層間絶縁膜との間、および前記ダミーゲートの前記下部と前記層間絶縁膜との間で、それぞれエッチング選択性を持たせて前記ダミーゲートの前記上部および下部にエッチングを施す工程を備え、前記第9の工程は、前記ゲート絶縁膜と前記ダミーゲートの前記下部との間、および前記ダミーゲートの前記下部と前記ダミーゲートの前記上部との間でエッチング選択性を持たせて前記ダミーゲートの前記下部に等方性エッチングを施す工程を備える。

**【手続補正7】**

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

**【補正の内容】****【0015】**

この発明のうち請求項6にかかるものは、請求項1、請求項3乃至5のいずれかに記載のMISFETの製造方法であって、前記第4および第9の工程を前記第5の工程に先立って複数回繰り返す。

**【手続補正8】**

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正の内容】

【0085】

この発明のうち請求項1にかかるMISFETの製造方法を用いれば、LDD領域として機能する活性領域または不均一チャネル注入領域を、半導体基板の表面のうちゲート電極を挟む場所に形成できる。また、フォトリソグラフィ技術のパターニング寸法限界以下のゲート長を持つゲート電極を備えたMISFETを製造することができる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0086

【補正方法】変更

【補正の内容】

【0086】

この発明のうち請求項3にかかるMISFETの製造方法を用いれば、等方性エッチングによりダミーゲートのゲート長を減少させてるので、ゲート長の正確な制御が可能である。また、ゲート絶縁膜とダミーゲートと、および層間絶縁膜とダミーゲートとが、それぞれエッチング選択性を持つようにすることができるのでダミーゲートを除去する際に、層間絶縁膜およびゲート絶縁膜に対しダメージを与える可能性が少ない。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0087

【補正方法】変更

【補正の内容】

【0087】

この発明のうち請求項4にかかるMISFETの製造方法を用いれば、電気抵抗値が小さく、かつ上部においてコンタクトが取りやすいゲート電極を備えるMISFETを製造することが可能である。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正の内容】

【0088】

この発明のうち請求項5にかかるMISFETの製造方法を用いれば、等方性エッチングによりダミーゲートの下部のゲート長を減少させてるので、ゲート長の正確な制御が可能である。また、ゲート絶縁膜とダミーゲートの下部と、並びに層間絶縁膜とダミーゲートの上部および下部とが、それぞれエッチング選択性を持つようにすることができるので、ダミーゲートを除去する際に、層間絶縁膜およびゲート絶縁膜に対しダメージを与える可能性が少ない。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

この発明のうち請求項6にかかるMISFETの製造方法を用いれば、濃度差の有る複数の活性領域および不均一チャネル注入領域を、半導体基板の表面のうちゲート電極を挟む場所に形成できる。