

公告本

310475

310475

申請日期	85年2月8日
案號	85101591
類別	H01L 27/00, G11C 1/34

A4
C4

310475

Int.·CT

(以上各欄由本局填註)

發新型專利說明書

一、發明 新 型 名 稱	中文	記憶體裝置
	英文	Memory apparatus
二、發明人 創作	姓名	(1) 沖田彰
	國籍	(1) 日本
	住、居所	(1) 日本國東京都大田區下丸子三丁目三〇番二號 キャノン株式会社 内
三、申請人	姓名 (名稱)	(1) 佳能股份有限公司 キャノン株式会社
	國籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都大田區下丸子三丁目三〇番二號
代表人 姓名	(1) 御手洗富士夫	

裝
訂
線

310475

（由本局填寫）	承辦人代碼：
	A6
	B6
	大類：
	I P C 分類：

本案已向：

國（地區）申請專利，申請日期：案號：，有 無主張優先權

日本 1995 年 2 月 14 日 7 25392

無主張優先權

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂 線

有關微生物已寄存於：，寄存日期：，寄存號碼：

五、發明說明(1)

發明背景

發明領域

本案關於記憶體裝置，特別是，本案關於使用半導體的記憶體裝置。

相關背景技術

近年來由於資訊及影訊業的進步，用以儲存資訊的媒體及裝置有蓬勃的發展。在利用半導體的其它記憶體中，諸如 D R A M (動態隨機存取讀寫記憶體) 及 S R A M (靜態隨機存取讀寫記憶體) 被應用於許多領域中之裝置上，因為其具有大記憶體容量及小尺寸，輕量特性，以及其工作耗電低，且因為其容許高精確性之記憶及高速讀取。

再者，近來特別關注於諸如特別命名為快閃記憶體的可程式及可保留記憶之記憶體裝置。一般認為此裝置其在積體性程度上較以上之 D R A M 為更為改進。

再者，與快閃記憶體有所不同的僅容許一次寫入的 O T - P R O M (一次 P R O M (可程式惟讀記憶體)) 被揭示於日本公開專利公報第 6 2 - 1 8 8 2 6 0 號及日本公開專利公報第 6 2 - 4 9 6 5 1 號 (美國序號第 7 4 9 0 8 2，申請於 1 9 8 5 年 6 月 2 日)。在揭示於這些申請案中的結構中，一接線金屬被經一晶體結構已被破壞的一 S i 區域或經一 S i 層而與一電晶體的主電極 (在 M O S F E T (金屬氧化物半導體場效電晶體) 的情況下為源或汲極而在一雙極電晶體之情況下為射極) 串接。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明(2)

儲存作業係藉由將 Si 區域或一 Si 層自高電阻狀態變為低電阻狀態而達成。

但是，使用電極的諸如 D R A M 的記憶體裝置具有以下欲改善之情形。

1. 由 D R A M 及 S R A M 所代表的半導體記憶體裝置隨記憶容量上之增加而提高晶片成本之增加率且具有較軟碟，磁帶及 C D - R O M 等為高之位元成本。因此，半導體記憶體裝置目前尚未成為實用且易於使用之記憶媒體。

2. 目前在研究及開發中的記憶容量之位準為 256 百萬位元之位準，其不足以應付實際處理影像所需之資料量。

3. 為了將資訊儲存於 D R A M 或 S R A M 中，必需有電源，如此，例如在手提裝置上之應用則有所困難，因為其必需考慮到電力來源。目前除供驅動裝置用的電池之外另設一內建電池以供此用途之用。

為使快閃記憶體在積體性上較上述之 D R A M 等有更優異的表現；以下為所欲改善之事項。

1. 由於 F N 通道電流或熱電子射入等被用以寫入或消除在一浮閘中之充電，用於充電之輸入或輸出的絕緣層的可靠度將隨使用次數的增加而劣化。

2. F N 通道電流密度 J 當電場 E 被加於上述絕緣層時可以下式表示。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明(3)

$$J = \alpha E^2 e^{-\beta/E} \quad (1)$$

在該式子中， α ， β 為常數。

由式子(1)中，當電場強度強時流通一大電流。電流隨上述的浮閘之電位改變而以指數關係減少。如此，每位元之寫入週期及消除週期電長，約為 $100 \mu s$ 至 $10 ms$ ，使記憶體裝置之操作性劣化。

3. 以上之FN通道電流緊密地受上述絕緣層的品質及厚度所影響，如此，存在一樣本或位元間之適當寫入週期及消除週期之變異上的問題。基於此理由，實務上將記憶體晶片在晶片製出後的檢查步驟中將晶片分為多數群且將個別群之晶片運作一適當時長。此導致檢查步驟上之沉重負擔，因而提高成本。

4. 上述浮閘之面積隨電容之增加而減少。此比例性地減少浮閘之容量，因此即使小漏電流亦會造成浮閘電位之改變。所以，對於浮閘的面積的減少有所限制以確保所要之電容，其為增加儲存容量之重要因素。

再者，上述僅容許一次寫入的OT-PROM在寫入後保持保持不變及穩定上之表現十分優異，但其需要，例如，設置a-Si層於每一位元的a-Si層及接線間及a-Si層。在半導體製程中，接觸孔之形成較線性圖形之形成為困難。若使用 $0.8 \mu m$ 製程，此接觸尺寸在 $1 \mu m^2$ ($1 \mu m \times 1 \mu m$) 之位準，大約提高百分之二十。由於接線寬度相較於接觸孔之寬度必需增加更多，每位

(請先閱讀背面之注意事項再填寫本頁)

表
訂

五、發明說明(4)

元之面積的減少無法被達成。因此難以使這些所提出的記憶體之記憶容量增加。再者，由於在寫入作業中有一大電流流於上述 a - S i 層中，耗散功率大且使手提裝置之應用困難，其為前述之欲改進點中之一。

發明概要

本發明的一目的為提供一種記憶體裝置，其可實現大容量，低成本，高寫入性，高寫入速度及讀取速度，高可靠性，及低電力消散，解決前述之技術問題。

本發明的另一目的為提供一種記憶體裝置，其中每一位元的胞面積小，使其可降低成本，且所寫入之資料可被永久保持且穩定。

本案的進一步目的為提供一記憶體裝置，其可以低耗散功率及低電壓工作，其可在不需一諸如一電池的電力供應下保持記憶，且具有高可靠性。

本發明的一額外目的為提供一種記憶體裝置，其可以一簡單的驅動方法被驅動，容許高速寫入，高速讀取，且其以一低錯誤率工作，且具有較少之裝置工作環境之限制，且在工作性上極為優異。

本發明的進一步目的為提供一種記憶體裝置，其可以較少之製程步驟被製成，可以高良率製成，容許包括由其它類之記憶體裝置的裝置及電路以及邏輯電路等之週邊電路被積體形成於同一晶片上，且容許晶片之高功能性設計。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明(5)

本發明的再另一目的為提供一種記憶體裝置，其亦可適用於系統中，該系統容許使用者藉由寫入一諸如具有本發明之記憶體裝置的卡之記錄媒體而以簡單的方式將諸如影像資料之所需資料載運或取出及儲存，來自攜帶裝置，電子發佈控制裝置，及電子影訊及影像記憶體中之外部記憶體裝置的輸出，或對於來自例如其它影訊，傳真裝置及影印機等之輸出作處理者。

本發明的又另一目的為提供一種記憶體裝置，其具有一記憶體元件，在一基體上具一導通類型的第一半導體區域，具有相反於與第一半導體區域接觸的一導通類型的一導通類型的第二及第三半導體區域，一穿過在一區域上用以隔離第二半導體區域及第三半導體區域的絕緣層之一第一電極，及穿過在第一電極上的一絕緣層的一第二電極，其中，在第一電極的一側面上，具有一介於第一電極及第二電極之間的電阻值 L 之區域以自一高電阻狀態變為一低電阻狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

較佳實施例之詳細敘述

以下概略敘述本發明的記憶體裝置的一較佳形態，該裝置被構建為一結構，其中具有一MOSFET井，一穿設在一用以分隔與井接觸之源極及汲極的區域上的一絕緣層的浮閘；且絕緣層的電阻值被設計為可變，且浮閘及控制閘被由電阻之改變所電連接，亦即，藉由自高電阻變成低電阻，以達成寫入。

五、發明說明(6)

上述目的可由如下之敘述的裝置而達成。

本發明的一記憶體裝置具有一記憶體元件，其在一基體上具一導通類型的第一半導體區域，具有相反於與第一半導體區域接觸的一導通類型的一導通類型的第二及第三半導體區域，一穿過一在一區域上用以隔離第二半導體區域及第三半導體區域的絕緣層之一第一電極，及穿過在第一電極上的一絕緣層的一第二電極，其中，在第一電極的一側面上，被設置一介於第一電極及第二電極之間的電阻值，以自一高電阻狀態變為一低電阻狀態，且其中形成於第一電極及第二電極間的主電容被設計以依據第一電極的厚度而改變。

再者，本發明的一記憶體裝置具有一記憶體元件，其在一基體上具一導通類型的第一半導體區域，具有相反於與第一半導體區域接觸的一導通類型的一導通類型的第二及第三半導體區域，一穿過一在一區域上用以隔離第二半導體區域及第三半導體區域的絕緣層之一第一電極，及穿過在第一電極上的一絕緣層的一第二電極，其中，在第一電極的一側面上，被設置一介於第一電極及第二電極之間的電阻值，以自一高電阻狀態變為一低電阻狀態，且一第二電極被設置於該區域上。

再者，本發明的記憶體裝置可藉由一加至第二電極上的電壓而改變上述記憶體裝置中的電阻值。

再者，本發明的記憶體裝置具有多數如上所述的記憶體元件，且被設計以使在多數記憶體元件中第*i*記憶體元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

件的第二及第三半導體區域被與第($i+1$)個記憶體元件的第三或第二半導體區域作電連接。

再者，本發明的記憶體裝置的基體可為具有在一絕緣層上之Si層的基體。

再者，本發明的記憶體裝置被設計為一結構，其中記憶體元件被排列成一陣列，設置以線以便每一線沿裝置之一方向上之第二電極被連接在一起，排列在上述記憶體元件上之與線垂直之一方向上的第一半導體區域被連接在一起，且在每一陣列中的第一半導體區域被作電隔離。

再者，本發明的記憶體裝置最好被設置使形成於第一電極及具有第一，第二及第三半導體區域的半導體區域之間的容量被設定為大於形成於第二電極及第一電極間的容量為大。

再者，在本發明的記憶體裝置中，介於第一電極及第二電極間的容量可被設定為較小以符合照像平版印刷之限制。

再者，在本發明的記憶體裝置中，第一電極最好為包含多晶矽之材料。

再者，在本發明的記憶體裝置中介於包含第一，第二及第三半導體區域的半導體區域及第一電極間的絕緣層最好由具有Si及N或O之膜所形成，或該絕緣層由具有Si，N及O之膜所形成。

再者，本發明的記憶體裝置在部份記憶體裝置中可具有與本發明的記憶體元件不同結構的記憶體元件。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

再者，在本發明的記憶體裝置中，其週邊電路意欲由一CMOS電路所構建。

再者，本發明的記憶體裝置可被設置以使第一電極及第二電極被設置為一陣列且該裝置進一步包含若干區域，介於第一電極及第二電極間在該陣列中之一交錯部份，各將其電阻值自一高電阻狀態改變為一低電阻狀態。

再者，本發明的記憶體裝置可具有多數個如上所述的記憶體元件，其被設置以使在資訊將被寫入其中的記憶體元件中第一半導體區域被連接至適當電源且在資訊未被寫入其中之記憶體裝置中第一半導體區域被保持於一浮動狀態。

再者，本發明的記憶體裝置意欲被設置以使其介於第一電極及第二電極間之電阻值可被自高電阻狀態改變為低電阻狀態的絕緣層被形成於第一電極的一端及側部份上。

再者，本發明的記憶體裝置意欲被設置以使其介於第一電極及第二電極之間的電阻值可被自高電阻狀態改變為低電阻狀態的絕緣層被形成於該具有一孔的第一電阻的一孔部份的一側面上。

再者，在本發明的記憶體裝置中，當資訊被寫入至記憶體元件中被加至第二電極第一電壓 V_1 被設為較當資訊被自記憶體元件讀出時被供至第二電極的第二電壓 V_2 為大。

再者，本發明的記憶體裝置被設置以使寫入記憶被寫入至記憶體元件及與其不同結構之記憶體元件中，寫入記

(請先閱讀背面之注意事項再填寫本頁)

卷

訂

五、發明說明(9)

憶被自此二記憶體元件讀出，且自該二記憶體元件讀出之所得記憶可互相對照。

再者，本發明的記憶體裝置被設置以具有多數個穿過在週邊電路的至少一部份中之浮閘的閘電極。

再者，本發明的記憶體裝置意欲滿足下列關係：

$$\{ C_{FG} / (C_{FG} + C_{CG}) \} \cdot V_1 \geq V_{BD}$$

$$\{ C_{CG} / (C_{FG} + C_{CG}) \} \cdot V_2 < V_{th}$$

$$V_2 > V_{th}$$

其中 V_{BD} 為當介於第一電極及第二電極間之電阻值自高電阻狀態變為低電阻狀態時之介於第一電極及第二電極的一電壓， V_{th} 為當第二及第三電極為主電極區域時所形成之一絕緣閘型電晶體的臨界值，第一半導體區域為控制電極區域，且第一電極為一控制電極， C_{FG} 為形成於第一電極及第一，第二及第三半導體區域間的一電容， C_{CG} 為形成於第一及第二電極間的一電容，且 V_1 ， V_2 分別為寫入及讀出時加於第二電極上的電壓。

再者，本發明的記憶體裝置可被設置以使上述記憶體裝置進一步包含一用以寫入對照結果之一區域。

以下將依需要參照所附圖式對本發明進行詳細解釋。

圖 1 及圖 3 為用以解本發明的一較佳記憶體裝置，其簡要顯示裝置的一記憶體元件部份（記憶胞部份）。圖 2 為記憶胞部份的簡要平面圖，而圖 1 為沿圖 2 之 1 - 1 所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

得之截面圖。圖 3 為沿圖 2 中之 3 - 3 的截面圖。在圖 1 至圖 3 中，參數 1 0 0 1 代表控制閘（變成第二電極），1 0 0 2 代表浮閘（變成第一電極），1 0 0 3 為 M O S F E T 的一井層（變成第一半導體區域），1 0 0 4 為薄高電阻層區域（高電阻區域），1 0 0 5 為一絕緣層，1 0 0 6 為一絕緣層，而 1 0 0 7 為一基體。在圖 3 中，參數 1 0 0 8 代表 M O S F E T 的一源極或汲極層。雖然此例被建構以使控制閘可覆蓋浮閘，此結構並非經常為必需的，而控制層 1 0 0 4 可被形成於設於浮閘的端部及側面上的高電阻層 1 0 0 4 之上（其為以下所將詳敘的每一例中之情況）。

在圖 2 中，絕緣層 1 0 0 6 被省略，以避免複雜的說明，且井層 1 0 0 3 被簡示於其中。為辨識實線及虛線，該圖形被賦予觀看優先以避免複雜。因此應注意由圖 2 中之實線所代表者並非經常露於最外表面上。由於介於層之間及介於部份間的位置關係可由圖 1 及圖 3 被了解，應將其標以參數以了解其關係。

現在，解釋依照本發明可將介於控制閘及浮閘之間的區域自一高電阻狀態變為一低電阻狀態的一記憶胞所需滿足的條件。

可將介於控制閘及浮閘之間的區域自一高電阻狀態變為一低電阻狀態的記憶胞必需滿足 V_{BD} 為低且 C_{CG} 為小，其係根據其工作原理而得（如以下所敘述）（其中 V_{BD} 為當介於於控制閘及浮閘間的電阻值自高電阻狀態變為低電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (11)

阻狀態時介於浮閘及控制閘間的電壓而 C_{CG} 為介於浮閘及控制閘間之電容)。

為使 V_{BD} 較低，介於控制閘及浮閘間的間隔 (T) 必需較小以增加介於控制閘及浮閘間的電場強度。然後，為使 C_{CG} 較小而使間隔 (T) 保持較小，當控制閘最接近浮閘時最小間隔 (T 脈波) 的區域的面積應被減少。

如圖 1 至圖 3 所示的記憶體裝置具有適當滿足以上條件之結構，其中薄高電阻層 1004 被形成於浮閘 1002 的端部及側部份；而控制閘 1001 被進一步形成，因而形成主電容 C_{CG} 。此結構容許高電阻層被形成為儘可能的薄且面積儘可能的小，以滿足低 V_{BD} 及小 C_{CG} 之條件。

在此例中，介於浮閘 1002 及控制閘 1001 之間的電容 C_{CG} 主要由高電阻層區域 1004 的厚度 t_1 (如圖 1 中所示) 及面積 s_1 所示。高電阻層區域 1004 的面積 s_1 由浮閘 1002 的線寬度 w (如圖 2 中所示) 及其膜厚度 t_0 (如圖 1 中所示) 間的積所決定。線寬度 w 由照像平版印刷技術所限制 (目前制少限制於 0.3 μm 之寬度)，然而例如若浮閘由多晶矽以 L P C V D 程序所沉積而得，則浮閘的膜厚度 t_0 可為 0.01 μm (100 埃) 之厚度，此厚度為目前技術所無法達成者，且其變異可被有效控制在 1 % 以內。電阻可由諸如矽化鎢之高熔點矽化物製成。膜厚度 t_1 最好選擇在 10 \AA 至 300 \AA 的範圍中，進一步地最好在 30 \AA 至 200 \AA 的

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (12)

範圍中，更好的在 30 \AA 至 150 \AA 的範圍中。此厚度係根據供應以將該區域改變為低電阻狀態的電壓而被適當選定的。為確保電絕緣性，該厚度不可小於 50 \AA ，而為降低所加之電壓，厚度不宜大於 150 \AA ，此為更好之厚度範圍的理由。

如所解釋的，其為用以決定高電阻層區域 1004 的面積 s_1 的重要因素的浮閘 1002 的膜厚度係由照像平版印刷技術的限制所決定，因此其可在具有極佳之精確度之下被小量化，因此；高電阻層區域 1004 的面積 s_1 亦可在具有極佳之精確度之下被小量化。由於高電阻層區域 1004 的膜厚度 t_1 可依膜之沈積條件而被設定，其不受照像平版印刷之限制。

電容 C_{CG} 主要由膜厚度 t_1 所決定且高電阻層區域 1004 的面積 s_1 可在具有極佳精確度之下被小量化。

另一方面，當介於控制閘 1001 及浮閘 1002 間之電阻值由高電阻狀態變為低電阻狀態時之介於浮閘 1002 及控制閘 1001 間的電壓 V_{BD} 主要由薄高電阻層區域 1004 的膜厚度 t_1 所決定。如此，電壓可藉由使高電阻層區域變更薄而被降低。本發明的高電阻層區域 1004 為藉由施加電壓而可改變其電阻之區域，且此層區域在變為低電阻狀態後不需維持為一層。重要的一點為在電極間達成電導通。

以下將參照圖 4 A 至圖 7 B 敘述用以形成以上記憶體裝置的方法之一較佳實施例。在每一圖式中，圖 4 B，

(請先閱讀背面之注意事項再填寫本頁)

表
訂

五、發明說明 (13)

5 B，6 B 及 7 B 為記憶胞部份的簡要平面圖而圖 4 A，5 A，6 A 及 7 A 為沿圖 4 B，5 B，6 B 及 7 B 中之線 4 A - 4 A，5 A - 5 A，6 A - 6 A，及 7 A - 7 A 的簡要截面圖。

首先，備製 p 型 Si 基體 1 0 0 7。p 型 Si 基體 1 0 0 7 包含雜質濃度在 10^{14} 至 10^{17} cm^{-3} 之位準，且由於使介於井之間的寬度可被分離以及形成於井中之電容的觀點而言，基體最好具有 10^{16} cm^{-3} 之位準的雜質濃度。然後，如圖 4 A 及 4 B 中所示，用於元件分離的場氧化膜 1 0 0 6 由矽局部氧化或矽修正局部氧化程序所形成（其中，在藉由蝕刻場氧化膜所要被形成之處 Si 而形成溝槽後，矽被氧化，使尖頂區變窄，因而使分離寬度變窄）。此後，被實施定形以形成 n 井 1 0 0 3，然後實施離子植入以形成包含為基體之 2 至 7 倍的雜質密度的井 1 0 0 3。在此情況下，井的深度被設定為與場氧化膜 1 0 0 6 之底部有相同位準以確保一介於 n 井及 n 井間之承受電壓，且該井因此較原始之井更為淺。此後，一 85 埃的熱氧化膜藉由 750°C 至 1100°C 的濕氧化而被形成，然後接受包括在 950°C 至 1100°C 的 NH_3 氣體中達 90 秒的處理以及在一 1150°C 的 O_2 氣體及 N_2O 氣體中達 90 秒的處理之熱處理，以形成一 SiON 膜（該膜包含矽原子，氮原子，及氯原子），其有效厚度約為 100 埃。此後，多晶矽的第一層 1 0 0 2 藉由 L P - C V D (低壓化學蒸氣沈積) 程序而形成達 4000 埃

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (14)

。此第一多晶矽層可被修正以藉由放置，W，Ti，Ta或Mo等之金屬於該層中而形一矽化物化多晶矽化物，且接著將之退火，或自其選出之高熔點金屬可直接地被用以代替第一多晶矽。使用這些低電阻材料可減少浮閘之膜厚度，使電容 C_{FG} 亦可被減少並將其薄量化。這些矽化物（或多晶矽化物）及高熔點金屬可藉由例如氧化或氮化而形成一絕緣層。特別是，使用Ta較為理想，因為其氧化後變為 Ta_2O_5 ，具有高電絕緣性之特性，且在破壞後變為低電阻。

接著，實施離子佈植以及退火以將上述多晶矽植入雜質，且藉由第一多晶矽層之定形而形成閘電極。在此處，多晶矽之圖形各被以連接在圖示中之線4A-4A，5A-5A，6A-6A及7A-7A的方向上之形狀而形成。接著，利用此多晶矽，以一自行對準方式由離子植入程序（未顯示）形成PMOSFET之源極及汲極區域。最好採用LDD結構或GOLD結構以在縮小時可減輕在源及汲極邊緣的電場。

接著，如圖5A及圖5B所示，多晶矽層1002接受950閃控的濕氧化處理而形成200埃厚之 SiO_2 層1005。

然後一抗蝕層1009被定形，而藉這此層之掩罩 SiO_2 層1005及多晶矽層1002被連續各向異性地蝕刻，之後抗蝕層被移除。接著，如圖6A及圖6B所示，非常薄之高電阻層區域1004被形成於由以上之蝕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

刻所形成的交錯區中。在此情形下，高電阻層區域可接受例如 800 °C 的乾氧化處理，或可由置於加入臭氧 (O_3) 之純水，或加入過氧化氫之一酸 (H_2SO_4 , HCl) 中或一鹼 (NH_4OH) 中然後對其進行諸如高純度之 500 °C 至 600 °C 的 Ar 或 N_2 之鈍性氣體的熱氣裡達 30 分鐘而得到的 10 埃至 50 埃之化學氧化膜。此後，如圖 7 A 及 7 B 中所示，第二層的多晶矽再度藉由 L P - C V D 程序形成於晶原上，成為控制閘的字線 1001 藉由以與前述之程序相同的方式摻入雜質及定形而被形成。若字線長，則最好使用一包括例如 W - 多晶矽化物（矽化鎢）或類者之金屬多晶矽化物（或金屬矽化物），以減少其電阻。高電阻層區域可由選自例如最好選自包含矽，氧或氮之材料，包括矽，氧，氮及 Ta_2O_5 之材料等熟知的無機氧化物的材料所形成。

當高電阻層區域 1004 以此方式形成於控制閘 1001 及浮閘 1002 之間時， C_{ee} 被以非常好的精確性及可靠性形成，如前面所解釋的。但是，應注意到 SiO_2 層 1005 係由將多晶矽層 1002 氧化而得，因此，其較原始之多晶矽層的厚度為厚。

此後以諸如原始的 L S I 程序之相同的方式形成一層間絕緣層 1010，例如 B P S G 或類似者，然後接點（未顯示），金屬接線（未顯示），一被動膜，最後是墊部份（未顯示）被定形，如此則完成該程序。用於形成以上之結構所需的掩罩數少於製造一包括 D R A M , S R A M

(請先閱讀背面之注意事項再填寫本頁)

卷

訂

五、發明說明 (16)

及快閃 E²P R O M 之一般記憶體所需之一半。如此所形成之記憶體元件每一位元各具有一小區域而可以非常簡單之步驟及高良率製出，因而降低成本。本結構的製程之敘述關於單側井結構，但是，該製程並不限定於此，而當然亦可有效地採用 n 型井及 p 型井的雙井結構，在分離部份中形成一通道截止層，及在一些情況下之溝槽分離。

圖 8 顯示依照本發明的記憶體裝置的基本方塊之等效電路。在圖 8 中，數字 1 1 , 1 2 , 1 3 , 1 4 , 2 1 , 2 2 , 2 3 , 2 4 , 3 1 , 3 2 , 3 3 , 3 4 , 4 1 , 4 2 , 4 3 , 4 4 各代表記憶胞，而此處所示者為便於解釋之 4×4 胞結構。

在一記憶胞中，數字 1 代表控制閘（其成為第二電極），2 為浮閘（其成為第一電極），3 為 M O S F E T 的井層（其成為第一半導體區域），4 為連接至每一控制閘的字線，而 5 及 6 分別為 M O S F E T 的源及汲極部份（其變為第二及第三半導體區域）。胞之源及汲極被互相串連於每一行中。數字 7 代表用以選擇一讀出行的一行解碼器，8 為用以選擇一輸入位元線的一解碼器，9 為一用以驅動字線的一列驅動器，10 為用以選擇字線的一解碼器，15 為一感應放大器，而 16 為一緩衝放大器。再者，數字 17 , 18 代表行地址緩衝器，其將一自 20 輸入的地址傳送至行解碼器 7 , 8 。 S W 1 至 S W 1 3 為 M O S F E T 的切換器，而切換器 S W 9 , S W 1 0 , S W 1 1 , S W 1 2 及 S W 1 3 由脈波 ϕ 1 , ϕ 2 , ϕ 3

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (17)

, ϕ_4 , ϕ_5 所控制。數字 26 代表一列地址閃控 (RAS) , 27 為行地址閃控 (CAS) , 28 為一寫入致能 (WE) , 29 為輸入資料之一信號 (D_{IN}) , 而 30 為輸出資料之一信號 (D_{OUT}) 。

接著解釋此記憶體裝置的作業。此裝置被設計以經由分時輸入腳輸入兩類地址信號。在一行地址定出後，行地址藉由輸入代號為 27 之 CAS 使由高位準至低位準而送入晶片中。然後在一列地址定出後，列地址藉由輸入代號為 26 之 RAS 使由高位準變為低位準而被送入晶片中。此設計可將所需之地址接腳數減半。晶片是否處於一讀取狀態或寫入狀態係由代號 28 之 WE 信號是處於高位準或低位準而決定的。

在讀取中，有效輸出資料在 RAS 後之特定時間由代號 30 之終端 D_{OUT} 取得。在寫入中，資料經由代號 29 之終端 D_{IN} 寫入。

接著參照圖 9 中所示的簡要時序表詳細解釋寫入作業的一範例。此晶片的電源電壓被設為 3.3V，因此減少耗散功率。再者，圖 9 中之 CG1, CG2, CG3, CG4 代表圖 8 中之第一，第二，第三及第四字線。BL1, BL2, BL3, BL4 為各被輸入至 nMOSFET 中之 SW5 至 SW8。圖 9 顯示當在本記憶體裝置中的胞 21 中執行寫入時之示範脈波。在寫入前，來自代號 8 之行解碼器 1 的脈波 BL1, BL2, BL3, BL4 係分別處於高位準，低位準，低位準及低

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (18)

位準，使切換器 SW 5 為開而其它切換器 SW 6，SW 7，SW 8 為關。此造成第一行的井將寫入胞固定於 GND 而其它之第二至第四行之井電位處於浮動狀態。

再者，SW 9，SW 10，SW 11，SW 12，SW 13 亦包含 n 型 MOSFET，且脈波 ϕ_1 ， ϕ_2 ， ϕ_3 ， ϕ_4 ， ϕ_5 分別被設定為低，高，高，高，高，低位準，如圖 9 中所示。再者，SW 1 至 SW 4 由 p 型 MOSFET 所構成且所有來自代號 7 之行解碼器之脈波皆被設定為低位準，使每一胞之源及汲電極皆被固定於 GND 電位。

代號 9 的列驅動器接著僅供應 -10V 大小之脈波至連接至寫入胞 21 的字線。在此情況下，電源電壓為 3.3V，但因為無電流流過，在晶片中可由一提升電路而達成一高電壓。藉由利用寫入脈波，約 6.6V 之偏壓被加於胞 21 之控制閘 1 及浮閘 2 之間，使介於控制閘 1 及浮閘 2 之間的區域在大約 10ns 之間由高電阻狀態變為低電阻狀態，因而完成寫入。由於採用以上之脈波，僅約 0.1 至 0.5V 的偏壓被加至連接至相同字線的胞 22，23，24 的控制閘及浮閘之間，在無寫入之下介於控制閘及浮閘間的區域被保持於高電阻狀態。其理由為 SW 6 至 SW 8 為關以保持第二行，第三行及第四行的井電位於浮動電晶體而在電壓不被加於控制閘及浮閘間之下被加至井及基體。在完成寫入後，字線電位如圖 9 之 CG 2 中所示地回到 0V。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (19)

如以上所解釋，本發明的記憶體裝置在形成於每一胞中之一電晶體的閘結構為浮閘及控制閘之包覆結構以及在其寫入係藉由改變介於浮閘及控制閘間之電阻值（或減少其電阻）並將脈波供至控制閘而達成等方面是完全新穎的設計。

接著使用圖 10 中所示的簡要時序表解釋本發明的讀取作業的一範例。形成每一胞的電晶體為一 p 型 MOSFET，且其一臨界值被設為 -1.8 V。雖然此範例顯示 p 型 MOSFET 之胞部份，當然本發明可被運用於使用 n 型 MOSFET 的情形之下。

現在假定讀取行為圖 8 中之第一行，寫入係僅達成於該行中之胞 21 中，且在其它胞 11, 31, 41 中無寫入被執行。

為讀取在第一行中之資訊，代號 7 之行解碼器 2 供應一僅使 SW1 之電晶體為開而使其它 SW2, SW3, SW4 之電晶體為關之脈波至個別切換器之閘。在讀取動作中，當胞電晶體為 PMOS 時，SW1 2 為關，SW1 3 為開，而 SW5 為開，使至少將讀取行的井電位固定於最大電位。當胞電晶體為 NMOS 時，當然將井電位固定於最小電位。首先，脈波 ϕ_1 回到高位準，因而將胞 11, 21, 31, 41 的源極及汲極預先充電至 V_{CC} 位準。此係當所有字線 4 為 0 V 而每一胞之 PMOSFET 為開時達成的。接著，脈波 ϕ_1 被變為低位準，因而具有 3.3 V 之大小的脈波 CG1 被供至連接

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (20)

至胞 1 1 的字線以讀取胞 1 1，如圖 1 0 中所示。由於胞 1 1 為一不具寫入資訊的胞，浮閘電位為 1 . 1 V。其由控制閘及浮閘之電容之分電容所決定。如上所述，此 P 型 MOSFET 的臨界值為 -1 . 8 V，且胞 1 1 之 PMOSFET 即使加以上述之脈波亦保持為開。所以，由於加以上述之脈波，在第一行中的所有 p 型 MOSFET 皆為開，感應放大器 1 5 的輸出如圖 1 0 中 2 3 5 所示的被降低，其表示胞 1 1 不包括寫入資訊。接著，當再次供以脈波 ϕ 1 以進行預先充電之後，脈波 CG 2 被變為高位準以讀取該胞 2 1。由於其大小為 3 . 3 V 且此胞 2 1 包括寫入資訊，控制閘及浮閘被連接於低電阻狀態，且 3 . 3 V 之電壓被加於其上。因此，胞 2 1 之 p 型 MOSFET 變為關。感應放大器的輸出因而在利用脈波 ϕ 3 之以而保持於高位準，如圖 1 0 中之 3 6 所示，其顯示資訊被寫入至該胞中。重複上述作業，可發現胞 3 1，4 1 之輸出為如圖 1 0 中之 3 7，3 8 所示的處於低位準，表示其中無寫入資訊。

在完成讀取之後，脈波 ϕ 2， ϕ 3， ϕ 4 被設定為高位準且脈波 ϕ 1， ϕ 5 則為低位準，因此不僅胞之控制閘，見其源極，汲極及井被設為 0 V。此使得浮閘之電位穩定保持於原始狀態之 0 V，如此防止故障之發生。亦即，在等待狀態下，源極，汲極，控制閘及井皆處於 0 V，而即使有小漏電流流至浮閘其亦經常自動地回復至 0 V，因而保持作業穩定。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (21)

藉由滿足以下之關係可得到更穩定的寫入：

$$\{ C_{FG} / (C_{FG} + C_{CG}) \} \cdot V_1 \geq V_{BD}$$

$$\{ C_{CG} / (C_{FG} + C_{CG}) \} \cdot V_2 < V_{th}$$

$$V_2 > V_{th}$$

(請先閱讀背面之注意事項再填寫本頁)

其中 V_{BD} 為當介於浮閘 2 及控制閘 1 間之電阻值自高電阻狀態變為低電阻狀態時之介於浮閘 2 及控制閘 1 的一電壓， V_{th} 為 MOSFET 的臨界值， C_{FG} 為形成於 MOSFET 的浮閘 2 及源極區域，汲極區域及井區域間的一電容， C_{CG} 為形成於浮閘 2 及控制閘 1 間的一電容，且 V_1 ， V_2 分別為寫入及讀出時加於第二電極上的電壓。

由以上的關係式可清楚看出，有以下的三種方法可減少寫入電壓 V_1 。

(1) 增加 V_{BD} 。此可藉由減少介於控制閘及浮閘間之臨近部份之隔離 (T) 而達成。

(2) 減少 C_{CG} 。此可藉由減少介於控制閘及浮閘間的臨近部份的面積而達成。為增加介於控制閘及浮閘間的臨近部份的厚度，必使 V_{BD} 增加，因此此方法並不適合於減少電壓 V_1 。

(3) 增加 C_{CG} 。此可藉由增加 MOSFET 的浮閘，源極區域，汲極區域，以及井區域而達成。但是，此造成如改變元件之性能特之影響，進而減少作業速度，並

五、發明說明 (22)

增加元件面積。

由元件之作業及積體性觀之，將（1）及（2）組合而減少 V_{BD} 及 C_{CG} 可適當地減少寫入電壓 V_1 。

由上述之等式，可了解 $C_{CG} < C_{FG}$ 之關係必需被滿足以減少寫入電壓 V_1 。

如以上所解釋，以上所述之記憶體（記憶體裝置）具有以下之特點。

(i) 記憶體結構簡單，且胞部份的面積僅由字線及 Si 主動層之定形精密度而決定。如此，無接觸的胞面積可與傳統記憶體之面積相等或較小，因而使位元成本可降低。

(ii) 用以形成此結構所需之掩罩的數目可為 DRAM，SRAM，快閃記憶體等者之大約一半，其容許進一步降低成本。因為其步驟簡單，灰塵，定形缺陷等之問題較不易發生，其提高良率。

(iii) 寫入方法係根據介於第一及第二絕緣層的崩潰。多晶矽氧化膜之承受電壓較 C-Si 氧化膜者為低，且該承受電壓可藉由最新之製程技術的組合而被良好且穩定地控制在一所要之值，例如化學氧化程序，氧摻雜程序等，其使寫入中少有錯誤發生。

(iv) 再者，部份寫入資訊為永久的。此免除連接一電源至記憶體以及執行包括重新更新等之複雜作業的必要。

(v) 寫入的時間大約為 10 ns 或更少，因此其寫

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (23)

入速度非常高，達成與系統之良好配合性。

(vi) 由於讀取及寫入狀態並非十分受環境條件之影響（而快閃記憶體，D R A M 等則非常受漏電流之影響），其可用於廣泛之用途上。

本發明的記憶體裝置的另一較佳範例接著參照圖 1 1 而被解釋。上述範例使用 S i 晶圓為其基體，而本範例則使用一 S O I 基體。圖 1 1 顯示記憶體胞部份的一簡要截面結構（對應於圖 1）。與上述對於圖 1 至圖 7 B 中之敘述中相同的部份將以相同的參數代表，而相同部份之解釋將被省略。數字 1 0 1 1 代表 S O I 基體，其可為任何優質之 S O I 晶圓，例如由 S I M O X，接合 S O I 晶圓等所選出者，S O I 晶圓的製造係在 S i 表面上形成一多孔層，形成一外延層於多孔表面上，將具有形成於多孔表面上的外延層接合至一具有絕緣層表面的晶圓上，並除去多孔層等等。基體的導通型可為 n 型或 p 型，且重點為控制基體的偏壓以避免將經 S O I 的氧化層 1 0 1 2 所形成的寄生 M O S 電晶體（其係當氧化膜 1 0 1 2 被當作一閘絕緣層時發生於一 M O S 電晶體）打開。胞部份的通道部份各被分隔為島形，如 1 0 1 3 所示，且浮閘 1 0 0 2 覆蓋通道部份。

如此增加了形成於通道部份 1 0 1 3 及浮閘 1 0 0 2 間的電容 C_{FG} ，其減少電壓 V_1 。亦即，在此範例中，介於通道部份 1 0 1 3 及浮閘 1 0 0 2 間的絕緣層亦形成於通道部份 1 0 1 3 的端及側表面，如圖 1 1 中所示。因此

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (24)

，電容 C_{FG} 變得較圖 1 中所示的範例中者為大，其導致在上述關係示中之分數 $C_{FG} / (C_{FG} + C_{CG})$ 增大。此可減少寫入時供至控制閘的電壓 V_1 。由於有效通道區域可被形成以較大，MOS 電晶體的性能可被加強。介於通道間的區域被完美的絕緣及隔離，其使作業較穩定。

由於在此範例的結構中在通道部份（對應於前例中之井）之下的層為絕緣層，通道部份的電容較使用堆積基體之情況中者為小。此減少寫入時在非寫入位元中之介於控制閘及浮閘間的電壓之減少，其鮮有寫入錯誤發生，並增加結構處理之餘地。

以下參照圖 1 2 A 及圖 1 2 B 概要敘述本例與前例的製程之差異。本例與前例之形成記憶體裝置的程序上之差異僅在於通道部份 1 0 1 3 以定形處理分離。其它部份可以與前例中之圖 4 A 至圖 7 B 中所示的相同步驟形成。

更詳言之，本例包括由圖 1 2 A 之簡要截面圖中所示的 SOI 晶圓的 Si 層的一般光蝕刻而達成之定形，因此獲得一形狀，其中 Si 層變得與圖 1 2 B 之簡要截面圖中所示之鳥形定形中所留下之通道部份 1 0 1 3。此後，圖 1 1 中所示的結構可經由圖 4 A 至圖 7 B 之相同步驟達成。

圖 1 3 及 1 4 中所示為又另一範例。圖 1 3 為對應圖 2 之一簡要平面圖，而圖 1 4 為對應圖 1 之一簡要截面圖，其為由將圖 1 3 顯圖 1 3 中之 1 4 - 1 4 切開所得之一截面圖。此例係被設計以使高電阻層區域（高電阻區域）

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (25)

1 0 1 6 被形成於每一浮閘 1 0 0 2 的一內部區域上。藉此，浮閘 1 0 0 2 可藉由預先定形而使之以相互隔絕之形式被形成，且此後其所有表面可被絕緣層 1 0 0 5 所覆蓋。此後，每一浮閘的一部份被穿孔且高電阻層區域

1 0 1 6 被形成於一孔部份的側表面上，因而得到圖 1 3 及 1 4 中的記憶體裝置。如前例中所解釋的製程可被應用於形成高電阻層區域 1 0 1 6 之後的步驟中。

以下參照圖 1 5 解釋本發明的又另一例。與前例中相同之部份將以相同之數字代表，而其解釋將被省略。數字 1 5 0 代表如前例中所述之記憶體部份，1 5 1 為一 S R A M 部份，1 5 2 為用以序列地讀取 S R A M 之資料的掃描電路，1 5 3 為用以檢驗本發明的記憶體的讀取結果是否正確之 E X O R 電路，而 1 5 4 為用以自上述 E X O R 接收一輸出以控制記憶體部份的驅動動作之一控制電路。數字 1 5 5 代表 C M O S 型 S R A M 記憶胞部份，因為其低耗散功率，其適用於 p 型 M O S 負載形式。

T R 1 , T R 2 , T R 3 , T R 4 為用以控制 S R A M 記憶胞之驅動的 M O S 切換器 1 5 6 為共通資料線，1 5 7 為感應放大器，1 5 8 為輸出緩衝器，1 5 9 為用以選擇輸出緩衝器的切換器，1 6 0 , 1 6 1 , 1 6 2 , 1 6 7 , 1 6 8 為輸入經浮閘 1 6 2 至 C M O S 反相器的閘，1 6 3 為一 p 型 M O S 電晶體，而 1 6 4 為一 n 型 M O S 電晶體。數字 1 6 5 代表第一步驟 C M O S 反相器的一輸出，其被輸入至第二步驟 C M O S 反相器之由 1 6 6 代表

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (26)

的閘。數字 169 為第二步驟 C M O S 反相器的一輸出，其被輸出至上述控制電路 154。數字 170, 171, 172 為字線，其被安排於與本發明的記憶胞部份及 S R A M 記憶體部份共通。

接著解釋此例之作業方法之一例。資料被寫入記憶體 150 的所要之行中，且與行中相同之資料亦被寫入 S R A M 151 的胞中。接著，記憶體 150 被變為讀取模式以藉由感應的大器 15 將以上之行的資料順序讀出。與其同步地，掃描電路 152 經由感應放大器 157 將對應位元自 S R A M 胞讀出，而所讀出的輸出被輸出至 E X O R 電路 153 的閘 160 中。當輸入至閘 160 及 161 之值不同時電路 153 的輸出為高位準，而當其相等時則為低位準，因此可檢驗資訊是否被正確地寫入記憶體部份 150 中及使用來自電路 153 之輸出而被正確地讀取。

E X O R 電路 153 為具有多輸入閘至浮閘的 C M O S 電路，其可以與記憶體區域 150 相同的結構被製出且以較少量之電晶體達成高性能動作。此範例被安排以執行 E X O R 邏輯運算，但此例可被修改而使其 8 位元輸入之輸入閘可搭配浮閘而被形成 C M O S 反相器，其與上例類似，且可以兩電晶體 (n 型 M O S 及 p 型 M O S) 執行輸入資料之大數邏輯運算。利用此大數邏輯，配位檢查可被執行於輸入資料的 8 位元配位以及讀取資料的 8 位元配位之間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (27)

圖 1 5 的作業被進一步解釋。當故障經由輸入結果 1 6 9 被確認後，上述 S R A M 資料再次被寫入記憶體 1 5 0 的次一行中。此可執行用以校正寫入錯誤或一讀取錯誤的校正作業。

再者，至少在資料行中的一位元被分派為每一行資料的錯誤檢查位元，其被安排以在讀取時檢查。

圖 1 5 的設定包括對應記憶體 1 5 0 的一行之尺寸下的 S R A M 記憶體，然而其尺寸絕不受限於此。例如，記憶體尺寸可被增加至一緩衝記憶體之位準，因而使能達成高速存取及寫入。上述者係關於 S R A M 的緩衝記憶體的例子，而當然上述作業可藉由將 S R A M 或快閃記憶體或其類似者設置於相同晶片上而達成。

以上的解釋之範例之設定具有以下之優點。

(i) 錯誤率非常低。

(ii) 無論寫入是否正確皆可在晶片中被檢查。

(iii) 上述用以檢查之邏輯電路可以與本發明的記憶體之相同製程製出，而不需加入新程序。

(iv) 上述邏輯電路可被構建以具有較一般邏輯電路為少之電晶體數，且其週邊電路可被形成於較小面積上，因而達成低成本及高性能。

(v) 裝置包括與本發明的記憶體裝置不同之記憶體 (S R A M , D R A M , 快閃記憶體，或類似者)，因而實現高速隨機存取及寫入。

接下來解釋一範例，其中本發明的記憶體裝置被應用

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (28)

於一個人電腦等所用的外部記憶卡 (PC卡)。

圖 1 6 為一用以顯示當本發明被應用於 PC 卡時之卡及系統間之關係的一圖。

在目前存在的具備 PC - 卡的筆記型個人電腦及攜式資訊通信裝置中，所用之 PC 卡的裝置驅動程式係設於主記憶體中。當個人電腦及攜帶式資訊通信裝置具備多種 PC 卡時，所使用的容量因儲存預設於主記憶體部份中的裝置驅動程式而增加，則因為驅動程式所用之容量過大而使某些應用軟體無法動作。

使用本發明的記憶體晶片所構建之卡容許 ROM 部份被形成於此晶片上。因此，此卡可將關於其裝置驅動程式及 CIS (卡資料結構) 的資訊儲存於其上，該資訊有關卡類別，容量，卡特性，構造，且其可被設置以一用以依照卡插入之通告而執行載之而當卡插入主體時之裝製驅動程式之指令而載入之功能，如 2 1 6 中所示。

介於卡及主體間的界面係依照 PCMCIA (美國標準協會) 及 JEIDA (日本電子工業發展協會) 之格式，可具有 68 接腳連接器，資料匯流排寬 32 位元，時鐘頻率 16 MHz，最大資料傳送率為 60 Mbyte/s，等等。

接著參照圖 1 7 所解釋者為用以利用光作絕緣層之輸入及輸出的 IC 卡之一範例。數字 180 代表本發明的記憶體裝置，181 為一電池，182 為一半導體雷射及一光偵測器，作為用以輸入及資料的輸入及輸出裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (29)

1 8 6 為一用以控制記憶體裝置，雷射，及裝在一板 1 7 9 上的光偵測器的控制電路，1 8 3 為用以保護前述裝置的一透明或半透明塑膠殼件，1 8 4 為諸如一鏡片之一光學系統，而 1 8 5 為一半導體雷射及一光偵測器。本發明的 I C 卡 1 7 0 1 為一範例，其被設計以使光被用以傳送 I C 卡與外交通信所需之訊息，諸如寫入資料，讀取資料，控制時鐘等等，且所有其它作業由裝在板 1 7 9 上的控制電路 1 8 6 所執行。

雖然其在圖 1 7 中並無清楚顯示，卡必需具備用以將光學系統定位於板 1 7 9 上的對準標示。當此 I C 卡被放入此卡的一寫入及讀取裝置時，其可被迅速地設定於一適當位置。

此 I C 卡具有以下的優點。

(i) 此卡與傳統 I C 卡不同的，無接腳之接觸錯誤之問題及接腳之可靠性問題，且具有高可靠度。

(ii) 由於 I C 卡被包裝於由簡單積體模製所形成之透明塑膠包裝中，其可以非常低之成本製成。

(iii) 半導體雷射的調變頻率非常高，因此資訊之輸入及輸出可以高位元率進行且功率可被降低。

一記憶體裝置可被安排以包括一可程式邏輯陣列，其被設計以使本發明的記憶體裝置中之形成浮閘的第一多晶矽層及形成字線的第二多晶矽層被排列為一陣列，設置有許多 A N D 電路及 O R 電路，一邏輯可依照每使用者的用途而藉由改變在交錯點的線與線間的之區域使其由高電阻

(請先閱讀背面之注意事項再填寫本頁)

裝訂

五、發明說明 (30)

狀態變為低電阻狀態而實質地將線互連，而被自由地設定。介於線與線之間將被變為低電阻狀態的部份可藉由施加一偏壓至設置於陣列中之線而被變為低電阻狀態。

當可程式邏輯陣列被建構於記憶體裝置中時，依照使用者之規格的任何作業可在不改變掩罩下而被實現，其可進一步減少成本且可減少使用者之供應週期。

本發明的記憶體裝置可具有一大容量及每位元較小之胞面積，且可以較低成本製成，且相較於傳統的半導體記憶體裝置其寫入資訊為永久且穩定。本發明的記憶體裝置可以較低耗散功率運作，可由一低電壓驅動，可不需電池即維持記憶，且具有高可靠度，其所用的方法簡單，且其操作性優異。再者，本發明的記憶體裝置容許高速寫入及讀取，可以低錯誤率運作，且可在多數環境條件下工作。再者，本發明的記憶體裝置在較短製程步驟，高良率及低成本下被製成。再者，本發明的記憶體裝置容許另一方法，邏輯電路等等之記憶體裝置被設置於同一晶片上，因而進一步達成晶片較高之功能性。本發明的記憶體裝置不僅可被用於廣為使用之電腦，亦可用於例如聲像或影像資料之資訊記憶媒體，以及可被用於聲像卡帶，影像卡帶，CD-ROM等目前之商業化用途上。其亦可有利地應用於一系統上，該系統容許使用著方便地藉由來自如手提裝置，電子發佈控制裝置，電子影訊及影像記憶體，及自錄影帶，傳真，影像機等之外部記憶體裝置的輸出寫入至諸如具有本發明的記憶體裝置的卡的記錄媒體以取出或儲存

(請先閱讀背面之注意事項再填寫本頁)

卷
訂

五、發明說明 (31)

諸如影像資料之所需資料。

應注意到本發明並非限於前面所解釋者，本發明可在本發明的精神的範圍內作各種修正及設計。

(請先閱讀背面之注意事項再填寫本頁)

圖式之概要敘述

圖 1，3，11 及 14 為分別用以解釋本發明的記憶體裝置的一較佳實施例之簡要截面圖；

圖 2 及 13 為分別用以解釋本發明的記憶體裝置的一較佳實施例的一簡要平面圖；

圖 4 A 至 7 B 為用以解釋本發明的記憶體裝置的一較佳實施例之製程的一範例之圖式，圖 4 A，5 A，6 A 及 7 A 為截面圖而圖 4 B，5 B，6 B 及 7 B 為簡要平面圖；

圖 12 A 及 12 B 為分別用以解釋本發明中的記憶體裝置的一較佳實施例的一製程的簡要截面圖；

圖 8 及圖 15 為分別顯示本發明的記憶體裝置的較佳實施例之等效電路圖；

圖 9 及圖 10 分別為用於解釋本發明的記憶體裝置的作業的一實施例的時序表；

圖 16 為利用一具有本發明區域的記憶體裝置的 P C 卡的一簡要系統方塊圖；以及

圖 17 為用以解釋具有本發明的記憶體裝置的 I C 卡的一實施例的一簡要立體圖。

四、中文發明摘要（發明之名稱：）

記憶體裝置

一種記憶體裝置，在一基體 1007 上具一導通類型的第一半導體區域，具有相反於與第一半導體區域接觸的一導通類型的一導通類型的第二及第三半導體區域，一穿過在一區域上用以隔離第二半導體區域及第三半導體域的絕緣層之一第一電極，及穿過在第一電極 1002 上的第一絕緣層 1004 的一第二電極 1001，其中，在第一電極的一側面上，被設置一介於第一電極 1002 及第二電極 1001 之間的電阻值，以自一高電阻狀態變為一低電阻狀態，進而達成高容量，低成本，高寫入性，高速讀寫，高可靠性，低耗散功率等效果。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

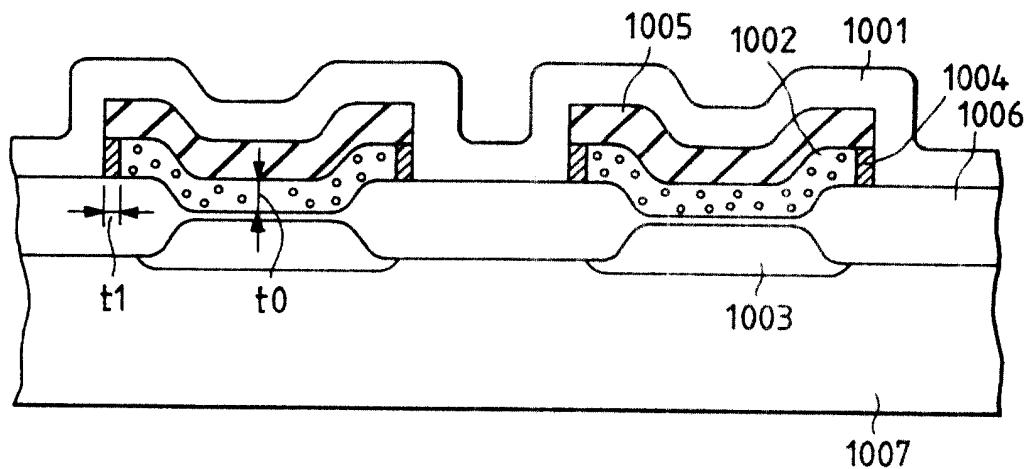
英文發明摘要（發明之名稱：）

A memory apparatus has, on a substrate 1007, a first semiconductor region 1003 of one conduction type, second and third semiconductor regions of a conduction type opposite to the one conduction type in contact with the first semiconductor region, a first electrode 1002 provided through an insulating layer above a region for separating the second semiconductor region and the third semiconductor region, and a second electrode 1001 provided through an insulating layer 1004 above the first electrode 1002, wherein, at a side face of the first electrode, a resistance value between the first electrode 1002 and the second electrode 1001 is arranged to change from a high-resistance state into a low-resistance state, thereby realizing large capacitance, low cost, capability of writing, quick writing and reading, high reliability, low dissipation power, and so on.

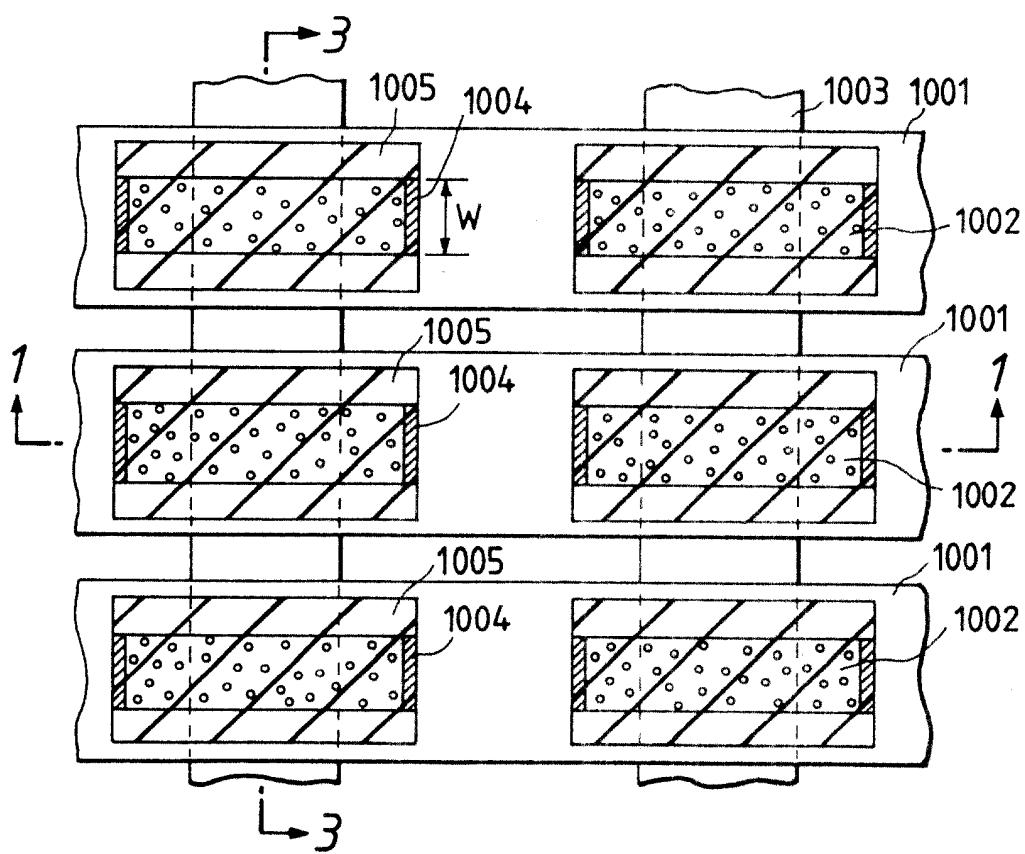
855-1-15P1

724760

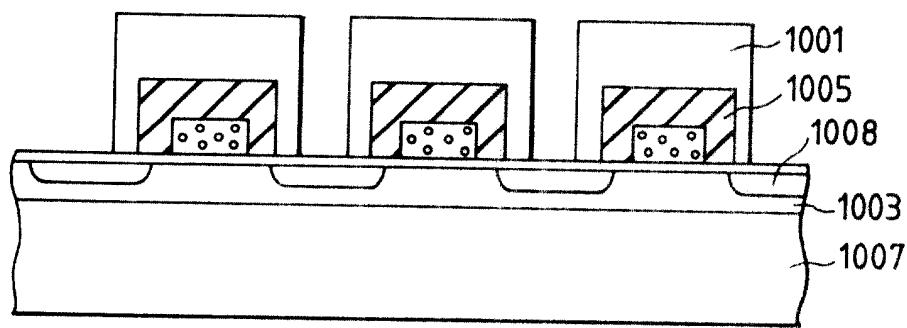
第1圖



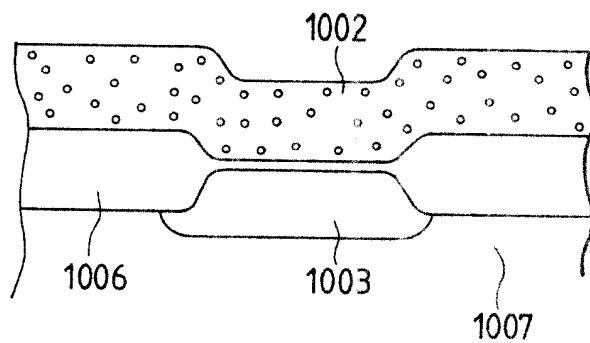
第2圖



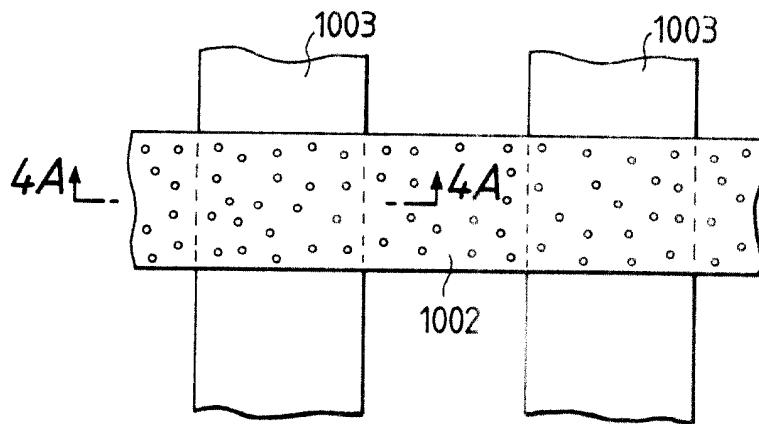
第3圖



第4圖A

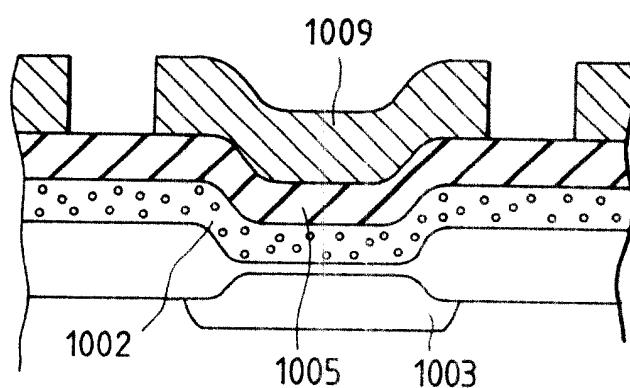


第4圖B

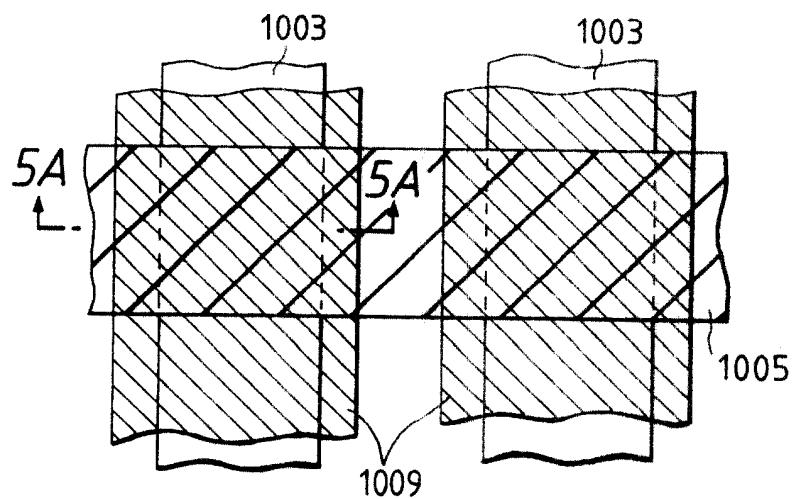


310475

第5圖 A

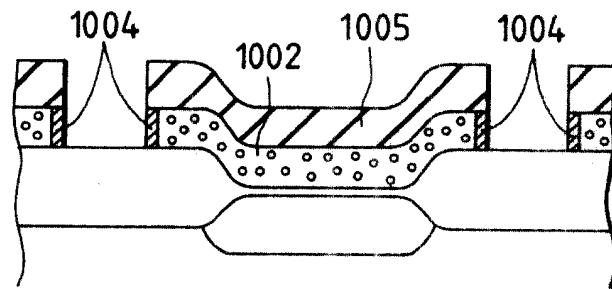


第5圖 B

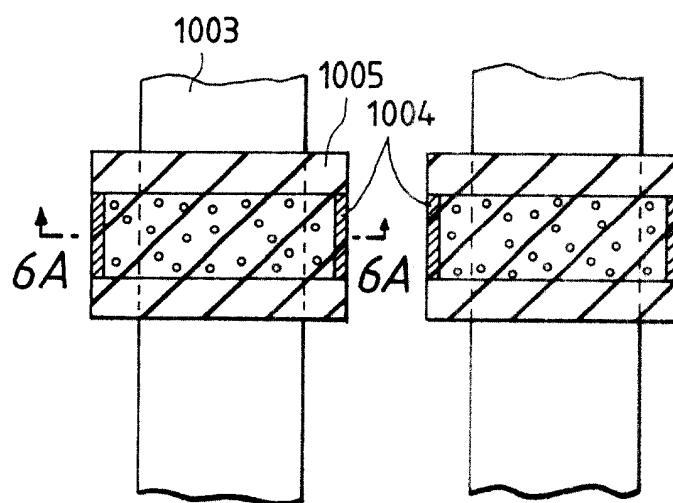


310475

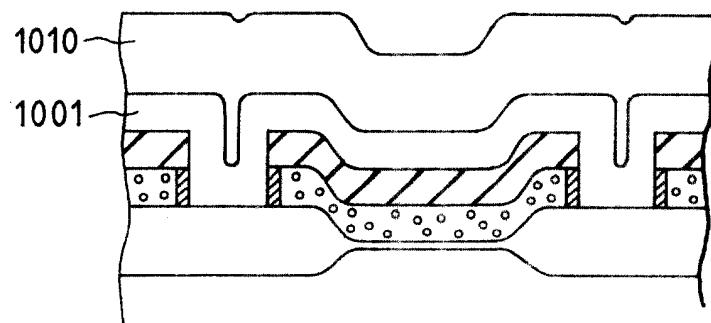
第6圖A



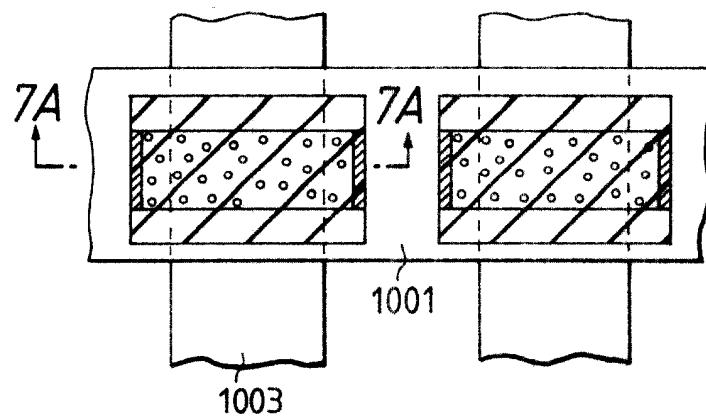
第6圖B



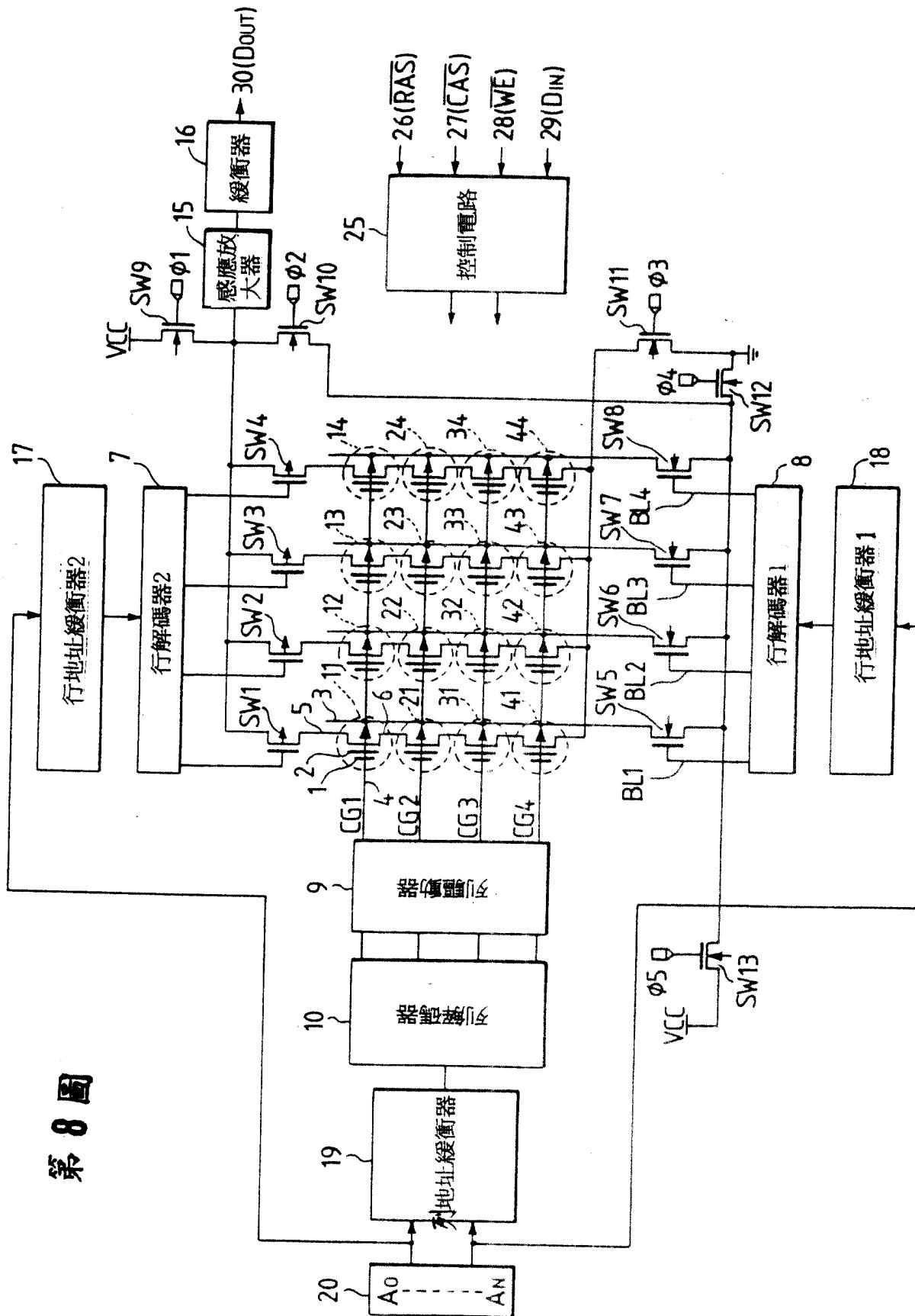
第 7 圖 A



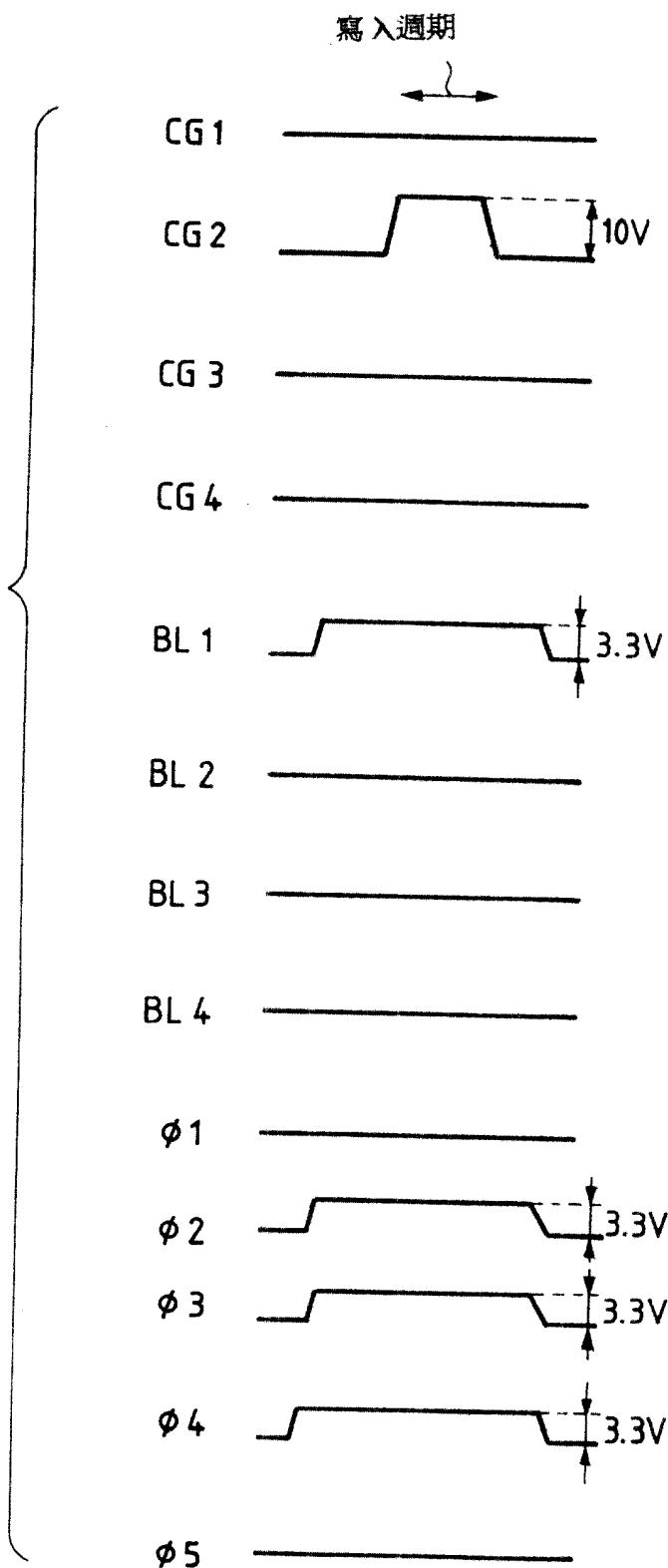
第 7 圖 B



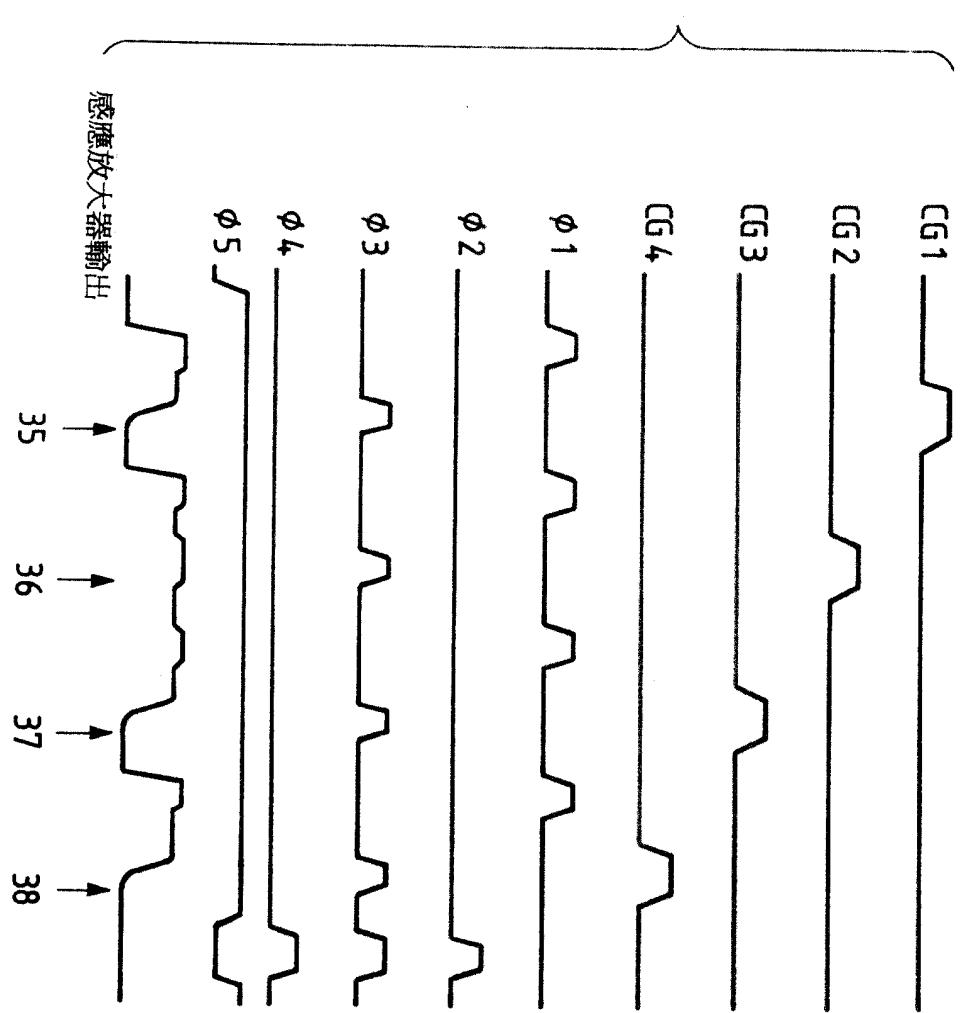
31C475

第 85101591 號專利申請案
中文修正圖85年10月3日修正/更正/補充
民國85年10月 修正

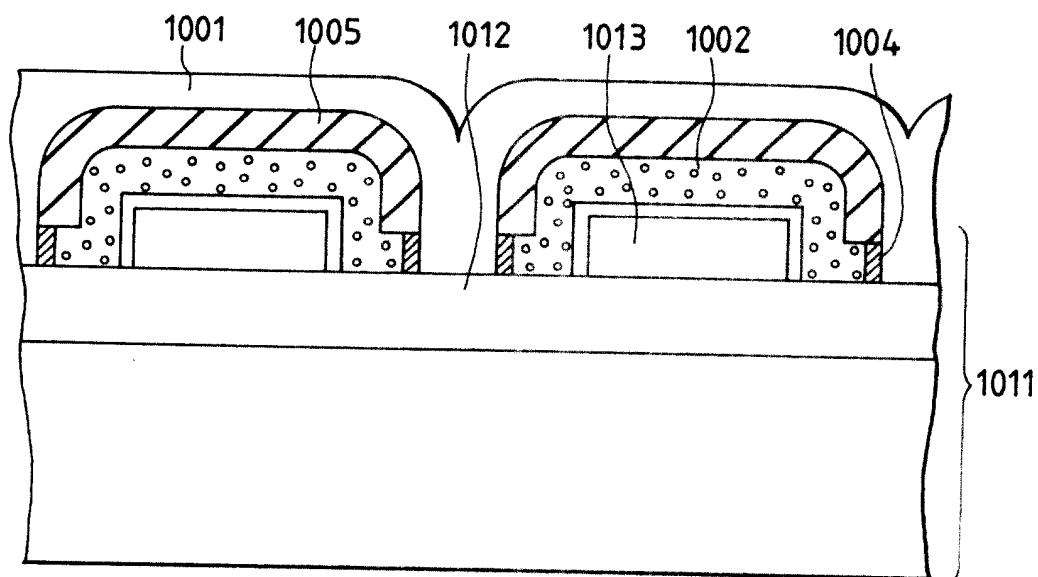
第 9 圖



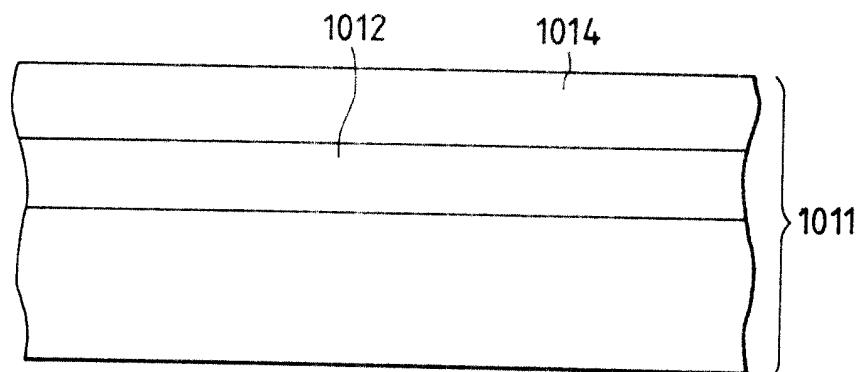
第10圖



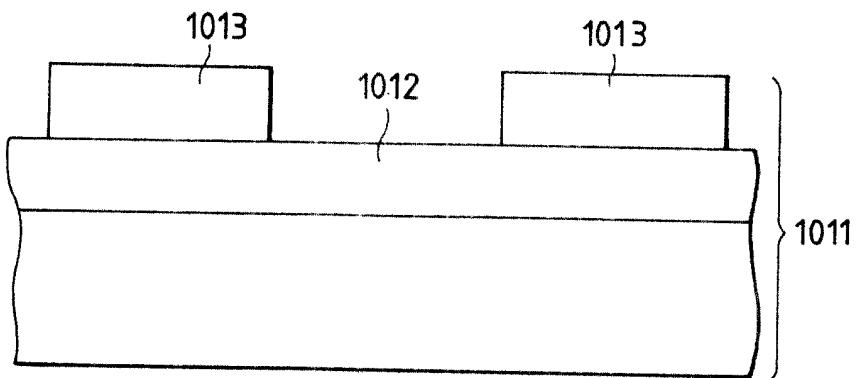
第11圖



第12圖A

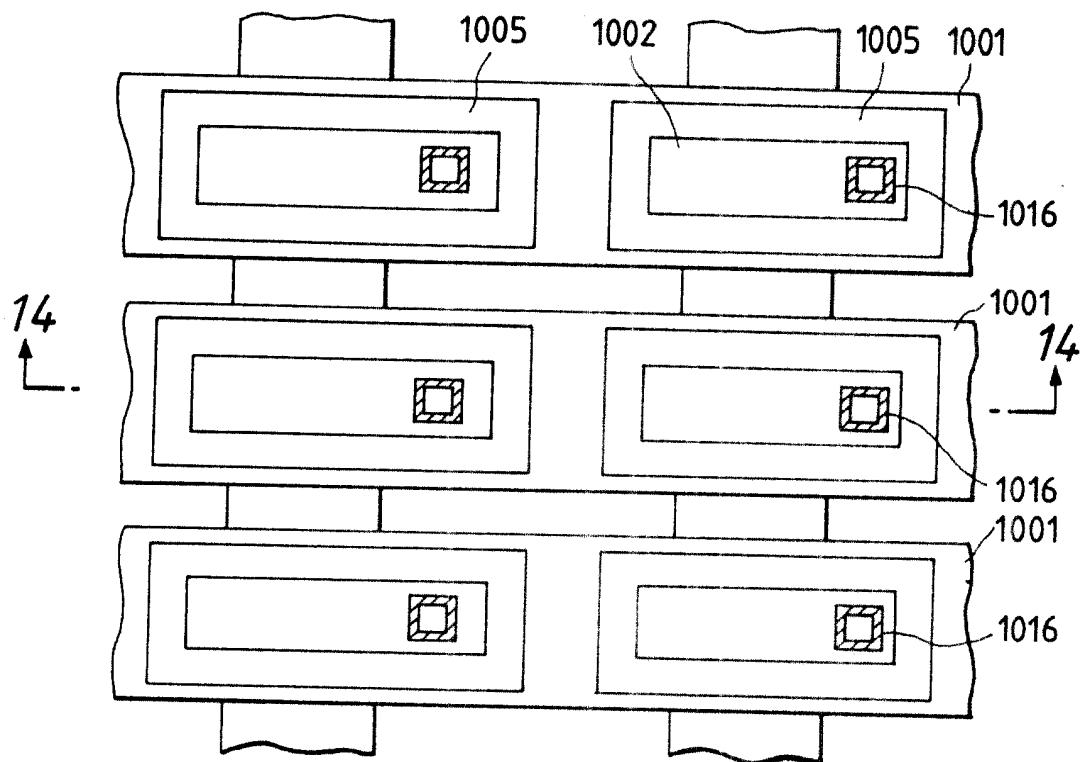


第12圖B

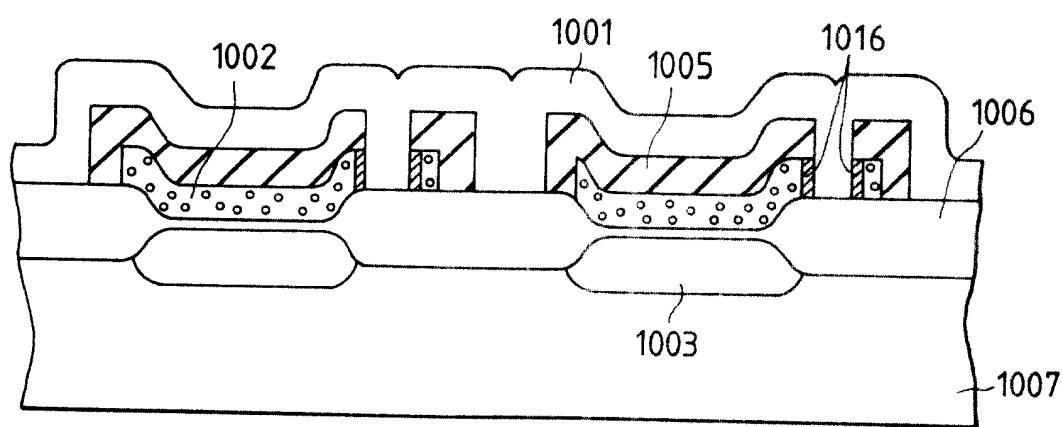


310475

第13圖

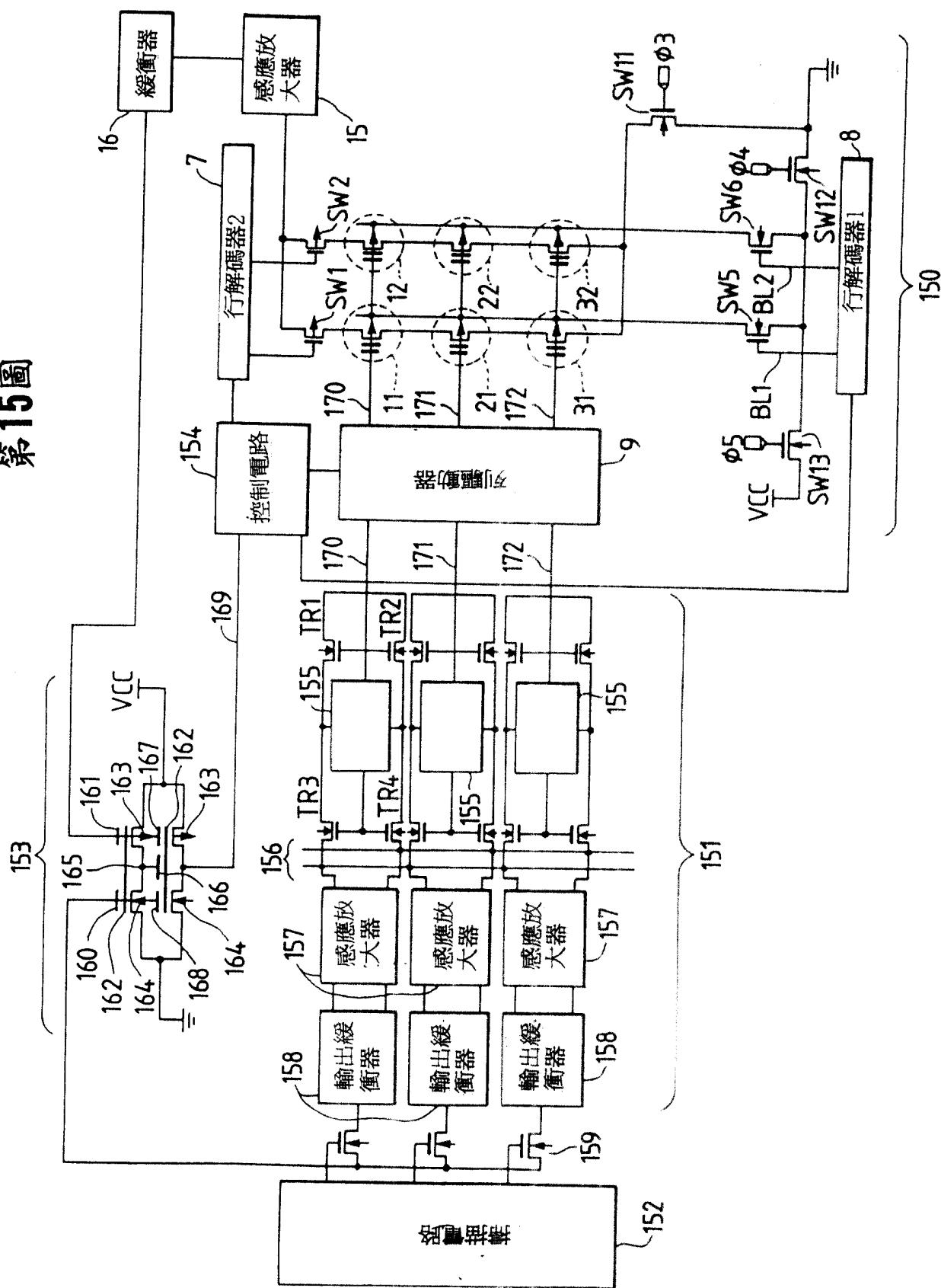


第14圖



310475

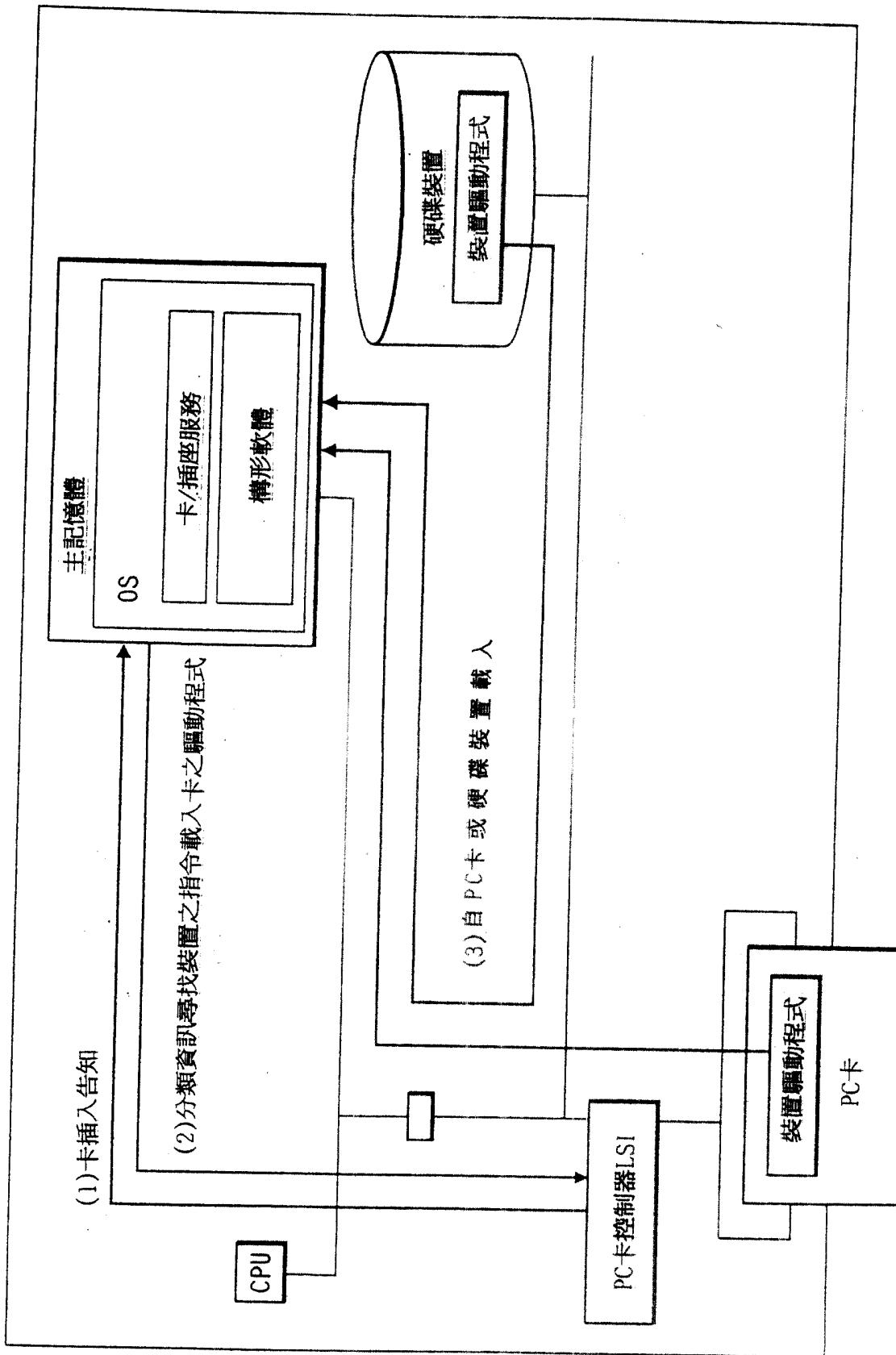
第15圖



310475

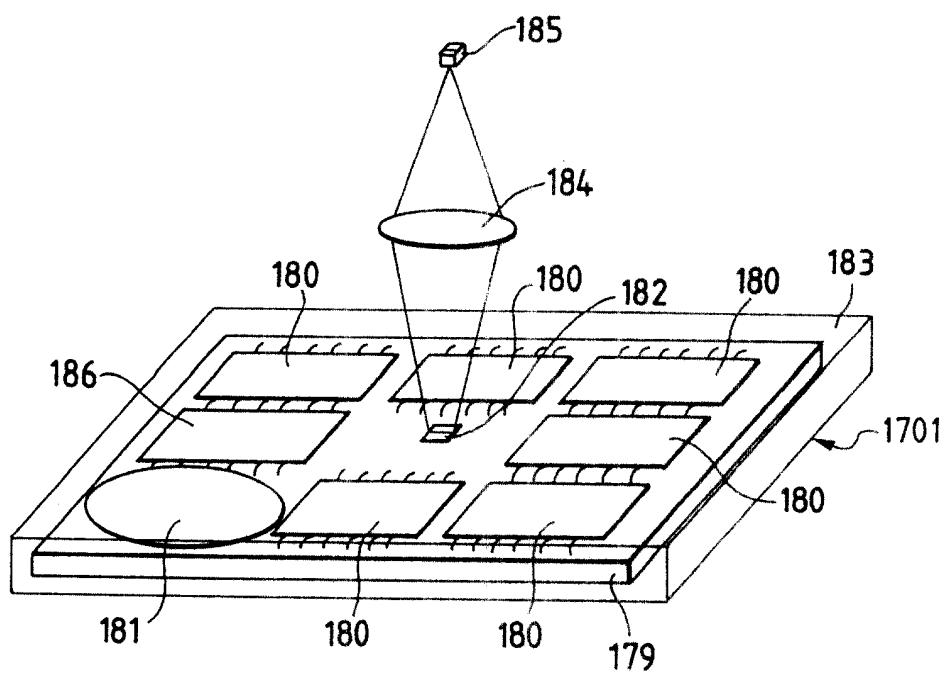
85年10月3日修正/董江/林光

第16圖



310475

第17圖



六、申請專利範圍

1. 一種記憶體裝置具有一記憶體元件其在一基體上包含，一具一導通類型的第一半導體區域，具有相反於與第一半導體區域接觸的一導通類型的一導通類型的第二及第三半導體區域，一穿過--在一區域上用以隔離第二半導體區域及第三半導體區域的一絕緣層之第一電極，及穿過在第一電極上的一絕緣層的一第二電極，

其中該記憶體元件在該第一電極的一側表面上具有一區域L，其介於第一電極及第二電極間的電阻值可由一高電阻狀態變為一低電阻狀態。

2. 如申請專利範圍第1項所述的記憶體裝置，其中該區域L於設置於形成在該第一電極中之一孔洞的一側表面上。

3. 如申請專利範圍第1項所述的記憶體裝置，其中該區域L由具有矽原子及氧原子或氮原子中之者的材料所製成。

4. 如申請專利範圍第1項所述的記憶體裝置，其中該區域L由具有矽原子，氧原子及氮原子之材料所製成。

5. 如申請專利範圍第1項所述的記憶體裝置，其中插置於該第一電極及該第二電極間之該區域L的一厚度在 10 \AA 至 300 \AA 的範圍內。

6. 如申請專利範圍第1項所述的記憶體裝置，其中插置於該第一電極及該第二電極間之該區域L的一厚度在 30 \AA 至 200 \AA 的範圍內。

7. 如申請專利範圍第1項所述的記憶體裝置，其中

(請先閱讀背面之注意事項再填寫本頁)

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

插置於該第一電極及該第二電極間之該區域 L 的一厚度在 50 Å 至 150 Å 的範圍內。

8. 如申請專利範圍第 1 項所述的記憶體裝置，其中該區域 L 具有一包含鉭 (Ta) 的一絕緣材料。

9. 如申請專利範圍第 8 項所述的記憶體裝置，其中該絕緣材料具有氧化鉭。

10. 如申請專利範圍第 1 項所述的記憶體裝置，其中該第一電極具有一多晶矽。

11. 如申請專利範圍第 10 項所述的記憶體裝置，其中該多晶矽包含一金屬。

12. 如申請專利範圍第 11 項所述的記憶體裝置，其中該金屬為一高熔點金屬。

13. 如申請專利範圍第 11 項所述的記憶體裝置，其中該金屬至少為自包含鎢，鈦，鉭，鉬之群組中所選出之一。

14. 如申請專利範圍第 12 項所述的記憶體裝置，其中該第一電極為一高熔點金屬。

15. 如申請專利範圍第 12 項所述的記憶體裝置，其中該第一電極包含至少由鎢，鈦，鉭及鉬所組成之群組中所選出之一金屬。

16. 如申請專利範圍第 1 項所述的記憶體裝置，其中該區域 L 由該第一電極的氧化物或氮化物所形成。

17. 如申請專利範圍第 16 項所述的記憶體裝置，其中該第一電極具有一多晶矽。

六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

訂

線

1 8 . 如申請專利範圍第 1 6 項所述的記憶體裝置，其中該第一電極為一高熔點金屬。

1 9 . 如申請專利範圍第 1 6 項所述的記憶體裝置，其中該第一電極包含至少由鎢，鈦，鉭及鋁所組成之群組中所選出之一金屬。

2 0 . 如申請專利範圍第 1 7 項所述的記憶體裝置，其中該第一電極包含至少由鎢，鈦，鉭及鋁所組成之群組中所選出之一金屬。

2 1 . 如申請專利範圍第 1 6 項所述的記憶體裝置，其中該第一電極為一矽化物或一多晶矽化物。

2 2 . 如申請專利範圍第 1 項所述的記憶體裝置，其中該第一電極具有一多晶矽。

2 3 . 如申請專利範圍第 1 項所述的記憶體裝置，其中該第一電極為一高熔點金屬。

2 4 . 如申請專利範圍第 1 項所述的記憶體裝置，其中該第一電極包含至少由鎢，鈦，鉭及鋁所組成之群組中所選出之一金屬。

2 5 . 如申請專利範圍第 2 2 項所述的記憶體裝置，其中該第一電極包含至少由鎢，鈦，鉭及鋁所組成之群組中所選出之一金屬。

2 6 . 如申請專利範圍第 1 項所述的記憶體裝置，其中該第一電極為一矽化物或一多晶矽化物。

2 7 . 如申請專利範圍第 1 項所述的記憶體裝置，其中形成於該第一電極及該第二電極間的主電容值取決於第

(請先閱讀背面之注意事項再填寫本頁)

六一
訂

線

六、申請專利範圍

一電極之厚度。

28. 如申請專利範圍第1項所述的記憶體裝置，其中藉由施加一電壓於該第二電極而改變該電阻值。

29. 如申請專利範圍第1項所述的記憶體裝置，其具有多數個該記憶體元件。

30. 如申請專利範圍第29項所述的記憶體裝置，其中該多數個記憶體元件中之第*i*個記憶體元件的第二或第三半導體區域被與第(*i*+1)個記憶體元件的第三或第二半導體區域作電連接。

31. 如申請專利範圍第1項所述的記憶體裝置，其中該基體為一具有一Si層於一絕緣層上的一基體。

32. 如申請專利範圍第29項所述的記憶體裝置，其中該記憶體元件被排列為一陣列。

33. 如申請專利範圍第32項所述的記憶體裝置，其中線被設置以將該記憶體元件的一絕緣層方向上的第二電極共同連接，排列於與該線垂直之方向上的該記憶體元件的第一半導體區域被共同連接，且每一陣列的第一半導體區域被與其它陣列者作電隔離。

34. 如申請專利範圍第1項所述的記憶體裝置，其中由第一電極及具有第一，第二及第三半導體區域的一半導體區域所形成的一電容較由該第二電極與該第一電極所形成者為大。

35. 如申請專利範圍第1項所述的記憶體裝置，其具有一結構使形成於該第一電極及該第二電極之間的電容

六、申請專利範圍

可在不受照像平版印刷之限制下而被減低。

3 6 . 如申請專利範圍第 1 項所述的記憶體裝置，其中該第一電極係由包含多晶矽之材料所製成。

3 7 . 如申請專利範圍第 1 項所述的記憶體裝置，其中介於一包含該第一，第二及第三半導體區域的一半導體區域及該第一電極之間的絕緣層由一具有 S i , N 及 O 之膜所構建而成。

3 8 . 如申請專利範圍第 1 項所述的記憶體裝置，其具有一其中具有不同結構之記憶體元件。

3 9 . 如申請專利範圍第 1 項所述的記憶體裝置，其中該記憶體裝置的一週邊電路為一 C M O S 電路。

4 0 . 如申請專利範圍第 1 項所述的記憶體裝置，其中該第一電極及該第二電極被排列為一陣列。

4 1 . 如申請專利範圍第 4 0 項所述的記憶體裝置，其中設置有一用以將在該陣列的一交錯點的介於第一電極及第二電極間的電阻值由高電阻狀態變為低電阻狀態的區域。

4 2 . 如申請專利範圍第 1 項所述的記憶體裝置，其具有多數個記憶體元件，其中在記憶將被寫入的記憶體元件中，該第一半導體區域被連接至一適當的電源而在記憶不被寫入的記憶體裝置中該第一半導體區域被保持在浮動狀態下。

4 3 . 如申請專利範圍第 2 8 項所述的記憶體裝置，其中當資料被寫入記憶體元件時被供至第二電極的第一

(請先閱讀背面之注意事項再填寫本頁)

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

電壓 V_1 被設定以大於當電壓被自該記憶體元件讀出時施加至第二電極之一第二電壓 V_2 為大。

4 4 . 如申請專利範圍第 1 項所述的記憶體裝置，其具有一具有與該記憶體元件不同結構的第二記憶體元件，且具有用以將寫入資料寫入該記憶體元件及該第二記憶體元件中，自該記憶體元件讀取該寫入資料，並將來自兩元件的讀取結果互相比對的裝置。

4 5 . 如申請專利範圍第 3 9 項所述的記憶體裝置，其中一具有多數穿過一浮閘的閘電極被形成於該週邊電路的至少一部份。

4 6 . 如申請專利範圍第 4 2 項所述的記憶體裝置，其中寫入及非寫入資料的作業係在以下的條件下實施：

$$\{ C_{FG} / (C_{FG} + C_{CG}) \} \cdot V_1 \geq V_{BD}$$

$$\{ C_{CG} / (C_{FG} + C_{CG}) \} \cdot V_2 < V_{ch}$$

$$V_2 > V_{ch}$$

其中 V_{BD} 為當介於第一電極及第二電極間之電阻值自高電阻狀態變為低電阻狀態時之介於第一電極及第二電極的一電壓， V_{ch} 為當第二及第三電極為主電極區域時所形成之一絕緣閘型電晶體的臨界值，第一半導體區域為控制電極區域，且第一電極為一控制電極， C_{FG} 為形成於第一電極及第一、第二及第三半導體區域間的一電容， C_{CG} 為形成於第一及第二電極間的一電容，且 V_1 ， V_2 分別為寫入

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

及讀出時加於第二電極上的電壓。

4 7 . 如申請專利範圍第 4 4 項所述的記憶體裝置，其中用以寫入該比對結果的一區域被設置於該記憶體元件中。

4 8 . 如申請專利範圍第 4 4 項所述的記憶體裝置，其中可依據該比對結果而被寫入的一區域進一步被設置於該記憶體元件中。

4 9 . 如申請專利範圍第 1 項所述的記憶體裝置，進一步包含用以將信號傳送至及接收自一外部裝置的輸入及寫入裝置。

5 0 . 如申請專利範圍第 1 項所述的記憶體裝置，其被包裝。

5 1 . 如申請專利範圍第 4 9 項所述的記憶體裝置，其中該輸入及輸出裝置具有一半導體雷射及一光偵測器。