

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5923061号
(P5923061)

(45) 発行日 平成28年5月24日(2016.5.24)

(24) 登録日 平成28年4月22日(2016.4.22)

(51) Int.Cl.	F 1
HO4N 5/374 (2011.01)	HO4N 5/335 740
HO1L 27/146 (2006.01)	HO1L 27/14 A
HO4N 5/369 (2011.01)	HO4N 5/335 690

請求項の数 14 (全 13 頁)

(21) 出願番号 特願2013-130002 (P2013-130002)
 (22) 出願日 平成25年6月20日 (2013.6.20)
 (65) 公開番号 特開2015-5879 (P2015-5879A)
 (43) 公開日 平成27年1月8日 (2015.1.8)
 審査請求日 平成26年10月27日 (2014.10.27)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に沿った複数のラインおよび前記第1方向に交差する第2方向に沿った複数のラインが構成されるように複数の画素が配列された画素アレイを有する固体撮像装置であつて、

各画素は、光電変換素子と、前記光電変換素子で発生した電荷に応じた信号を信号線に出力する読出回路とを含み、

前記読出回路は、電流源とともに電流経路を構成するように配置された複数のトランジスタを含み、前記複数のトランジスタのうちの1つのトランジスタは、前記光電変換素子からの信号をゲートで受ける増幅トランジスタであり、

前記第1方向に沿った複数のラインは、互いに隣り合う第1ライン、および、第2ラインを含み、

前記第1ラインの画素の前記光電変換素子と前記第2ラインの画素の前記光電変換素子との間に前記第1ラインの画素の前記読出回路および前記第2ラインの画素の前記読出回路が配置され、

前記第1ラインの画素の前記読出回路の前記複数のトランジスタおよび前記第2ラインの画素の前記読出回路の前記複数のトランジスタをそれぞれ流れる電流の方向が同じである、

ことを特徴とする固体撮像装置。

【請求項 2】

10

20

前記読出回路が前記電流源を含む、
ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記トランジスタは、画素を選択するための選択トランジスタを含み、
前記選択トランジスタは、前記信号線に信号を出力するように構成され、
前記電流源は、前記信号線に接続されている、
ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 4】

第 1 方向に沿った複数のラインおよび前記第 1 方向に交差する第 2 方向に沿った複数の
ラインが構成されるように複数の画素が配列された画素アレイを有する固体撮像装置であ
って、
10

各画素は、光電変換素子と、前記光電変換素子で発生した電荷に応じた信号を信号線に
出力する読出回路とを含み、

前記読出回路は、電流源とともに電流経路を構成するように配置された複数のトランジ
スタを含み、

前記第 1 方向に沿った複数のラインは、互いに隣り合う第 1 ライン、および、第 2 ライ
ンを含み、

前記第 1 ラインの画素の前記光電変換素子と前記第 2 ラインの画素の前記光電変換素子
との間に前記第 1 ラインの画素の前記読出回路および前記第 2 ラインの画素の前記読出回
路が配置され、
20

前記第 1 ラインの画素の前記読出回路の前記複数のトランジスタおよび前記第 2 ライン
の画素の前記読出回路の前記複数のトランジスタをそれぞれ流れる電流の方向が同じであ
り、

前記固体撮像装置は、複数個の画素の信号を加算するための加算スイッチを更に含み、
前記第 1 ラインの画素および前記第 2 ラインの画素の前記複数のトランジスタを流れる
電流の方向と、前記加算スイッチを流れる電流の方向とが互いに異なる、

ことを特徴とする固体撮像装置。

【請求項 5】

前記第 1 ラインおよび前記第 2 ラインは、それぞれ前記画素アレイにおける奇数列およ
び偶数列である、
30

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像装置。

【請求項 6】

前記第 1 ラインおよび前記第 2 ラインは、それぞれ前記画素アレイにおける奇数行およ
び偶数行である、

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像装置。

【請求項 7】

前記第 1 ラインの画素と前記第 2 ラインの画素とは、前記第 1 ラインと前記第 2 ライン
との間の対称軸に対して線対称なレイアウトを有することを特徴とする請求項 1 乃至 6 の
いずれか 1 項に記載の固体撮像装置。

【請求項 8】

前記光電変換素子は、電荷蓄積部を含み、前記増幅トランジスタの前記ゲートは、前記
電荷蓄積部に接続され、前記電荷蓄積部および前記ゲートが電荷電圧変換部としての共通
のノードを構成している、
40

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 9】

各画素は、前記電荷電圧変換部の電位をリセットするリセットスイッチを更に含み、前
記リセットスイッチは、前記電荷電圧変換部に対して直接に接続されている、

ことを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 10】

各画素において、前記読出回路の前記複数のトランジスタを流れる電流の方向と前記リ
50

セットスイッチを流れる電流の方向とが互いに異なる、
ことを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 11】

各画素において、前記読出回路の前記複数のトランジスタを流れる電流の方向と前記リセットスイッチを流れる電流の方向とが同じである、
ことを特徴とする請求項 10 に記載の固体撮像装置。

【請求項 12】

第 1 方向に沿った複数のラインおよび前記第 1 方向に交差する第 2 方向に沿った複数のラインが構成されるように複数の画素が配列された画素アレイを有する固体撮像装置であつて、

各画素は、光電変換素子と、前記光電変換素子で発生した電荷に応じた信号を信号線に出力する読出回路とを含み、

前記読出回路は、電流源を構成する第 1 トランジスタ、および、前記電流源とともに電流経路を構成するように配置された複数の第 2 トランジスタを含み、前記複数の第 2 トランジスタのうちの 1 つの第 2 トランジスタは、前記光電変換素子からの信号をゲートで受ける増幅トランジスタであり、

前記第 1 方向に沿った複数のラインは、互いに隣り合う第 1 ライン、および、第 2 ラインを含み、

前記第 1 ラインの画素の前記光電変換素子と前記第 2 ラインの画素の前記光電変換素子との間に前記第 1 ラインの画素の前記読出回路および前記第 2 ラインの画素の前記読出回路が配置され、

前記第 1 ラインの画素の前記第 1 トランジスタおよび前記複数の第 2 トランジスタ、ならびに、前記第 2 ラインの画素の前記第 1 トランジスタおよび前記複数の第 2 トランジスタをそれぞれ流れる電流の方向が同じである、

ことを特徴とする固体撮像装置。

【請求項 13】

前記光電変換素子は、電荷蓄積部を含み、前記増幅トランジスタの前記ゲートは、前記電荷蓄積部に接続され、前記電荷蓄積部および前記ゲートが電荷電圧変換部としての共通のノードを構成している、

ことを特徴とする請求項 12 に記載の固体撮像装置。

【請求項 14】

固体撮像装置の製造方法であつて、

前記固体撮像装置は、

第 1 方向に沿った複数のラインおよび前記第 1 方向に交差する第 2 方向に沿った複数のラインが構成されるように複数の画素が配列された画素アレイを有する固体撮像装置であつて、

各画素は、光電変換素子と、前記光電変換素子で発生した電荷に応じた信号を信号線に出力する読出回路とを含み、

前記読出回路は、電流源とともに電流経路を構成するように配置された複数のトランジスタを含み、前記複数のトランジスタのうちの 1 つのトランジスタは、前記光電変換素子からの信号をゲートで受ける増幅トランジスタであり、

前記第 1 方向に沿った複数のラインは、互いに隣り合う第 1 ライン、および、第 2 ラインを含み、

前記第 1 ラインの画素の前記光電変換素子と前記第 2 ラインの画素の前記光電変換素子との間に前記第 1 ラインの画素の前記読出回路および前記第 2 ラインの画素の前記読出回路が配置され、

前記第 1 ラインの画素の前記読出回路の前記複数のトランジスタおよび前記第 2 ラインの画素の前記読出回路の前記複数のトランジスタをそれぞれ流れる電流の方向が同じであり、

前記製造方法は、

10

20

30

40

50

前記第1ラインの画素および前記第2ラインの画素の前記複数のトランジスタに含まれる領域を形成するときに、半導体基板の表面の法線に対して傾斜した角度でイオンを注入する工程を含む、

ことを特徴とする固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

【0002】

特許文献1には、複数の撮像ブロックを配列して1つの撮像領域を構成する固体撮像装置における光電変換素子および読出回路の相対配置が記載されている。特許文献1の図2には、奇数列の画素と偶数列の画素とが、奇数列と偶数列との間の対称軸に関して線対称なレイアウトを有する構成が記載されている。このようなレイアウトによれば、光電変換素子と光電変換素子との間に読出回路が存在しない領域が生まれ、その領域に垂直走査回路など他の回路を配置することが可能である。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2012-019057号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

図1は、隣り合う2つの画素を列方向に沿った線を対称軸として線対称に配置した例を示しており、各画素は、特許文献1の図6に記載された1つの画素のレイアウトに従っている。光電変換素子202とノードCVCを介して接続されたトランジスタ303と、EN信号が接続されたトランジスタ304には、ノードn1からGNDに向かって電流が流れる。この電流は、左側の画素では左から右に向かって流れ、右側の画素では右から左に向かって流れれる。

【0005】

30

ここで、一般的に、トランジスタを形成する工程は、イオン注入工程を含む。例えば、ウェルを形成するためのイオン注入、ソース・ドレイン領域を形成するためのイオン注入、閾値を調整するためのイオン注入などがある。その際、チャネリング現象を防止するため、半導体基板の表面の法線に平行にイオンを注入せず、法線に対して7°程度の傾斜を有する方向で、イオン注入（以下、斜めイオン注入）がなされうる。

【0006】

図1に示すようなレイアウトにおいて斜めイオン注入が行われると、左側の画素と右側の画素とでは流れる電流の方向が異なるため、イオン注入の角度と電流の方向との関係も左側の画素と右側の画素とで異なることになる。そうすると、トランジスタの電圧-電流特性が左側の画素と右側の画素とで僅かにずれ、画素出力が奇数列と偶数列との間でずれてしまう。これにより固定パターンノイズが発生する。

40

【0007】

本発明は、上記の課題認識を契機としてなされたものであり、固定パターンノイズの低減に有利な技術を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の1つの側面は、第1方向に沿った複数のラインおよび前記第1方向に交差する第2方向に沿った複数のラインが構成されるように複数の画素が配列された画素アレイを有する固体撮像装置に係り、各画素は、光電変換素子と、前記光電変換素子で発生した電荷に応じた信号を信号線に出力する読出回路とを含み、前記読出回路は、電流源とともに

50

電流経路を構成するように配置された複数のトランジスタを含み、前記複数のトランジスタのうちの 1 つのトランジスタは、前記光電変換素子からの信号をゲートで受ける増幅トランジスタであり、前記第 1 方向に沿った複数のラインは、互いに隣り合う第 1 ライン、および、第 2 ラインを含み、前記第 1 ラインの画素の前記光電変換素子と前記第 2 ラインの画素の前記光電変換素子との間に前記第 1 ラインの画素の前記読出回路および前記第 2 ラインの画素の前記読出回路が配置され、前記第 1 ラインの画素の前記読出回路の前記複数のトランジスタおよび前記第 2 ラインの画素の前記読出回路の前記複数のトランジスタをそれぞれ流れる電流の方向が同じである。

【発明の効果】

【0009】

本発明によれば、固定パターンノイズの低減に有利な技術が提供される。

10

【図面の簡単な説明】

【0010】

【図 1】技術的課題を説明するためのレイアウト図。

【図 2】固体撮像装置の構成例を示す図。

【図 3】撮像ブロックの構成例を説明する図。

【図 4】画素の構成例を説明する図。

【図 5】固体撮像装置の動作例を示すタイミングチャート。

【図 6】画素のレイアウト例を示す図。

【発明を実施するための形態】

【0011】

図 2 を参照しながら本発明の 1 つの実施形態としての固体撮像装置 100 の概略構成を説明する。固体撮像装置 100 は、例えば、複数の撮像ブロック 101 を配列して構成されうる。この場合、複数の撮像ブロック 101 の配列によって 1 つの撮像領域を有するセンサパネル SP が形成されうる。複数の撮像ブロック 101 は、支持基板 102 の上に配置されうる。固体撮像装置 100 が 1 つの撮像ブロック 101 で構成される場合には、当該 1 つの撮像ブロック 101 によってセンサパネル SP が形成される。複数の撮像ブロック 101 の各々は、例えば、半導体基板に回路素子を形成したものであってもよいし、ガラス基板等の上に半導体層を形成し、その半導体層に回路素子を形成したものであってもよい。複数の撮像ブロック 101 の各々は、複数の行および複数の列を構成するように複数の画素が配列された画素アレイを有する。

20

【0012】

固体撮像装置 100 は、例えば、X 線等の放射線の像を撮像する装置として構成されてもよいし、可視光の像を撮像する装置として構成されてもよい。固体撮像装置 100 が放射線の像を撮像する装置として構成される場合は、典型的には、放射線を可視光に変換するシンチレータ 103 がセンサパネル SP の上に設けられうる。シンチレータ 103 は、放射線を可視光に変換し、この可視光がセンサパネル SP に入射し、センサパネル SP (撮像ブロック 101) の各光電変換素子によって光電変換される。

30

【0013】

次に、図 3 を参照しながら各撮像ブロック 101 の構成例を説明する。なお、固体撮像装置 100 が 1 つの撮像ブロック 101 で構成される場合には、1 つの撮像ブロック 101 を固体撮像装置として考えることができる。撮像ブロック 101 は、複数の行および複数の列を構成するように複数の画素 201 が配列され、複数の列信号線 208a が配置された画素アレイ GA を有する。ここで、行および列をともに「ライン」として定義すると、撮像ブロック 101 は、第 1 方向に沿った複数のラインおよび前記第 1 方向に交差する第 2 方向に沿った複数のラインが構成されるように複数の画素が配列された画素アレイを有する。互いに隣り合う 2 つのラインは、それらを相互に区別するために、便宜的に第 1 ラインおよび第 2 ラインと呼ばれうる。例えば、第 1 方向に沿った複数のラインは、互いに隣り合う第 1 ライン、および、第 2 ラインを含む。

40

【0014】

50

複数の画素 201 の各々は、光電変換素子（例えば、フォトダイオード）202 と、光電変換素子 202 で発生した電荷に応じた信号（光信号）を列信号線 208a に出力する読出回路 203 とを含む。画素アレイ G A には、複数の列信号線 208b が更に配置されてもよく、読出回路 203 は、読出回路 203 のノイズを列信号線 208b に出力するよう構成されうる。行方向に沿って隣接する 2 つの画素 201 のそれぞれにおける読出回路 203 は、少なくともその一部が、当該隣接する 2 つの画素 201 の 2 つの光電変換素子 202 に挟まれる領域に配される。行方向に沿って隣接する 2 つの画素 201 のそれぞれにおける読出回路 203 は、例えば、当該 2 つの画素 201 の境界線を対称軸として線対称に配置されうる。行方向に沿って隣接する 2 つの画素 201 は、それぞれ、奇数列と偶数列に含まれる。垂直走査回路 204 は、例えば、第 1 クロックに従ってシフト動作する垂直シフトレジスタを含み、垂直シフトレジスタによるシフト動作に応じて画素アレイ G A における複数の行を走査する。垂直シフトレジスタは、複数のレジスタを直列接続して構成され、初段のレジスタによって取り込まれたパルスが第 1 クロックに従って順次次段のレジスタに転送される。パルスを保持しているレジスタに対応する行が、選択されるべき行である。10

【0015】

水平走査回路 205 は、例えば、画素アレイ G A における最も外側の行の光電変換素子 202 の外側に配置されうるが、隣接する 2 つの行の光電変換素子 202 の間に配置されてもよい。水平走査回路 205 は、例えば、第 2 クロックに従ってシフト動作する水平シフトレジスタを含み、水平シフトレジスタによるシフト動作に応じて画素アレイ G A における複数の列を走査する。水平シフトレジスタは、複数のレジスタを直列接続して構成され、初段のレジスタによって取り込まれたパルスが第 2 クロックに従って順次次段のレジスタに転送される。パルスを保持しているレジスタに対応する列が、選択されるべき列である。20

【0016】

垂直走査回路 204 は、垂直シフトレジスタを構成するための 1 つのレジスタをそれぞれ含む複数の単位垂直走査回路 V S R を垂直方向に配列して構成されうる。各単位垂直走査回路 V S R は、ある列（図 3 では、左側からの 2 列目（即ち、第 2 列）。）に属する画素の光電変換素子 202 とその列に隣接する列（図 3 では、左側から 3 番目の列（即ち、第 3 列）。）に属する画素の光電変換素子 202 とによって挟まれる領域に配置されうる。このような位置に配置が可能になる理由は、隣り合う 2 つの画素 201 の読み出し回路 203 を、いずれも、当該隣り合う 2 つの画素 201 の光電変換素子 202 に挟まれた領域に配置したためである。つまり、第 2 列と第 3 列の間に読出回路 203 が存在しない領域を生み出せたからである。また、このような配置を採用することで、最も左側の列に属する光電変換素子 202 を撮像ブロック 101 の左端に近い位置に配置でき、最も右側の列に属する光電変換素子 202 を撮像ブロック 101 の右端に近い位置に配置できる。これによって、撮像ブロック 101 を複数配列して固体撮像装置 100 を構成した時に、隣接する撮像ブロック 101 の光電変換素子 202 との距離を小さくすることができる。これは解像度の向上に寄与する。あるいは、このようなレイアウトにより、撮像ブロック 101 を複数配列した場合であっても、光電変換素子 202 を等間隔で配置することができる。これは画質の向上に寄与する。30

【0017】

各単位垂直走査回路 V S R は、垂直シフトレジスタを通してパルスが転送されると、それが属する行の画素 201 が選択されるように、行選択信号 V S T をアクティブループルに駆動する。選択された行の画素 201 の光信号、ノイズは、それぞれ列信号線 208a、208b に出力される。

【0018】

水平走査回路 205 は、水平シフトレジスタを構成するための 1 つのレジスタをそれぞれ含む複数の単位水平走査回路 H S R を水平方向に配列して構成されうる。単位水平走査回路 H S R は、水平シフトレジスタを通してパルスが転送されると、それが属する列40

10

20

30

40

50

が選択されるように、即ち、当該列の列信号線 208a、208b が水平信号線 209a、209b に接続されるようにスイッチ 207 を制御する。即ち、選択された行の画素 201 の光信号、ノイズが列信号線 208a、208b に出力され、選択された列（即ち、選択された列信号線 208a、208b）の信号が水平信号線 209a、209b に出力される。これにより X Y アドレッシングが実現される。水平信号線 209a、209b は、出力アンプ 210a、210b の入力に接続されていて、水平信号線 209a、209b に出力された信号は、出力アンプ 210a、210b によって増幅されてパッド 211a、211b を通して出力される。

【0019】

画素アレイ GA は、それぞれ画素 201 を含む複数の単位セル 200 が複数の行および複数の列を構成するように配列されたものとして考えることができる。単位セル 200 は、いくつかの種類を含みうる。ある単位セル 200 は、単位垂直走査回路 VSR の少なくとも一部分を含む。図 3 に示す例では、2 つの単位セル 200 の集合が 1 つの単位垂直走査回路 VSR を含んでいるが、1 つの単位セル 200 が 1 つの単位垂直走査回路 VSR を含んでもよいし、3 以上の複数の単位セル 200 の集合が 1 つの単位垂直走査回路 VSR を含んでもよい。

【0020】

図 4 を参照しながら各画素 201 の構成例を説明する。前述のとおり、画素 201 は、光電変換素子 202 と、読出回路 203 とを含む。光電変換素子 202 は、典型的にはフォトダイオードでありうる。読出回路 203 は、例えば、第 1 増幅回路 310、クランプ回路 320、光信号サンプルホールド回路 340、ノイズサンプルホールド回路 360、第 2 増幅回路の NMOS トランジスタ 343、363、行選択トランジスタ 344、364 を含みうる。

【0021】

光電変換素子 202 は、電荷蓄積部を含み、該電荷蓄積部は、第 1 増幅回路 310 の NMOS トランジスタ（増幅トランジスタ）303 のゲートに接続されている。NMOS トランジスタ 303 のソースは、NMOS トランジスタ 304 を介して NMOS トランジスタ 305 に接続されている。NMOS トランジスタ 305 にはゲート電圧 Vb が供給されており、定電流源として動作している。NMOS トランジスタ 303 と NMOS トランジスタ 305 とによって第 1 ソースフォロア回路が構成されている。NMOS トランジスタ 304 は、そのゲートに供給される制御電圧 Vg がアクティブルレベルになると第 1 ソースフォロア回路を動作させ、制御電圧 Vg が非アクティブルレベルになると第 1 ソースフォロア回路の電流を遮断し省電力状態にするイネーブルスイッチである。第 1 ソースフォロア回路が動作した状態では、NMOS トランジスタ 303、304、305 によって電源ノードと接地ノードとの間に電流経路が形成される。制御電圧 Vg は、画素アレイ GA の全ての画素 201 に対して共通に供給されうる。

【0022】

制御電圧 Vg を適切な値に設定することによって、NMOS トランジスタ 304 をゲート接地回路として動作させてもよい。その場合、NMOS トランジスタ 304 は、NMOS トランジスタ 304 と NMOS トランジスタ 305 によるカスコード構成の定電流源として動作する。第 1 増幅回路 310 は、電荷電圧変換部 CVC の電位に応じた信号を中間ノード n1 に出力する。

【0023】

図 4 に示す例では、光電変換素子 202 の電荷蓄積部および NMOS トランジスタ 303 のゲートが共通のノードを構成していて、このノードは、該電荷蓄積部に蓄積された電荷を電圧に変換する電荷電圧変換部 CVC として機能する。即ち、電荷電圧変換部 CVC には、該電荷蓄積部に蓄積された電荷 Q と電荷電圧変換部 CVC が有する容量値 C によって定まる電圧 V (= Q / C) が現れる。電荷電圧変換部 CVC は、リセットスイッチとしての PMOS トランジスタ 302 を介してリセット電位 Vreset に接続されている。リセット信号 PRES がアクティブルレベルになると、PMOS トランジスタ 302 がオンし

10

20

30

40

50

て、電荷電圧変換部 CVC の電位がリセット電位 Vres にリセットされる。

【0024】

クランプ回路 320 は、リセットした電荷電圧変換部 CVC の電位に応じて第 1 増幅回路 310 によって中間ノード n1 に出力されるノイズをクランプ容量 321 によってクランプする。つまり、クランプ回路 320 は、光電変換素子 202 で光電変換により発生した電荷に応じて第 1 ソースフォロア回路から中間ノード n1 に出力された信号から、このノイズをキャンセルするための回路である。この中間ノード n1 に出力されるノイズはリセット時の KTC ノイズを含む。クランプは、PMOS トランジスタ 306 をオン状態にしたまま、PMOS トランジスタ 323 をオン状態にした後に PMOS トランジスタ 323 をオフ状態にすることによってなされる。ここで、イネーブル信号 EN をアクティブルレベルにすることによって PMOS トランジスタ 306 をオン状態にすることができる。また、クランプ信号 PCL をアクティブルレベルにすることによって PMOS トランジスタ 323 をオン状態にすることができる。クランプ容量 321 の出力側は、NMOS トランジスタ（増幅トランジスタ）322 のゲートに接続されている。NMOS トランジスタ 322 のソースは、NMOS トランジスタ 324 を介して NMOS トランジスタ 325 に接続されている。NMOS トランジスタ 325 にはゲート電圧 Vb が供給されており、定電流源として動作している。NMOS トランジスタ 322 と NMOS トランジスタ 325 によって第 2 ソースフォロア回路が構成されている。NMOS トランジスタ 324 は、そのゲートに供給される電圧 Vg がアクティブルレベルになると第 2 ソースフォロア回路を動作させ、非アクティブルレベルになると第 2 ソースフォロア回路の電流を遮断し省電力状態にするイネーブルスイッチである。第 2 ソースフォロア回路が動作した状態では、NMOS トランジスタ 322、324、325 によって電源ノードと接地ノードとの間に電流経路が形成される。前述のように、制御電圧 Vg は、画素アレイ GA の全ての画素 201 に対して共通に供給されうる。

【0025】

前述のように、制御電圧 Vg を適切な値に設定することによって、NMOS トランジスタ 324 をゲート接地回路として動作させてもよい。その場合、NMOS トランジスタ 324 は、NMOS トランジスタ 324 と NMOS トランジスタ 325 によるカスコード構成の定電流源として動作する。

【0026】

光電変換素子 202 で光電変換により発生した電荷に応じて第 2 ソースフォロア回路から出力される信号は、光信号として、光信号サンプリング信号 TS がアクティブルレベルになることによってスイッチ 341 を介して容量 342 に書き込まれる。電荷電圧変換部 CVC の電位をリセットした直後に PMOS トランジスタ 323 をオン状態とした際に第 2 ソースフォロア回路から出力される信号は、ノイズである。このノイズは、ノイズサンプリング信号 TN がアクティブルレベルになることによってスイッチ 361 を介して容量 362 に書き込まれる。このノイズには、第 2 ソースフォロア回路のオフセット成分が含まれる。

【0027】

垂直走査回路 204 の単位垂直走査回路 VSR が行選択信号 VST をアクティブルレベルに駆動すると、容量 342 に保持された信号（光信号）が第 2 増幅回路の NMOS トランジスタ 343 および行選択トランジスタ 344 を介して列信号線 208a に出力される。また、同時に、容量 362 に保持された信号（ノイズ）が第 2 増幅回路の NMOS トランジスタ 363 および行選択トランジスタ 364 を介して列信号線 208b に出力される。第 2 増幅回路の NMOS トランジスタ 343 は、列信号線 208a に接続された定電流源 301a とともにソースフォロア回路を構成する。同様に、第 2 増幅回路の NMOS トランジスタ 363 は列信号線 208b に接続された定電流源 301b とともにソースフォロア回路を構成する。

【0028】

画素 201 は、隣接する複数の画素 201 の光信号を加算する加算スイッチ 346 を有

10

20

30

40

50

してもよい。加算モード時には、加算モード信号 ADD がアクティブレベルになり、加算スイッチ 346 がオン状態になる。これにより、隣接する画素 201 の容量 342 が加算スイッチ 346 によって相互に接続されて、光信号が平均化される。同様に、画素 201 は、隣接する複数の画素 201 のノイズを加算する加算スイッチ 366 を有してもよい。加算スイッチ 366 がオン状態になると、隣接する画素 201 の容量 362 が加算スイッチ 366 によって相互に接続されて、ノイズが平均化される。

【0029】

画素 201 は、感度を変更するための機能を有してもよい。画素 201 は、例えば、第 1 感度変更スイッチ 380 および第 2 感度変更スイッチ 382、並びにそれらに付随する回路素子を含みうる。第 1 変更信号 WIDE1 がアクティブレベルになると、第 1 感度変更スイッチ 380 がオンして、電荷電圧変換部 CVC の容量値に第 1 付加容量 381 の容量値が追加される。これによって画素 201 の感度が低下する。第 2 変更信号 WIDE2 がアクティブレベルになると、第 2 感度変更スイッチ 382 がオンして、電荷電圧変換部 CVC の容量値に第 2 付加容量 383 の容量値が追加される。これによって画素 201 の感度が更に低下する。このように画素 201 の感度を低下させる機能を追加することによって、より大きな光量を受光することが可能となり、ダイナミックレンジを広げができる。

【0030】

ここで、NMOSトランジスタ 303、304 は、定電流源を構成するNMOSトランジスタ 305 とともに電流経路を構成するトランジスタの例である。NMOSトランジスタ 322、324 は、定電流源を構成するNMOSトランジスタ 325 とともに電流経路を構成するトランジスタの例である。NMOSトランジスタ 343 および行選択トランジスタ 344 は、定電流源 301a とともに電流経路を構成するトランジスタの例である。NMOSトランジスタ 363 および行選択トランジスタ 364 は、定電流源 301b とともに電流経路を構成するトランジスタの例である。電流経路は、図 4 に示す例では、電源ノード（電源ライン）と接地ノード（接地ライン）との間に形成されるが、互いに異なる電位ノードの間に形成されてもよい。

【0031】

図 5 を参照しながら各画素 201 に供給される主な信号について説明する。リセット信号 PRES、イネーブル信号 EN、クランプ信号 PCL、光信号サンプリング信号 TS、ノイズサンプリング信号 TN は、ローアクティブの信号である。リセット信号 PRES、イネーブル信号 EN、クランプ信号 PCL、光信号サンプリング信号 TS、ノイズサンプリング信号 TN は、画素アレイ GA の全ての行に対して共通に供給され、これによってグローバル電子シャッタが実現される。

【0032】

まず、時刻 t1 においてイネーブル信号 EN がアクティブになり、次いで、時刻 t2 ~ t3 の期間において光信号サンプリング信号 TS がパルス状にアクティブレベルになって、光信号が容量 342 に書き込まれる。次いで、時刻 t4 ~ t5 の期間にリセット信号 PRES がパルス状にアクティブレベルになって、電荷電圧変換部 CVC の電位がリセットされる。次いで、時刻 t6 においてクランプ信号 PCL がアクティブレベルになる。クランプ信号 PCL がアクティブレベルである状態で、時刻 t7 ~ t8 の期間にノイズサンプリング信号 TN がパルス状にアクティブレベルになって、ノイズが容量 362 に書き込まれる。

【0033】

その後、垂直走査回路 204 の第 1 行に対応する単位垂直走査回路 VSR がその行選択信号 VST (VST0) をアクティブレベルにする。これは、垂直走査回路 204 が画素アレイ GA の第 1 行を選択することを意味する。この状態で、水平走査回路 205 の第 1 列から最終列に対応する単位水平走査回路 HSR が列選択信号 HST (HST0 ~ HSTn) をアクティブレベルにする。これは、水平走査回路 205 が画素アレイ GA の第 1 列から最終列までを順に選択することを意味する。これにより、出力アンプ 210a、21

10

20

30

40

50

0 b から画素アレイ G A の第 1 行における第 1 列から最終列までの画素の光信号、ノイズが出力される。その後、垂直走査回路 2 0 4 の第 2 行に対応する単位垂直走査回路 V S R がその行選択信号 V S T (V S T 1) をアクティブルーレベルにする。水平走査回路 2 0 5 の第 1 列から最終列に対応する単位水平走査回路 H S R が列選択信号 H S T (H S T 0 ~ H S T n) をアクティブルーレベルにする。このような動作を最終行まで行うことによって 1 つの画像が画素アレイ G A から出力される。

【 0 0 3 4 】

図 6 を参照しながら画素 2 0 1 のレイアウトを説明する。図 6 には、奇数ライン (奇数列) の画素 2 0 1 a と偶数ライン (偶数列) の画素 2 0 1 b とが示されている。奇数ラインの画素 2 0 1 a と偶数ラインの画素 2 0 1 b とは、奇数ラインと偶数ラインとの間の対称軸 S A に関して線対称なレイアウトを有する。また、画素 2 0 1 a の光電変換素子 2 0 2 と画素 2 0 1 b の光電変換素子 2 0 2 との間に画素 2 0 1 a の読出回路 2 0 3 および画素 2 0 1 b の読出回路 2 0 3 が配置されている。

【 0 0 3 5 】

第 1 増幅回路 3 1 0 内の第 1 ソースフォロアの動作中は、該第 1 ソースフォロアを構成する N M O S トランジスタ 3 0 3 、 3 0 5 と、 N M O S トランジスタ 3 0 4 を通して電流が流れる。その電流の方向は、画素 2 0 1 a と画素 2 0 1 b との間の境界線である対称軸 S A に平行である。したがって、画素 2 0 1 a の N M O S トランジスタ 3 0 3 、 3 0 5 、 3 0 4 を流れる電流の方向と画素 2 0 1 b の N M O S トランジスタ 3 0 3 、 3 0 5 、 3 0 4 を流れる電流の方向は同じである。なお、 2 つのトランジスタの電流の方向が同じであれば、それぞれのトランジスタの電流の方向が対称軸 S A に平行でなくてもよい。

【 0 0 3 6 】

また、クランプ回路 3 2 0 内の第 2 ソースフォロアの動作中は、該第 2 ソースフォロアを構成する N M O S トランジスタ 3 2 2 、 3 2 5 と、 N M O S トランジスタ 3 2 4 を通して電流が流れる。その電流の方向は、画素 2 0 1 a と画素 2 0 1 b との間の境界線である対称軸 S A に平行である。したがって、画素 2 0 1 a の N M O S トランジスタ 3 2 2 、 3 2 5 、 3 2 4 を流れる電流の方向と画素 2 0 1 b の N M O S トランジスタ 3 2 2 、 3 2 5 、 3 2 4 を流れる電流の方向は同じである。なお、 2 つのトランジスタの電流の方向が同じであれば、それぞれのトランジスタの電流の方向が対称軸 S A に平行でなくてもよい。

【 0 0 3 7 】

行選択信号 V S T (V S T 0 、 V S T 1 ～) がアクティブルーレベルのときは、第 2 増幅回路の N M O S トランジスタ 3 4 3 と、行選択トランジスタ 3 4 4 を通して電流が流れる。また、行選択信号 V S T (V S T 0 、 V S T 1 ～) がアクティブルーレベルのときは、第 2 増幅回路の N M O S トランジスタ 3 6 3 と行選択トランジスタ 3 6 4 を通して電流が流れる。それらの電流の方向は、画素 2 0 1 a と画素 2 0 1 b との間の境界線である対称軸 S A に平行である。したがって、画素 2 0 1 a のトランジスタ 3 4 3 、 3 4 4 、 3 6 3 、 3 6 4 を流れる電流の方向と画素 2 0 1 b のトランジスタ 3 4 3 、 3 4 4 、 3 6 3 、 3 6 4 を流れる電流の方向は同じである。なお、 2 つのトランジスタの電流の方向が同じであれば、それぞれのトランジスタの電流の方向が対称軸 S A に平行でなくてもよい。

【 0 0 3 8 】

以上のように、この実施形態では、読出動作中に電流源とともに電流経路を構成するトランジスタを通して流れる電流の方向が、隣り合う 2 つの画素 2 0 1 a 、 2 0 1 b において同じである。したがって、これらのトランジスタの形成において、どのような傾斜角度で斜めイオン注入が行われたとしても、電流の方向と斜めイオン注入の角度の関係は、画素 2 0 1 a と画素 2 0 1 b とで同一である。そのため、画素 2 0 1 a と画素 2 0 1 b との間ににおけるトランジスタの特性 (例えば、電圧 - 電流特性) の差を低減することができ、これにより固定パターンノイズを低減することができる。なお、斜めイオン注入における傾斜角度は、イオンが注入される半導体基板の表面の法線に対する角度として定義される。

【 0 0 3 9 】

10

20

30

40

50

加算スイッチ 346、366 に関しては、信号を加算するべき複数の画素の出力レベルの違いによって電流が流れる方向が変化する。そのため、加算スイッチ 346、366 に関しては、画素 201a と画素 201b とで電流の方向を同じでなくてもよい。また、図 6 に示す例では、加算スイッチ 346、366 を通して流れる電流の方向は、対称軸 SA と交差する方向である。つまり、加算スイッチ 346、366 を流れる電流の方向と、電流源とともに電流経路を構成するトランジスタを流れる電流の方向とは、互いに異なっている。このようなレイアウトによれば、読出回路 203 に含まれる複数のトランジスタを効率的に配置することが可能である。

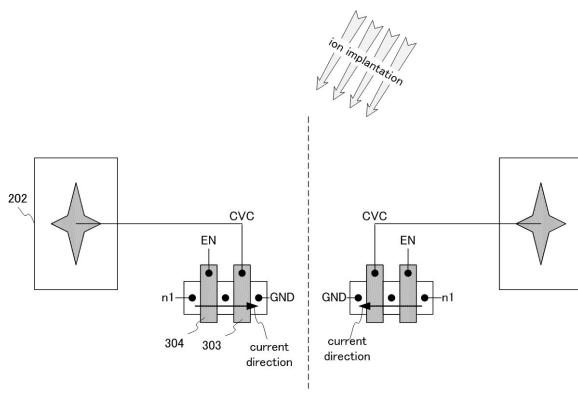
【0040】

加算スイッチ 346、366 の他にも、第 1 および第 2 感度変更スイッチ 380、382、リセットスイッチ 302、PMOS トランジスタ 306、スイッチ 341、361 などは、必ずしも画素 201a と画素 201b とで電流の方向を同じにする必要はない。ただし、図 6 に示す例では、第 1 および第 2 感度変更スイッチ 380、382、リセットスイッチ 302、PMOS トランジスタ 306、スイッチ 341、361 についても、それらを通して流れる電流の方向が画素 201a と画素 201b とで同じにされている。これらのトランジスタの電流の方向を同じにすることで、固定パターンノイズをより低減することができる。

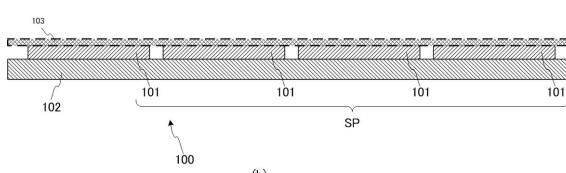
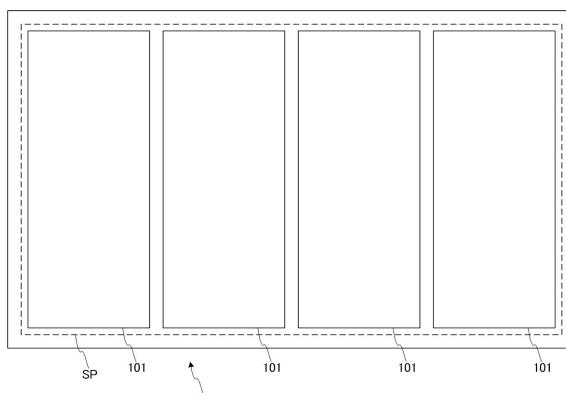
【0041】

以上の例では、奇数列の画素と偶数列の画素とが、奇数列と偶数列との間の対称軸に関して線対称なレイアウトを有し、奇数列の画素の光電変換素子と偶数列の画素の光電変換素子との間に奇数列および偶数列の画素の読出回路が配置されている。この「列」を「行」で読み替えてよい。即ち、奇数行の画素と偶数行の画素とが、奇数行と偶数行との間の対称軸に関して線対称なレイアウトを有し、奇数行の画素の光電変換素子と偶数行の画素の光電変換素子との間に奇数行および偶数行の画素の読出回路が配置されてもよい。

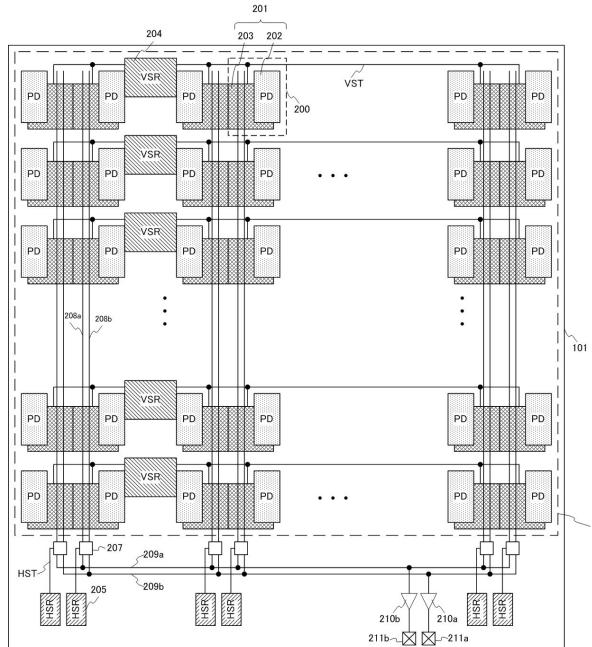
【図 1】



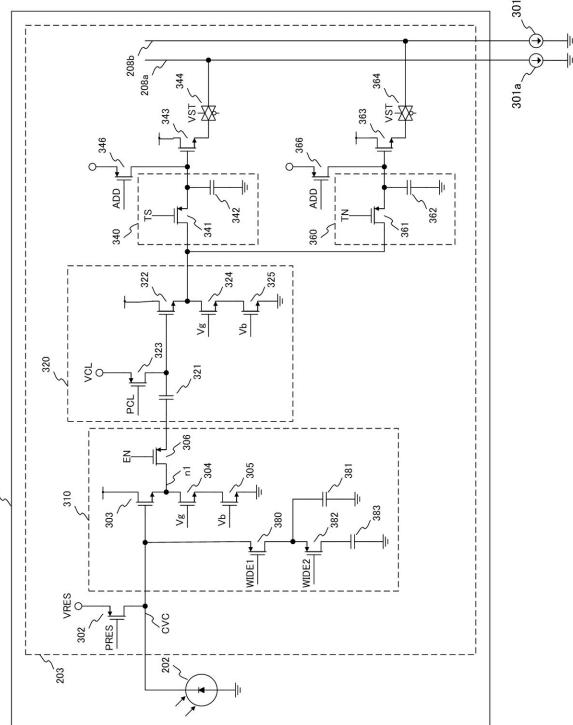
【図 2】



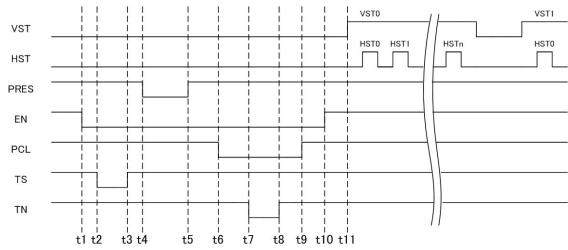
【図3】



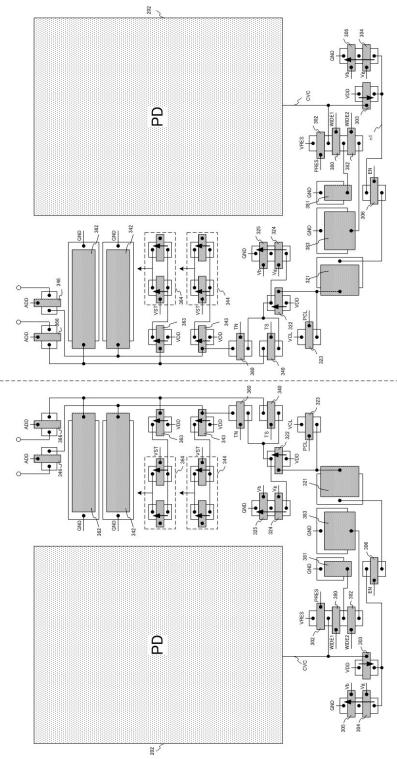
【 図 4 】



【 5 】



【 四 6 】



フロントページの続き

(72)発明者 小野 俊明

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 荒岡 愉喜男

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2003-078827(JP, A)

特開2010-258082(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H01L 27/14 - 27/148