

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2017年4月13日 (13.04.2017)



(10) 国际公布号  
WO 2017/059792 A1

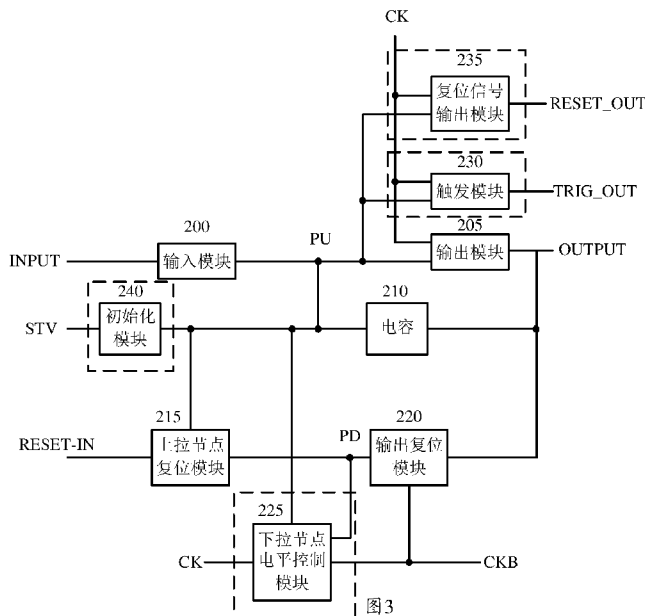
- (51) 国际专利分类号:  
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2016/101109
- (22) 国际申请日: 2016年9月30日 (30.09.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201510647045.2 2015年10月8日 (08.10.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。北京京东方显示技术有限公司 (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区经海一路118号, Beijing 100176 (CN)。
- (72) 发明人: 王峥 (WANG, Zheng); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: SHIFT REGISTER UNIT, GATE LINE DRIVING APPARATUS AND DRIVING METHOD

(54) 发明名称: 移位寄存器单元、栅线驱动装置以及驱动方法



- 200 INPUT MODULE
- 205 OUTPUT MODULE
- 210 CAPACITOR
- 215 PULL-UP NODE RESET MODULE
- 220 OUTPUT RESET MODULE
- 225 PULL-DOWN NODE LEVEL CONTROL MODULE
- 230 TRIGGER MODULE
- 235 RESET SIGNAL OUTPUT MODULE
- 240 INITIALIZATION MODULE

(57) Abstract: Disclosed are a shift register unit, a gate line driving apparatus comprising multiple stages of shift register units and a driving method for the shift register unit. The shift register unit comprises: an input module (200), which is connected between an input end (INPUT) and a pull-up node (PU) to charge the pull-up node (PU); an output module (205), which is connected between the pull-up node (PU), a first clock signal end (CK) and an output end (OUTPUT) and is configured to output a first clock signal accessing the first clock signal end (CK) to the output end (OUTPUT); a pull-up node reset module (215), which is connected between a reset end (RESET-IN), a pull-down node (PD) and the pull-up node (PU) and is configured to reset the pull-up node (PU); and an output reset module (220), which is connected between a second clock signal end (CKB), the pull-down node (PD) and the output end (OUTPUT) and is configured to reset the output end (OUTPUT). The shift register unit, the gate line driving apparatus and the driving method for the shift register unit can reduce the overall structural dimension of a GOA, reduce power consumption, decrease the delay of signals, improve a signal waveform and at the same time increase the overall reliability of a GOA circuit.

(57) 摘要:

[见续页]

WO 2017/059792 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。  
TG)。

---

一种移位寄存器单元、包括多级移位寄存器单元的栅线驱动装置以及用于该移位寄存器单元的驱动方法，其中该移位寄存器单元，包括：输入模块(200)，连接在输入端(INPUT)和上拉节点(PU)之间，对上拉节点(PU)进行充电；输出模块(205)，连接在上拉节点(PU)、第一时钟信号端(CK)和输出端(OUTPUT)之间，被配置为将第一时钟信号端(CK)接入的第一时钟信号输出到输出端(OUTPUT)；上拉节点复位模块(215)，连接在复位端(RESET-IN)、下拉节点(PD)和上拉节点(PU)之间，被配置为对上拉节点(PU)进行复位；输出复位模块(220)，连接在第二时钟信号端(CKB)、下拉节点(PD)和输出端(OUTPUT)之间，被配置为对输出端(OUTPUT)进行复位。该移位寄存器单元、栅线驱动装置和用于该移位寄存器单元的驱动方法，可以减小 GOA 整体结构的尺寸，降低功耗，减少信号的延迟，改善信号波形，同时提高 GOA 电路整体的可靠性。

## 移位寄存器单元、栅线驱动装置以及驱动方法

### 技术领域

本公开涉及显示技术领域，具体涉及一种移位寄存器单元、包括该移位  
5 寄存器单元的栅线驱动装置以及用于该移位寄存器单元的驱动方法。

### 背景技术

在显示技术领域，诸如液晶显示的像素阵列通常包括交错的多行栅线和多列数据线。其中，对栅线的驱动可以通过贴附的集成驱动电路实现。近几  
10 年随着非晶硅薄膜工艺的不断提高，也可以将栅线驱动电路集成在薄膜晶体管阵列基板上构成 GOA（Gate driver On Array）来对栅线进行驱动。

其中，可以采用由多个移位寄存器单元构成 GOA 为像素阵列的多行栅线提供开关信号，从而控制多行栅线依序打开，并由数据线向像素阵列中对应行的像素通过显示数据信号，以形成显示图像的各灰阶所需要的灰度电压，  
15 进而显示每一帧图像。

现有的栅线驱动装置中，在当前级移位寄存器单元完成输出之后，为对移位寄存器单元的输出端进行复位，通常采用来自于下一级移位寄存器单元的输出信号作为当前级移位寄存器单元的复位信号来控制下拉晶体管以便对当前级移位寄存器单元的输出端进行复位。然而，由于对移位寄存器单元的输出端进行下拉的晶体管的尺寸一般较大，使用效率低，不利于减小电路尺寸和功耗；同时，对上一级移位寄存器单元的复位和下一级移位寄存器单元的触发都是由本级移位寄存器单元的输出晶体管输出的信号完成的，因此，  
20 本级移位寄存器单元的输出晶体管的负载较大，导致信号输出延迟；另外，如果输出晶体管出现故障，不但导致向本级对应的栅线输出的信号不良，而且会导致上一级和下一级对应的栅线输出故障。

### 发明内容

针对以上问题，本公开提出了一种移位寄存器单元、包括多级移位寄存器单元的栅线驱动装置以及驱动方法，可以减小 GOA 整体结构的尺寸，降低  
30 功耗，并且减少信号的延迟，改善信号波形，同时提高 GOA 电路整体的可靠

性。

根据本公开的一方面，提出了一种移位寄存器单元，包括：输入模块，连接在输入端和上拉节点之间，被配置为在输入端接收到来自上一级的触发信号时，对上拉节点进行充电；输出模块，连接在上拉节点、第一时钟信号端和输出端之间，被配置在上拉节点的控制下，将第一时钟信号端接入的第一时钟信号输出到输出端；上拉节点复位模块，连接在复位端、下拉节点和上拉节点之间，被配置为在复位端输入的复位信号或者下拉节点的电平的控制下，对上拉节点进行复位；输出复位模块，连接在第二时钟信号端、下拉节点和输出端之间，被配置为第二时钟信号端接入的第二时钟信号或者下拉节点的电平的控制下，对输出端进行复位。

可选的，该移位寄存器单元，还包括：下拉节点电平控制模块，连接第一时钟信号端、第二时钟信号端、下拉节点和上拉节点之间，被配置为在第一时钟信号端接入的第一时钟信号、第二时钟信号端接入的第二时钟信号和上拉节点的电平中至少一个的控制下，对下拉节点的电平进行控制。

15 可选地，该移位寄存器单元，还包括：触发模块，连接在上拉节点和第一时钟信号端之间，被配置为下一级移位寄存器单元提供触发信号。

可选地，该移位寄存器单元，还包括：复位信号输出模块，连接在上拉节点和第一时钟信号端之间，被配置为为上一级移位寄存器单元提供复位信号。

20 可选地，该移位寄存器单元，还包括：初始化模块，连接在初始信号输入端和上拉节点之间，被配置为对上拉节点的电平进行初始化。

可选地，在该移位寄存器单元中，输入模块包括：第一晶体管，其控制极连接到输入端，第一极连接到第一电平输入端，第二极连接到上拉节点。

25 可选地，在该移位寄存器单元中，输出模块包括：第二晶体管，其控制极连接到上拉节点，第一极连接到第一时钟信号端，第二极连接到输出端；以及电容，与第二晶体管的栅极和源极并联。

30 可选地，在该移位寄存器单元中，上拉节点复位模块包括：第三晶体管，其控制极连接到复位端，第一极连接到上拉节点，第二极连接到第二电平输入端；以及第四晶体管，其控制极连接到下拉节点，第一极连接到上拉节点，第二极连接到第二电平输入端。

可选地，在该移位寄存器单元中，输出复位模块包括：第五晶体管，其控制极连接到第二时钟信号端，第一极连接输出端，第二极连接第二电平输入端；以及第六晶体管，其控制极连接到下拉节点，第一极连接到输出端，第二极连接到第二电平输入端。

5 可选地，在该移位寄存器单元中，所述下拉节点电平控制模块包括：第七晶体管，其控制极与第一极连接，并且连接到第二时钟信号端；第八晶体管，其控制极连接到上拉节点，第一极连接到第二电平输入端，第二极连接到第七晶体管的第二极；第九晶体管，其控制极连接到第七晶体管的第二极，第一极连接到第二时钟信号端，第二极连接到下拉节点；第十晶体管，其控制极连接到上拉节点，第一极连接到下拉节点，第二极连接到第二电平输入端；以及第十一晶体管，其控制极连接到第一时钟信号端，第一极连接到第二电平输入端，第二极连接到第九晶体管的栅极。

10 可选地，在该移位寄存器单元中，所述触发模块包括：第十二晶体管，其控制极连接到上拉节点，第一极连接到第一时钟信号端，第二极连接到触发信号输出端。

15 可选地，在该移位寄存器单元中，所述复位信号输出模块包括：第十三晶体管，其控制极连接到上拉节点，第一极连接到第一时钟信号端，第二极连接到复位信号输出端。

20 可选地，在该移位寄存器单元中，所述初始化模块包括：第十四晶体管，其控制极连接到初始信号输入端，第一极连接到上拉节点，第二极连接到第二电平输入端。

25 根据本公开的另一方面，提出了一种栅线驱动装置，包括多级级联的如上所述的移位寄存器单元，其中每一级移位寄存器单元的输出端连接到对应的一条栅线；其中，奇数级移位寄存器单元的第一时钟信号端和第二时钟信号端分别连接到第一时钟信号和第二时钟信号，奇数级移位寄存器单元的触发信号端连接到之后间隔一级的奇数级移位寄存器单元的输入端，奇数级移位寄存器单元的复位信号输出端连接到之前间隔两级的偶数级移位寄存器单元的复位端；偶数级移位寄存器单元的第一时钟信号端和第二时钟信号端分别连接到第三时钟信号和第四时钟信号，偶数级移位寄存器单元的触发信号端连接到之后间隔一级的偶数级移位寄存器单元的输入端，偶数级移位寄存

30

器单元的复位信号输出端连接到之前间隔两级的奇数级移位寄存器单元的复位端，其中，第一、第二、第三和第四时钟信号的周期相同，并且第一和第二时钟信号的时序相反，第三和第四时钟信号的时序相反，且第三时钟信号滞后于第一时钟信号四分之一周期。

5 根据本公开的又一方面，提出了一种应用于上述移位寄存器单元的驱动方法，包括：向输入端输入有效电平，将上拉节点充电到第一高电平；第一时钟信号端输入高电平，上拉节点控制输出模块开启，向栅线输出高电平的第一时钟信号；经过电容的自举效应，将上拉节点的电平从第一高电平升高到第二高电平；向第一时钟信号端输入低电平，输出模块保持导通，向栅线  
10 输出低电平的第一时钟信号，经过电容耦合将上拉节点的电平从第二高电平降低到第一高电平；向复位端输入有效复位电平，将上拉节点放电拉低至低电平，关闭输出模块；以及第二时钟信号端输入的高电平为下拉节点充电，开启下拉节点电平控制模块，将上拉节点和输出端分别下拉到低电平。

在根据本公开实施例的移位寄存器单元、栅线驱动装置以及相应的驱动  
15 方法中，对上拉节点的复位进行了延迟，延长了输出晶体管的导通时间，从而可以利用输出晶体管在延长的导通时间内输出低电平的时钟信号来实现对栅线信号的下拉控制，消除了专用于下拉输出端的大尺寸晶体管；将为本级移位寄存器单元对应的栅线提供的驱动信号与为下一级移位寄存器单元提供的触发信号和/或为前一级移位寄存器单元提供的复位信号相分离，减少信号  
20 延迟，改善信号波形，并且减小在本级移位寄存器单元中的输出晶体管发生故障时对整个栅线驱动装置的影响，提高电路的可靠性；同时，在本级移位寄存器单元中的输出晶体管发生故障时，便于直接根据对应的栅线的扫描不良对故障点进行定位。

25 附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 图示了一种已知的移位寄存器单元的电路结构；

30 图 2 图示了可用于该已知的移位寄存器单元的有关信号时序；

图 3 是根据本公开一实施例的移位寄存器单元的框图；

图 4 图示了根据本公开一实施例的移位寄存器单元的电路结构；

图 5 图示了可用于本公开实施例的移位寄存器单元的有关信号时序；

图 6A 是根据本公开一实施例的栅线驱动装置的整体连接结构示意图；

5 图 6B 是可应用于图 6A 所示的栅线驱动装置的时钟信号的时序示意图；  
以及

图 7 是根据本公开一实施例的应用于移位寄存器单元的驱动方法的流程图。

## 10 具体实施方式

下面将结合附图对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，也属于本发明保护的范围。

15 图1图示了一种已知的移位寄存器单元的电路结构。如图1所示，该移位寄存器单元包括：输入晶体管M1，其栅极和漏极连接在一起，并且连接到移位寄存器单元的输入端，其源极连接到上拉节点PU；输出晶体管M3，其栅极连接上拉节点PU，漏极连接到第一时钟信号端CLK，源极连接到移位寄存器单元的输出端；电容C1，并联在输出晶体管M3的栅极和源极之间；上拉节点  
20 复位晶体管M2，其栅极连接到移位寄存器单元的复位端，漏极连接到上拉节点，源极连接到低电平输入端VSS；输出复位晶体管M4，其栅极连接到移位寄存器单元的复位端，漏极连接到移位寄存器单元的输出端，源极连接到低电平输入端VSS；上拉节点电平控制晶体管M10，其栅极连接到下拉节点，漏极连接到上拉节点PU，源极连接到低电平输入端VSS；输出端电平控制晶  
25 体管M11和M12，其中，M11的栅极连接到下拉节点PD，漏极连接到移位寄存器单元的输出端，源极连接到低电平输入端VSS；M12的栅极连接到第二时钟信号端，漏极连接到移位寄存器单元的输出端，源极连接到低电平输入端VSS；晶体管M13，其栅极与第二时钟信号端进行连接，漏极与移位寄存  
器单元的输入端连接，源极与上拉节点连接；下拉节点控制模块，其中包括  
30 晶体管M9、M5、M8和M6，其中M9的栅极和漏极连接到第二时钟信号端，

源极连接下拉控制节点PD\_CN; M5的栅极连接到下拉控制节点PD\_CN, M5的漏极连接到第二时钟信号端, 源极连接到下拉节点PD; M8的漏极连接到下拉控制节点PD\_CN, M8的栅极连接到上拉节点PU, M8的源极连接到低电平输入端VSS; M6的栅极连接到上拉节点PU, 漏极连接到下拉节点PD, 源极连接到低电平输入端VSS。

以下参照图2所示的信号时序来说明图1图示的移位寄存器单元的工作原理, 在图2所示的a、b、c、d和e所示的五个阶段中, 该移位寄存器单元进行如下操作:

在第一阶段a中, 第一时钟信号端输入低电平的时钟信号VCLK, 第二时钟信号端输入高电平的时钟信号VCLKB, 输入端INPUT接入高电平的有效输入信号; 由于输入端输入高电平, 晶体管M1开启, 使得高电平的输入信号对上拉节点PU进行充电; 由于时钟信号VCLKB为高电平, 晶体管M13开启, 加速上拉节点的充电过程; 上拉节点PU被充电到第一高电平; CLKB为高电平, 晶体管M12开启, 将移位寄存器单元的输出端拉低到低电平VSS, 消除移位寄存器单元的输出噪声; 晶体管M9开启, 对下拉控制节点PD\_CN充电, 进而使得晶体管M5开启; 由于上拉节点PU处于第一高电平, 晶体管M6和M8开启; 在晶体管的设计上, 可以将晶体管M8与M9的尺寸比配置为在M9和M8均开启时, 下拉控制节点PD\_CN的电平被下拉到低电平; 类似地, 可以将M6与M5的尺寸比配置为在M5和M6均开启时, 下拉节点PD的电平被下拉到低电平, 从而保证晶体管M10和M11在此阶段处于关断状态;

在第二阶段b中, 第一时钟信号端输入高电平的时钟信号VCLK, 第二时钟信号端输入低电平的时钟信号VCLKB, 输入端INPUT接入低电平; 晶体管M1、M13、M9、M5和M12关断; 输出晶体管M3开启, 输出高电平的时钟信号VCLK; 由于存储电容C1的自举效应, 上拉节点PU的电平进一步升高, 达到第二高电平, 使得输出晶体管M3的导通更充分; 由于上拉节点PU为高电平, 晶体管M8和M6继续导通, 分别将下拉控制节点PD\_CN和下拉节点PD拉低到VSS; 由于下拉节点PD为低电平, 晶体管M10和M11保持关断状态, 从而不会影响移位寄存器单元正常输出移位信号;

在第三阶段c中, 第一时钟信号端输入低电平的时钟信号VCLK, 第二时钟信号端输入高电平的时钟信号VCLKB, 输入端INPUT继续接入低电平, 复

位端接入高电平；由于复位端接入高电平，晶体管M2和M4开启，分别将上拉节点PU和移位寄存器单元的输出端下拉到低电平VSS；晶体管M1关断，晶体管M13开启，将低电平接入上拉节点PU，对上拉节点PU进行放电；上拉节点PU被放电到低电平，晶体管M3关断；CLKB为高电平，晶体管M12开启，

5 将移位寄存器单元的输出端拉低到低电平VSS，消除移位寄存器单元的输出噪声；晶体管M9开启，对下拉控制节点PD\_CN充电，进而使得晶体管M5开启，从而对下拉节点PD充电；由于上拉节点PU处于低电平，晶体管M6和M8关断；下拉节点PD被充电到高电平，晶体管M10和M11开启，分别将上拉节点PU和移位寄存器单元的输出端下拉到低电平VSS，进一步消除了移位寄存

10 器单元在非输出阶段其输出端和上拉节点处可能产生的噪声。

在第四阶段d中，第一时钟信号端输入高电平的时钟信号VCLK，第二时钟信号端输入低电平的时钟信号VCLKB，输入端INPUT继续接入低电平，复位端接入低电平；晶体管M1、M13、M2、M4、M9、M5和M12关断；由于上拉节点PU保持低电平，晶体管M6和M8继续关断，下拉节点PD处于高电平，

15 晶体管M10和M11开启，分别将上拉节点和移位寄存器单元的输出端下拉到低电平VSS，消除了移位寄存器单元在非输出阶段其输出端和上拉节点处可能产生的噪声。

在第五阶段e中，第一时钟信号端输入低电平的时钟信号VCLK，第二时钟信号端输入高电平的时钟信号VCLKB，输入端INPUT继续接入低电平，复位端接入低电平；晶体管M1、M2、M4关断；晶体管M13开启，将低电平接入上拉节点PU，对上拉节点PU进行放电；上拉节点PU被放电到低电平，晶体管M3关断；CLKB为高电平，晶体管M12开启，将移位寄存器单元的输出端拉低到低电平VSS，消除移位寄存器单元的输出噪声；晶体管M9开启，对

20 下拉控制节点PD\_CN充电，进而使得晶体管M5开启，从而对下拉节点PD充电；由于上拉节点PU处于低电平，晶体管M6和M8关断；下拉节点PD保持高电平，晶体管M10和M11开启，分别将上拉节点PU和移位寄存器单元的输出端下拉到低电平VSS，进一步消除了移位寄存器单元在非输出阶段其输出端和上拉节点处可能产生的噪声。

在上述移位寄存器单元中，由于其中的晶体管M4只在本级移位寄存器

30 单元复位（即，在与之相邻的下一级移位寄存器单元输出移位信号）时发挥

作用，在本级移位寄存器单元的其它阶段，晶体管 M4 被关断，其使用时间短（只在上述阶段 c 操作），使用效率低；此外，晶体管 M4 的尺寸很大，占用空间大，导致电路结构不合理，影响整体产品难以实现窄边框化。

另外，在上述移位寄存器单元中，输出晶体管 M3 在为本级对应的栅线输出信号的同时，也为下一级移位寄存器单元输出触发信号以及为上一级移位寄存器单元输出复位信号，这使得输出晶体管 M3 的负载比较大，易造成信号的延迟；此外，如果输出晶体管 M3 出现故障，不仅会导致本级移位寄存器单元对应栅线的扫描故障，也会同时导致上一级和下一级移位寄存器单元出现问题，直接导致一连串的扫描行出现问题，扩大了故障发生的范围和严重性。

有鉴于此，根据本公开的一个方面，提出了一种移位寄存器单元。如图 3 所示，该移位寄存器单元包括：输入模块 200，连接在输入端和上拉节点 PU 之间，被配置为在输入端接收到来自上一级的触发信号时，对上拉节点 PU 进行充电；输出模块 205，连接在上拉节点 PU、第一时钟信号端 CK 和输出端之间，被配置在上拉节点 PU 的控制下，将第一时钟信号端 CK 接入的第一时钟信号输出到输出端；上拉节点复位模块 215，连接在复位端 RESET-IN、下拉节点 PD 和上拉节点 PU 之间，被配置为在复位端 RESET-IN 输入的复位信号或者下拉节点 PD 的电平的控制下，对上拉节点 PU 进行复位；以及输出复位模块 220，连接在第二时钟信号端 CKB、下拉节点 PD 和输出端之间，被配置为第二时钟信号端 CKB 接入的第二时钟信号或者下拉节点 PD 的电平的控制下，对输出端进行复位。

可选地，如图 3 所示，上述移位寄存器单元还包括：下拉节点电平控制模块 225，连接第一时钟信号端 CK、第二时钟信号端 CKB、下拉节点 PD 和上拉节点 PU 之间，被配置为在第一时钟信号端 CK 接入的第一时钟信号、第二时钟信号端 CKB 接入的第二时钟信号和上拉节点 PU 的电平中至少一个的控制下，对下拉节点 PD 的电平进行控制。

可选地，如图 3 所示，上述移位寄存器单元还包括：触发模块 230，连接在上拉节点 PU 和第一时钟信号端 CK 之间，被配置为下一级移位寄存器单元提供触发信号。

可选地，如图 3 所示，上述移位寄存器单元还包括：复位信号输出模块

235, 连接在上拉节点 PU 和第一时钟信号端 CK 之间, 被配置为为上一级移位寄存器单元提供复位信号。

5 可选地, 如图 3 所示, 上述移位寄存器单元还包括: 初始化模块 240, 连接在初始信号输入端 STV 和上拉节点 PU 之间, 被配置为对上拉节点的电平进行初始化。

10 在根据本公开的上述移位寄存器单元中, 将为下一级移位寄存器单元输出触发信号的模块和/或为上一级移位寄存器单元提供复位信号的模块与对本级移位寄存器单元对应的栅线提供输出信号的模块彼此相分离, 从而可以减少信号延长, 并且减小在本级移位寄存器单元中的输出模块发生故障时对整个栅线驱动装置的影响, 提高电路的可靠性; 同时, 在本级移位寄存器单元中的输出模块发生故障时, 便于直接根据对应的栅线的扫描不良对故障点进行定位。

15 图 4 图示了根据本公开一实施例的移位寄存器单元的示意性的电路结构。以下结合图 2 和图 4 对该移位寄存器单元的电路结构进行详细说明。可选地, 如图 4 所示, 输入模块包括: 第一晶体管 M1, 其控制极连接到移位寄存器单元的输入端, 第一极连接到第一电平输入端 VDD, 第二极连接到上拉节点 PU。

20 可选地, 如图 4 所示, 在该移位寄存器单元中, 输出模块包括: 第二晶体管 M2, 其控制极连接到上拉节点, 第一极连接到第一时钟信号端 CK, 第二极连接到输出端; 以及电容 C1, 与第二晶体管 M2 的栅极和源极并联。

25 可选地, 如图 4 所示, 在该移位寄存器单元中, 上拉节点复位模块包括: 第三晶体管 M3, 其控制极连接到复位端 RESET-IN, 第一极连接到上拉节点 PU, 第二极连接到第二电平输入端 VSS; 以及第四晶体管 M4, 其控制极连接到下拉节点 PD, 第一极连接到上拉节点 PU, 第二极连接到第二电平输入端 VSS。

30 可选地, 如图 4 所示, 在该移位寄存器单元中, 输出复位模块包括: 第五晶体管 M5, 其控制极连接到第二时钟信号端 CKB, 第一极连接输出端, 第二极连接第二电平输入端 VSS; 以及第六晶体管 M6, 其控制极连接到下拉节点 PD, 第一极连接到输出端, 第二极连接到第二电平输入端 VSS。

30 可选地, 如图 4 所示, 在该移位寄存器单元中, 下拉节点电平控制模块

包括：第七晶体管 M7，其控制极与第一极连接，并且连接到第二时钟信号端 CKB，第二极连接到下拉控制节点 PD\_CN；第八晶体管 M8，其控制极连接到上拉节点 PU，第一极连接到第二电平输入端 VSS，第二极连接到第七晶体管的第二极；第九晶体管 M9，其控制极连接到第七晶体管 M7 的第二极，其  
5 第一极连接到第二时钟信号端 CKB，其第二极连接到下拉节点 PD；第十晶体管 M10，其控制极连接到上拉节点 PU，第一极连接到下拉节点 PD，第二极连接到第二电平输入端 VSS；以及第十一晶体管 M11，其控制极连接到第一时钟信号端 CK，其第一极连接到第二电平输入端 VSS，第二极连接到第九晶体管的栅极。

10 可选地，如图 4 所示，在该移位寄存器单元中，触发模块包括：第十二晶体管 M12，其控制极连接到上拉节点 PU，第一极连接到第一时钟信号端 CK，第二极连接到触发信号输出端 TRIG\_OUT。

可选地，如图 4 所示，在该移位寄存器单元中，复位信号输出模块包括：  
15 第十三晶体管 M13，其控制极连接到上拉节点 PU，第一极连接到第一时钟信号端 CK，第二极连接到复位信号输出端 RESET\_OUT。

可选地，如图 4 所示，在该移位寄存器单元中，初始化模块包括：第十四晶体管 M14，其控制极连接到初始信号输入端 STV，第一极连接到上拉节点 PU，第二极连接到第二电平输入端 VSS。

20 尽管在图 4 中，示出的所有晶体管均是 N 型晶体管，其控制极为 N 型晶体管的栅极，第一极为 N 型晶体管的漏极，第二极为 N 型晶体管的源极；第一电平输入端接入高电平 VDD，而第二电平输入端接入低电平 VSS，然而，为实现本公开的原理，上述移位寄存器单元中的一个或者多个晶体管采用 P 型晶体管也是可能的，只要相应地调整源极和漏极的位置以及相应的第一和第二电平输入端接入的电平即可，具体细节不在此赘述，但也应该在本发明的  
25 的保护范围内。

以下以图 4 所示的移位寄存器单元作为图 6 所示的栅线驱动装置的第 N 级移位寄存器单元为例，参照图 5 所示的信号时序来说明其具体的工作原理，其中，该移位寄存器单元的第一时钟信号端接第一时钟信号 CK，第二时钟信号端接第二时钟信号 CKB，其输入端接之前的与之间隔一级的移位寄存器单元  
30 （即第 N-2 级移位寄存器单元）的触发信号输出端，触发信号输出端接之后的

与之间隔一级的移位寄存器单元（即第N+2级移位寄存器单元）的输入端，其复位信号输出端接之前的与之间隔两级的移位寄存器单元（即第N-3级移位寄存器单元）的复位端，其复位端接之后的与之间隔两级移位寄存器单元（第N+3级移位寄存器单元）的复位信号输出端，其输出端接第N条栅线GL(N)。

5 在图5所示的a、b、c、d和e所示的五个阶段中，该移位寄存器单元进行如下操作：

在第一阶段a中，第一时钟信号端输入低电平的时钟信号CK，第二时钟信号端输入高电平的时钟信号CKB，输入端INPUT接入高电平的有效输入信号；由于输入端输入高电平，晶体管M1开启，使得高电平的输入信号对上拉节点PU进行充电；由于时钟信号CKB为高电平，晶体管M5开启，将移位寄存器单元的输出端拉低到低电平VSS，消除移位寄存器单元的输出噪声；晶体管M7开启，对下拉控制节点PD\_CN充电，进而使得晶体管M9开启；由于上拉节点PU处于第一高电平，晶体管M8和M10开启；在晶体管的设计上，可以将晶体管M8与M7的尺寸比配置为在M8和M7均开启时，下拉控制节点PD\_CN的电平被下拉到低电平；类似地，可以将M10与M9的尺寸比配置为在M10和M9均开启时，下拉节点PD的电平被下拉到低电平，从而保证晶体管M4和M6在此阶段处于关断状态；

在第二阶段b中，第一时钟信号端输入高电平的时钟信号CK，第二时钟信号端输入低电平的时钟信号CKB，输入端INPUT接入低电平的输入信号；晶体管M1、M7和M5关断；由于CK为高，晶体管M11开启，将下拉控制节点PD\_CN下拉到VSS，晶体管M9关断；输出晶体管M2开启，输出高电平的时钟信号CK，以便对相应的栅线输出驱动信号；由于存储电容C1的自举效应，上拉节点PU的电平进一步升高，达到第二高电平，使得输出晶体管M2的导通更充分；由于上拉节点PU为高电平，晶体管M8和M10继续导通，分别将下拉控制节点PD\_CN和下拉节点PD拉低到VSS；由于下拉节点PD为低电平，晶体管M4和M6保持关断状态，从而不会影响移位寄存器单元正常输出移位信号；同时，由于上拉节点为高电平，触发晶体管M12开启，向之后的第N+2级移位寄存器单元的输入端输出触发信号；并且复位信号晶体管M13在高电平的上拉节点的控制下，向第N-3级移位寄存器单元的复位端提供复位信号；

30 在第三阶段c中，第一时钟信号端输入低电平的时钟信号CK，第二时钟

信号端输入高电平的时钟信号CKB，输入端INPUT继续接入低电平，晶体管M1继续保持关断，晶体管M5在高电平的CKB的控制下开启，使得移位寄存器单元的输出端被下拉到VSS，消除移位寄存器单元的输出噪声；晶体管M11在低电平CK的控制下关断；晶体管M7在高电平CKB的控制下开启，对下拉控制节点PD\_CN充电，进而使得晶体管M9开启，从而对下拉节点PD充电；此时，由于复位信号端上接入的信号仍然为低电平，复位晶体管M3未开启，上拉节点PU没有被拉低到低电平VSS，输出晶体管M2保持开启，由于时钟信号CK从高电平改变为低电平，输出晶体管M2将低电平的时钟信号CK输出到输出端；由于电容C1的耦合效应，上拉节点PU的电平从第二高电平降低到第一高电平，并且保持在第一高电平；由于上拉节点PU保持在第一高电平，晶体管M8和M10开启；根据晶体管M8与M7的尺寸比，在M8和M7均开启时，下拉控制节点PD\_CN的电平被下拉到低电平；类似地，根据晶体管M10与M9的尺寸比，在M10和M9均开启时，下拉节点PD的电平被下拉到低电平，从而保证晶体管M4和M6在此阶段处于关断状态；

在第四阶段d中，第一时钟信号端仍然输入低电平的时钟信号CK，第二时钟信号端输入高电平的时钟信号CKB，输入端INPUT继续接入低电平，晶体管M1继续保持关断，晶体管M5在高电平的CKB的控制下保持导通，使得移位寄存器单元的输出端被下拉到VSS，消除移位寄存器单元的输出噪声；晶体管M11在低电平CK的控制下保持关断；晶体管M7在高电平CKB的控制下保持导通，晶体管M9保持导通；由于复位信号端上接入的信号从低电平改变为高电平，复位晶体管M3开启，将上拉节点PU从第一高电平拉低到低电平VSS，使得输出晶体管M2关断；由于上拉节点PU被拉低到低电平VSS，晶体管M8和M10被关断；由于晶体管M7和M9保持导通，高电平的CKB信号对下拉控制节点PD\_CN和下拉节点PD充电，下拉节点PD改变为高电平，从而使晶体管M4和M6开启，以便分别将上拉节点PU和移位寄存器单元的输出端下拉到VSS，消除上拉节点和输出端处可能产生的噪声；

在第五阶段e中，第一时钟信号端输入高电平的时钟信号CK，第二时钟信号端输入低电平的时钟信号CKB，输入端INPUT继续接入低电平，复位端接入高电平；晶体管M1、M7、M9和M5关断；由于CK为高，晶体管M11开启，将下拉控制节点PD\_CN拉低到VSS；由于上拉节点PU保持低电平，晶体

管M8和M10继续关断，下拉节点PD保持高电平，晶体管M4和M6开启，分别  
将上拉节点和移位寄存器单元的输出端下拉到低电平VSS，消除了移位寄存  
器单元在非输出阶段其输出端和上拉节点处可能产生的噪声。

在第六阶段f中，第一时钟信号端继续输入高电平的时钟信号CK，第二  
5 时钟信号端输入低电平的时钟信号CKB，输入端INPUT继续接入低电平，复  
位端接入低电平；晶体管M1、M7、M9、M5、M3关断；由于CK为高，晶  
体管M11保持导通，下拉控制节点PD\_CN保持在之前的低电平VSS；上拉节  
点PU保持之前的低电平，晶体管M8和M10保持关断，下拉节点PD保持之前  
10 的高电平，晶体管M4和M6开启，分别将上拉节点PU和移位寄存器单元的输  
出端下拉到低电平VSS，进一步消除了移位寄存器单元在非输出阶段其输出  
端和上拉节点处可能产生的噪声。

可选地，在移位寄存器单元进行第一阶段的操作之前，首先向本级移位  
寄存器单元的初始化信号端STV提供一个高电平脉冲信号，以便开启晶体管  
M14，从而将上拉节点PU的电平初始化为低电平VSS。

15 在根据本公开实施例的如图4所示的移位寄存器单元中，移除了图1所  
示的移位寄存器单元中下拉晶体管M4和输入晶体管M13，减小了大尺寸晶  
体管M4占用的面积，易于实现栅极驱动电路GOA的小型化，便于实现显示  
设备的窄边框；同时，由于改变了有关电路的连接结构，对上拉节点的复位  
进行了延迟，延长了输出晶体管M2的导通时间，从而可以利用输出晶体管  
20 M2在延长的导通时间内输出低电平的时钟信号来实现对栅线信号的下拉控  
制，并且由于输出晶体管的尺寸比所移除的晶体管的尺寸大，利用其输出的  
低电平CK信号实现下拉也更有效；另外，单独设置了晶体管M12和晶体管  
M13用于分别为第N+2级移位寄存器单元提供触发信号和为第N-3级移位寄  
存器单元提供复位信号，从而将为本级移位寄存器单元对应的栅线提供的驱  
25 动信号与为第N+2级移位寄存器单元提供的触发信号和/或为第N-3级移位寄  
存器单元提供的复位信号相分离，减少信号延迟，改善信号波形，并且减小  
在本级移位寄存器单元中的输出晶体管M2发生故障时对整个栅线驱动装置  
的影响，提高电路的可靠性；同时，在本级移位寄存器单元中的输出晶体管  
M2发生故障时，便于直接根据对应的栅线的扫描不良对故障点进行定位。

30 根据本公开的另一方面，还提供了一种栅线驱动装置。如图6所示，该



移位寄存器单元对应的栅线提供的驱动信号与为下一级移位寄存器单元提供的触发信号和/或为前一级移位寄存器单元提供的复位信号相分离，减少信号延迟，改善信号波形，并且减小在本级移位寄存器单元中的输出晶体管发生故障时对整个栅线驱动装置的影响，提高电路的可靠性；同时，在本级移位寄存器单元中的输出晶体管发生故障时，便于直接根据对应的栅线的扫描不良对故障点进行定位。

根据本公开的又一方面，还提供了一种用于对附图 3 所示的移位寄存器单元进行驱动控制的方法。如图 7 所示，该方法主要包括步骤：S710，向输入端输入有效电平，将上拉节点充电到第一高电平；S720，向第一时钟信号端输入高电平，使得输出模块开启，向栅线输出高电平的第一时钟信号，并且经过电容自举，将上拉节点电平进一步升高到第二高电平；S730，向第一时钟信号端输入低电平，输出模块保持导通，向栅线输出低电平的第一时钟信号，并且经过电容耦合，使得上拉节点的电平从第二高电平降低到第一高电平；S740，向复位端输入有效复位电平，将上拉节点放电拉低至低电平，关闭输出模块；第二时钟信号端输入的高电平为下拉节点充电，开启下拉节点电平控制模块，将上拉节点和输出端分别下拉到低电平。

可选地，上述方法还包括步骤 S700，向初始化信号输入端 STV 输入有效电平，将上拉节点初始化为低电平。

可选地，上述方法还包括步骤：S750，在输出模块开启对栅线输出高电平的第一时钟信号时，利用上拉节点开启触发模块，以便向下一级移位寄存器单元输出触发信号。

可选地，上述方法还包括步骤：S760，在输出模块开启对栅线输出高电平的第一时钟信号时，利用上拉节点开启复位信号输出模块，以便向前一级移位寄存器单元输出复位信号。

可选地，其中，步骤 S710 包括：向输入端输入高电平，开启第一晶体管 M1，将上拉节点 PU 充电到第一高电平。

可选地，其中，步骤 S720 包括：上拉节点 PU 的高电平使晶体管 M2 开启，晶体管 M2 向栅线输出高电平的第一时钟信号，通过电容 C1 的自举效应将上拉节点 PU 的电平进一步升高到第二高电平。

可选地，其中，步骤 S730 包括：向第一时钟信号端输入低电平，晶体管

M2保持导通，向栅线输出低电平的第一时钟信号，并且通过电容C1的耦合效应将上拉节点的电平从第二高电平降低到第一高电平。

5 可选地，其中，步骤S740包括：复位端输入的有效复位电平开启晶体管M3，将上拉节点拉低到低电平VSS，晶体管M2关断；第二时钟信号端输入的高电平开启晶体管M7和M9，将下拉节点PD拉高到高电平，从而开启晶体管M4和M6，对上拉节点PU和输出端进行下拉。

可选地，其中，步骤S700包括：向初始化信号输入端STV输入有效电平，开启晶体管M14，将上拉节点初始化为低电平VSS。

10 可选地，其中，步骤S750包括：在晶体管M2导通时，上拉节点的高电平开启触发晶体管M12，向下一级移位寄存器单元输出触发信号。

可选地，其中，步骤S760包括：在晶体管M2导通时，上拉节点的高电平开启晶体管M13，向前一级移位寄存器单元输出复位信号。

15 在根据本公开实施例的移位寄存器单元的驱动方法中，对上拉节点的复位进行了延迟，延长了输出晶体管M2的导通时间，从而可以利用输出晶体管M2在延长的导通时间内输出低电平的时钟信号来实现对栅线信号的下拉控制，消除了专用于下拉输出端的大尺寸晶体管；将为本级移位寄存器单元对应的栅线提供的驱动信号与为下一级移位寄存器单元提供的触发信号和/或为前一级移位寄存器单元提供的复位信号相分离，减少信号延迟，改善信号波形，并且减小在本级移位寄存器单元中的输出晶体管M2发生故障时对  
20 整个栅线驱动装置的影响，提高电路的可靠性；同时，在本级移位寄存器单元中的输出晶体管M2发生故障时，便于直接根据对应的栅线的扫描不良对故障点进行定位。

25 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明实施例公开的技术范围内，可轻易想到的变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应该以权利要求的保护范围为准。

本申请要求于2015年10月8日递交的中国专利申请第201510647045.2号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

## 权 利 要 求 书

1. 一种移位寄存器单元，包括：

5 输入模块，连接在输入端和上拉节点之间，被配置为在输入端接收到来自上一级的触发信号时，对上拉节点进行充电；

输出模块，连接在上拉节点、第一时钟信号端和输出端之间，被配置在上拉节点的控制下，将第一时钟信号端接入的第一时钟信号输出到输出端；

10 上拉节点复位模块，连接在复位端、下拉节点和上拉节点之间，被配置为在复位端输入的复位信号或者下拉节点的电平的控制下，对上拉节点进行复位；

输出复位模块，连接在第二时钟信号端、下拉节点和输出端之间，被配置为第二时钟信号端接入的第二时钟信号或者下拉节点的电平的控制下，对输出端进行复位。

15 2. 根据权利要求 1 所述的移位寄存器单元，还包括：

下拉节点电平控制模块，连接第一时钟信号端、第二时钟信号端、下拉节点和上拉节点之间，被配置为在第一时钟信号端接入的第一时钟信号、第二时钟信号端接入的第二时钟信号和上拉节点的电平的控制下，对下拉节点的电平进行控制。

20 3. 根据权利要求 1 或 2 所述的移位寄存器单元，还包括：

触发模块，连接在上拉节点和第一时钟信号端之间，被配置为下一级移位寄存器单元提供触发信号。

4. 根据权利要求 1-3 任一项所述的移位寄存器单元，还包括：

25 复位信号输出模块，连接在上拉节点和第一时钟信号端之间，被配置为为上一级移位寄存器单元提供复位信号。

5. 根据权利要求 1-4 任一项所述移位寄存器单元，还包括：

初始化模块，连接在初始信号输入端和上拉节点之间，被配置为对上拉节点的电平进行初始化。

30 6. 根据权利要求 1-5 任一项所述的移位寄存器单元，其中，输入模块包括：

第一晶体管，其控制极连接到输入端，第一极连接到第一电平输入端，第二极连接到上拉节点。

7. 根据权利要求 1-6 任一项所述的移位寄存器单元，其中，输出模块包括：

- 5 第二晶体管，其控制极连接到上拉节点，第一极连接到第一时钟信号端，第二极连接到输出端；以及  
电容，与第二晶体管的栅极和源极并联。

8. 根据权利要求 1-7 任一项所述的移位寄存器单元，其中，上拉节点复位模块包括：

- 10 第三晶体管，其控制极连接到复位端，第一极连接到上拉节点，第二极连接到第二电平输入端；以及  
第四晶体管，其控制极连接到下拉节点，第一极连接到上拉节点，第二极连接到第二电平输入端。

- 15 9. 根据权利要求 1-8 任一项所述的移位寄存器单元，其中，输出复位模块包括：

第五晶体管，其控制极连接到第二时钟信号端，第一极连接输出端，第二极连接第二电平输入端；以及

第六晶体管，其控制极连接到下拉节点，第一极连接到输出端，第二极连接到第二电平输入端。

- 20 10. 根据权利要求 2 所述的移位寄存器单元，其中，所述下拉节点电平控制模块包括：

第七晶体管，其控制极与第一极连接，并且连接到第二时钟信号端；

第八晶体管，其控制极连接到上拉节点，第一极连接到第二电平输入端，第二极连接到第七晶体管的第二极；

- 25 第九晶体管，其控制极连接到第七晶体管的第二极，第一极连接到第二时钟信号端，第二极连接到下拉节点；

第十晶体管，其控制极连接到上拉节点，第一极连接到下拉节点，第二极连接到第二电平输入端；以及

- 30 第十一晶体管，其控制极连接到第一时钟信号端，第一极连接到第二电平输入端，第二极连接到第九晶体管的栅极。

11. 根据权利要求 3 所述的移位寄存器单元, 其中, 所述触发模块包括: 第十二晶体管, 其控制极连接到上拉节点, 第一极连接到第一时钟信号端, 第二极连接到触发信号输出端。

5 12. 根据权利要求 4 所述的移位寄存器单元, 其中, 所述复位信号输出控制模块包括:

第十三晶体管, 其控制极连接到上拉节点, 第一极连接到第一时钟信号端, 第二极连接到复位信号输出端。

13. 根据权利要求 5 所述的移位寄存器单元, 其中, 所述初始化模块包括:

10 第十四晶体管, 其控制极连接到初始信号输入端, 第一极连接到上拉节点, 第二极连接到第二电平输入端。

14. 一种栅线驱动装置, 包括多级级联的如权利要求 1-13 所述的移位寄存器单元, 其中每一级移位寄存器单元的输出端连接到对应的一条栅线;

15 其中, 第 N 级移位寄存器单元的第一时钟信号端和第二时钟信号端分别连接到第一时钟信号和第二时钟信号, 第 N 级移位寄存器单元的触发信号输出端连接到第 N+2 级移位寄存器单元的输入端, 第 N 级移位寄存器单元的复位信号输出端连接到第 N-3 级移位寄存器单元的复位端, 第 N 级移位寄存器单元的输入端连接到第 N-2 级移位寄存器单元的触发信号输出端, 第 N 级移位寄存器单元的复位端连接到第 N+3 级移位寄存器单元的复位信号输出端;

20 第 N-1 级移位寄存器单元的第一时钟信号端和第二时钟信号端分别连接到第三时钟信号和第四时钟信号;

其中, 第一、第二、第三和第四时钟信号的周期相同, 并且第一和第二时钟信号的时序相反, 第三和第四时钟信号的时序相反, 且第三时钟信号滞后于第一时钟信号四分之一周期。

25 15. 一种应用于权利要求 1-13 任一项所述的移位寄存器单元的驱动方法, 包括:

向输入端输入有效电平, 开启输入模块, 将上拉节点充电到第一电平, 通过上拉节点的第一电平开启输出模块;

30 向第一时钟信号端输入有效电平, 通过开启的输出模块向输出端连接的栅线输出栅线开启电压, 以及将上拉节点从第一电平改变为第二电平;

向第一时钟信号端输入无效电平，保持输出模块的开启，从而向输出端连接的栅线输出栅线关闭电压，并且将上拉节点从第二电平改变为第一电平；

向复位端输入有效电平，开启上拉节点复位模块，将上拉节点的电平改变为无效电平，从而关闭输出模块；以及

- 5 利用第二时钟信号端输入的有效电平为下拉节点充电，通过下拉节点的有效电平开启输出复位模块并保持上拉节点复位模块的开启，从而将输出端和上拉节点保持在无效电平。

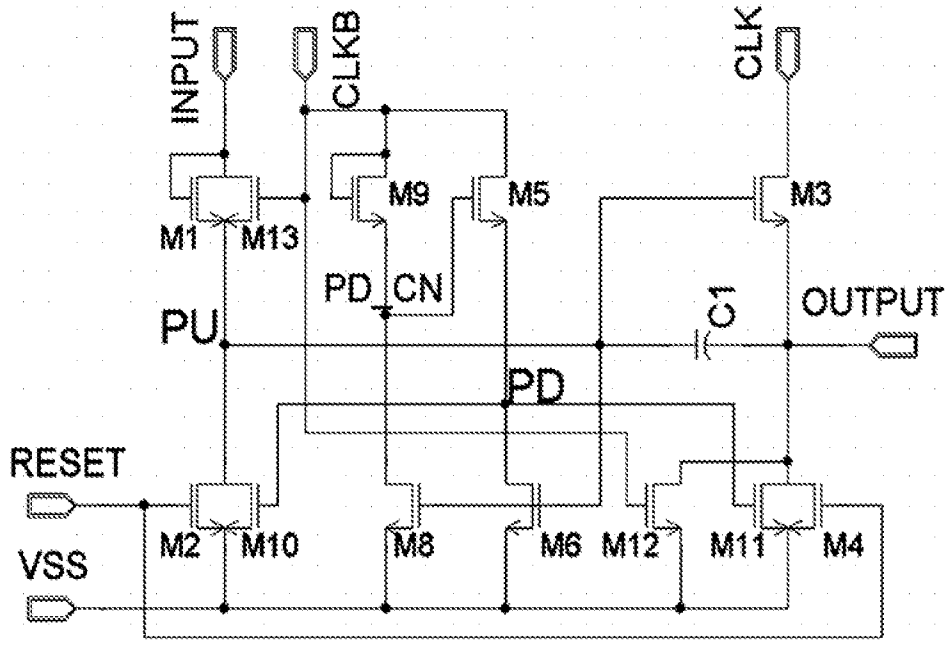


图 1

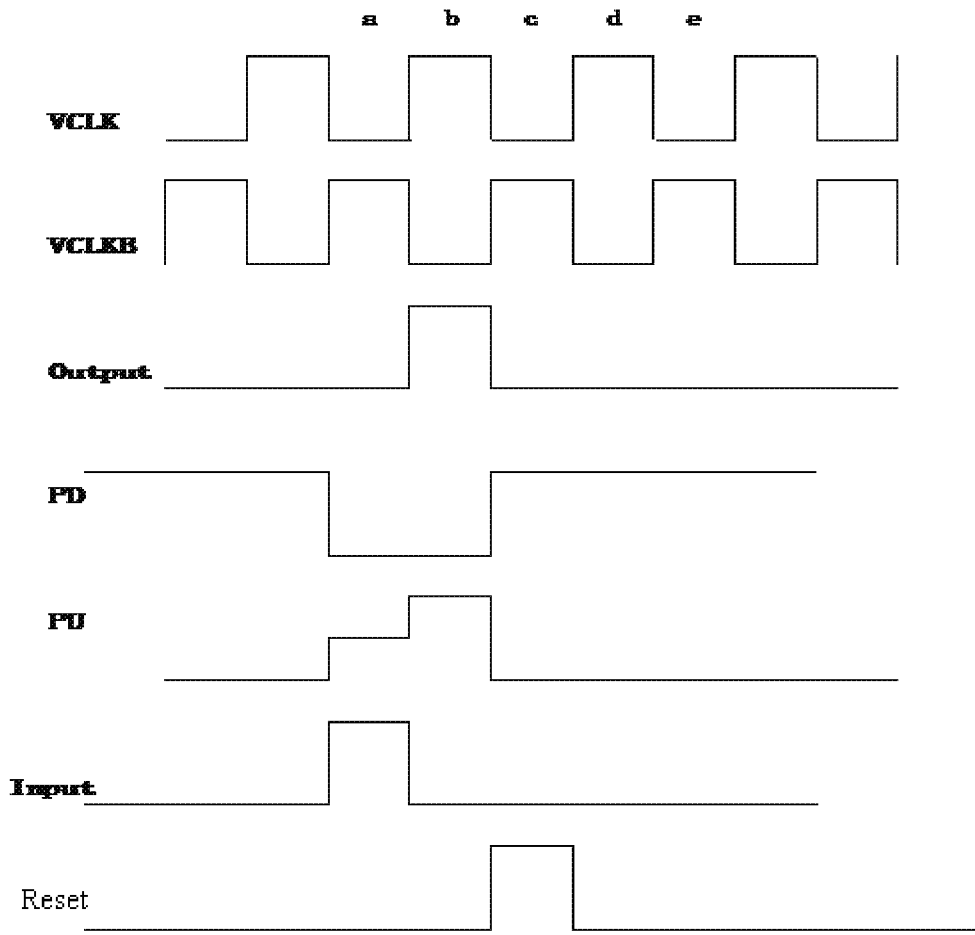


图2

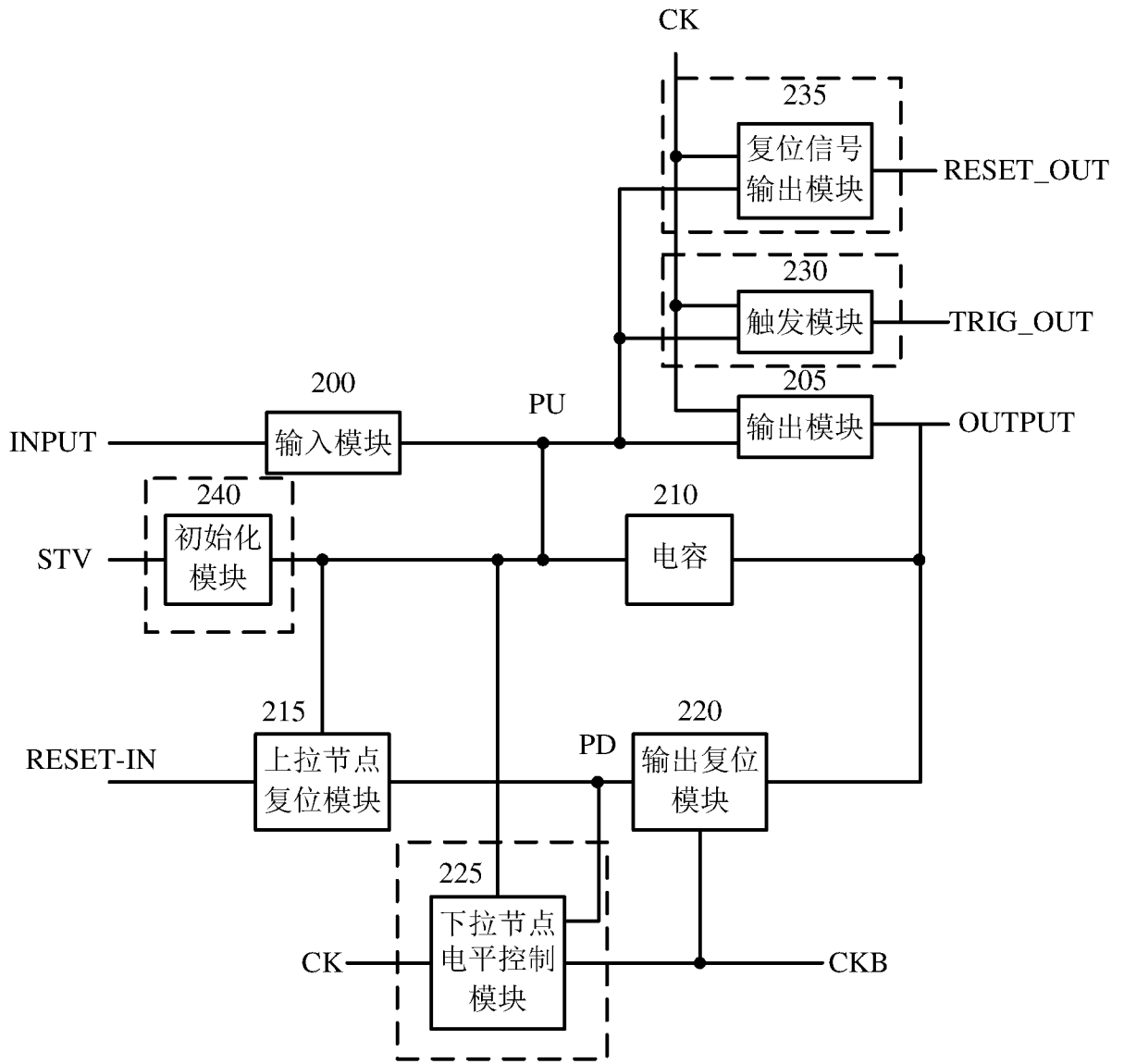


图3



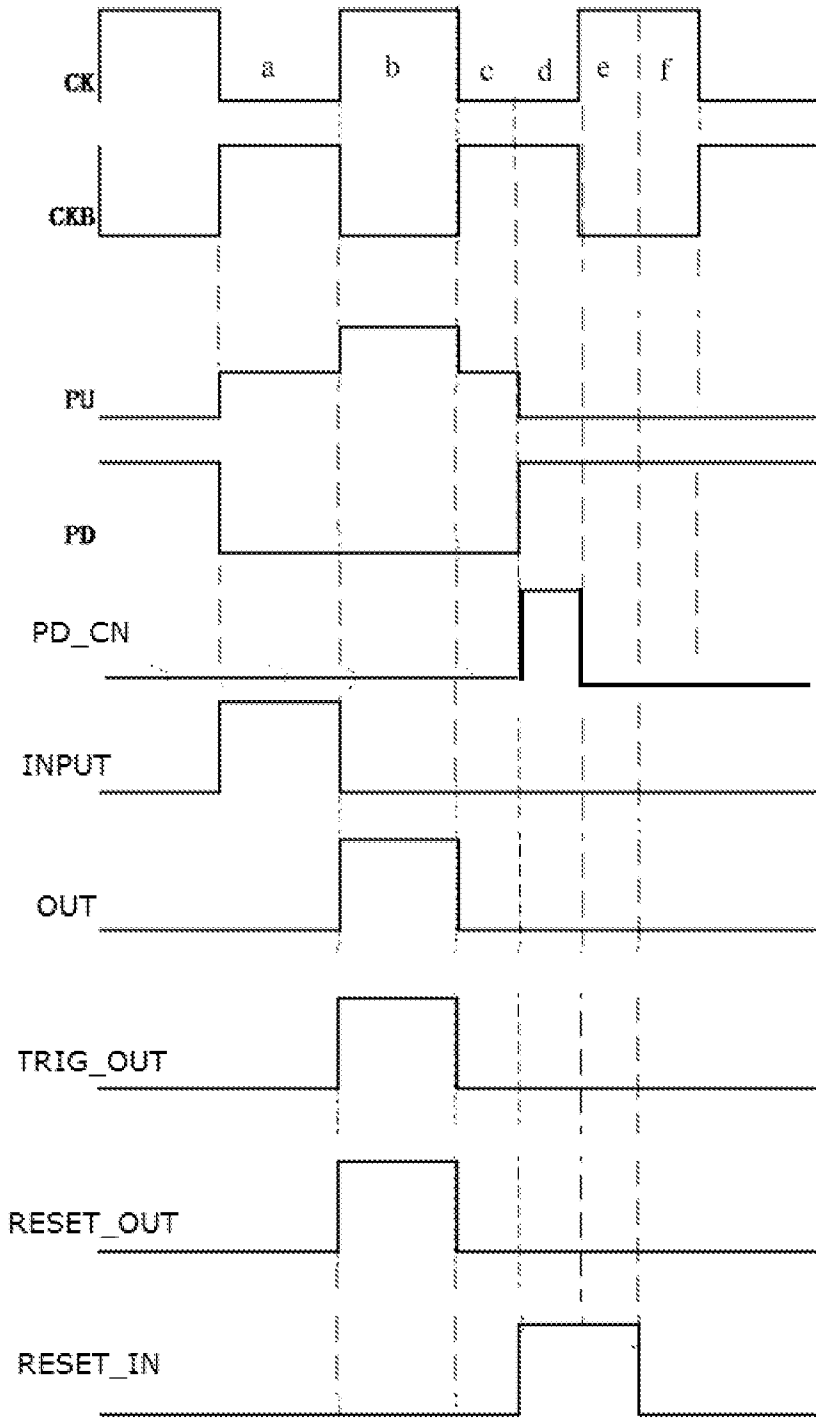


图5

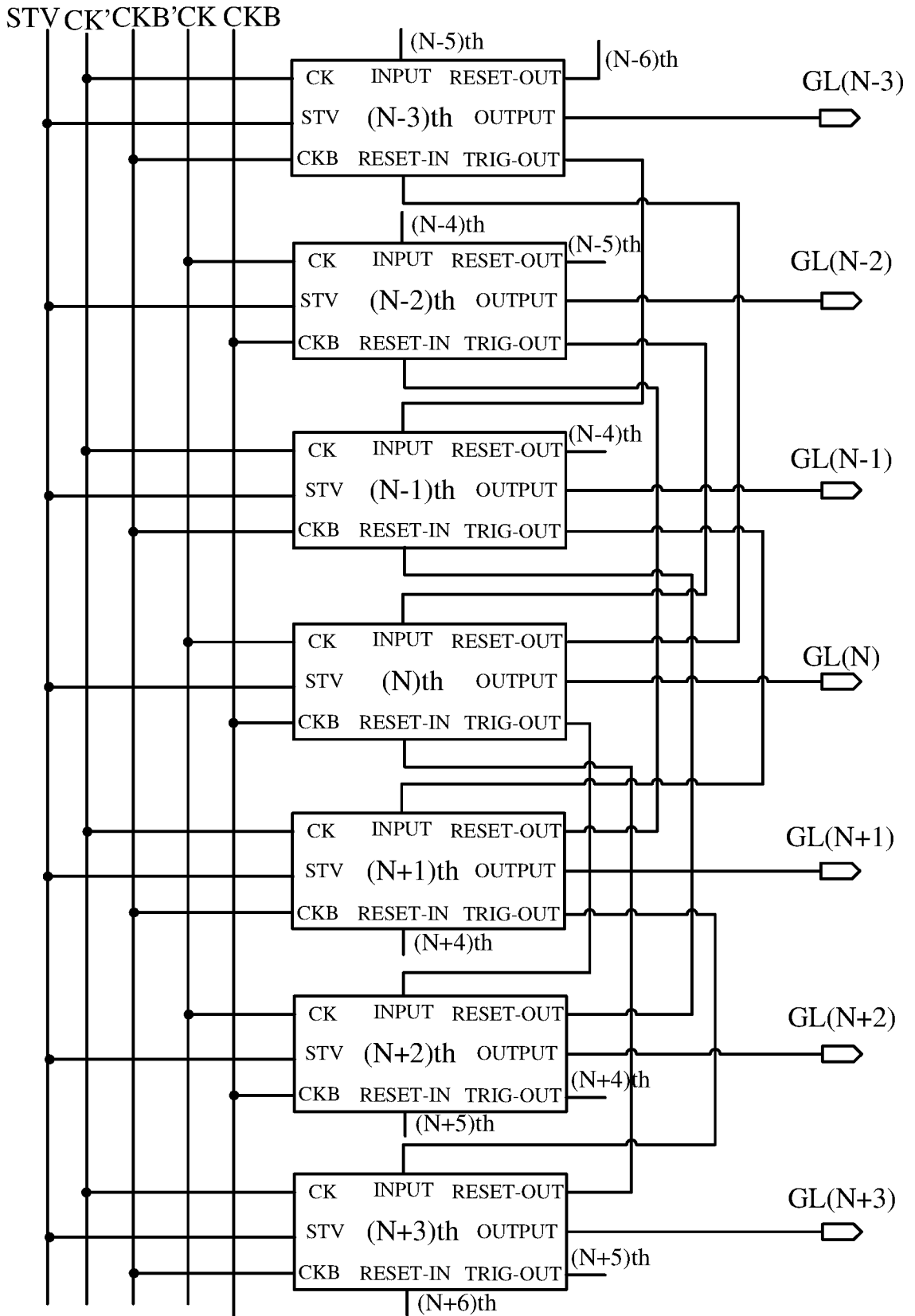


图6A

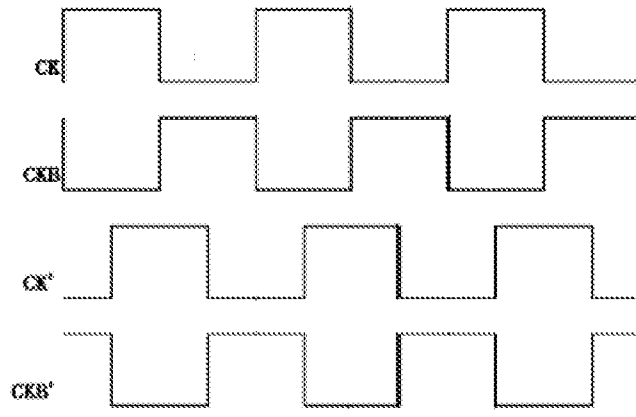


图6B

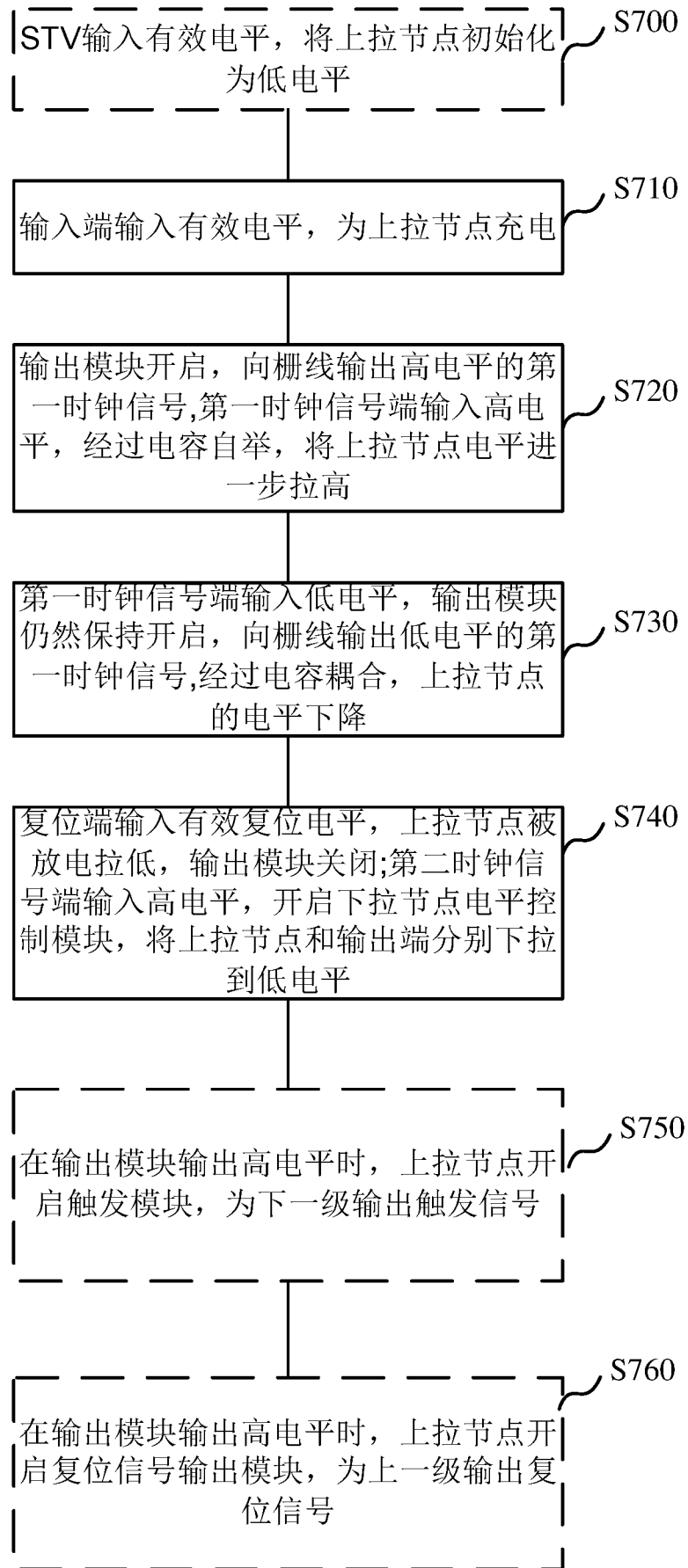


图7

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2016/101109****A. CLASSIFICATION OF SUBJECT MATTER**

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G09G, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, GOOGLE: cascade, shift register, multilevel, level, reset, clock signal, grid line, drive

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105185339 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 23 December 2015 (23.12.2015), description, paragraphs [0040]-[0077], and figures 3-7	1-15
PX	CN 204966019 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 13 January 2016 (13.01.2016), description, paragraphs [0038]-[0062], and figures 3-6	1-14
A	CN 104658505 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 27 May 2015 (27.05.2015), description, paragraphs [0046]-[0054], and figures 1 and 3	1-15
A	CN 104715733 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 17 June 2015 (17.06.2015), the whole document	1-15
A	US 2010214206 A1 (YOKOYAMA, M. et al.), 26 August 2010 (26.08.2010), the whole document	1-15
A	US 2015187313 A1 (LEE, H.J.), 02 July 2015 (02.07.2015), the whole document	1-15

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

11 November 2016 (11.11.2016)

Date of mailing of the international search report

**28 November 2016 (28.11.2016)**Name and mailing address of the ISA/CN:  
State Intellectual Property Office of the P. R. China  
No. 6, Xitucheng Road, Jimenqiao  
Haidian District, Beijing 100088, China  
Facsimile No.: (86-10) 62019451

Authorized officer

**SUN, Taomin**Telephone No.: (86-10) **01061648107**

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2016/101109**

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105185339 A	23 December 2015	None	
CN 204966019 U	13 January 2016	None	
CN 104658505 A	27 May 2015	None	
CN 104715733 A	17 June 2015	None	
US 2010214206 A1	26 August 2010	CN 101861625 A	13 October 2010
		WO 2009084271 A1	09 July 2009
US 2015187313 A1	02 July 2015	KR 20150076027 A	06 July 2015
		GB 2522991 A	12 August 2015
		DE 102014118718 A1	02 July 2015
		TW 201525963 A	01 July 2015
		CN 104751763 A	01 July 2015

国际检索报告

国际申请号

PCT/CN2016/101109

<p>A. 主题的分类</p> <p>G09G 3/36(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G, G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPODOC, CNKI, GOOGLE: 移位寄存器, 多级, 级联, 复位, 时钟信号, 栅线, 驱动, shift register, multilevel, level, reset, clock signal, grid line, drive</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105185339 A (京东方科技集团股份有限公司 等) 2015年 12月 23日 (2015 - 12 - 23) 说明书[0040]-[0077]段及图3-7</td> <td>1-15</td> </tr> <tr> <td>PX</td> <td>CN 204966019 U (京东方科技集团股份有限公司 等) 2016年 1月 13日 (2016 - 01 - 13) 说明书[0038]-[0062]段及图3-6</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104658505 A (京东方科技集团股份有限公司 等) 2015年 5月 27日 (2015 - 05 - 27) 说明书[0046]-[0054]段及图1, 3</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 104715733 A (京东方科技集团股份有限公司 等) 2015年 6月 17日 (2015 - 06 - 17) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2010214206 A1 (YOKOYAMA, MAKOTO 等) 2010年 8月 26日 (2010 - 08 - 26) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2015187313 A1 (LEE, HYUNJAE) 2015年 7月 2日 (2015 - 07 - 02) 全文</td> <td>1-15</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:          “A” 认为不特别相关的表示了现有技术一般状态的文件          “E” 在国际申请日的当天或之后公布的在先申请或专利          “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)          “O” 涉及口头公开、使用、展览或其他方式公开的文件          “P” 公布日先于国际申请日但迟于所要求的优先权日的文件          “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件          “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性          “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性          “&amp;” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105185339 A (京东方科技集团股份有限公司 等) 2015年 12月 23日 (2015 - 12 - 23) 说明书[0040]-[0077]段及图3-7	1-15	PX	CN 204966019 U (京东方科技集团股份有限公司 等) 2016年 1月 13日 (2016 - 01 - 13) 说明书[0038]-[0062]段及图3-6	1-14	A	CN 104658505 A (京东方科技集团股份有限公司 等) 2015年 5月 27日 (2015 - 05 - 27) 说明书[0046]-[0054]段及图1, 3	1-15	A	CN 104715733 A (京东方科技集团股份有限公司 等) 2015年 6月 17日 (2015 - 06 - 17) 全文	1-15	A	US 2010214206 A1 (YOKOYAMA, MAKOTO 等) 2010年 8月 26日 (2010 - 08 - 26) 全文	1-15	A	US 2015187313 A1 (LEE, HYUNJAE) 2015年 7月 2日 (2015 - 07 - 02) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 105185339 A (京东方科技集团股份有限公司 等) 2015年 12月 23日 (2015 - 12 - 23) 说明书[0040]-[0077]段及图3-7	1-15																					
PX	CN 204966019 U (京东方科技集团股份有限公司 等) 2016年 1月 13日 (2016 - 01 - 13) 说明书[0038]-[0062]段及图3-6	1-14																					
A	CN 104658505 A (京东方科技集团股份有限公司 等) 2015年 5月 27日 (2015 - 05 - 27) 说明书[0046]-[0054]段及图1, 3	1-15																					
A	CN 104715733 A (京东方科技集团股份有限公司 等) 2015年 6月 17日 (2015 - 06 - 17) 全文	1-15																					
A	US 2010214206 A1 (YOKOYAMA, MAKOTO 等) 2010年 8月 26日 (2010 - 08 - 26) 全文	1-15																					
A	US 2015187313 A1 (LEE, HYUNJAE) 2015年 7月 2日 (2015 - 07 - 02) 全文	1-15																					
国际检索实际完成的日期	国际检索报告邮寄日期																						
2016年 11月 11日	2016年 11月 28日																						
ISA/CN的名称和邮寄地址	授权官员																						
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	孙韬敏																						
传真号 (86-10)62019451	电话号码 (86-10)01061648107																						

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2016/101109

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105185339	A	2015年 12月 23日	无			
CN	204966019	U	2016年 1月 13日	无			
CN	104658505	A	2015年 5月 27日	无			
CN	104715733	A	2015年 6月 17日	无			
US	2010214206	A1	2010年 8月 26日	CN	101861625	A	2010年 10月 13日
				WO	2009084271	A1	2009年 7月 9日
US	2015187313	A1	2015年 7月 2日	KR	20150076027	A	2015年 7月 6日
				GB	2522991	A	2015年 8月 12日
				DE	102014118718	A1	2015年 7月 2日
				TW	201525963	A	2015年 7月 1日
				CN	104751763	A	2015年 7月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)