



I250530

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93/115984

※ 申請日期：93.6.3 ※IPC 分類：G11C 5/00

一、發明名稱：(中文/英文)

積體電路記憶體裝置之高突發率資料寫入路徑及其操作方法
HIGH BURST RATE WRITE DATA PATHS FOR INTEGRATED
CIRCUIT MEMORY DEVICES AND METHODS OF OPERATING
SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司
SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

尹鍾龍
YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞416番地
416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,
GYEONGGI-DO, KOREA

國 籍：(中文/英文)

韓國 KOREA

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 李潤相
LEE, YUN-SANG
2. 李禎培
LEE, JUNG-BAE
3. 羅元均
LA, ONE-GYUN
4. 金成律
KIM, SUNG-RYUL

住居所地址：(中文/英文)

1. 大韓民國京畿道龍仁市駒城面麻北里淵源MAEUL LG APT., 107棟
502號
107-502, YEONWON MAEUL LG APT., MABUK-RI,
GUSEONG-MYUN, YONGIN-SI, GYEONGGI-DO, REPUBLIC OF
KOREA
2. 大韓民國京畿道龍仁市水枝邑豐德川里鎮山MAEUL三星5次
APT.523棟302號
523-302, JINSAN MAEUL SAMSUNG 5-CHA APT.,
PUNGDEOKCHEON-RI, SUJI-EUB, YONGIN-SI, GYEONGGI-DO,
REPUBLIC OF KOREA
3. 大韓民國京畿道華城郡台安邑半月里新靈通現代TOWN 110棟901
號
110-901, SHINYEONGTONG HYUNDAI TOWN, BANWOL-RI,
TAEAN-EUB, HWASEONG-GUN, GYEONGGI-DO, REPUBLIC OF
KOREA
4. 大韓民國京畿道水原市長安區華西2洞674-1番地豐林APT. 211棟
1802號
211-1802, POONGLIM APT., 674-1, HWASEO 2-DONG,
JANGAN-GU, SUWON-SI, GYEONGGI-DO, REPUBLIC OF
KOREA

國 籍：(中文/英文)

- 1.-4.均韓國 KOREA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2003年06月03日；10-2003-0035604
2. 韓國；2003年06月27日；10-2003-0042840
3. 美國；2004年03月03日；10/792,425

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

本申請案主張於2003年6月3日提出申請的韓國專利申請案第2003-0035604號及於2003年6月27日提出申請的韓國專利申請案第2003-0042840號之權利，該等專利申請案之全部揭示內容皆如同在本文中詳盡提及一般以引用方式併入本文中。

【發明所屬之技術領域】

本發明係關於積體電路記憶體裝置及其操作方法，更具體而言，係關於積體電路記憶體裝置之資料寫入路徑及其操作方法。

【先前技術】

積體電路記憶體裝置廣泛用於眾多消費應用及商業應用中。隨著積體電路記憶體裝置的積體密度持續增大，積體電路記憶體裝置內記憶胞數量可能會持續增多。而且，用於積體電路記憶體裝置之預取方案亦可能會持續提高。如熟習此項技術者所熟知，預取表示可同時寫入一積體電路記憶體陣列或可同時自其讀取的位元數量。預取方案亦可表示以一突發長度，亦即在一次操作中向一外部終端串列輸出或自外部終端輸入的位元數量。目前，許多積體電路裝置使用四位元預取方案，亦即使用四位元突發長度。然而，為使記憶體裝置以更高資料速率運作，人們可能期望提高至8位元預取方案或8位元突發長度。將來，人們可能會使用甚至更高的預取方案或突發長度。

令人遺憾地是，當提高至較高預取方案時，可能會增大

積體電路記憶體裝置的資料寫入路徑之尺寸及/或複雜度。如熟習此項技術者所熟知，資料寫入路徑係用於串列接收來自一外部終端的多個資料位元並將此等多個資料位元並列提供至記憶胞陣列，以將其寫入至記憶胞陣列中。因此，資料寫入路徑可能會佔用過多的晶片區域。

圖1係一習知的動態隨機存取記憶體裝置(DRAM)之方塊圖。圖1所示DRAM亦可稱作快速循環DRAM(FCDRAM)。如圖1所示，FCDRAM 100包括：一時鐘緩衝器102，其用於接收一時鐘信號並產生一內部時鐘信號；一命令解碼器104，其用於根據外部輸入來產生若干命令；一位址緩衝器106，其用於根據位址資料A0-A14和庫選擇位元BA0、BA1產生若干位址信號；及一再新計數器108。一控制信號產生器110根據命令解碼器104所提供信號來產生若干控制信號。一模式暫存器集(MRS)112根據需要產生模式信號。一上部位址鎖存器114及一下部位址鎖存器116分別產生施加至一系列解碼器及一行解碼器之位址信號。一突發計數器118係用於控制所讀取及寫入資料之突發長度。一寫入位址鎖存器/比較電路120係用於比較先前寫入位址與當前寫入位址。

繼續說明圖1，其中可設置有四個記憶胞陣列庫122-128。然而，亦可設置更少或更多的記憶胞陣列庫。一資料輸入/輸出路徑200包括一資料控制和鎖存電路130、一資料讀取緩衝器132、一資料寫入緩衝器134及一輸入/輸出(DQ)緩衝器136。DQ緩衝器136可因應一用於遮罩預定輸入

的資料遮罩(DM)信號。圖1所示的FCDRAM之運作為熟習此項技術者所熟知，因此無需再在此處贅述。

圖2係圖1所示資料輸入/輸出路徑200的更詳細方塊圖。如圖2所示，在圖1所示模式暫存器112選擇一4位元突發長度後，每一資料輸入/輸出終端DQ0...DQ15皆串列接收由外部終端傳送的4個資料位元。然後，將每一輸入資料位元自DQ緩衝器136內的資料輸入緩衝器38傳送至一串列並列(S-P)轉換器30。資料寫入匯流排線(DBW)上已由串列轉並列轉換器30進行過串列轉並列轉換的輸入資料被傳送至一由庫位址位元BA0、BA1選定的適當的資料寫入路徑31、32、33、34。

仍參照圖2，為讀取資料，自複數個庫Bank0-Bank3之一輸出資料，然後將資料經由一由庫位址位元BA0、BA1選定的資料讀取路徑41、42、43、44傳送至資料讀取匯流排線(DBR)。然後，由並列轉串列(P-S)轉換器40將在DBR上讀取的並列資料轉換為串列資料。然後，經由資料輸出緩衝器48並經過資料輸入及輸出終端DQ0-DQ15向外輸出串列資料。相應地，在某些實施例中，可將64位元(16乘4位元)輸入資料同時寫入所選記憶庫的一記憶胞陣列中，並可經由終端DQ0-DQ15同時讀取64位元資料。

圖3係一方塊圖，其展示一習知FCDRAM(例如結合圖1及圖2所闡述者)中的4位元預取方案。更具體而言，參照圖3，在圖1所示MRS 112選擇突發長度為4時，自輸入緩衝器38緩衝的第一輸入資料將響應於一第一內部資料控制信號

(PDS)之上升緣而儲存於串列轉並列轉換器30中一輸入資料鎖存器301的第一鎖存器311內。而串列接收的第二輸入資料位元則響應於此第一內部資料控制信號(PDS)之下降緣而儲存於串列轉並列轉換器30中輸入資料鎖存器301的第一第二鎖存器312內。

同時，因應一第二內部資料控制信號PDSP，將儲存於第一鎖存器311中的第一輸入資料及儲存於第二鎖存器312中的第二輸入資料分別傳送至一並列轉換器302中的一第一暫存器313及一第二暫存器314。響應於第一內部資料控制信號(PDS)的下一上升緣，將輸入資料的第三位元儲存於第一鎖存器311中，及響應於此內部資料控制信號(PDS)的下一下降緣，將第四輸入資料儲存於第二鎖存器312中。

同時，亦響應於第一內部資料控制信號(PDS)的上升緣及下降緣，將第三輸入資料位元及第四輸入資料位元分別傳送至並列轉換器302內的一第三暫存器315及一第四暫存器316中。如此一來，如圖3所示，將諸如第一及第三輸入資料位元等奇數輸入資料DIN-0順次傳送至第一暫存器313及第三暫存器315中，並將諸如第二及第四輸入資料位元等偶數輸入資料傳送至第二暫存器314及第四暫存器316中。在將所有輸入資料D0、D1、D2、D3皆傳送至並列轉換器302中之後，再響應一第三內部資料控制信號(PDSEN)之上升緣，將所有輸入資料並列傳送至並儲存於一並列資料輸出電路303中。

圖4係一展示上述運作之時序圖，此等運作包括在輸入

DQ 墊上串列輸入4個資料位元 D0-D3 及在輸出線 DBW_0-DBW_3上並列輸出4個資料位元。

再參照圖3，然後，將儲存於串列轉並列轉換器30中的輸入資料儲存於資料寫入緩衝器330、331、332及333中，此等資料寫入緩衝器構成圖2所示資料寫入路徑31、32、33或34的一部分。然後，因應一施加至並列位元開關PSW 340-343之控制信號(PS4)，將輸入資料自資料寫入緩衝器330-333發送至行選擇線(CSL)350。同時，將4位元輸入資料寫入至記憶胞塊360內。因此，圖3及圖4所展示預取方案係一4位元預取方案，此乃因該方案係將4位元資料同時寫入一記憶胞塊內。在圖3中，將各用於耦合資料寫入緩衝器330-333至並列位元開關PSW 340-343的線稱作全域資料線(GDL_0-GDL_3)。而將各用於耦合並列位元開關(PSW)至行選擇線350的線稱作局域資料線(LDL_0-LDL_3)。最後，在圖3中，使用BL_0-BL_511來表示記憶胞陣列之各位元線。

圖5係一含有8位元預取方案的習知FCDRAM之方塊圖。如熟習此項技術者所熟知，8位元預取方案可使FCDRAM能夠以更高資料速率運作。在圖5中，使用相同編號來指示圖3所示的相同元件。此外，為容納8位元預取方案，在圖5中將圖3中的許多元件加倍。因此，在並列轉換器302中設置有一第二組暫存器313'-316'，且在並列資料輸出電路303中設置有一第二組暫存器317'-320'。同時，亦設置有一第二組資料寫入緩衝器334-337及一第二組並列位元開關344-347。

亦如圖5所示，與圖3相比，局域資料線(LDL)及全域資料線(GDL)之數量皆加倍。換言之，在圖5所示的8位元預取方案中，與圖3中的4位元預取方案相比，全域資料線(GDL)數量及局域資料線(LDL)數量皆加倍。更具體而言，在圖5中，係使用8條全域資料線(GDL_0-GDL_7)來連相應的資料寫入緩衝器330-337至相應的並列位元開關340-347。此外，係使用8條局域資料線(LDL_0-LDL_7)來連接相應的並列位元開關(PSW)340-347至相應的行選擇線350。令人遺憾的是，較多的局域及/或全域資料線可能會過度增大積體電路記憶體裝置之佈局面積。

其他高速記憶體裝置所用資料讀取及/或寫入路徑展示於：頒予Suzuki等人的名稱爲「半導體記憶體裝置(Semiconductor Memory Device)」的美國專利第6,144,616號；頒予Seigo等人的名稱爲「與時鐘信號同步運作以用於高速資料寫入及資料讀取作業的半導體記憶體裝置(Semiconductor Memory Device Operating in Synchronization with a Clock Signal for High Speed Data Write and Data Read Operations)」的美國專利第6,427,197號；及頒予Ochuma等人的名稱爲「具有改良的資料寫入操作的快速循環RAM(Fast Cycle Ram Having Improved Data Write Operation)」的已予公開的美國專利申請案第2001/0005012號中。

【發明內容】

本發明某些實施例之積體電路記憶體裝置包括：一記憶

胞陣列，其構造用於在其中並列寫入 N 個資料位元；及一資料寫入路徑，其構造用於自一外部終端串列接收 $2N$ 個資料位元。此資料寫入路徑包括： $2N$ 個資料寫入緩衝器，其構造用於儲存 $2N$ 個資料位元； $2N$ 個開關；及 N 條資料線，其構造用於將 $2N$ 個開關中的至少 N 個開關連接至記憶胞陣列，以在其中並列寫入 N 個資料位元。局域資料線及/或全域資料線之數量可得以減小。

在本發明之某些實施例中，資料寫入路徑包括連接至外部終端的第一串列轉並列轉換器及第二串列轉並列轉換器、 N 條第一全域資料線及 N 條第二全域資料線。在某些實施例中，第一串列轉並列轉換器可因應一第一組內部資料控制信號，第二串列並列轉換器則可因應一第二組內部資料控制信號。在其他實施例中，第一串列轉並列轉換器及第二串列轉並列轉換器皆可因應同一組內部資料控制信號。該等 $2N$ 個資料寫入緩衝器包含 N 個第一資料寫入緩衝器及 N 個第二資料寫入緩衝器，且該等 $2N$ 個開關包含 N 個第一開關及 N 個第二開關。在此等實施例中，該等 N 個第一資料寫入緩衝器連接至第一串列轉並列轉換器，該等 N 條第一全域資料線中每一全域資料線皆相應地連接於該等 N 個第一開關中一相應的開關與該等 N 個第一資料寫入緩衝器中一相應的第一資料寫入緩衝器之間。在此等實施例中，該等 N 個第二資料寫入緩衝器連接至第二串列轉並列轉換器，且該等 N 條第二全域資料線中每一資料線皆相應地連接於該等 N 個第二開關中一相應的第二開關與該等 N 個第二

資料寫入緩衝器中一相應的第二資料寫入緩衝器之間。而且，在此等實施例中，其中N條資料線係N條局域資料線，且該等N條局域資料線中每一局域資料線皆相應地連接於該等N個第一開關中一相應的第一開關、該等N個第二開關中一相應的第二開關與記憶胞陣列之間。

在此等實施例中，資料寫入路徑亦可包含第一資料定序電路及第二資料定序電路，其中每一資料定序電路皆相應地連接於第一串列轉並列轉換器及第二串列轉並列轉換器中一相應的串列轉並列轉換器與該等N個第一資料寫入緩衝器及N個第二資料寫入緩衝器中一相應的資料寫入緩衝器之間。而且，在此等實施例中，該等N個第一開關可因應一第一控制信號，該等N個第二開關可因應一第二控制信號，該第二控制信號相對於第一控制信號存在時間延遲。該第一控制信號及該第二控制信號可根據一寫入作用中信號按不同延遲所產生。

此等實施例亦可包括：一命令解碼器，其可因應一晶片選擇命令及一功能命令而產生寫入作用中信號；及一控制信號產生電路，其可因應該寫入作用中信號並構造用於產生第一及第二控制信號。此命令解碼器可進一步構造用於因應晶片選擇命令及功能命令來產生一作用中命令及一讀取命令。在某些實施例中，此命令解碼器進一步構造用於因應晶片選擇命令及功能命令來產生一讀取命令、一再新命令及一模式重設命令。

此等實施例亦可包括N個第三開關及N個第四開關。該等

N個第三開關中每一開關皆相應地連接於第一串列轉並列轉換器與該等N個第一資料寫入緩衝器中一相應的第一資料寫入緩衝器之間。該等N個第四開關中每一開關皆相應地連接於第二串列轉並列轉換器與該等第二資料寫入緩衝器中一相應的第二資料寫入緩衝器之間。在某些實施例中，該等N個第三開關可因應一第三控制信號，該等N個第四開關則可因應一第四控制信號，該第四控制信號相對於第三控制信號存在時間延遲。該第三控制信號及該第四控制信號可響應於一資料控制信號中相應的偏移下降緣而產生。最後，一資料控制計數器可因應資料控制信號，並可構造用於對資料控制信號之下降緣實施計數及根據資料控制信號中相應的偏移下降緣來產生第三及第四控制信號。

在本發明之其他實施例中，資料寫入路徑包含一連接至外部終端之串列轉並列轉換器及N條全域資料線。在此等實施例中，該等2N個資料寫入緩衝器包含N個第一資料寫入緩衝器及N個第二資料寫入緩衝器，且該等2N個開關包含N個第一開關及N個第二開關。該等N個第一資料寫入緩衝器連接至串列轉並列轉換器，且該等N個第一資料寫入緩衝器中每一第一資料寫入緩衝器皆相應地連接至該等N個第一開關中一相應的開關。該等N個第二資料寫入緩衝器中每一第二資料寫入緩衝器皆相應地連接至該等N個第一開關中一相應的第一開關，且該等N個全域資料線中每一全域資料線皆相應地連接於該等N個第二開關中一相應的開關與該等N個第二資料寫入緩衝器中一相應的第二資料寫入緩衝

器之間。最後，該等 N 個局域資料線中每一局域資料線皆相應地連接於該等 N 個第二開關中一相應的第二開關與一記憶胞陣列之間。

在某些此等其他實施例中，資料寫入路徑進一步包含一資料定序電路，該資料定序電路連接於串列轉並列轉換器與該等 N 個第一資料寫入緩衝器中一相應的第一資料寫入緩衝器之間。此外，某些此等其他實施例包括 N 個第三開關，其中每一第三開關皆相應地連接於串列轉並列轉換器與該等 N 個第一資料寫入緩衝器中一相應的第一資料寫入緩衝器之間。而且，該等 N 個第三開關可因應一第一控制信號，而該等 N 個第一開關可因應一第二控制信號，該第二控制信號相對於第一控制信號存在時間延遲。該第一控制信號及該第二控制信號可根據資料控制信號中相應的偏移下降緣而產生。

本發明之又一些實施例亦包括一預充電控制電路，其用於使一記憶胞陣列之字線啟動足夠長的時間，以將 $2N$ 個資料位元作為兩組 N 個並列位元寫入此記憶胞陣列中。在某些實施例中，在積體電路記憶體裝置之一第一預充電模式中，預充電控制電路使一記憶胞陣列之字線啟動足夠長的時間，以將 $2N$ 個資料位元作為兩組 N 個並列位元寫入此記憶胞陣列中。而在積體電路記憶體裝置之一第二預充電模式中，預充電控制電路使一記憶胞陣列之字線啟動足夠長的時間，以將 N 個資料位元作為一組 N 個並列位元寫入此記憶胞陣列中。一模式暫存器集可構造用於選擇第一或第二

預充電模式，其中預充電控制電路可響應於該模式暫存器集。

在某些實施例中，預充電控制電路包含第一及第二延遲元件。該第一延遲元件可因應一第一預充電模式信號，具有一第一延遲並構造用於使記憶胞陣列之字線啟動足夠長的時間，以將 $2N$ 個資料位元作為兩組 N 個並列位元寫入此記憶胞陣列中。該第二延遲元件可因應一第二預充電模式信號，具有一短於第一延遲之第二延遲，並構造用於使記憶胞陣列之字線啟動足夠長的時間，以將 N 個資料位元作為一組 N 個並列位元寫入此記憶胞陣列中。

根據本發明之其他實施例，至少其中一資料寫入緩衝器包含：一位址鎖存器，其構造用於鎖存一寫入位址；一位址比較器，其構造用於將一當前位址與鎖存於位址鎖存器中的寫入位址相比較；及一資料鎖存器，其構造用於將對應於寫入位址的寫入資料鎖存於其中。在某些實施例中，當前位址係一讀取位址，且積體電路記憶體裝置進一步構造用於：當位址比較器確定該讀取位址與鎖存於位址鎖存器內的寫入位址相匹配時，自資料鎖存器而非自記憶胞陣列輸出讀取資料至外部終端。在其他實施例中，積體電路記憶體裝置進一步構造用於：當位址比較器確定該讀取位址與鎖存於位址鎖存器內的寫入位址不匹配時，自記憶胞陣列輸出讀取資料至外部終端。

因此，根據本發明各實施例之積體電路記憶體裝置包括一構造用於將複數個資料位元並列儲存於其中之記憶胞陣

列。一資料寫入路徑構造用於：自一外部終端兩次串列接收複數個資料位元，將該等資料位元的第一半以並列方式寫入至記憶胞陣列中，並隨後將該等資料位元的第二半以並列方式寫入至記憶胞陣列中。

根據本發明各實施例，可藉由自一外部終端兩次串列接收複數個資料位元之方式來運作具有一構造用於在其中並列儲存複數個資料位元之記憶胞陣列之積體電路記憶體裝置。所接收的資料位元儲存於複數個資料寫入緩衝器中。將第一半資料位元自該等資料寫入緩衝器以並列方式寫入至記憶胞陣列中。然後，將第二半資料位元自該等資料寫入緩衝器以並列方式寫入至記憶胞陣列中。

在某些實施例中，藉由串列接收第一半資料位元並隨後串列接收第二半資料位元，而自一外部終端兩次接收該複數個資料位元。然後，將第一半資料位元儲存於一第一組資料寫入緩衝器中，並將第二半資料位元儲存於一第二組資料寫入緩衝器中，藉此儲存此等位元。最後，藉由共用的一組局域資料線，自相應的第一組及第二組資料寫入緩衝器執行第一半資料位元及第二半資料位元之寫作業。

根據本發明之其他實施例，藉由串列接收第一半資料位元並隨後串列接收第二半資料位元，而自一外部終端串列兩次接收複數個資料位元。然後，將第一半資料位元儲存於一第一組資料寫入緩衝器中、隨後將第一半資料位元自第一組資料寫入緩衝器轉移至一第二組資料寫入緩衝器中，並將第二半資料位元儲存於第一組資料寫入緩衝器

中，藉此將該等資料位元儲存於資料寫入緩衝器中。隨後，將第一半資料位元自第二組資料寫入緩衝器寫入至記憶胞陣列中。並將第二半資料位元自第一組資料寫入緩衝器轉移至第二組資料寫入緩衝器中，然後，將第二半資料位元自第二組資料寫入緩衝器寫入至記憶胞中。

【實施方式】

現在，將在下文中參照展示本發明各實施例之附圖更全面地闡述本發明。然而，本發明可以多種不同形式來實施而不應視為僅限於本文所述各實施例。相反，提供此等實施例僅旨在使本揭示內容透徹、完整，且能夠向熟習此項技術者全面傳達本發明之範疇。在附圖中，為清楚起見，可能會放大各元件尺寸及相對尺寸。而且，本文所闡述及展示的每一實施例亦皆包括其互補導電率型實施例。通篇中，相同編號皆指示相同元件。應瞭解，當述及一元件「連接」或「耦合」至另一元件時，此元件既可能直接連接或耦合至其他元件亦可能存在介入元件。相反，當述及一元件「直接連接」或「直接耦合」至另一元件時，則不存在介入元件。

應瞭解，儘管本文使用第一、第二等術語來闡述不同元件，但該等元件不應受限於此等術語。此等術語僅用於區別一元件與另一元件。因此，可將下文所述的一第一元件稱作一第二元件，同樣，亦可將一第二元件稱作一第一元件，此並不背離本發明之教示。

圖6係本發明各實施例之積體電路記憶體裝置之方塊

圖。如圖6所示，此等積體電路記憶體裝置400包括：一記憶胞陣列410，其構造用於在其中並列寫入 N 個資料位元；一資料寫入路徑420，其構造用於藉由一串列線428自一外部終端426串列接收 $2N$ 個資料位元。如圖6所示，資料寫入路徑420包含： $2N$ 個資料寫入緩衝器422，其構造用於儲存 $2N$ 個在線428上接收的資料位元；及 $2N$ 個開關424。同時，亦設置有 N 條資料線412，其構造用於將 $2N$ 個開關中的至少 N 個開關連接至記憶胞陣列410，藉此以並列方式寫入 N 個資料位元至該記憶胞陣列410中。

圖6亦展示本發明之如下實施例：其中一積體電路記憶體裝置400包括：一記憶胞陣列410，其構造用於在其中並列儲存複數個資料位元；一資料寫入路徑420，其構造用於自一外部終端426串列兩次接收複數個資料位元，以將一第一半資料位元以並列方式寫入至記憶胞陣列中，並隨後將一第二半資料位元以並列方式寫入至記憶胞陣列中。圖6亦展示根據本發明之各實施例藉由如下方式運作一積體電路記憶體裝置400之方法：自一外部終端426串列兩次接收複數個資料位元，在複數個資料寫入緩衝器422中儲存所接收的該等資料位元，將一第一半資料位元自資料寫入緩衝器422以並列方式寫入至記憶胞陣列410中，隨後將一第二半資料位元自資料寫入緩衝器422以並列方式寫入至記憶胞陣列410中。

圖7及圖8係本發明各實施例之資料寫入路徑之方塊圖。在本文中，圖7所示實施例亦可稱作本發明之第一實施例，

且下文將結合圖9-圖12對其進行詳細闡述。圖8所示實施例亦可稱作本發明之第二實施例，且下文將結合圖15及圖21對其進行更詳細闡述。

現在參照圖7，在此等實施例中，資料寫入路徑420'包含經由線428連接至外部終端426的第一串列轉並列轉換器及第二串列轉並列轉換器430a、430b。同時，亦設置有N條第一全域資料線434a及N條第二全域資料線434b。圖6所示2N個資料寫入緩衝器422包括N個第一資料寫入緩衝器432a及N個第二資料寫入緩衝器432b。而且，圖6所示2N個開關424包含N個第一開關436a及N個第二開關436b。如圖7所示，N個第一資料寫入緩衝器432a連接至第一串列轉並列轉換器430a相連，且N條第一全域資料線434a中每一第一全域資料線皆相應地連接於N個第一開關436a中一相應的第一開關與第一資料寫入緩衝器432a中一相應的第一資料寫入緩衝器之間。類似地，如圖7所示，N個第二資料寫入緩衝器432b連接至第二串列轉並列轉換器430b，且N條第二全域資料線434b中每一第二全域資料線皆相應地連接於N個第二開關436b中一相應的第二開關與N個第二資料寫入緩衝器432b中一相應的第二資料寫入緩衝器之間。最後，亦如圖7所示，圖6所示N條資料線412係N條局域資料線438。該等N條局域資料線438中每一局域資料線皆相應地連接於N個第一開關436a中一相應的第一開關、N個第二開關436b中一相應的第二開關與記憶胞陣列410之間。

仍參照圖7，就運作方式而言，自外部終端426接收第一

半資料位元並將其儲存於第一串列轉並列轉換器430a中，然後，在第二串列轉並列轉換器430b中接收自外部終端426串列接收的第二半資料位元。將第一半資料位元儲存於一第一組資料寫入緩衝器432a中並將第二半資料位元儲存於一第二組資料寫入緩衝器432b中。然後，藉由共用的一組局域資料線438，將第一半資料位元自第一資料寫入緩衝器432a寫入至記憶胞陣列410中並將第二半資料位元自第二資料寫入緩衝器432b寫入至記憶胞陣列410中。

圖8係本發明其他實施例之資料寫入路徑之方塊圖，該等實施例亦可稱作本發明之第二實施例。如圖8所示，此等資料寫入路徑420"包括一連接至外部終端426的串列轉並列轉換器440。同時，設置有N個第一資料寫入緩衝器442a及N個第二資料寫入緩衝器442b。亦設置有N個第一開關446a及N個第二開關446b。該等N個第一資料寫入緩衝器442a連接至串列轉並列轉換器440，且N個第一資料寫入緩衝器442a中每一第一資料寫入緩衝器皆相應地連接至N個第一開關446a中一相應的第一開關。而且，N個第二資料寫入緩衝器442b中每一第二資料寫入緩衝器皆相應地連接至N個第一開關446a中一相應的第一開關。N條全域資料線444中每一全域資料線皆相應地連接於N個第二開關446b中一相應的第二開關與N個第二資料寫入緩衝器442b中一相應的第二資料寫入緩衝器之間。最後，N條局域資料線448中每一局域資料線皆相應地連接於N個第二開關446b中一相應的第二開關與記憶胞陣列410之間。

圖8亦展示本發明此等實施例之運作方法，其中自外部終端426串列接收第一半資料位元，並隨後自一外部終端426串列接收第二半資料位元。將第一半資料位元儲存於第一組資料寫入緩衝器442a中並藉由N個第一開關446a將第一半資料位元自第一組資料寫入緩衝器442a轉移至第二組資料寫入緩衝器442b中，同時將第二半資料位元儲存於第一組資料寫入緩衝器442a中。然後，藉由N個第二開關446b，將第一半資料位元自第二組資料寫入緩衝器442b寫入至記憶胞陣列410中。並經由N個第一開關446a將第二半資料位元自第一組資料寫入緩衝器442a轉移至第二組資料寫入緩衝器442b中，然後，再藉由N個第二開關446b將第二半資料位元寫入至記憶胞陣列410中。相應地，圖8展示資料寫入的管線方法，其中將 $2N$ 個資料位元儲存於資料寫入路徑420''中並將 N 個字元以並列方式寫入至記憶胞陣列410中。

圖9A及圖9B係本發明某些實施例之積體電路記憶體裝置之更詳細之方塊圖，在本文中，此等實施例亦稱作本發明之第一實施例，圖7已對其作了概述。在圖9A及圖9B中，各實施例展示使用突發長度為4的方案($BL=4$)實施的8位元預取作業。然而，熟習此項技術者應瞭解，其他實施例可使用更小或更大的預取方案。亦如圖9A及圖9B所示，儘管存在8位元預取作業並使用8條全域資料線GDL_0-GDL_7，但僅使用4條局域資料線LDL_0-LDL_3。因此，儘管實施一8位元預取作業，但與(例如)圖5所示彼等記憶體裝置相比，該記憶體裝置之佈局面積可有所減小。

現在參照圖9A，一模式暫存器集(MRS)將突發長度選擇為8(BL8)，且在一緩衝器502中串列接收8位元輸入資料(對應於BL8)。響應於第一內部資料控制信號(PDS)之上升緣，將自緩衝器502產生的第一輸入資料位元儲存於一第一輸入資料鎖存電路512的一第一鎖存器511中。並響應於第一內部資料控制信號PDS之下降緣，將第二輸入資料位元儲存於該第一輸入資料鎖存電路512的一第二鎖存器513中。在將兩個輸入資料位元儲存於第一輸入資料鎖存電路512中之後，因應一根據PDS信號之第一下降緣產生的第二內部資料控制信號(PDSP)，將第一鎖存器511中的第一輸入資料及第二鎖存器513中的第二輸入資料同時分別傳送至並列轉換器514中的一第三鎖存器515及一第四鎖存器517中。

仍繼續參照圖9A，然後，響應於第一內部資料控制信號(PDS)之第二上升緣，將第三輸入資料位元儲存於第一輸入資料鎖存電路512的第一鎖存器511中，並響應於PDS信號之第二下降緣，將第四輸入資料位元儲存於第一輸入資料鎖存電路512的第二鎖存器513中。與此同時，分別響應於PDS信號之第二上升緣及第二下降緣，將第三輸入資料位元及第四輸入資料位元分別傳送至並列轉換器514之節點P1及節點P4中。藉此，如並列轉換器514中的標記P1-P4所示，將4位元串列輸入資料轉換為4位元並列輸入資料。然後，並列資料輸出端516將4位元輸入資料輸出至資料定序電路520。由資料定序電路確定4位元並列輸入資料之輸出順序。然而，應瞭解，本發明某些實施例可不使用資料定序

電路 520。因應一施加至複數個寫入開關 (WSW) 522-528 的第一寫入控制信號 WDBICS，將 4 位元並列資料 P1-P4 儲存於相應的資料寫入緩衝器 532、534、536、538 中。如下文將結合圖 10 所述，第一寫入控制信號 WDBICS 係由一資料控制計數器所產生。

仍繼續參照圖 9A 所示，響應於第四內部資料控制信號 PDS' 之上升緣，將緩衝器 502 所產生的第五輸入資料位元儲存於一第二輸入資料鎖存電路 612 的一第五鎖存器 611 中。並響應於第四內部資料控制信號 PDS' 之下降緣，將第六輸入資料位元儲存於第二輸入資料鎖存電路 612 的一第六鎖存器 613 中。在將第五及第六輸入資料位元儲存於輸入資料鎖存電路 612 中之後，因應一根據 PDS' 信號之第一下降緣產生的第五內部資料控制信號 (PDSP')，將第五鎖存器 611 及第六鎖存器 613 中的第五及第六資料位元同時分別傳送至並列轉換器 614 中的一第七鎖存器 615 及一第八鎖存器 617 中。

然後，響應於第四內部資料控制信號 (PDS') 之第二上升緣，將第七輸入資料位元儲存於第五鎖存器 611 中，且響應於 PDS' 之第二下降緣，將第八輸入資料位元儲存於第六鎖存器 613 中。與此同時，響應於 PDS' 信號之第二上升緣及第二下降緣，將第七及第八輸入資料位元分別傳送至並列轉換器 614 的節點 P1' 及節點 P4' 中。藉此，將串列接收的第五至第八位元轉換為第五至第八並列位元 P1'-P4'。並列資料輸出端 616 將 4 位元並列輸入資料輸出至一資料定序電路

620，由該資料定序電路620確定4位元並列輸入資料的輸出順序。如上文所述，某些實施例可不使用資料定序電路620。

然後，因應一第二寫入控制信號WDBICS'，將4位元並列資料儲存於複數個資料寫入緩衝器632-638中。如圖10所示，此第二寫入控制信號WDBICS'可自一資料控制計數器產生。藉此，將8位元串列接收資料轉換為8位元並列資料並儲存於8個資料寫入緩衝器532-538及632-638中。

因此，在上文結合圖9A所述的本發明實施例中，一第一串列轉並列轉換器510可因應一第一組內部資料控制信號，例如信號PDS、PDSP及PDSEN，且一第二串列轉並列轉換器610可因應一第二組內部資料控制信號，例如信號PDS'、PDSP'及PDSEN'。與此不同，現在參照圖9B，在該圖中，一第一串列轉並列轉換器510'及一第二串列轉並列轉換器610'皆因應同一組內部資料控制信號，例如信號PDS、PDSP及PDSEN。

如下文所述，此後，圖9A及圖9B所示作業可按相同方式進行。具體而言，在將8位元串列輸入資料儲存於8個資料寫入緩衝器中之後，因應一施加至複數個控制開關(CSW)542-548的第一開關信號(CICS)及一施加至一行選擇線550的行選擇線(CSL)信號，將儲存於第一組資料寫入緩衝器532-538中的前4個位元的並列輸入資料傳送至各相應的局域資料線(LDL_0-LDL_3)中並將記憶胞陣列560之位元線BL寫入所選記憶胞中。此後，因應施加至一第二組控制開關(CSW)642-648的第二開關信號(CICS')，將儲存於第

二組資料寫入緩衝器632-638中的第二半4位元並列輸入資料傳送至一相應的局域資料線(LDL_0-LDL_3)中。

本文所使用CSW 542-548亦可稱作第一開關，CSW 642-648亦可稱作第二開關。而且，在本文中，WSW 522-528可稱作第三開關，而WSW 622-628可稱作第四開關。

因此，如圖9A及圖9B所示，在本發明之此等實施例中，僅有4條局域資料線(LDL_0-LDL_3)與8條全域資料線(GDL_0-GDL_7)一起使用。與使用8條全域資料線及8條局域資料線的習知的8位元預取資料寫入路徑相比，該積體電路佈局面積可有所減小。

圖10係一方塊圖，其展示根據本發明某些實施例產生第一寫入控制信號(WDBICS)及第二寫入控制信號(WDBICS')。如圖10所示，可藉由如下方式產生寫入控制信號：一緩衝器710因應第一資料控制信號(PDS)，且一資料控制計數器720因應該緩衝器710，以對第一資料控制信號(PDS)之上升緣及下降緣進行計數，並根據資料控制信號第二下降緣產生第一寫入控制信號(WDBICS)，根據資料控制信號的第四下降緣產生第二寫入控制信號(WDBICS')。亦可使用此等實施例產生PDSSEN及PDSSEN'信號。

圖11係一方塊圖，其展示根據圖9所示本發明各實施例產生開關信號。如圖11所示，可使用一命令解碼器1104來產生開關信號，命令解碼器1104可因應晶片選擇(/CS)及功能(FN)信號，並可產生一作用中命令(ACT)信號、一讀取命令(RDA)信號及一寫入命令(WRA)信號。一控制信號產生電路

1110構造用於因應該寫入命令信號以一預定時間間隔產生第一及第二開關信號(CICS, CICS')。

仍參照圖11，在本發明其他實施例中，亦可如虛線部分1104'所示來構造命令解碼器1104，以便因應提供至命令解碼器1104的晶片選擇及功能信號，來產生一模式重設命令及一再新(REF)命令。

圖12A及圖12B係時序圖，其展示可在根據圖7及圖9A-圖11所述的本發明實施例之8位元預取作業中執行之作業。更具體而言，圖12A係一對應於圖9A的時序圖，圖12B則係一對應於圖9B的時序圖。此等時序圖展示在此等圖式中所描述的各種控制信號及上文所述的資料寫入緩衝器532-538及632-638之運作。為便於對比，圖13-圖14之時序圖分別展示在一諸如上文結合圖3所述的FCDRAM內的4位元預取作業及一在雙倍資料速率同步DRAM(DDRSDRAM)內的4位元預取。

在圖13中，係在接收到下一寫入命令(WR1)之後將供寫入「0000」位址的4位元輸入資料寫入對應記憶胞中，而非因應前一寫入命令(WR0)而執行此寫入作業。因此，輸入資料係在前一週期(CYC#1)中已儲存於一資料寫入緩衝器中之後，在下一週期(CYC#2)中因應下一命令(WR1)而寫入至記憶胞中。

在圖14中，在DDRSDRAM中，係因應對應的寫入命令(WR0)而非如圖13所示因應下一寫入命令(WR1)，將供寫入「0000」的4位元輸入資料寫入對應記憶胞中。由於

DDRSDRAM中不具有資料寫入緩衝器，因此輸入資料被直接寫入至記憶胞中而不儲存於資料寫入緩衝器中。

圖15係一圖8所概略描述的本發明實施例之詳細方塊圖，此等實施例亦可稱作本發明之第二實施例。如圖8所示，在此等實施例中，由於在資料寫入路徑中使用一管線佈置，因此在一 $2N$ 資料寫入路徑中僅使用 N 條全域資料線及 N 條局域資料線。因此，與習知資料寫入路徑相比，全域資料線數量及局域資料線數量皆可有所減少。

更具體而言，參照圖15，資料寫入路徑700構造為一管線段，其包括一諸如結合圖9所述的串列轉並列轉換器510、一可選的資料定序電路520、第一開關722-728、第一資料寫入緩衝器732-738、第二開關742-748、第二資料寫入緩衝器752-758及第三開關762-768。如圖15所示，與例如圖9所示實施例相比，此等實施例可提供更少的資料線，此乃因全域資料線(GDL0-GDL3)數量與4位元預取方案相等，且局域資料線(LDL0-LDL3)數量亦可與4位元預取方案相等。因此，記憶體裝置佈局面積可得以減小。

仍參照圖15，在一緩衝器502中，串列接收8位元輸入資料(對應於BL8)。在並列資料輸出電路510中，將前4位元串列輸入資料轉換為4位元並列輸入資料，並將前4位元並列輸入資料提供至一可選的資料定序電路520中。資料定序電路520可確定4位元並列輸入資料的輸出順序。然後，因應一施加至寫入開關(WSW)722-728的第一寫入控制信號(WDBICS)，將前4個位元並列資料儲存於第一資料寫入緩

衝器 732-738 中。同時，亦在並列資料輸出電路 510 中，將第二部分 4 位元串列輸入資料轉換為 4 位元並列輸入資料，然後，將其提供至資料定序電路 520 (若存在)。

然後，因應一施加至寫入開關 (WSW) 742-748 的第二寫入控制信號 (WDBICS')，將儲存於第一資料寫入緩衝器 732-738 中的前 4 位元並列輸入資料儲存於第二資料寫入緩衝器 752-758 中。同時，亦因應第一寫入控制信號 (WDBICS) 的第二次啟動，將來自資料定序電路 520 的第二組 4 位元並列資料儲存於第一資料寫入緩衝器 732-738 中。由此，因應複數個信號 WDBICS、WDBICS'、CICS 及 CSL，將第一組 4 位元及第二組 4 位元並列輸入資料依序傳送至記憶胞陣列 560 並寫入所選記憶胞中。如圖 15 所示，為達成管線作業，針對前 4 位元並再次針對第二組 4 位元對信號 WDBICS、WDBICS'、CICS 及 CSL 進行兩次啟用。

現在闡述本發明各實施例之預充電控制電路。此等預充電控制電路可與圖 6-圖 12 及圖 15 所示實施例結合使用，以便使記憶胞陣列的一字線啟動足夠長的時間，從而將 $2N$ 個資料位元作為兩組 N 個並列位元寫入至記憶胞陣列中。為闡釋本發明各實施例之預充電控制電路，首先將結合圖 16 來闡述習知預充電控制電路。

圖 16 係一諸如可與圖 13 一起使用的習知預充電控制電路之時序圖。如圖 16 所示，為啟動字線以使用一 4 位元預取方案將所有輸入資料 D_0 、 D_1 、 D_2 及 D_3 寫入對應記憶胞中，對字線啟用並保持時間 T_0 。

圖 17 展示一習知技術，該技術用於在諸如上文圖 5 所描述的 8 位元預取方案中對一字線啟用。在圖 17 中，由於係在圖 5 所示 8 位元預取方案中並列寫入 8 個位元，因此在圖 16 所示 4 位元預取方案中所使用的時間 T_0 亦足以在 8 位元預取方案中將 8 位元輸入資料寫入至記憶胞中。此乃因該 8 位元輸入資料係在圖 5 中轉換為並列輸入資料，然後如圖 5 所示同時寫入對應記憶胞中。

圖 18 展示：根據本發明之實施例，不可使用圖 16 及圖 17 所示預充電方案。具體而言，如圖 18 所示，若在本發明各實施例中使用同一預取時間 T_0 ，則第二半資料位元可能會無法寫入至記憶胞陣列中。換言之，可能會遺失輸入資料位元 D4-D7。根據本發明之各實施例，一預充電控制電路使一記憶胞陣列之字線啟動足夠長的時間，以將 $2N$ 個資料位元作為兩組 N 個並列位元寫入至記憶胞陣列中。

更具體而言，如圖 18 所示，根據本發明各實施例，在 4 位元預取方案中使用的時間 T_0 可能不足以將 8 位元輸入資料寫入至記憶胞中。此乃因如上文已闡述，根據本發明某些實施例，該 8 位元輸入資料並非同時寫入至記憶胞中。換言之，該 8 位元串列輸入資料被分為兩組（第一組及第二組）。第一組 4 位元串列輸入資料被轉換為 4 位元並列輸入資料。然後，第二組 4 位元串列輸入資料被轉換為 4 位元並列輸入資料。在此之後，將第一組 4 位元資料以並列方式寫入至記憶胞陣列中，然後，再將第二組 4 位元資料以並列方式寫入至記憶胞陣列中。因此，在本發明某些實施例中，可

根據突發長度(BL4，BL8)調整一字線的啟用時間。

圖19係一本發明各實施例之預充電控制電路之示意圖，此預充電控制電路使一記憶胞陣列之字線啟動足夠長的時間，以將 $2N$ 個資料位元作為兩組 N 個並列位元寫入至記憶胞陣列中。如圖19所示，在積體電路記憶體裝置之一第一預充電模式中，一預充電控制電路1900使一記憶胞陣列之字線啟動一足夠長的時間，以將 $2N$ 個資料位元作為兩組 N 個並列位元寫入至記憶胞陣列中。而在積體電路記憶體裝置之一第二預充電模式中，預充電控制電路1900使記憶胞陣列之字線啟動一足夠長的時間，以將 N 個資料位元作為一組 N 個並列位元寫入至記憶胞陣列中。

更具體而言，如圖19所示，在接收到突發長度信號BL-1、BL-2及一由命令解碼器1904產生的預充電命令信號(AP_CMD)之後，預充電控制電路1900輸出一預充電控制信號(AP)。命令解碼器1904可因應外部命令信號/CS和FN及外部時鐘信號CLK,/CLK。舉例而言，當記憶體裝置以4位元預取方案運作(選定BL4)時，BL-1被啟用。而當記憶體裝置根據本發明各實施例以8位元預取方案運作(選定BL8)時，BL-2被啟用。

如圖19所示，BL4的延遲時間DT1短於BL8的延遲時間DT2。因此，一第一延遲電路1910提供的一第一延遲DT1較短，而一第二延遲電路1920提供的一延遲DT2較長。在某些實施例中，DT1可係3.5個時鐘週期，而DT2可係5.5個時鐘週期。一組合電路1930根據第一延遲電路1910或第二

延遲電路1920產生預充電控制信號AP。因此，BL4情況下的預充電控制信號(AP)的啟動快於BL8情況下的預充電控制信號(AP)，藉以停用已啟用字線。藉此，與圖18所示T0相比，BL8的WL啟用時間增加。

如圖13所示，BL4情況下的字線啟用時間可約為3.5個時鐘週期。與此不同，如圖12所示，BL8情況下的WL啟用時間可約為5.5個時鐘週期。在某些實施例中，模式暫存器集可構造用於選擇第一或第二預充電模式，且預充電控制電路1910可因應該模式暫存器集。

現在提供本發明各實施例之資料寫入緩衝器的其他詳情。具體而言，如圖20所示，圖20中展示至少一個資料寫入緩衝器，例如圖6-9及圖15所示的資料寫入緩衝器。此等資料寫入緩衝器2010包含：一位址鎖存器2012，其構造用於鎖存一寫入位址；一位址比較器2014，其構造用於將一當前位址與鎖存於位址鎖存器2012中的寫入位址相比較；一資料鎖存器2016，其構造用於在其中鎖存對應於寫入位址的寫入資料。在某些實施例中，當前位址係一讀取位址，且積體電路記憶體裝置進一步構造用於：當位址比較器2014確定該讀取位址與鎖存於位址鎖存器2012中的寫入位址相匹配時，自資料鎖存器2016而非自記憶胞陣列向外部終端輸出讀取資料。在其他實施例中，當前位址係一讀取位址，且積體電路記憶體裝置進一步構造用於：當位址比較器2014確定該讀取位址與鎖存於位址鎖存器2012中的寫入位址不相匹配時，自記憶胞陣列向外部終端輸出讀取資

料。

具體而言，圖16展示根據本發明各實施例的一資料讀取結構和方法及一資料寫入結構和方法。如圖所示，資料寫入緩衝器2010包括一位址鎖存器2012、一位址比較器2014及一資料鎖存器2016。位址鎖存器2012受控於一由一命令解碼器(例如命令解碼器104)提供的寫入命令信號WR，並儲存自一位址緩衝器106接收的輸入位址。與此同時，將對應於該輸入位址的輸入資料儲存於資料鎖存器2016中。位址比較器2014將一當前輸入位址與儲存於位址鎖存器2012中的輸入位址相比較，並向一DQ緩衝器2020輸出一位址比較信號ADCMP。當當前輸入位址與所儲存輸入位址相等時，使ADCMP信號啟動為(例如)一高位準。由此，經由第一傳送閘2022，將儲存於資料鎖存器2016中的讀取資料輸出至DQ墊。然而，當當前輸入位址不同於所儲存輸入位址2612時，則停用ADCMP信號。在此等情況下，係經由第二傳送閘2024，將儲存於記憶體陣列560中的讀取資料輸出至DQ墊。

圖21係一時序圖，其展示例如結合圖15及圖18-20所述的本發明各實施例之資料讀取/寫入過程。如圖21所示，資料位元的管線儲存發生於兩個週期(CYC#1及CYC#2)中，該兩個週期包含經擴展的字線啟用信號。此外，亦如圖21所示，在記憶體裝置自命令解碼器104接收到一讀取命令(RD)後，圖20所示位址比較器2014將當前輸入位址(0001 RD命令輸入)與儲存於位址鎖存器中的輸入位址(0001 WR1命令

輸入)相比較。由於具有相同位址，因此自資料寫入緩衝器532-538而非自記憶體陣列直接輸出讀取資料。

在附圖及說明書中，揭示了本發明的典型較佳實施例，儘管使用了具體術語，但該等術語僅用於一般性及描述性意義而非用於限制性目的，本發明之範疇闡述於隨附申請專利範圍內。

【圖式簡單說明】

圖1係一習知動態隨機存取記憶體裝置之方塊圖。

圖2係一圖1所示資料輸入/輸出路徑之更詳細方塊圖。

圖3係一展示一習知快速循環動態隨機存取記憶體中的四位元預取方案之方塊圖。

圖4係一展示圖3所示裝置之運作之時序圖。

圖5係一展示一包含一八位元預取方案之習知快速循環動態隨機存取記憶體之方塊圖。

圖6係一本發明各實施例之積體電路記憶體裝置之方塊圖。

圖7及圖8係本發明各實施例之資料寫入路徑之方塊圖。

圖9A及圖9B係圖7所概示的積體電路記憶體裝置的更詳細的方塊圖。

圖10係一展示根據本發明各實施例產生寫入控制信號的方塊圖。

圖11係一展示根據圖9所示本發明各實施例產生開關信號的方塊圖。

圖12A及圖12B係時序圖，其展示在一根據圖7及圖9A-圖

11所述的本發明各實施例之八位元預取方案中可執行的作業。

圖13-圖14係時序圖，其分別展示一諸如結合圖3所述的快速循環動態隨機存取記憶體內的習知四位元預取作業及一雙倍資料速率同步動態隨機存取記憶體內的習知四位元預取作業。

圖15係一圖8所概示的本發明各實施例之詳細方塊圖。

圖16係一習知預充電控制電路之時序圖。

圖17展示一種用於在八位元預取方案中啟用一字線之習知技術。

圖18展示一根據本發明某些實施例之預充電時序圖。

圖19係一本發明各實施例之預充電控制電路之示意圖。

圖20係根據本發明各實施例之資料讀取/寫入緩衝器及運作之方塊圖。

圖21係一展示本發明各實施例之資料讀取/寫入過程之時序圖。

【主要元件符號說明】

100	快速循環DRAM
102	時鐘緩衝器
104	命令解碼器
106	位址緩衝器
108	再新計數器
110	控制信號產生器
112	模式暫存器集(MRS)

114	上部位址鎖存器
116	下部位址鎖存器
118	突發計數器
120	位址寫入鎖存器/比較電路
122	記憶胞陣列庫
124	記憶胞陣列庫
126	記憶胞陣列庫
128	記憶胞陣列庫
130	資料控制和鎖存電路
132	資料讀取緩衝器
134	資料寫入緩衝器
136	輸入/輸出(DQ)緩衝器
200	資料輸入/輸出路徑
38	資料輸入緩衝器
48	資料輸出緩衝器
30	串列轉並列(S-P)轉換器
31	資料寫入路徑
32	資料寫入路徑
33	資料寫入路徑
34	資料寫入路徑
40	並列轉串列(P-S)轉換器
41	資料讀取路徑
42	資料讀取路徑
43	資料讀取路徑

44	資料讀取路徑
DQ0-DQ15	資料輸入/輸出終端
301	輸入資料鎖存器
302	並列轉換器
303	並列資料輸出電路
311	第一鎖存器
312	第二鎖存器
313	第一暫存器
314	第二暫存器
315	第三暫存器
316	第四暫存器
330	資料寫入緩衝器
331	資料寫入緩衝器
332	資料寫入緩衝器
333	資料寫入緩衝器
340	並列位元開關 PSW
341	並列位元開關 PSW
342	並列位元開關 PSW
343	並列位元開關 PSW
350	行選擇線
360	記憶胞塊
DBW_0	輸出線
DBW_1	輸出線
DBW_2	輸出線

DBW_3	輸出線
GDL_0	全域資料線
GDL_1	全域資料線
GDL_2	全域資料線
GDL_3	全域資料線
LDL_0	局域資料線
LDL_1	局域資料線
LDL_2	局域資料線
LDL_3	局域資料線
BL_0-BL_511	位元線
313'	第二組暫存器
314'	第二組暫存器
315'	第二組暫存器
316'	第二組暫存器
317'	第二組暫存器
318'	第二組暫存器
319'	第二組暫存器
320'	第二組暫存器
334	第二組資料寫入緩衝器
335	第二組資料寫入緩衝器
336	第二組資料寫入緩衝器
337	第二組資料寫入緩衝器
344	第二組並列位元開關
345	第二組並列位元開關

346	第二組並列位元開關
347	第二組並列位元開關
GDL_4	全域資料線
GDL_5	全域資料線
GDL_6	全域資料線
GDL_7	全域資料線
LDL_4	局域資料線
LDL_5	局域資料線
LDL_6	局域資料線
LDL_7	局域資料線
400	積體電路記憶體裝置
410	記憶胞陣列
412	資料線
420	資料寫入路徑
422	資料寫入緩衝器
424	開關
426	外部終端
428	串列線
420'	資料寫入路徑
430a	第一串列轉並列轉換器
430b	第二串列轉並列轉換器
432a	第一資料寫入緩衝器
432b	第二資料寫入緩衝器
434a	第一全域資料線

434b	第二全域資料線
436a	第一開關
436b	第二開關
438	局域資料線
420''	資料寫入路徑
440	串列轉並列轉換器
442a	第一資料寫入緩衝器
446a	第一開關
442b	第二資料寫入緩衝器
446b	第二開關
444	全域資料線
448	局域資料線
502	緩衝器
510	第一串列轉並列轉換器
511	第一鎖存器
512	第一輸入資料鎖存電路
513	第二鎖存器
514	並列轉換器
515	第三鎖存器
516	並列資料輸出端
517	第四鎖存器
520	資料定序電路
522	寫入開關(WSW)
524	寫入開關(WSW)

526	寫入開關 (WSW)
528	寫入開關 (WSW)
532	資料寫入緩衝器
534	資料寫入緩衝器
536	資料寫入緩衝器
538	資料寫入緩衝器
542	控制開關 (CSW)
544	控制開關 (CSW)
546	控制開關 (CSW)
548	控制開關 (CSW)
550	行選擇線
560	記憶胞陣列
610	第二串列轉並列轉換器
611	第五鎖存器
612	第二輸入資料鎖存電路
613	第六鎖存器
614	並列轉換器
615	第七鎖存器
616	並列資料輸出端
617	第八鎖存器
620	資料定序電路
622	第四開關
624	第四開關
626	第四開關

628	第四開關
632	資料寫入緩衝器
634	資料寫入緩衝器
636	資料寫入緩衝器
638	資料寫入緩衝器
642	控制開關(CSW)
644	控制開關(CSW)
646	控制開關(CSW)
648	控制開關(CSW)
510'	第一串列並列轉換器
610'	第二串列並列轉換器
710	緩衝器
720	資料控制計數器
1110	控制信號產生電路
1104	命令解碼器
1104'	虛線部分
700	資料寫入路徑
722	第一開關
724	第一開關
726	第一開關
728	第一開關
732	第一資料寫入緩衝器
734	第一資料寫入緩衝器
736	第一資料寫入緩衝器

738	第一資料寫入緩衝器
742	第二開關
744	第二開關
746	第二開關
748	第二開關
752	第二資料寫入緩衝器
754	第二資料寫入緩衝器
756	第二資料寫入緩衝器
758	第二資料寫入緩衝器
762	第三開關
764	第三開關
766	第三開關
768	第三開關
1900	預充電控制電路
1910	第一延遲電路
1920	第二延遲電路
1930	組合電路
1904	命令解碼器
2010	資料寫入緩衝器
2012	位址鎖存器
2014	位址比較器
2016	資料鎖存器
2020	DQ緩衝器
2022	第一傳送閘

2024	第二傳送間
2060	記憶胞陣列

五、中文發明摘要：

本發明揭示一種積體電路記憶體裝置，其包括：一記憶胞陣列，其構造用於並列寫入 N 個資料位元；及一資料寫入路徑，其構造用於自一外部終端串列接收 $2N$ 個資料位元。該資料寫入路徑包括： $2N$ 個資料寫入緩衝器，其構造用於儲存 $2N$ 個資料位元； $2N$ 個開關；及 N 條資料線，其構造用於將該等 $2N$ 個開關中的至少 N 個開關連接至該記憶胞陣列，藉此以並列方式寫入 N 個資料位元至該記憶胞陣列中。本發明可降低局域資料線及/或全域資料線之數量。

六、英文發明摘要：

Integrated circuit memory devices include a memory cell array that is configured to write N data bits in parallel and a write data path that is configured to serially receive $2N$ data bits from an external terminal. The write data path includes $2N$ write data buffers that are configured to store the $2N$ data bits, $2N$ switches, and N data lines that are configured to connect at least N of the $2N$ switches to the memory cell array to write therein N data bits in parallel. A reduced number of local data lines and/or global data lines may be provided.

十、申請專利範圍：

1. 一種積體電路裝置，其包含：

一記憶胞陣列，其包括複數個記憶胞；及

一資料寫入路徑，其構造用於自一外部終端串列接收
2N個資料位元，該資料寫入路徑包含：

2N個資料寫入緩衝器，其構造用於儲存2N個資料
位元；

2N個開關；及

N條資料線，其構造用於將該等2N個開關中的至少
N個開關連接至該記憶胞陣列，藉此以並列方式寫入
N個資料位元至該記憶胞陣列中。

2. 根據請求項1之積體電路裝置，其中該資料寫入路徑包 含：

第一串列轉並列轉換器及第二串列轉並列轉換器，其
連接至該外部終端；及

N條第一全域資料線及N條第二全域資料線；

其中該等2N個資料寫入緩衝器包含N個第一資料寫入
緩衝器及N個第二資料寫入緩衝器；

其中該等2N個開關包含N個第一開關及N個第二開
關；

其中該等N個第一資料寫入緩衝器連接至該第一串列
轉並列轉換器，且該等N條第一全域資料線中每一第一
全域資料線皆相應地連接於該等N個第一開關中一相應
第一開關與該等N個第一資料寫入緩衝器中一相應第一

資料寫入緩衝器之間；

其中該等N個第二資料寫入緩衝器連接至該第二串列轉並列轉換器，且該等N條第二全域資料線中每一第二全域資料線皆相應地連接於該等N個第二開關中一相應第二開關與該等N個第二資料寫入緩衝器中一相應第二資料寫入緩衝器之間；

其中該等N條資料線係N條局域資料線；及

其中該等N條局域資料線中每一局域資料線皆相應地連接於該等N個第一開關中一相應第一開關、該等N個第二開關中一相應第二開關與該記憶體陣列之間。

3. 根據請求項2之積體電路裝置，其中該資料寫入路徑進一步包含：

第一資料定序電路及第二資料定序電路，該等資料定序電路中每一資料定序電路皆相應地連接於該第一串列轉並列轉換器和該第二串列轉並列轉換器中一相應串列轉並列轉換器與該等N個第一資料寫入緩衝器和該等N個第二資料寫入緩衝器中一相應的資料寫入緩衝器之間。

4. 根據請求項2之積體電路裝置，其中該等N個第一開關可因應一第一控制信號，而該等N個第二開關可因應一第二控制信號，該第二控制信號相對於該第一控制信號存在時間延遲。

5. 根據請求項4之積體電路裝置，其中該第一控制信號及該第二控制信號係根據一寫入作用中信號按不同延遲

所產生。

6. 根據請求項5之積體電路裝置，其進一步包含：

一命令解碼器，其因應一晶片選擇命令及一功能命令而產生該寫入作用中信號；及

一控制信號產生電路，其因應該寫入作用中信號並構造用於產生該第一控制信號及該第二控制信號。

7. 根據請求項6之積體電路裝置，其中該命令解碼器進一步構造用於因應該晶片選擇命令及該功能命令而產生一作用中命令及一讀取命令。

8. 根據請求項6之積體電路裝置，其中該命令解碼器進一步構造用於因應該晶片選擇命令及該功能命令而產生一讀取命令、一再新命令及一模式重設命令。

9. 根據請求項2之積體電路裝置，其進一步包含N個第三開關及N個第四開關，該等N個第三開關中每一開關皆相應地連接於該第一串列轉並列轉換器與該等N個第一資料寫入緩衝器中一相應第一資料寫入緩衝器之間，且該等N個第四開關中每一第四開關皆相應地連接於該第二串列轉並列轉換器與該等N個第二資料寫入緩衝器中一相應第二資料寫入緩衝器之間。

10. 根據請求項9之積體電路裝置，其中該等N個第三開關可因應一第三控制信號，而該等N個第四開關可因應一第四控制信號，該第四控制信號相對於該第三控制信號存在時間延遲。

11. 根據請求項10之積體電路裝置，其中該第三控制信號及

該第四控制信號係根據一資料控制信號中相應的偏移下降緣而產生。

12. 根據請求項11之積體電路裝置，其進一步包含一資料控制計數器，該資料控制計數器可因應該資料控制信號並構造用於：對該資料控制信號之下降緣實施計數；及根據該資料控制信號中相應的偏移下降緣來產生該第三控制信號及該第四控制信號。

13. 一種積體電路裝置，其包含：

一記憶胞陣列，其包括複數個記憶胞；

一資料寫入路徑，其構造用於自一外部終端串列接收 $2N$ 個資料位元，該資料寫入路徑包含：

$2N$ 個資料寫入緩衝器，其構造用於儲存 $2N$ 個資料位元；

$2N$ 個開關；

N 條局域資料線，其構造用於將該等 $2N$ 個開關中的至少 N 個開關連接至該記憶胞陣列，藉此以並列方式寫入 N 個資料位元至該記憶胞陣列中；

一串列轉並列轉換器，其連接至該外部終端；

N 條全域資料線；

其中該等 $2N$ 個資料寫入緩衝器包含 N 個第一資料寫入緩衝器及 N 個第二資料寫入緩衝器；

其中該等 $2N$ 個開關包含 N 個第一開關及 N 個第二開關；

其中該等 N 個第一資料寫入緩衝器連接至該串列轉並

列轉換器，且該等N個第一資料寫入緩衝器中每一第一資料寫入緩衝器皆相應地連接至該等N個第一開關中一相應的第一開關；

其中該等N個第二資料寫入緩衝器中每一第二資料寫入緩衝器皆相應地連接至該等N個第一開關中一相應的第一開關，且該等N條全域資料線中每一全域資料線皆相應地連接於該等N個第二開關中一相應第二開關與該等N個第二資料寫入緩衝器中一相應第二資料寫入緩衝器之間；及

其中該等N條局域資料線中每一局域資料線皆相應地連接於該等N個第二開關中一相應第二開關與該記憶胞陣列之間。

14. 根據請求項13之積體電路裝置，其中該資料寫入路徑進一步包含：

一資料定序電路，其連接於該串列轉並列轉換器與該等N個第一資料寫入緩衝器中一相應資料寫入緩衝器之間。

15. 根據請求項13之積體電路裝置，其進一步包含N個第三開關，該等N個第三開關中每一第三開關皆相應地連接於該串列轉並列轉換器與該等N個第一資料寫入緩衝器中一相應第一資料寫入緩衝器之間。

16. 根據請求項15之積體電路裝置，其中該等N個第三開關可因應一第一控制信號，而該等N個第一開關可因應一第二控制信號，該第二控制信號相對於該第一控制信號

存在時間延遲。

17. 根據請求項16之積體電路裝置，其中該第一控制信號及該第二控制信號係根據一資料控制信號中相應的偏移下降緣而產生。

18. 一種積體電路裝置，其包含：

一記憶胞陣列，其包括複數個記憶胞；

一資料寫入路徑，其構造用於自一外部終端串列接收 $2N$ 個資料位元，該資料寫入路徑包含：

$2N$ 個資料寫入緩衝器，其構造用於儲存 $2N$ 個資料位元；

$2N$ 個開關；

N 條局域資料線，其構造用於將該等 $2N$ 個開關中至少 N 個開關連接至該記憶胞陣列，藉此以並列方式寫入 N 個資料位元至該記憶胞陣列中；及

一預充電控制電路，其使該記憶胞陣列的一字線啟動一足夠長的時間，以將該等 $2N$ 個資料位元作為兩組 N 個並列位元寫入至該記憶胞陣列中。

19. 根據請求項18之積體電路裝置：

其中在該積體電路裝置之一第一預充電模式中，該預充電控制電路使該記憶胞陣列的一字線啟動一足夠長的時間，以將該等 $2N$ 個資料位元作為兩組 N 個並列位元寫入至該記憶胞陣列中的時間；及

其中在該積體電路裝置之一第二預充電模式中，該預充電控制電路使該記憶胞陣列的一字線啟動一足夠長

的時間，以將該等 N 個資料位元作為一組 N 個並列位元寫入至該記憶胞陣列中。

20. 根據請求項19之積體電路裝置，其進一步包含一模式暫存器集，該模式暫存器集構造用於選擇該第一或第二預充電模式，其中該預充電控制電路可響應於該模式暫存器集。

21. 根據請求項18之積體電路裝置，其中該預充電控制電路包含：

一第一延遲元件，其可因應一第一預充電模式信號，該第一延遲元件具有一第一延遲並構造用於使該記憶胞陣列字線啟動一足夠長的時間，以將該等 $2N$ 個資料位元作為兩組 N 個並列位元寫入至該記憶胞陣列中；及

一第二延遲元件，其可因應一第二預充電模式信號，該第二延遲元件具有一短於該第一延遲的第二延遲，並構造用於使該記憶胞陣列字線啟動一足夠長的時間，以將該等 N 個資料位元作為一組 N 個並列位元寫入至該記憶胞陣列中。

22. 一種積體電路裝置，其包含：

一記憶胞陣列，其包括複數個記憶胞；

一資料寫入路徑，其構造用於自一外部終端串列接收 $2N$ 個資料位元，該資料寫入路徑包含：

$2N$ 個資料寫入緩衝器，其構造用於儲存 $2N$ 個資料位元；

$2N$ 個開關；

N條局域資料線，其構造用於將該等 $2N$ 個開關中的至少 N 個開關連接至該記憶胞陣列，藉此以並列方式寫入 N 個資料位元至該記憶胞陣列中；

其中該資料寫入緩衝器包含：

一位址鎖存器，其構造用於鎖存一寫入位址；

一位址比較器，其構造用於將一當前位址與鎖存於該位址鎖存器內的該寫入位址相比較；及

一資料鎖存器，其構造用於在其中鎖存對應於該寫入位址的寫入資料。

23. 根據請求項22之積體電路裝置，其中該當前位址係一讀取位址，且其中該積體電路裝置進一步構造用於：當該位址比較器確定該讀取位址與鎖存於該位址鎖存器內的該寫入位址相匹配時，自該資料鎖存器而非自該記憶胞陣列輸出讀取資料至該外部終端。

24. 根據請求項22之積體電路裝置，其中該當前位址係一讀取位址，且其中該積體電路裝置進一步構造用於：當該位址比較器確定該讀取位址與鎖存於該位址鎖存器內的該寫入位址不匹配時，自該記憶胞陣列輸出讀取資料至該外部終端。

25. 根據請求項2之積體電路裝置，其中該第一串列轉並列轉換器可因應一第一組內部資料控制信號，且其中該第二串列轉並列轉換器可因應一第二組內部資料控制信號。

26. 根據請求項2之積體電路裝置，其中該第一串列轉並列

轉換器及該第二串列轉並列轉換器皆因應同一組內部資料控制信號。

27. 一種積體電路裝置，其包含：

一記憶胞陣列，其構造用於在其中並列儲存複數個資料位元；及

一資料寫入路徑，其構造用於：自一外部終端兩次串列接收複數個資料位元，將一第一半資料位元以並列方式寫入至該記憶胞陣列中，並隨後將一第二半資料位元以並列方式寫入至該記憶胞陣列中。

28. 根據請求項27之積體電路裝置，其中該資料寫入路徑構造用於：串列接收該第一半資料位元，隨後串列接收該第二半資料位元；將該第一半資料位元儲存於一第一組資料寫入緩衝器中並將該第二半資料位元儲存於一第二組資料寫入緩衝器中；以及藉由共用的一組局域資料線，自相應的第一組資料寫入緩衝器及該第二組資料寫入緩衝器，將該第一半資料位元以並列方式寫入至該記憶胞陣列中，及隨後將該第二半資料位元以並列方式寫入至該記憶胞陣列中。

29. 根據請求項27之積體電路裝置，其中該資料寫入路徑構造用於：串列接收該第一半資料位元，並隨後串列接收該第二半資料位元；將該第一半資料位元儲存於一第一組資料寫入緩衝器中；將該第一半資料位元自該第一組資料寫入緩衝器轉移至一第二組資料寫入緩衝器中，及將該第二半資料位元儲存於該第一組資料寫入緩衝器

中；將該第一半資料位元自該第二組資料寫入緩衝器寫入至該記憶胞陣列中；將該第二半資料位元自該第一組資料寫入緩衝器轉移至該第二組資料寫入緩衝器中；以及該第二半資料位元自該第二組資料寫入緩衝器寫入至該記憶胞陣列中。

30. 根據請求項27之積體電路裝置，其進一步包含：

一預充電控制電路，其使該記憶胞陣列之一字線啟動足夠長的時間，以將該第一半資料位元以並列方式寫入至該記憶胞陣列中，及隨後將該第二半資料位元以並列方式寫入至該記憶胞陣列中。

31. 一種運作一具有一構造用於在其中並列儲存複數個資料位元之記憶胞陣列之積體電路裝置之方法，該方法包含：

自一外部終端兩次串列接收複數個資料位元；

將該等所接收的資料位元儲存於複數個資料寫入緩衝器中；

將一第一半資料位元自該資料寫入緩衝器以並列方式寫入至該記憶胞陣列中；及隨後

將一第二半資料位元自該資料寫入緩衝器以並列方式寫入至該記憶胞陣列中。

32. 根據請求項31之方法：

其中串列接收包含：串列接收該第一半資料位元，及隨後串列接收該第二半資料位元；

其中儲存包含：將該第一半資料位元儲存於一第一組

資料寫入緩衝器中，及將該第二半資料位元儲存於一第二組資料寫入緩衝器中；及

其中寫入一第一半資料位元及寫入一第二半資料位元係藉由共用的一組局域資料線自相應的第一組資料寫入緩衝器及該第二組資料寫入緩衝器來執行寫入作業。

33. 根據請求項31之方法：

其中串列接收包含：串列接收該第一半資料位元，及隨後串列接收該第二半資料位元；

其中儲存包含：將該第一半資料位元儲存於一第一組資料寫入緩衝器中，將該第一半資料位元自該第一組資料寫入緩衝器轉移至一第二組資料寫入緩衝器中，及將該第二半資料位元儲存於該第一組資料寫入緩衝器中；

其中寫入一第一半資料位元包含：將該第一半資料位元自該第二組資料寫入緩衝器寫入至該記憶胞陣列中；及

其中寫入一第二半資料位元包含：將該第二半資料位元自該第一組資料寫入緩衝器轉移至該第二組資料寫入緩衝器中，及將該第二半資料位元自該第二組資料寫入緩衝器寫入至該記憶胞陣列中。

34. 根據請求項32之方法，其中寫入一第一半資料位元係因應一第一控制信號來執行，且其中寫入一第二半資料位元係因應一第二控制信號來執行，該第二控制信號相對於該第一控制信號存在時間延遲。

35. 根據請求項34之方法，其中該第一控制信號及該第二控制信號係根據一寫入作用中信號按不同延遲所產生。
36. 根據請求項34之方法，其中將該第一半資料位元儲存於一第一組資料寫入緩衝器中係因應一第三控制信號來執行，且其中將該第二半資料位元儲存於一第二組資料寫入緩衝器中係因應一第四控制信號來執行，該第四控制信號相對於該第三控制信號存在時間延遲。
37. 根據請求項36之方法，其中該第三控制信號及該第四控制信號係根據一資料控制信號中相應的偏移下降緣而產生。
38. 根據請求項37之方法，其進一步包含：
- 對該資料控制信號之下降緣實施計數，並根據該資料控制信號中相應的偏移下降緣產生該第三控制信號及該第四控制信號。
39. 根據請求項33之方法，其中因應一第一控制信號將資料位元儲存於該第一組資料寫入緩衝器中，且其中因應一第二控制信號將資料位元自該第一組資料寫入緩衝器轉移至該第二組資料寫入緩衝器中，該第二控制信號相對於該第一控制信號存在時間延遲。
40. 根據請求項39之方法，其中該第一控制信號及該第二控制信號係根據一資料控制信號中相應的偏移下降緣而產生。
41. 根據請求項31之方法，其進一步包含：

使該記憶胞陣列之一字線啟動一足夠長的時間，以將

該第一半資料位元以並列方式寫入至該記憶胞陣列中，及隨後將該第二半資料位元以並列方式寫入至該記憶胞陣列中。

：式圖、一十

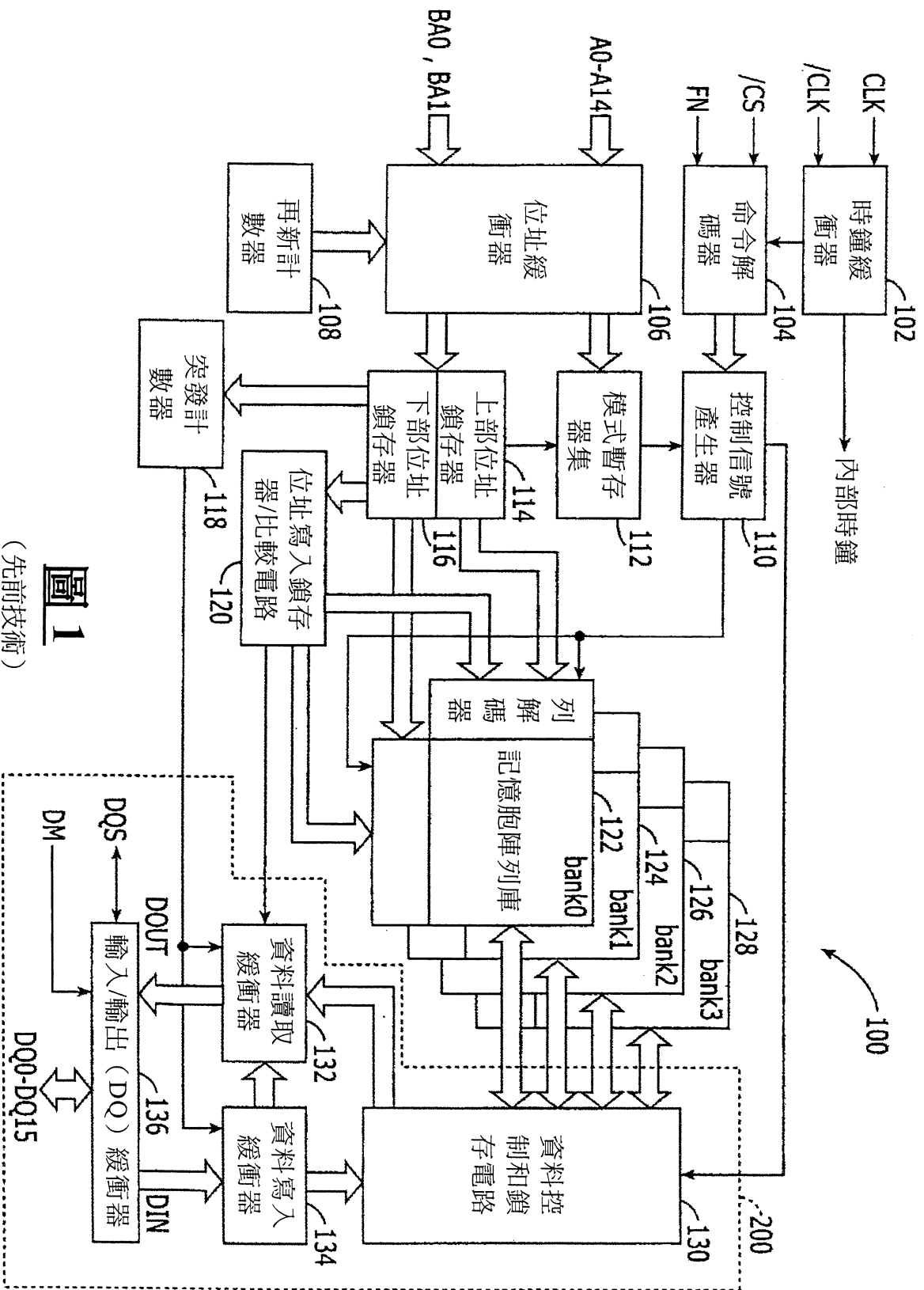


圖 1

(先前技術)

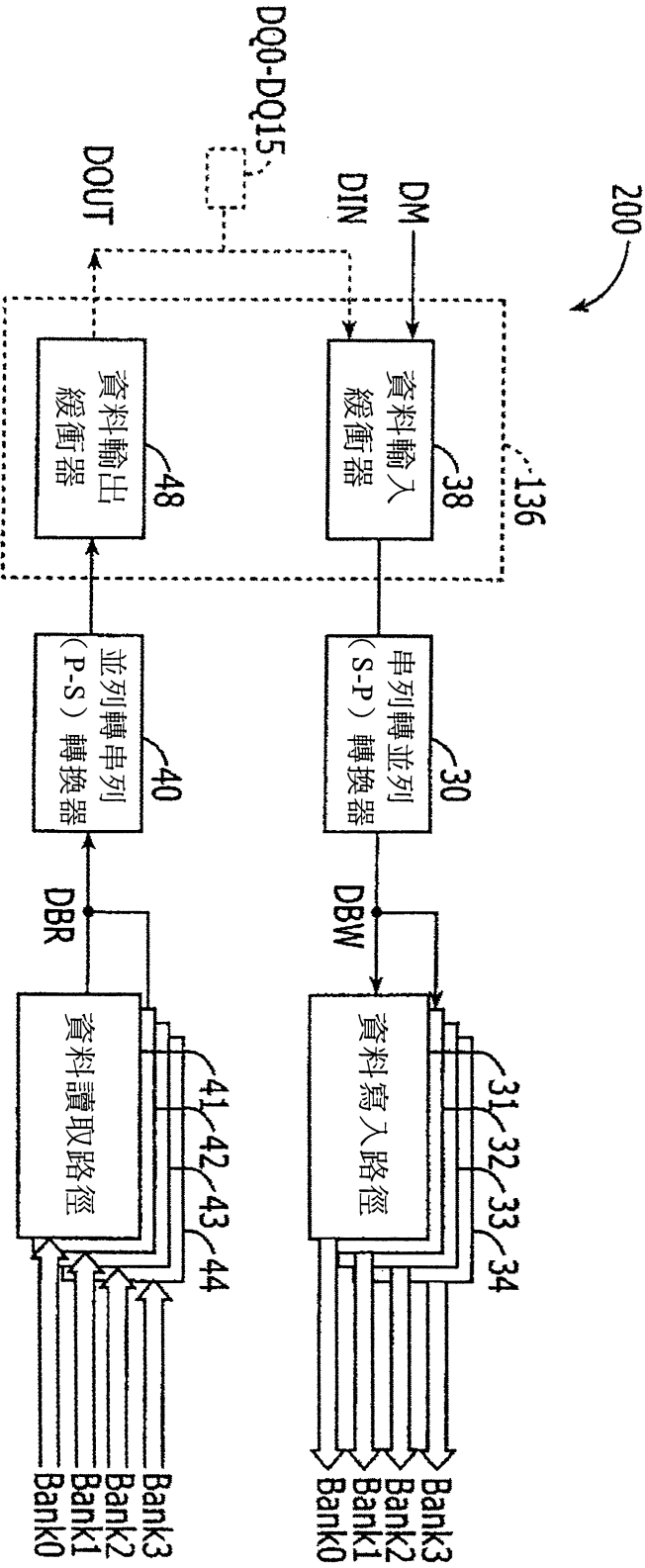


圖 2
(先前技術)

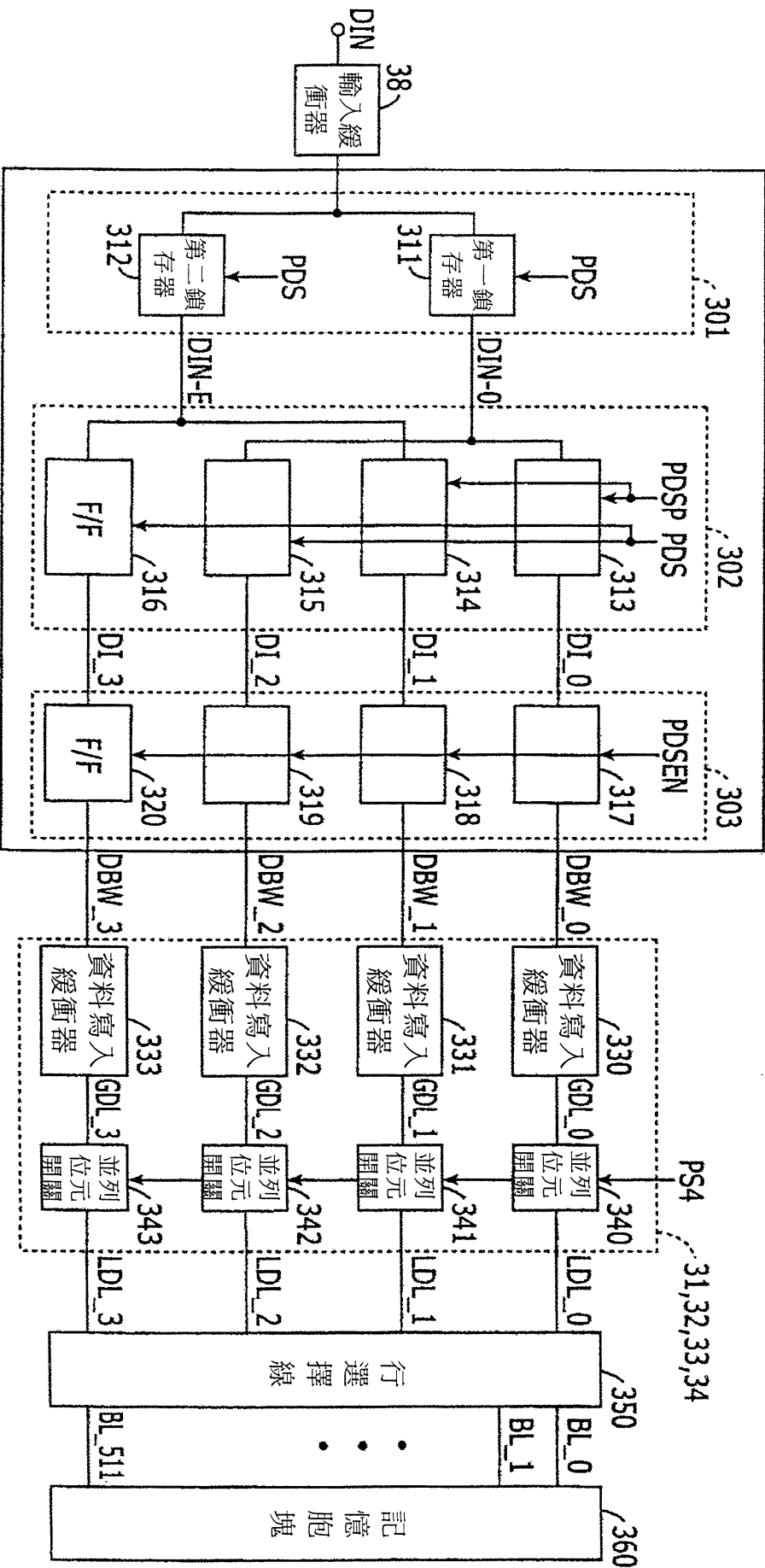


圖 3
(先前技術)

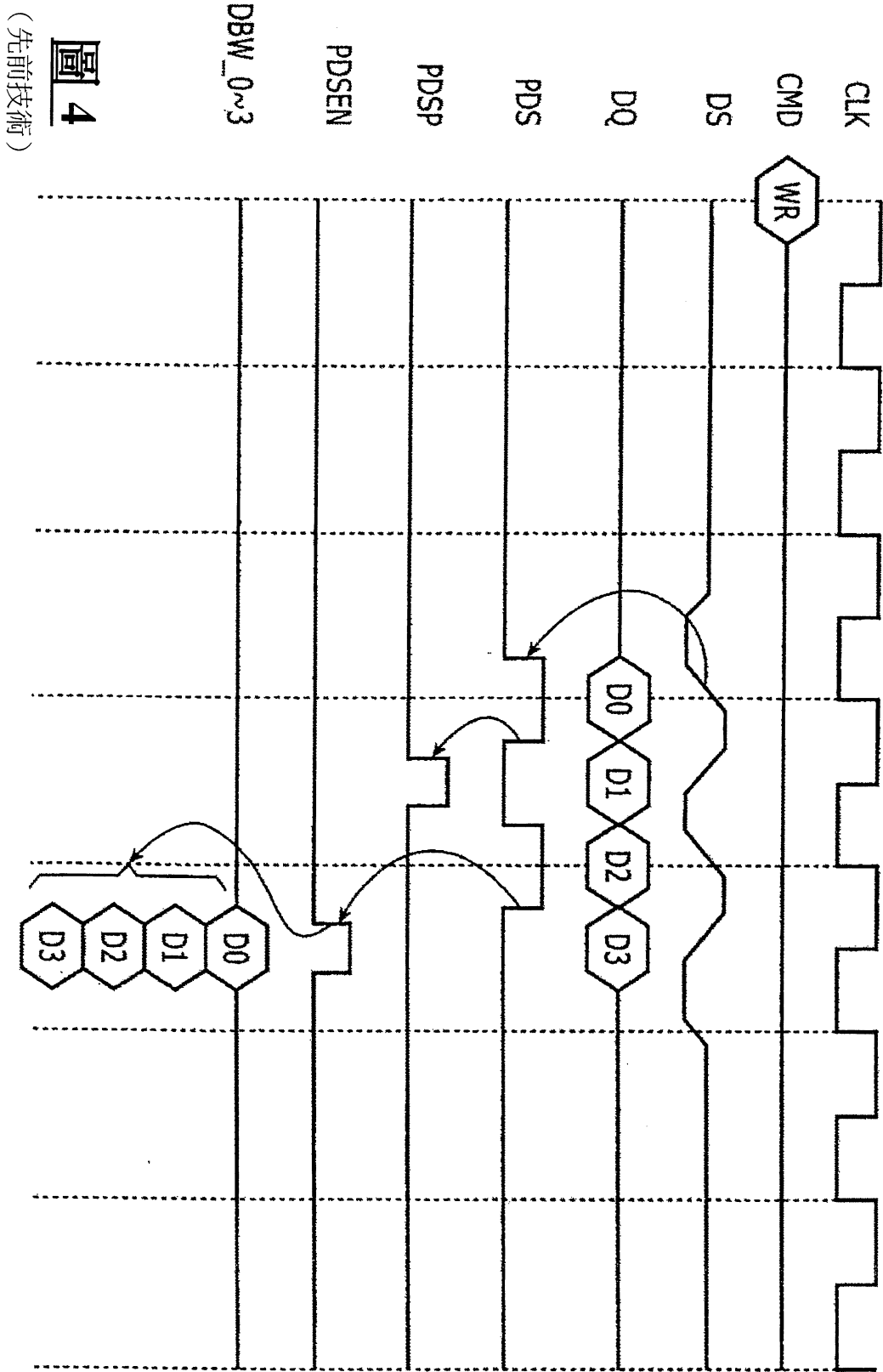
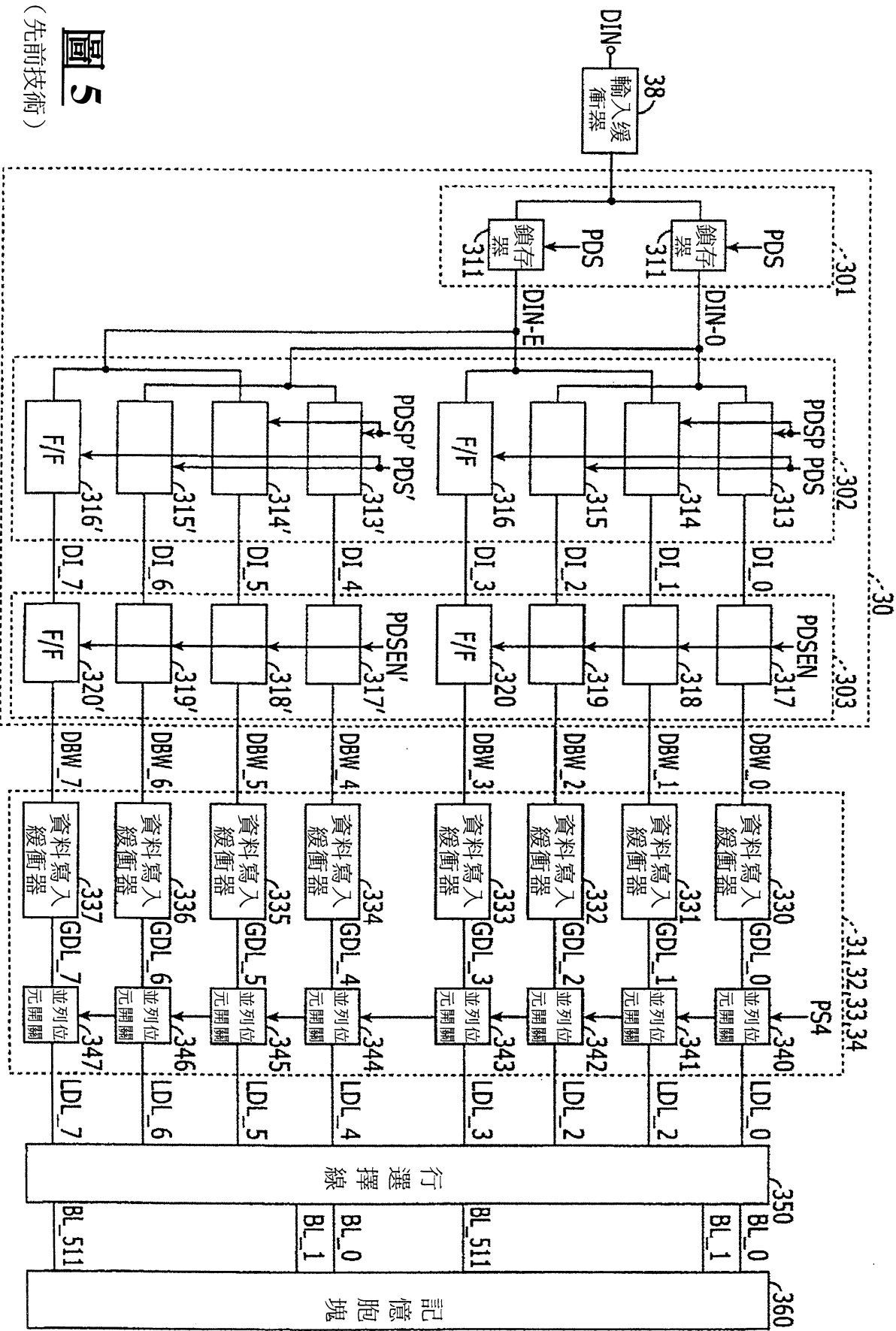


圖 5
(先前技術)



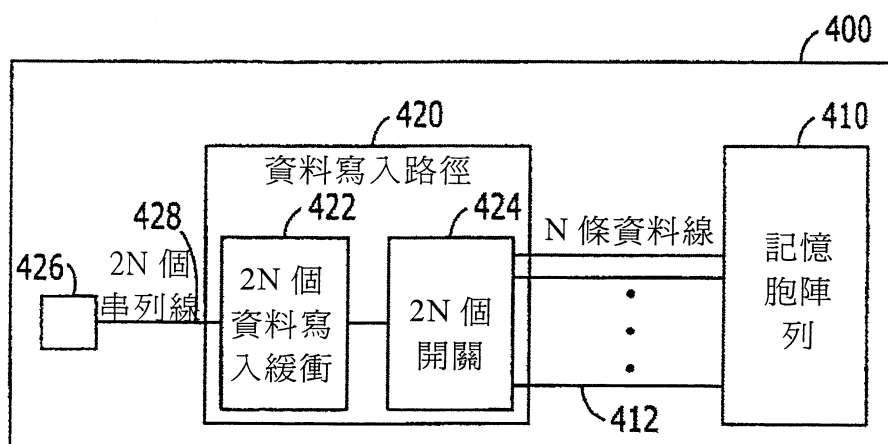


圖 6

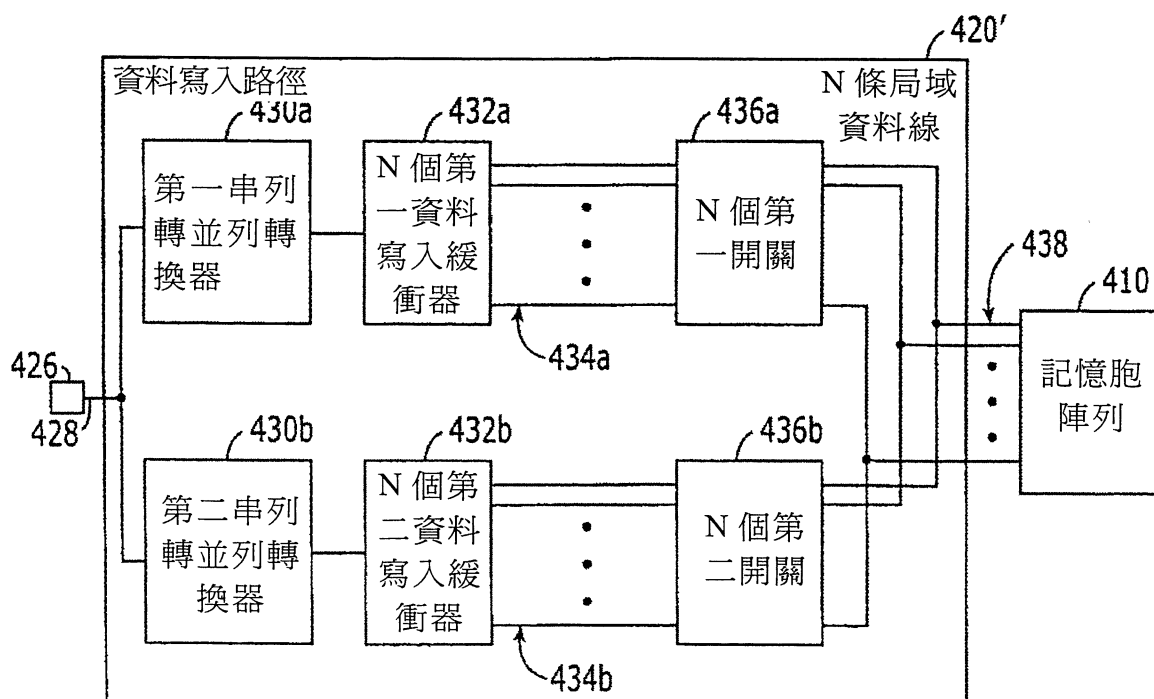


圖 7

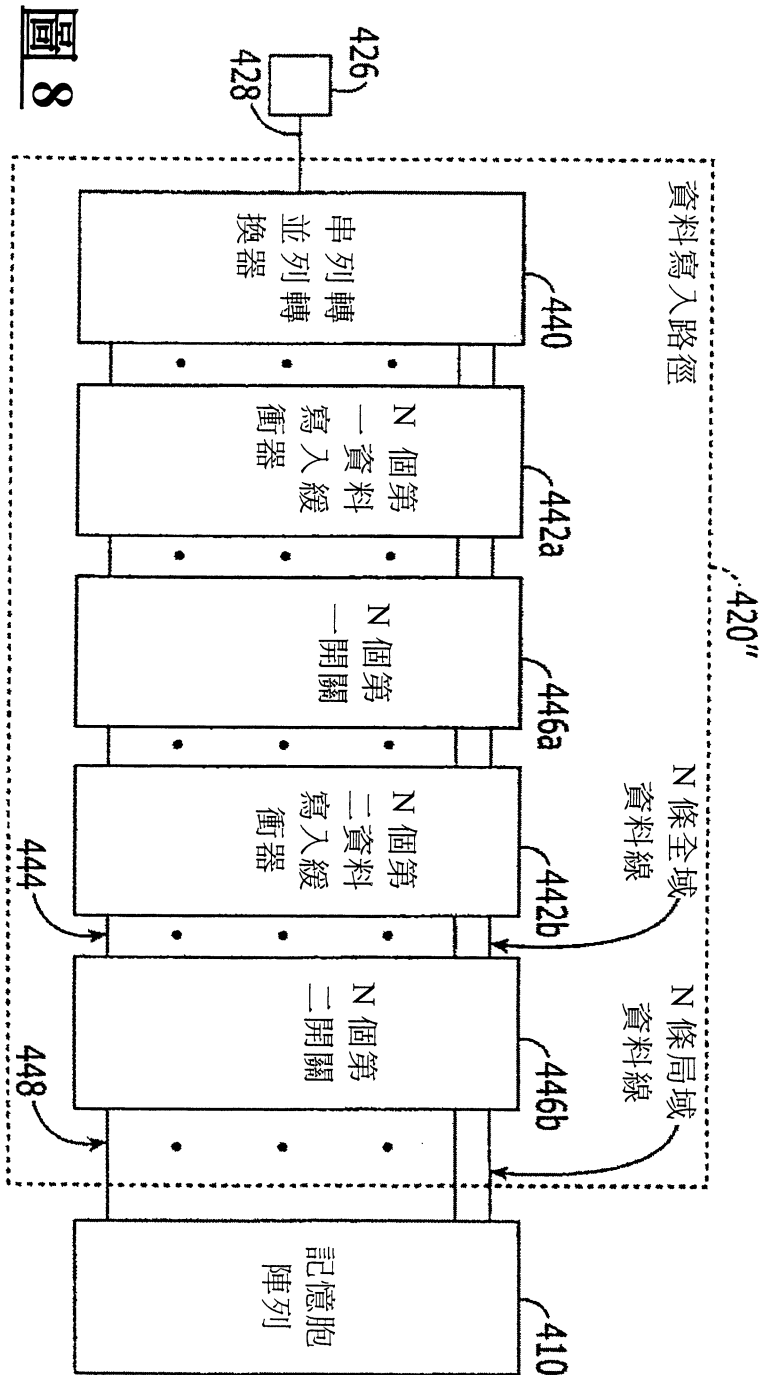


圖 8

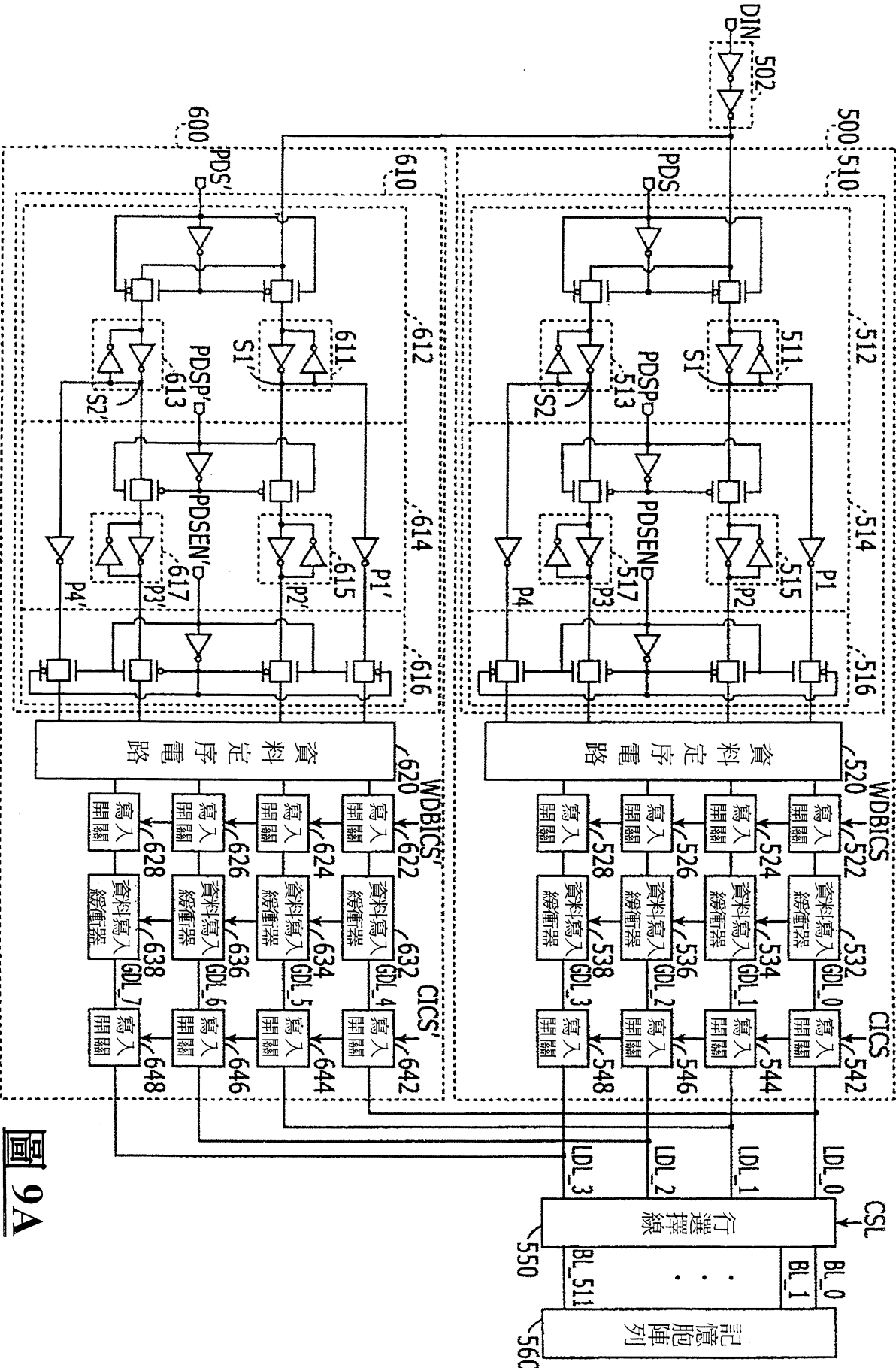
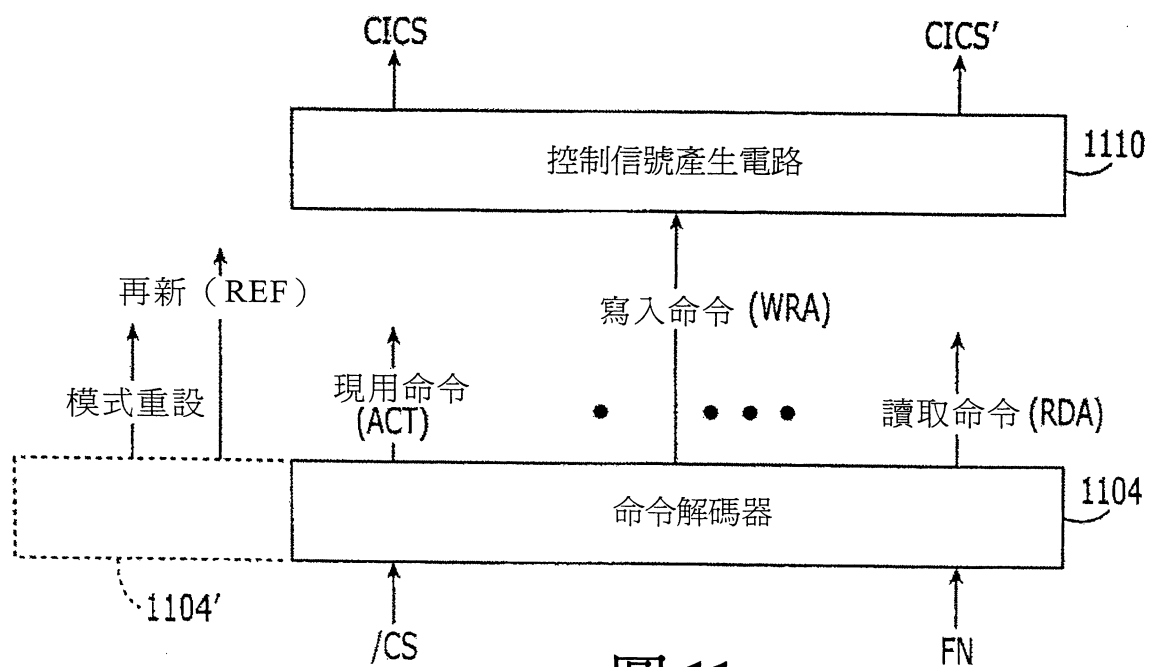
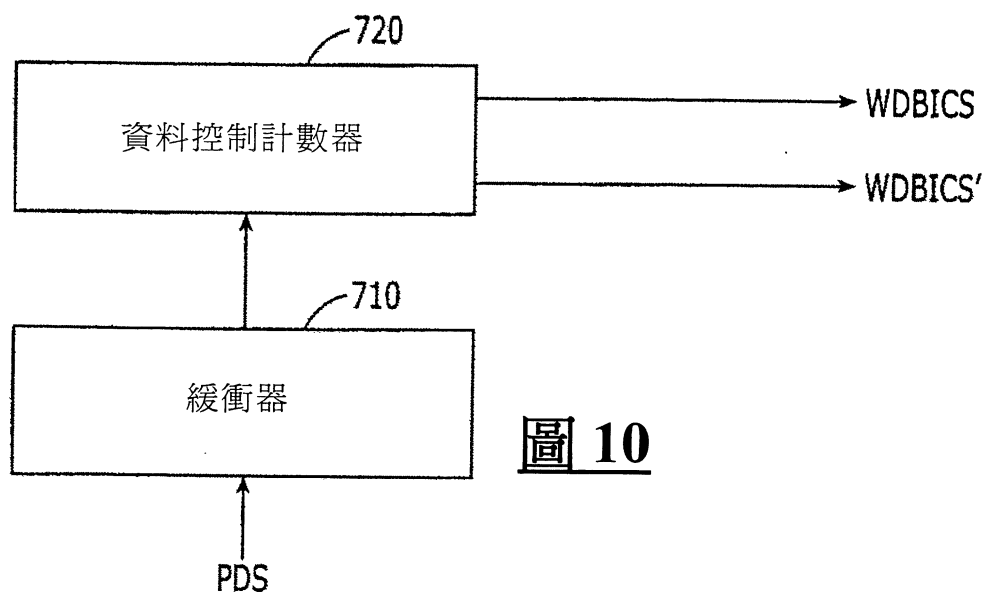


圖 9A





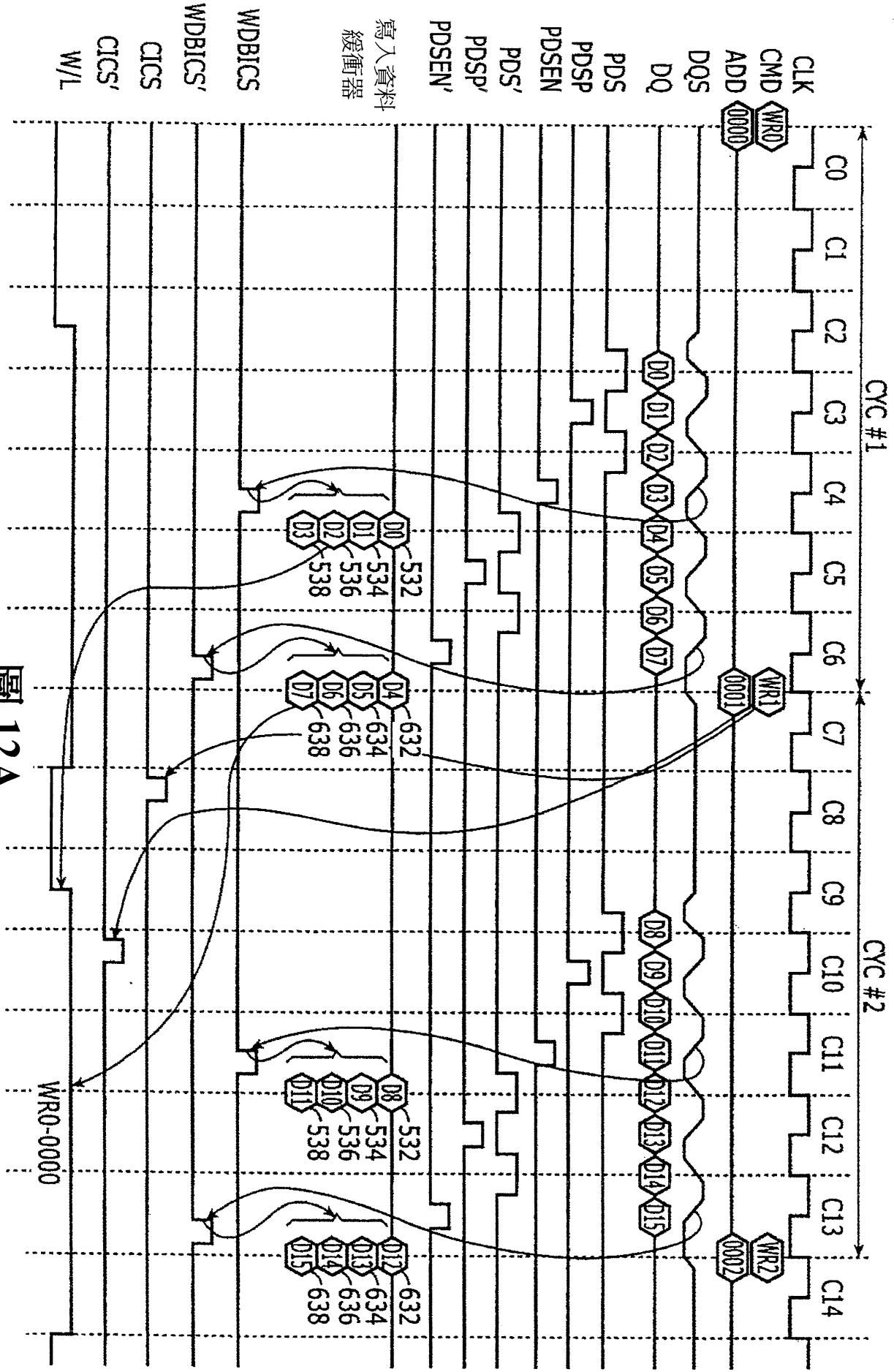


圖 12A

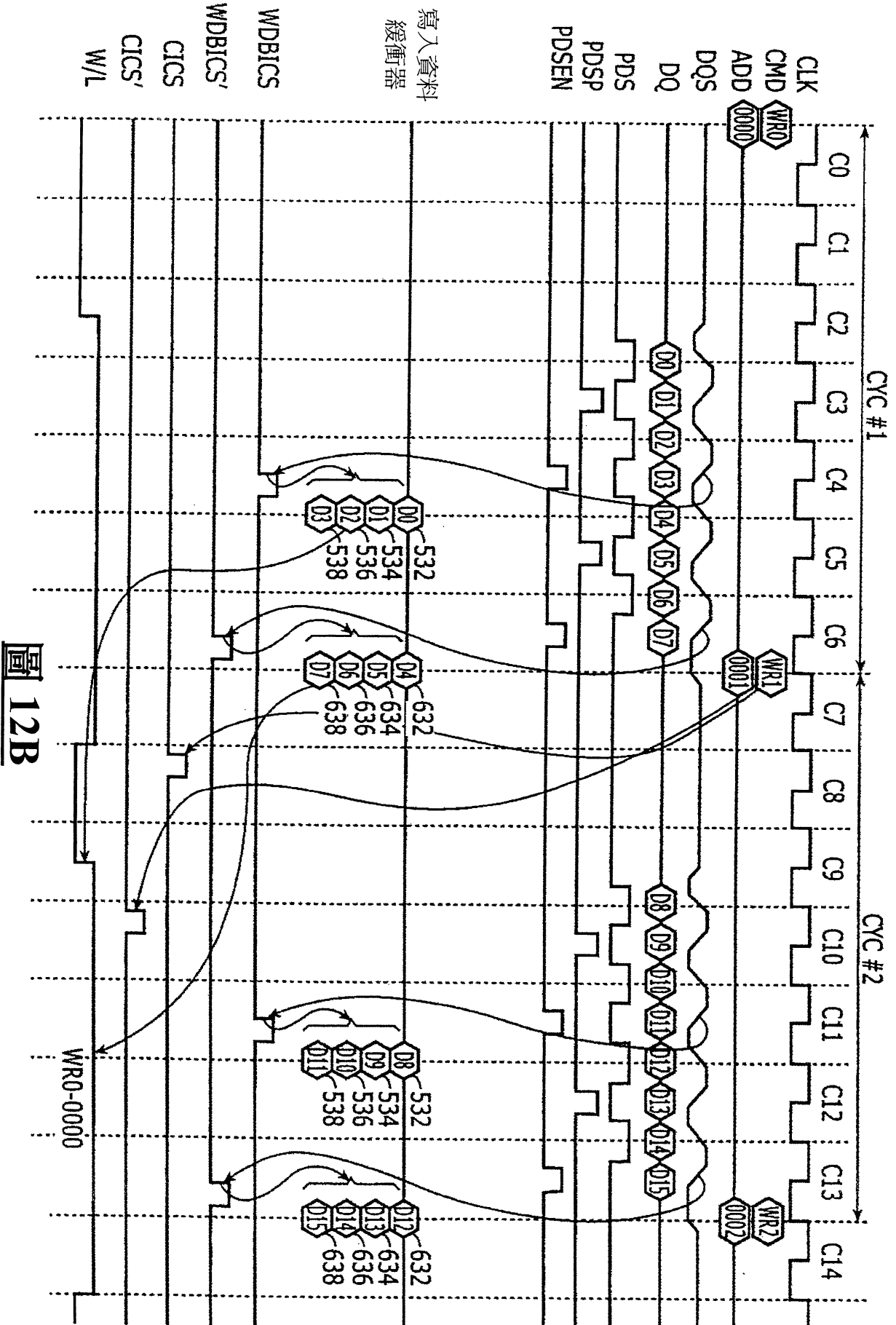


圖 12B

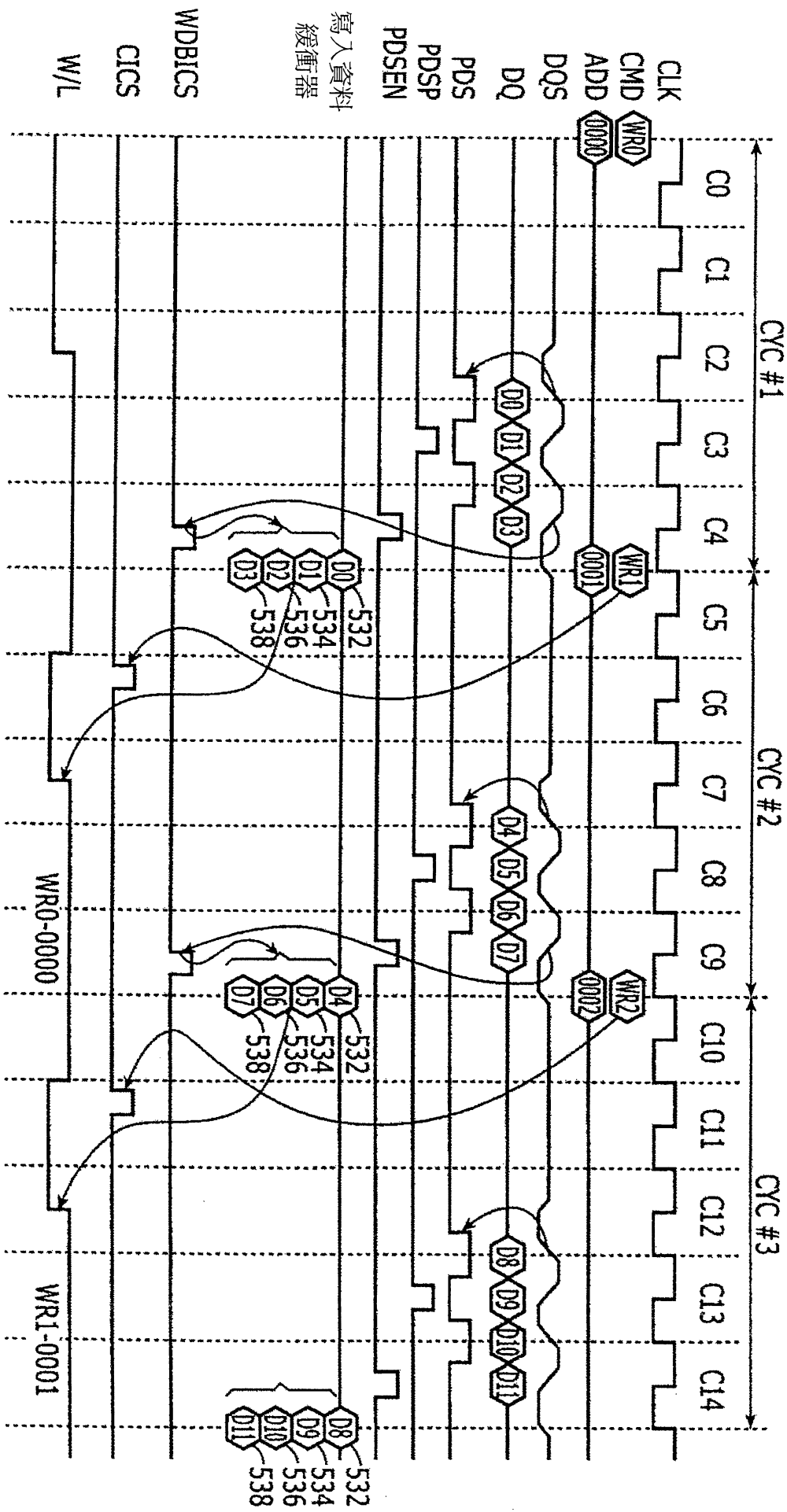


圖 13

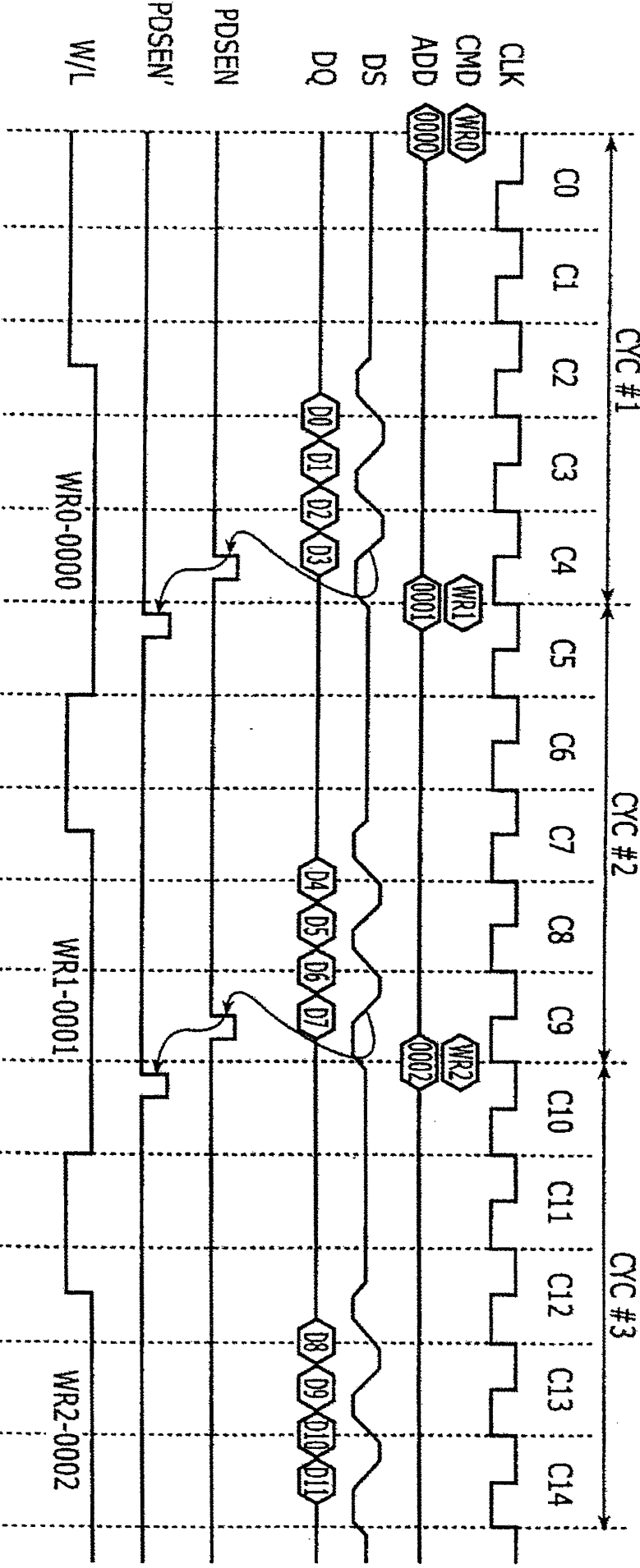


圖 14

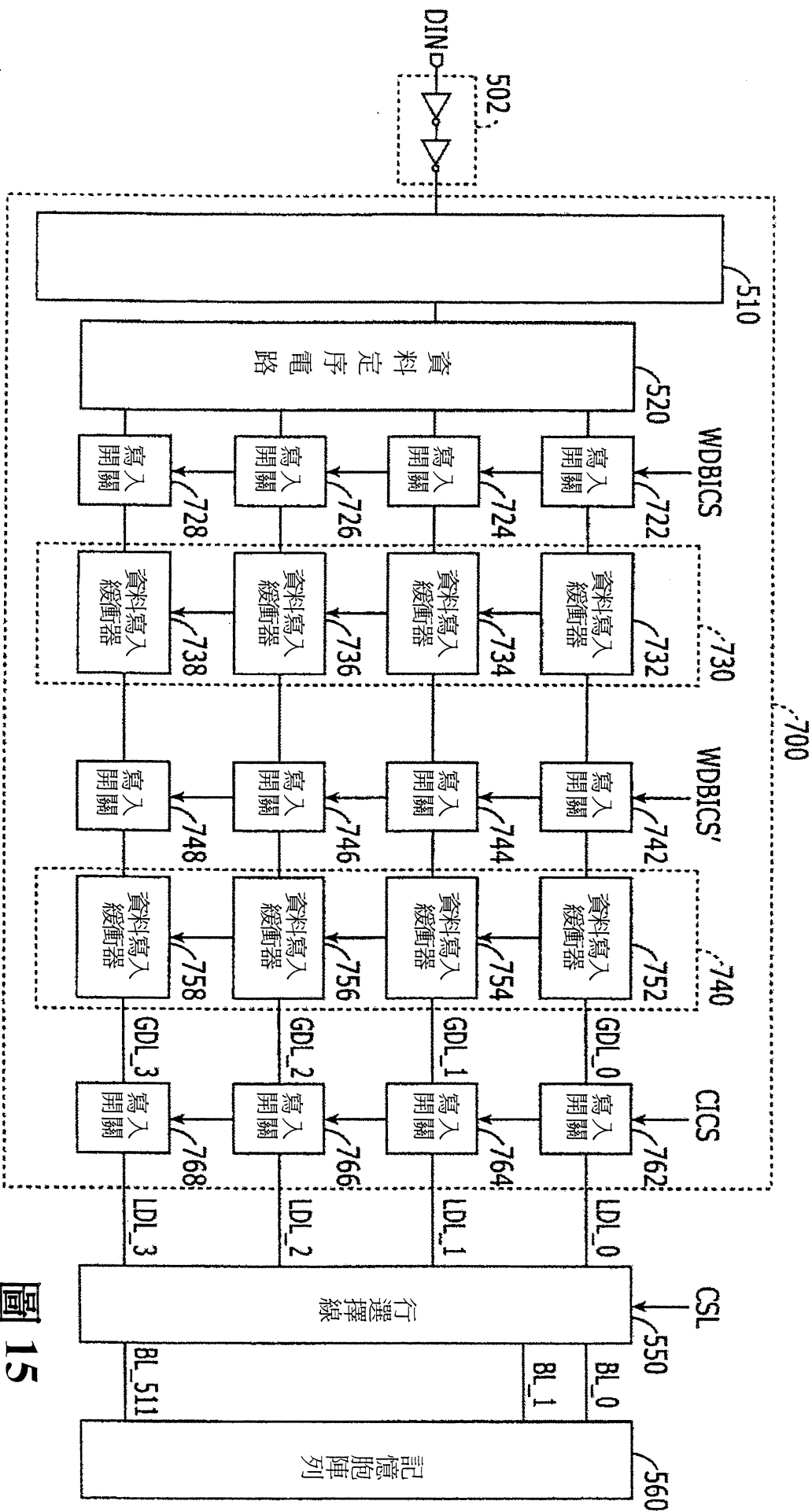


圖 15

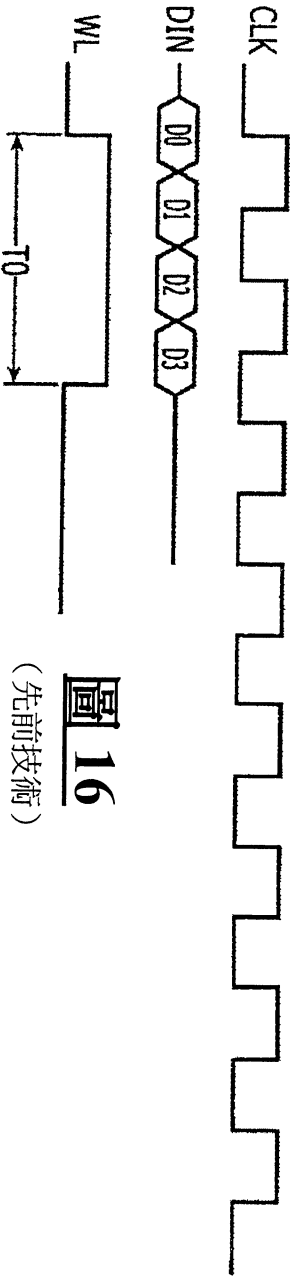


圖 16

(先前技術)

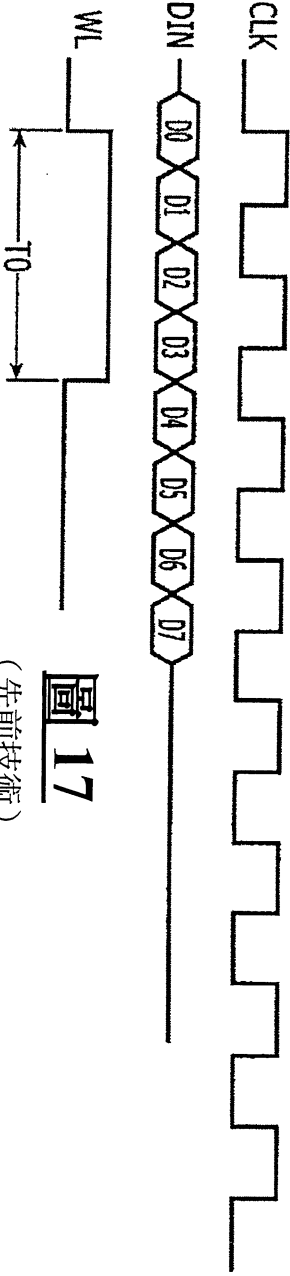


圖 17

(先前技術)

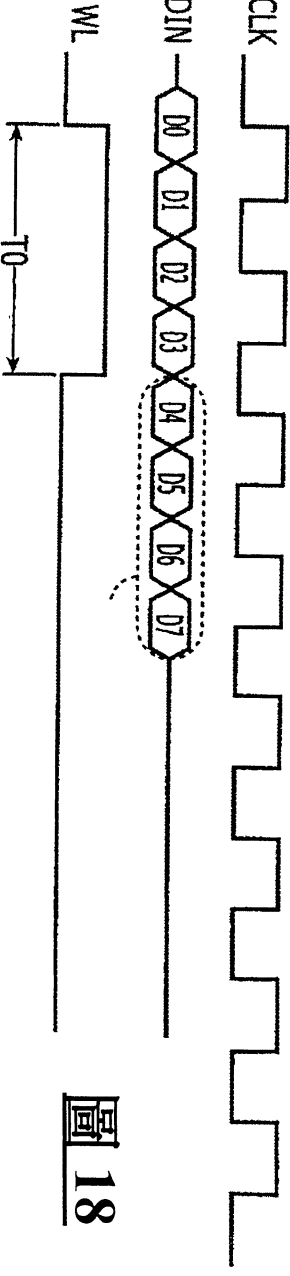


圖 18

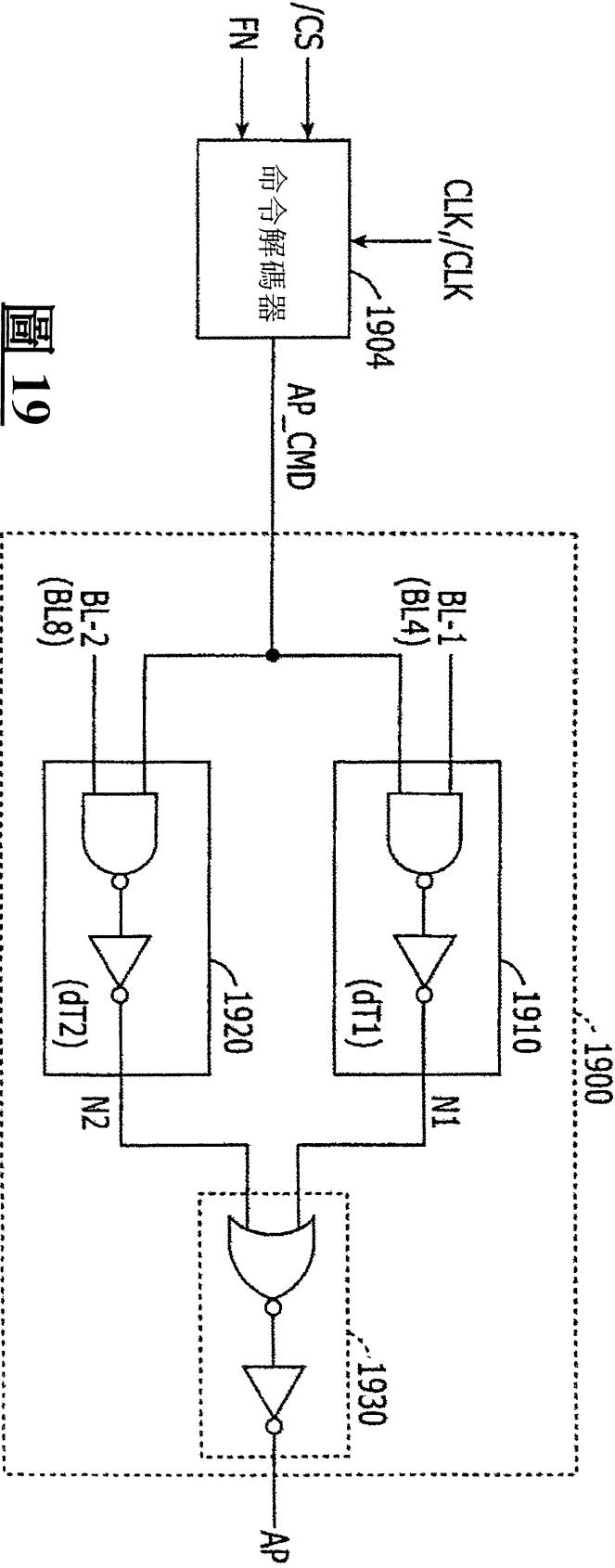
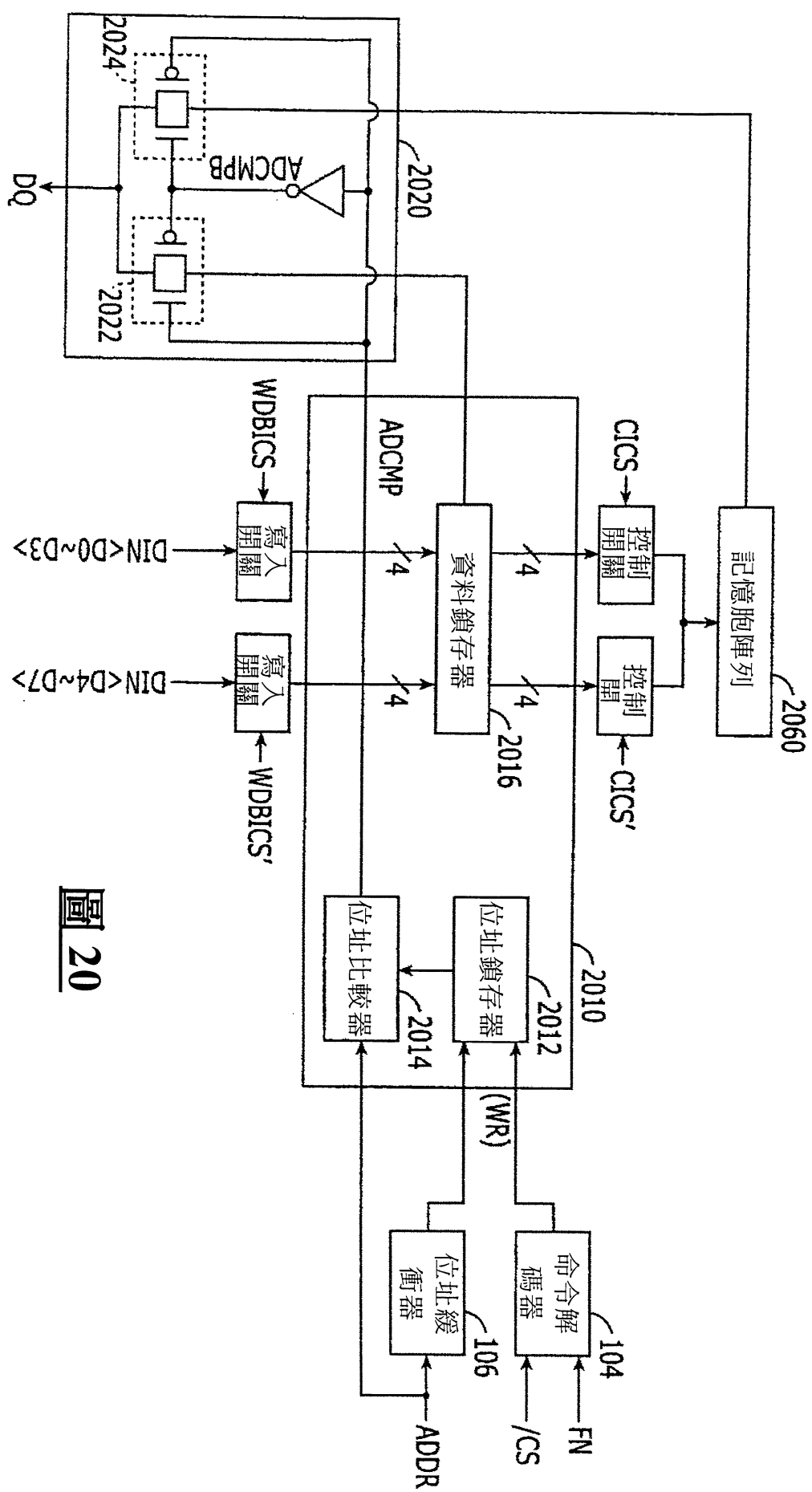


圖 19



20

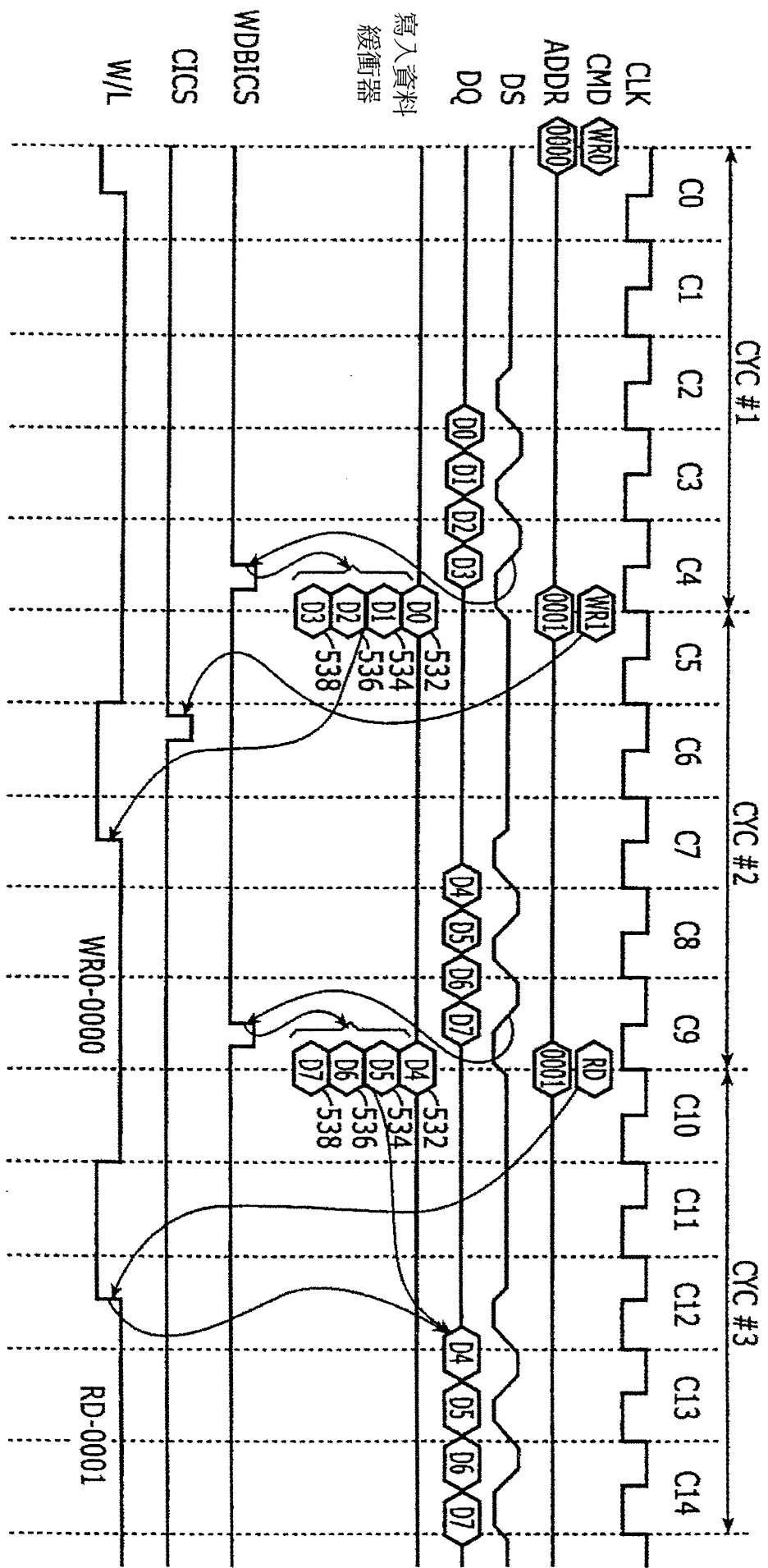


圖 21

七、指定代表圖：

(一)本案指定代表圖為：第 (6) 圖。

(二)本代表圖之元件符號簡單說明：

400 積體電路記憶體裝置

410 記憶胞陣列

412 資料線

420 資料寫入路徑

422 資料寫入緩衝器

424 開關

426 外部終端

428 串列線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)