

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁶
 H01L 21/8238

(45) 공고일자 2005년09월05일
 (11) 등록번호 10-0512029
 (24) 등록일자 2005년08월25일

(21) 출원번호	10-1999-7009695	(65) 공개번호	10-2001-0020140
(22) 출원일자	1999년10월20일	(43) 공개일자	2001년03월15일
번역문 제출일자	1999년10월20일		
(86) 국제출원번호	PCT/US1998/005516	(87) 국제공개번호	WO 1998/48457
국제출원일자	1998년03월19일	국제공개일자	1998년10월29일

(81) 지정국

국내특허 : 일본, 대한민국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드,

(30) 우선권주장 08/844,924 1997년04월21일 미국(US)

(73) 특허권자 어드밴스드 마이크로 디바이시즈, 인코포레이티드
 미국 캘리포니아 94088-3453 서니베일 원 에이 엠디 플레이스 메일 스톱68

(72) 발명자 하우세프래드릭엔.
 미국텍사스78749오스틴서클오크코브4702

도손로버트
 미국텍사스78730오스틴베아뜨리서클3504

풀포드에이치.짐
 미국텍사스78748오스틴우드쉬드라이브9808

가드너마크아이.
 미국텍사스78612세다크리크피.오.박스249하이웨이535

마이클마크더블유.
 미국텍사스78613세다파크데이플라워트레이스1805

무어브래들리티.
 미국텍사스78746오스틴조니밀러트레이1502

리스터스데릭제이.
 미국텍사스78728오스틴테리쉬코버1904

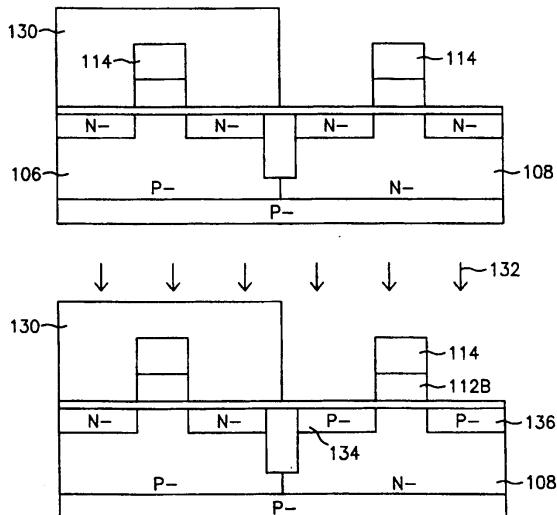
(74) 대리인 박장원

심사관 : 반성원

(54) 마스킹 단계들이 감소된 NMOS 및 PMOS 디바이스 제조 방법

마스킹층을 형성하는 단계와; 상기 제 1 활성 영역 상에 제 1 게이트를 형성하고 상기 제 2 활성 영역 상에 제 2 게이트를 형성하기 위해, 상기 제 1 마스킹층을 식각 마스크로서 이용하여 상기 게이트 물질을 식각하는 단계와; 상기 제 1 마스킹층을 주입 마스크로 이용하여, 제 2 도전형 저농도 주입량 및 제 2 도전형의 주입 깊이로, 제 2 도전형의 불순물을 상기 제 1, 2 활성 영역들 내에 주입하는 단계와; 상기 제 1 활성 영역을 덮고 상기 제 2 활성 영역 상의 개구부를 포함하는 제 2 마스킹층을 형성하는 단계와; 그리고 상기 제 1, 2 마스킹층들을 주입 마스크로 이용하여 제 1 도전형의 불순물을 상기 제 2 활성 영역 내에 주입하는 단계를 포함한다. 유익하게는 상기 제 1 도전형의 불순물은 상기 제 2 활성 영역 내의 제 2 도전형의 불순물을 역도핑하며, 이에 의해 어떤 게이트도 제 1, 2 도전형의 불순물들에 영향을 받지 않으면서 단일 마스킹 단계로, 제 1 활성 영역에는 제 2 도전형의 소스 및 드레인 영역들을 제공하고, 제 2 활성 영역에는 제 1 도전형의 소스 및 드레인 영역들을 제공한다.

대표도



명세서

기술분야

본 발명은 집적 회로의 제조에 관한 것으로서, 특히 절연 게이트형 전계 효과 트랜지스터에 관한 것이다.

배경기술

금속 산화막 반도체 전계 효과 트랜지스터(MOSFET)와 같은 절연 게이트형 전계 효과 트랜지스터(IGFET)는 게이트를 이용하여 밑에 있는 표면 채널을 제어하며, 상기 표면 채널은 소스 및 드레인을 연결한다. 채널, 소스 및 드레인은 반도체 기판 내에 배치되는바, 소스 및 드레인은 기판과는 반대로 도핑된다. 게이트는 게이트 산화막과 같은 얇은 절연층에 의해 반도체 기판으로부터 분리된다. IGFET 동작은 입력 전압을 게이트에 인가하는 것을 포함하는바, 이는 채널의 길이 방향의 컨덕턴스를 조절하기 위해 횡방향의 전계를 일으키게 한다.

전형적인 IGFET 처리에 있어서, 소스 및 드레인은, 패턴 게이트를 마스크로 이용하여 제 1 도전형(N 또는 P)의 반도체 기판에 제 2 도전형(P 또는 N)의 불순물을 주입함으로써 형성된다. 이러한 자기 정렬 공정은 실장 밀도를 개선시켜, 게이트와 소스 및 드레인 간의 기생 오버랩 용량을 감소시킨다.

폴리실리콘(다결정 실리콘, 폴리-실리콘 또는 폴리라고도 일컬어짐)의 박막은 IGFET 기술에 대해 많은 중요한 용도를 갖는다. 주요한 혁신 기술중 하나는, 게이트로서 알루미늄 대신 고농도(heavily doped)의 폴리 실리콘을 이용하는 것이다. 폴리실리콘은 실리콘 기판과 동일한 높은 용점을 갖기 때문에, 전형적으로 소스 및 드레인 형성 전에 블랭킷(blanket) 폴리실리콘층이 증착된다. 이 폴리실리콘층은 이방성 식각되어, 이온 주입에 의해 소스 및 드레인을 형성하는 동안 마스크 역할을 하는 게이트를 제공하며, 이후 주입된 불순물은 블랭킷 폴리실리콘층이 없으면 알루미늄을 용해할 고온의 어닐링을 통해 활성화된다.

IGFET 치수가 감소되고 공급 전압이 일정하게(예를 들어, 3V) 유지되면, 채널내 드레인 근방의 전계는 증가하는 경향이 있다. 전계가 충분히 강해지면, 이른바 핫 캐리어 효과가 일어날 수 있다. 예를 들어, 열 전자들이 기판과 게이트 절연물 간의 전위 에너지 장벽을 뛰어넘을 수 있게 되어, 핫 캐리어들이 게이트 절연물 내에 주입되게 된다. 주입된 핫 캐리어에 의해 게이트 절연물에 트랩된 전하는 시간에 따라 누적되어, 디바이스의 문턱 전압을 영구히 변경시킬 수 있다.

핫 캐리어 효과를 줄이기 위해서 많은 기술이 이용되어 왔다. 이러한 기술중 하나는 저농도 드레인(LDD)이다. LDD는 최대의 횡방향 전계를 감소시켜서 핫 캐리어 효과를 줄인다. 드레인은 전형적으로 2개의 이온 주입에 의해 형성된다. 저농도 주입은 게이트에 대해 자기 정합되고, 고농도의 주입은 게이트의 측벽에 근접한 스페이서에 의해 자기 정합된다. 스페이서는 전형적으로 산화물 또는 질화물이다. 보다 저농도의 제 1 주입량(dose)의 목적은 채널 근방의 단부에 저농도 드레인(또는 LDD) 영역을 형성하는 것이다. 보다 고농도의 제 2 주입량은 낮은 저항율을 갖는 드레인 영역을 형성하며, 이는 이후 저농도 영역과 병합한다. 고농도 영역은 종래의 드레인 구조와 비교해 채널로부터 멀리 떨어져 있기 때문에, 고농도 영역의 깊이는 디바이스의 특성에 악영향을 주지 않으면서 다소 깊게 할 수 있다.

상보형 금속 산화물 반도체(CMOS) 회로는 N 채널(NMOS) 디바이스들 및 P 채널(PMOS) 디바이스들을 포함한다. 종래의 공정은 전형적으로 공정 순서의 초기에 N웰 마스크 및 P웰 마스크를 이용하여 NMOS 및 PMOS 영역들을 정의한다. 전형적인 공정은 또한 NMOS 및 PMOS 영역들 상에 게이트를 형성하기 위한 단일 마스킹 단계와; 저농도 N형 소스/드레인 영역을 NMOS 영역에 주입하고 저농도 P형 소스/드레인 영역을 PMOS 영역에 주입하기 위한 다른 마스킹 단계와; 게이트에 인접하는 스페이서를 형성하는 단계와; 그리고 고농도 N형 소스/드레인 영역을 NMOS 영역에 주입하고 고농도 P형 소스/드레인 영역을 PMOS 영역에 주입하기 위한 다른 마스킹 단계를 포함한다.

NMOS 및 PMOS 영역에 소스 및 드레인 영역을 형성하는 데에 단지 1개의 마스킹 단계 만을 필요로 하는 방법이 보고되어 있다. 이 방법에서는 게이트가 형성된 후, 고농도 P형 소스/드레인 영역이 NMOS 및 PMOS 영역 내에 비선택적으로 주입되고, PMOS 영역을 덮고 NMOS 영역을 노출시키는 마스크가 형성되며, NMOS 영역에 있어서 P형 소스/드레인 영역을 역도핑하는 고농도 N형 소스/드레인 영역이 NMOS 영역 내에 주입된다. 캘리포니아주 선셋 비치 라티스 프레스 출판, S. Wolf 저의 VLSI 시대의 실리콘 공정 제 2권: 프로세스 인테그레이션의 436 페이지(1990)를 참조하라. 이 방법은, 4개의 마스킹 단계 대신 3개의 마스킹 단계를 이용하여 저농도 및 고농도 소스 및 드레인 영역을 갖는 NMOS 및 PMOS 디바이스를 제조하는 것에까지 확대될 수 있다. 구체적으로, 저농도 P형 소스/드레인 영역들이 NMOS 및 PMOS 영역들 내에 주입되고, 제 1 마스크는 PMOS 영역을 덮고 NMOS 영역을 노출시키며, NMOS 영역에서 저농도 P형 소스/드레인 영역들을 역도핑하는 저농도 N형 소스/드레인 영역이 NMOS 영역 내로 주입되고, 스페이서가 게이트에 인접하여 형성되며, 그리고 고도핑 소스/드레인 영역이 다른 마스킹 단계를 이용해 NMOS 및 PMOS 영역 내에 주입된다.

그러나, 이러한 공정의 단점은 NMOS 디바이스의 게이트가 N형 및 P형 양쪽 모두의 불순물로 도핑된다는 것이다. 이중 도핑된 게이트는, 예를 들어 원하는 문턱 전압을 얻는 데에 있어서, 또는 게이트 살리사이드(salicide) 접촉을 정확하게 형성하는 데에 어려움을 초래한다.

따라서, 마스킹 단계를 줄이고, 어느 게이트도 N형 및 P형 양쪽 모두의 불순물에 영향을 받지 않는 N 채널 및 P 채널 디바이스들을 제조하는 개선된 방법이 필요하다.

발명의 상세한 설명

본 발명의 목적은 마스킹 단계가 감소된 N 채널 및 P 채널 디바이스를 제공하는 것이다.

본 발명의 일 양상에 따르면, 본 발명의 방법은 제 1 도전형의 제 1 활성 영역 및 제 2 도전형의 제 2 활성 영역을 갖는 반도체 기판을 제공하는 단계와; 제 1, 2 활성 영역들 상에 게이트 물질을 형성하는 단계와; 게이트 물질 상에 제 1 마스킹층을 형성하는 단계와; 제 1 활성 영역 상에 제 1 게이트를 형성하고 제 2 활성 영역 상에 제 2 게이트를 형성하기 위해, 제 1 마스킹층을 식각 마스크로 이용하여 게이트 물질을 식각하는 단계와; 제 1 마스킹층을 주입 마스크로 이용하여 제 2 도전형의 불순물을 제 1, 2 활성 영역들 내에 주입하는 단계와; 제 1 활성 영역을 덮고 제 2 활성 영역 상의 개구부를 포함하는 제 2 마스킹층을 형성하는 단계와; 그리고 제 1, 2 마스킹층들을 주입 마스크로 이용하여 제 1 도전형의 불순물을 제 2 활성 영역 내에 주입하는 단계를 포함한다.

유익하게는, 제 1 도전형의 불순물은 제 2 활성 영역에서 제 2 도전형의 불순물을 역도핑하며, 이로써 어느 게이트도 제 1, 2 도전형의 불순물에 영향을 받지 않으면서 단일 마스킹 단계로, 제 1 활성 영역에 제 2 도전형의 소스 및 드레인 영역을 제공하고, 제 2 활성 영역에 제 1 도전형의 소스 및 드레인 영역을 제공하게 된다.

본 발명의 다른 양상에 따르면, 상기 제 1, 2 활성 영역들 내에 소스 및 드레인 영역들을 형성하는 단계는, 제 1 마스킹층을 제 1, 2 게이트들에 대한 주입 마스크로서 이용하여, 제 2 도전형의 저농도 소스 및 드레인 영역들을 제 1 게이트 외측의 제 1 활성 영역 내에 그리고 제 2 게이트 외측의 제 2 활성 영역 내에 주입하는 단계와; 그리고 제 1 마스킹층을 제 2 게이트에 대한 주입 마스크로서 그리고 제 2 마스킹층을 제 1 활성 영역에 대한 주입 마스크로서 이용하여, 제 1 도전형의 저농도 소스 및 드레인 영역을 제 2 게이트 외측의 제 2 활성 영역 내에 주입하는 단계를 포함한다. 제 1 도전형의 저농도 소스 및 드레인 영역들은 제 2 활성 영역에 있어 제 2 도전형의 저농도 소스 및 드레인 영역들을 역도핑한다. 이후, 이 방법은, 제 1, 2 마스킹 층들을 제거하는 단계와; 제 1 게이트에 인접하게 제 1 스페이서를 형성하고 제 2 게이트에 인접하게 제 2 스페이서를 형성하는 단계와; 제 2 활성 영역을 덮고, 제 1 활성 영역 상의 개구부를 포함하는 제 3 마스킹층을 형성하는 단계와; 고농도 소스 및 드레인 영역들을 제 1 게이트 및 제 1 스페이서 외측의 제 1 활성 영역 내에 주입하는 단계와; 제 3 마스킹층을 제거하는 단계와; 제 1 활성 영역을 덮고 제 2 활성 영역 상의 개구부를 포함하는 제 4 마스크층을 형성하는 단계와; 고농도 소스 및 드레인 영역들을 제 2 게이트 및 제 2 스페이서 외측의 제 2 활성 영역 내에 주입하는 단계와; 제 4 마스킹층을 제거하는 단계와; 그리고 주입된 불순물들을 드라이브인하여 활성화하기 위해 고온 어닐링을 수행하는 단계를 포함한다.

바람직하게는, 제 2 도전형의 고농도 소스 및 드레인 영역을 주입하는 단계는 제 1 게이트에 대한 모든 도핑을 제공하며, 그리고 제 1 도전형의 고농도 소스 및 드레인 영역을 주입하는 단계는 제 2 게이트에 대한 모든 도핑을 제공한다. 바람직하게는, 게이트 물질은 폴리실리콘이고, 마스킹층들은 포토레지스트이며, 제 1 도전형은 P형이고, 그리고 제 2 도전형은 N형이다.

본 발명의 이러한 목적, 특징 및 장점들은 본 발명의 바람직한 실시예의 설명으로부터 더욱 명백해질 것이다.

도면의 간단한 설명

하기의 바람직한 실시예에 대한 상세한 설명은 첨부 도면들을 참조하여 읽을 때 가장 잘 이해될 수 있다.

도 1A 내지 1L은 본 발명의 일 실시예에 따른, 마스킹 단계들이 감소된 N 채널 및 P 채널 디바이스 제조 방법의 연속적인 공정 단계들의 단면도이다.

바람직한 실시예

도면에서, 도시된 소자들은 반드시 축척을 맞추어 도시되지는 않았으며, 같거나 유사한 소자들은 여러 도면들에 걸쳐서 같은 참조 번호로 나타내었다.

도 1A 내지 1L은 본 발명의 일 실시예에 따른, 마스킹 단계들이 감소된 N 채널 및 P 채널 디바이스를 제조하기 위한 연속적인 처리 단계들의 단면도를 나타낸다. 도 1A에서는 집적 회로의 제조에 매우 적합한 실리콘 기판(102)이 제공된다. 기판(102)은 P+ 베이스층(도면 미도시) 상에 증착된 P형 에피택셜 표면층을 포함한다. 기판(102)은 에피택셜 표면층의 P형 NMOS 영역(106)과 N형 PMOS 영역(108) 간의 유전체 분리를 제공하는 트랜치 산화막(104)을 포함한다. NMOS 영역(106)은 1×10^{15} 원자/cm³의 봉소 배경 농도, <100> 배향 및 12Ω-cm의 저항을 갖는다. PMOS 영역(108)은 1×10^{15} 원자/cm³의 비소 배경 농도, <100> 배향 및 12Ω-cm의 저항을 갖는다. 실리콘 이산화물(SiO₂)로 이루어진 게이트 산화막(110)의 블랭킷층은, O² 함유 환경에서 700°C 내지 1000°C의 온도에서의 관성장을 이용하여 기판(102) 표면에 형성된다. 게이트 산화막(110)은 30 내지 100Å의 두께를 갖는다. 이후, 도핑되지 않은 폴리실리콘(112)의 블랭킷층이 저압 화학 기상 증착을 이용하여 게이트 산화막(110)의 표면에 증착된다. 폴리실리콘(112)은 2000Å의 두께를 갖는다.

도 1B에서, 포토레지스트층(114)이 폴리실리콘(112) 상에 증착된다. 수은 증기 램프로부터 원자외선광을 발생시키는 스텝 앤 리피트 광투영 시스템과 같은 포토리소그래피 시스템은 제 1 패턴상으로 포토레지스트층(114)을 조사하는 제 1 레티클을 이용한다. 이후, 포토레지스트층(114)의 조사된 부분은 제거되고, 포토레지스트층(114)은 NMOS 영역(106) 및 PMOS 영역(108)의 선택된 부분의 위쪽에 개구부를 포함한다.

도 1C에서는, 포토레지스트층(114)을 식각 마스크로서 이용하는 이방성 건식 식각이 적용된다. 포토레지스트층(114)은 아래에 있는 폴리실리콘(112)의 영역을 보호하며, 식각에 의해 포토레지스트층(114)의 개구부 아래의 폴리실리콘(112)의 영역이 제거된다. 이러한 식각은 게이트 산화막(110)에 대해서 폴리실리콘(112)을 상당히 선택적으로 식각하기 때문에,

제거되는 게이트 산화막(110)의 양은 무시할 수 있을 정도이며, 기판(102)은 영향을 받지 않는다. 식각은 NMOS 영역(106) 상에 폴리실리콘(112)의 제 1 게이트(112A)를 형성하고, PMOS 영역(108) 상에 폴리실리콘(112)의 제 2 게이트(112B)를 형성한다. 제 1 게이트(112A)는 3500Å의 길이 만큼 떨어져 있는 대향하는 수직 에지들을 포함하고, 제 2 게이트(112B)는 3500Å의 길이 만큼 떨어져 있는 대향하는 수직 에지들을 포함한다.

도 1D에서는, 저농도 소스 및 드레인 영역이, 포토레지스트층(114)을 제 1 게이트(112A) 및 제 2 게이트(112B)에 대한 주입 마스크로 이용하여 1×10^{13} 내지 2.5×10^{14} 원자/cm²의 주입량 및 6 내지 80keV의 에너지로, 화살표(116)로 나타낸 바와 같이 상기 구조가 인 이온 주입을 받게 하여 NMOS 영역(106) 및 PMOS 영역(108) 내에 주입된다. 결과적으로, 저농도 소스/드레인 영역들(120 및 122)이 NMOS 영역(106)에 주입되고 제 1 게이트(112A)의 대향하는 수직 에지들에 자기 정합되며, 저농도 소스/드레인 영역들(124 및 126)이 PMOS 영역(108)에 주입되고 제 2 게이트(112B)의 대향하는 수직 에지들에 자기 정합된다. 저농도 소스/드레인 영역들(120, 122, 124, 126)은 1×10^{17} 내지 5×10^{17} 원자/cm³ 범위의 인농도 및 100 내지 1500Å 범위의 깊이로 N- 형으로 도핑된다.

도 1E에서는, 포토레지스트층(130)이 NMOS 영역(106) 및 PMOS 영역(108) 상에 증착된다. 포토리소그래피 시스템은 제 2 패턴상으로 포토레지스트층(130)을 조사하는 제 2 레티클을 이용한다. 이후, 포토레지스트층(130)의 조사된 부분은 제거되며, 포토레지스트층(130)은 전체 NMOS 영역(106)을 덮고 전체 PMOS 영역(108) 상의 개구부를 포함한다.

중요한 점으로서, 포토레지스트층(114)은 포토레지스트층(130)의 증착 및 패터닝에 의해 기본적으로는 영향을 받지 않는다. 포토레지스트층(114)은, 현상액이 포토레지스트층(114)의 조사된 부분을 제거한 후, 그리고 폴리실리콘(112)이 이 방식으로 건식 식각되기 전에, 통상적으로 포토레지스트층(114)은 높은 온도에서 미리 포스트 베이크될 것이다. 이러한 포스트 베이크는 포토레지스트층(114)으로부터 잔류 용제를 제거하여, 포토레지스트층(114)의 점착력을 향상시키고 식각 저항을 증가시킨다. 따라서, 제 2 패턴 상이 포토레지스트층(130)을 조사할 때, 포토레지스트층(114)은 이후의 현상액에 용해되게 하는 광화학 변환을 더 이상 경험하지 않는다.

도 1F에서는, 저농도 소스 및 드레인 영역이, 포토레지스트층(114)을 제 2 게이트(112B)에 대한 주입 마스크로서, 그리고 포토레지스트층(130)을 NMOS 영역(106)에 대한 주입 마스크로서 이용하여 2×10^{13} 내지 5×10^{14} 원자/cm²의 주입량 및 2 내지 27keV의 에너지로, 화살표(132)로 나타낸 바와 같이 상기 구조가 봉소 이온 주입을 받게 하여 PMOS 영역(108) 내에 주입된다. 결과적으로, 저농도 소스/드레인 영역들(134, 136)은 PMOS 영역(108)에 주입되고 제 2 게이트(112B)의 대향하는 수직 에지들로 자기 정합되고, 저농도 소스/드레인 영역들(124, 126)을 역도핑한다. 저농도 소스/드레인 영역들(134, 136)은 2×10^{17} 내지 1×10^{18} 원자/cm³ 범위의 봉소 농도 및 100 내지 1500Å 범위의 깊이로 P-로 도핑된다.

화살표(132)로 나타낸 봉소는 화살표(116)로 나타낸 인에 비해 약 2배 정도의 주입량이 주입되어, 저농도 소스/드레인 영역들(134, 136)은 저농도 소스/드레인 영역들(124, 126)의 인에 비해 약 2배의 봉소 농도를 갖게 된다. 또한, 봉소의 원자량(10.81)은 인의 원자량(30.97)의 약 1/3이므로, 화살표(132)로 나타낸 봉소는 화살표(116)로 나타낸 인에 비해 약 1/3의 에너지로 주입된다. 이런 방식으로, 저농도 소스/드레인 영역들(134, 136)은 저농도 소스/드레인 영역들(124, 126)과 거의 같은 깊이로 주입되어 저농도 소스/드레인 영역들(124, 126)을 소멸시킨다.

유익하게는, 소스/드레인 영역들(120, 122, 134, 136)은 단일 마스크 단계로 제공된다. 또한, 어떤 게이트들(112A, 112B)도 N형 및 P형의 양쪽 모두의 불순물에 노출되지 않는다. 실제로, 게이트들(112A, 112B)은 여기까지는 도핑되지 않은 채로 남는다.

도 1G에서는, 포토레지스트층들(114, 130)이 제거되고, 2500Å의 두께를 갖는 실리콘 질화물(Si₃N₄)층이 300 내지 450°C의 온도로 플라즈마 강화 화학 기상 증착에 의해 노출된 표면 상에 컨포멀하게 증착된다. 이후, 실리콘 질화물층은 이방성의 반응성 이온 식각(RIE)이 되어, NMOS 영역(106) 상에 있으며 제 1 게이트(112A)의 대향하는 수직 에지들에 인접하는 측벽 스페이서(140) 및 PMOS 영역(108) 상에 있으며 제 2 게이트(112B)의 대향하는 수직 에지들에 인접하는 측벽 스페이서(142)를 형성한다. 스페이서(140)는 제 1 게이트(112A)에 인접하는 저농도 소스/드레인 영역들(120, 122)의 일부를 덮으며, 스페이서(142)는 제 2 게이트(112B)에 인접하는 저농도 소스/드레인 영역들(134, 136)의 일부를 덮는다.

도 1H에서는, 포토레지스트층(144)이 NMOS 영역 및 PMOS 영역(108) 상에 증착된다. 포토리소그래피 시스템은 제 3 패턴상으로 포토레지스트층(144)을 조사하는 제 3 레티클을 이용한다. 이후, 포토레지스트층(144)의 조사된 부분은 제거되고, 포토레지스트층(144)은 전체 PMOS 영역(108)을 덮고 전체 NMOS 영역(106) 상의 개구부를 포함한다.

도 1I에서는, 고농도 소스 및 드레인 영역들이, 제 1 게이트(112A), 스페이서(140) 및 포토레지스트층(144)을 주입 마스크로 이용하여, 1×10^{15} 내지 5×10^{15} 원자/cm²의 주입량 및 6 내지 80keV의 에너지로, 화살표(146)로 나타낸 바와 같이 상기 구조가 비소 이온 주입을 받게 하여 NMOS 영역(106) 내에 주입된다. 결과적으로, 고농도 소스/드레인 영역들(150, 152)이 NMOS 영역(106)에 주입되고 스페이서(140)의 외부 에지들로 자기 정합된다. 고농도 소스/드레인 영역들(150, 152)은 1×10^{18} 내지 5×10^{20} 원자/cm³ 범위의 비소 농도 및 100 내지 1500Å 범위의 깊이로 N⁺로 도핑된다. 바람직하게는, 고농도 소스/드레인 영역(150, 152)들의 깊이는 저농도 소스/드레인 영역들(120, 122)의 깊이를 넘는다. 또한, 화살표(146)로 나타낸 비소는 제 1 게이트(112A)에 대한 모든 도핑을 제공한다.

도 1J에서는, 포토레지스트층(144)이 벗겨지고, 포토레지스트층(154)이 NMOS 영역(106) 및 PMOS 영역(108) 상에 층착된다. 포토리소그래피 시스템은 제 2 패턴상으로 포토레지스트층(154)을 조사하는 제 2 레터클을 이용한다. 이후, 포토레지스트층(154)은 현상되고, 포토레지스트층(154)의 조사된 부분은 제거되어, 포토레지스트층(154)은 전체 NMOS 영역(106)을 덮고 전체 PMOS 영역(108) 상의 개구부를 포함한다.

도 1K에서는, 고농도 소스 및 드레인 영역들이, 제 2 게이트(112B), 스페이서(142) 및 포토레지스트층(154)을 주입 마스크로서 이용하여, 1×10^{15} 내지 5×10^{15} 원자/cm²의 주입량 및 2 내지 27keV의 에너지로, 화살표(156)로 나타낸 바와 같이 상기 구조가 붕소 이온 주입을 받게 하여 PMOS 영역(108) 내에 주입된다. 결과적으로, 고농도 소스/드레인 영역들(160, 162)이 PMOS 영역(108) 내에 주입되고 스페이서(142)의 외부 에지들로 자기 정합된다. 고농도 소스/드레인 영역들(160, 162)은 1×10^{18} 내지 1×10^{20} 원자/cm³ 범위의 붕소 농도 및 100 내지 1500Å의 깊이로 P⁺로 도핑된다. 바람직하게는, 고농도 소스/드레인 영역(160, 162)들의 깊이는 저농도 소스/드레인 영역들(134, 136)의 깊이를 넘는다. 또한, 화살표(156)로 나타낸 붕소는 제 2 게이트(112B)에 대한 모든 도핑을 제공한다.

도 1L에서는, 포토레지스트층(144)이 벗겨지고, 디바이스는 10 내지 30초 동안 950 내지 1050°C 정도에서 급속 열 어닐링되어, 결정 손상을 제거하고 주입된 불순물들을 드라이브인하고 활성화한다. NMOS 영역(106)의 NMOS 디바이스에 대해서, 영역들(120, 150)은 소스를 형성하고, 영역들(122, 152)은 드레인을 형성한다. 마찬가지로, PMOS 영역(108)의 PMOS 디바이스들에 대해서, 영역들(134, 160)은 소스를 형성하고, 영역들(136, 162)은 드레인을 형성한다. 불순물들은 수직 및 측면으로 확산되기 때문에, 고농도 영역들(150, 152)은 부분적으로 스페이서(140) 아래로 확장되고, 고농도 영역들(160, 162)은 부분적으로 스페이서(142) 아래로 확장된다. 유사하게, 저농도 영역들(120, 122)은 제 1 게이트(112A) 아래로 약간 확장되고, 저농도 영역들(134, 136)은 제 2 게이트(112B) 아래로 약간 확장된다.

IGFET 제조에 있어서의 새로운 처리 단계들은, 게이트들, 소스들 및 드레인들 상에 살리사이드 접촉을 형성하는 단계와; 활성 영역들 상에 두꺼운 산화막을 형성하는 단계와; 상기 살리사이드 접촉을 노출시키기 위해 산화막층에 접촉 윈도우를 형성하는 단계와; 상기 접촉 윈도우들에 상호연결 금속 배선(metalization)을 형성하는 단계와; 그리고 상기 금속 배선 상에 패시베이션층을 형성하는 단계를 포함한다. 또한, 바람직한 어닐링, 활성화 드라이브인 기능들을 제공하기 위해, 초기 또는 이후의 고온 처리 단계가 어닐링 단계를 보완 또는 대체하는 데에 이용된다. 이러한 부가적인 처리 단계들은 통상적인 것으로서, 본원에서 반복될 필요가 없다. 마찬가지로, 본원에 개시된 주요 처리 단계들은 당업자들에게 명백한 다른 단계들과 결합될 수 있다.

바람직한 경우, NMOS 영역(106)의 NMOS 디바이스 및 PMOS 영역(108)의 PMOS 디바이스가 CMOS 인버터 회로를 제공하도록, 게이트들(112A 및 112B)은 전기적으로 결합될 수 있다.

몇 개의 장점들에 대해 주목해야 한다. 제 1 게이트(112A)는 비소만으로 도핑되고 제 2 게이트(112B)는 붕소만으로 도핑되기 때문에, 어떤 게이트도 N형 및 P형 양쪽 모두의 불순물도 도핑되지 않는다. 또한, 저농도 소스/드레인 영역들(120, 122)이 인으로도 도핑됨에도 불구하고, 제 1 게이트(112A)는 인(빠른 확산체)을 포함하지 않고 비소(느린 확산체)를 포함하며, 비소는 인과 비교해 고온 처리 동안 게이트(112A)로부터 게이트 산화막(110)을 통해 NMOS 영역(106)의 채널 영역으로 확산하기가 어렵다.

본 발명은 상술된 실시예에 대한 많은 변형들을 포함한다. 게이트는 다양한 전도체가 될 수 있고, 게이트 절연물 및 스페이서는 다양한 유전체가 될 수 있으며, 그리고 NMOS 및 PMOS 영역들은 LOCOS 산화와 같은 다양한 기술들을 이용해 분리될 수 있다. 포토레지스트층들은 식각 마스크 및/또는 주입 마스크로서 이용될 다른 마스킹층들을 패터닝할 수 있다. 예를 들어, 제 1 포토레지스트층은 실리콘 이산화물층을 제 1 마스킹층으로서 패터닝할 수 있고, 제 2 포토레지스트층은 실리콘 질화물층을 제 2 마스킹층으로서 패터닝할 수 있다. LDD는 필수적인 것은 아니다. 예를 들어, NMOS 및 PMOS 디바

이스들에 대한 모든 소스/드레인 도핑은, 본 예에서는 폴리실리콘 게이트가 소스/드레인 주입 이전에 도핑될 필요가 있음에도 불구하고, 최초의 2개의 소스/드레인 주입에 의해 제공될 수 있다. 활성 영역의 도전율 및 주입되는 불순물은 반대로 될 수 있다. 적절한 N형 불순물은 비소 및 인을 포함하고, 적절한 P형 불순물은 봉소(B_{10}), 봉소(B_{11}) 및 BF_2 와 같은 BF_X 종들을 포함한다.

본 발명은 특히, 높은 회로 밀도가 필요한 고성능의 마이크로프로세서에 대해, N-채널 MOSFET, P-채널 MOSFET 및 다른 형태의 IGFET의 제조에 매우 적합하다. 예시의 목적으로, 한 쌍의 N-채널 및 P-채널 디바이스만을 도시했지만, 실제의 실시에 대해서는 당업계에 널리 실시되고 있는 바와 같이 단일 반도체 웨이퍼 상에 많은 디바이스들이 제조된다. 따라서, 본 발명은 집적 회로 칩뿐 아니라, 마이크로프로세서, 메모리 및 시스템 버스를 포함하는 전자 시스템의 제조에 매우 적합하다.

당업자는 본원에 개시된 구조들 및 방법들을 제공하는 데에 필요한 단계들을 용이하게 실시할 수 있을 것이며, 그리고 공정 파라미터, 물질들 및 치수들은 단지 예시적으로 제시된 것으로서, 원하는 구조 및 본 발명의 범위 내에서의 수정을 달성하기 위해 변경될 수 있다는 것을 알 수 있을 것이다. 본원에 개시된 실시예의 변형 및 수정은 하기의 청구 범위에서 정의되는 본 발명의 범위 및 정신을 벗어나지 않으면서 본원의 설명에 기초하여 이루어진다.

(57) 청구의 범위

청구항 1.

제 1 도전형의 제 1 활성 영역 및 제 2 도전형의 제 2 활성 영역을 갖는 반도체 기판을 제공하는 단계와;

상기 반도체 기판에 게이트 절연물을 형성하는 단계와;

상기 제 1, 2 활성 영역들 상의 상기 게이트 절연물 상에 게이트 물질을 형성하는 단계와;

상기 게이트 물질 상에 제 1 마스킹층을 형성하는 단계와;

상기 제 1 활성 영역 상에 제 1 게이트를 형성하고 상기 제 2 활성 영역 상에 제 2 게이트를 형성하기 위해, 상기 제 1 마스킹층을 식각 마스크로 이용하여 상기 게이트 물질을 식각하는 단계와;

상기 제 1 마스킹층을 주입 마스크로 이용하여, 제 2 도전형 저농도 주입량 및 제 2 도전형의 주입 깊이로, 제 2 도전형의 불순물을 상기 제 1, 2 활성 영역들 내에 주입하는 단계와;

상기 제 1 활성 영역을 덮고 상기 제 2 활성 영역 상의 개구부를 포함하는 제 2 마스킹층을 형성하는 단계와; 그리고

상기 제 1, 2 마스킹층들을 주입 마스크로 이용하여 제 1 도전형의 불순물을 상기 제 2 활성 영역 내에 주입하는 단계를 포함하며,

상기 제 1 도전형의 불순물은 상기 제 2 도전형의 주입량의 약 2배인 제 1 도전형의 저농도 주입량으로 주입되고, 상기 제 2 도전형의 주입 깊이와 거의 같은 제 1 도전형의 주입 깊이로 주입되며,

상기 제 1 게이트 또는 상기 제 2 게이트 중 어느 것에도 제 1 도전형의 저농도 및 제 2 도전형의 저농도 불순물들이 주입되지 않도록, 상기 제 1 마스킹층 및 상기 제 2 마스킹층은 상기 제 1 게이트 및 상기 제 2 게이트를 보호하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 제 1 마스킹층은 상기 제 2 도전형의 저농도 불순물이 상기 제 1, 2 게이트들 내에 주입되는 것을 방지하고;

상기 제 1 마스킹층은 상기 제 1 도전형의 저농도 불순물이 상기 제 2 게이트 내에 주입되는 것을 방지하며; 그리고 상기 제 2 마스킹층은 상기 제 1 도전형의 저농도 불순물이 상기 제 1 게이트 내로 주입되는 것을 방지하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 제 1 도전형의 저농도 불순물을 주입하는 단계는, 상기 제 2 활성 영역에 상기 제 2 도전형의 저농도 불순물을 역도 평하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 제 1 도전형은 P형이고, 상기 제 2 도전형은 N형인 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 게이트 물질을 식각하는 단계는, 상기 제 1 마스킹층의 개구부들을 통해 이방성 식각을 수행하는 단계를 포함하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 6.

제 1 항에 있어서,

상기 제 1, 2 마스킹층들을 제거하는 단계와;

상기 제 1 게이트의 대향하는 에지들에 인접하는 제 1 스페이서들 및 상기 제 2 게이트의 대향하는 에지들에 인접하는 제 2 스페이서들을 형성하는 단계와;

상기 제 2 활성 영역을 덮으며 상기 제 1 활성 영역 상의 개구부를 포함하는 제 3 마스킹층을 형성하는 단계와;

상기 제 1 게이트, 상기 제 1 스페이서들 및 상기 제 3 마스킹층을 주입 마스크로 이용하여 상기 제 1 활성 영역 내에 제 1 도전형의 고농도 불순물을 주입하는 단계와, 여기서 상기 제 1 게이트는 제 2 도전형의 불순물로 고농도로 도핑되며;

상기 제 3 마스킹층을 제거하는 단계와;

상기 제 1 활성 영역을 덮고 상기 제 2 활성 영역 상의 개구부를 포함하는 제 4 마스킹층을 형성하는 단계와; 그리고

상기 제 2 게이트, 상기 제 2 스페이서들 및 상기 제 4 마스킹층을 주입 마스크로 이용하여 상기 제 2 활성 영역 내에 제 1 도전형의 고농도 불순물을 주입하는 단계를 포함하며, 상기 제 2 게이트는 제 2 도전형의 불순물로 고농도로 도핑되는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 7.

제 1 항에 있어서,

상기 제 1, 2 마스킹층들은 포토레지스트층들이고, 상기 게이트 물질은 폴리실리콘인 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 8.

제 1 항에 있어서,

상기 N 채널 및 P 채널 디바이스들은 상기 기판의 절연 영역에 인접하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 9.

분리 영역에 인접하는 제 1, 2 활성 영역들을 갖는 반도체 기판을 제공하는 단계와, 여기서 상기 제 1 활성 영역은 제 1 도전형이고, 상기 제 2 활성 영역은 제 2 도전형이며;

상기 제 1, 2 활성 영역들 상에 게이트 절연물을 형성하는 단계와;

상기 게이트 절연물 상에 폴리실리콘층을 형성하는 단계와;

상기 폴리실리콘층 상에, 상기 제 1, 2 활성 영역들의 위쪽 부분에 개구부들을 포함하는 제 1 포토레지스트층을 형성하는 단계와;

상기 제 1 활성 영역 상에 제 1 게이트를 형성하고 상기 제 2 활성 영역 상에 제 2 게이트를 형성하기 위해, 상기 제 1 포토레지스트층을 식각 마스크로 이용하여 상기 폴리실리콘층을 식각하는 단계와;

상기 제 1, 2 게이트들에 대해, 상기 제 1 폴리실리콘층을 주입 마스크로 이용하여, 상기 제 1 게이트 외측의 제 1 활성 영역 및 상기 제 2 게이트 외측의 제 2 활성 영역 내에 제 2 도전형의 저농도 소스 및 드레인 영역들을 주입하는 단계와;

상기 기판 상에 제 2 포토레지스트층을 형성하는 단계와, 여기서 상기 제 2 포토레지스트층은 상기 제 1 활성 영역을 덮고 상기 제 2 활성 영역 상의 개구부를 포함하며; 그리고

상기 제 1 활성 영역에 대해, 상기 제 1 포토레지스트층을 상기 제 2 게이트에 대한 주입 마스크로서 이용하여, 상기 제 2 포토레지스트층을 상기 제 1 활성 영역에 대한 주입 마스크로 이용하여, 제 1 도전형의 저농도 소스 및 드레인 영역들을 상기 제 2 게이트 외측의 제 2 활성 영역 내에 주입하는 단계를 포함하며,

상기 제 1 도전형의 저농도 소스 및 드레인 영역들은, 상기 제 2 게이트 외측의 제 2 활성 영역에 상기 제 2 도전형의 저농도 소스 및 드레인을 역도핑하기 위해, 상기 제 2 도전형의 저농도 소스 및 드레인 영역들이 상기 제 2 게이트 외측의 제 2 활성 영역에 도핑되는 주입량의 약 2배의 주입량 및 동일한 깊이로 주입되며,

상기 제 1 게이트 또는 상기 제 2 게이트 중 어느 것에도 제 1 도전형의 저농도 및 제 2 도전형의 저농도 불순물들이 주입되지 않도록, 상기 제 1 포토레지스트층 및 상기 제 2 포토레지스트층은 상기 제 1 게이트 및 상기 제 2 게이트를 보호하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 제 1 포토레지스트층 및 상기 제 2 포토레지스트층을 제거하는 단계와;

상기 제 1 도전형의 저농도 소스 및 드레인 영역들을 주입한 후, 상기 제 1 게이트의 대향하는 에지들에 인접하는 제 1 스페이서들 및 상기 제 2 게이트의 대향하는 에지들에 인접하는 제 2 스페이서들을 형성하는 단계와;

상기 제 1 게이트 및 상기 제 1 스페이서들 외측의 제 1 활성 영역들 내에 제 2 도전형의 고농도 소스 및 드레인 영역들을 주입하는 단계와; 그리고

상기 제 2 게이트 및 상기 제 2 스페이서들 외측의 제 2 활성 영역들 내에 제 1 도전형의 고농도 소스 및 드레인 영역들을 주입하는 단계를 포함하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 11.

제 10 항에 있어서,

상기 제 2 도전형의 고농도 소스 및 드레인 영역들을 주입하는 단계는 상기 제 1 게이트에 대한 최초 도핑을 주입하며; 그리고

상기 제 1 도전형의 고농도 소스 및 드레인 영역들을 주입하는 단계는 상기 제 2 게이트에 대한 최초 도핑을 주입하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 12.

제 9 항에 있어서,

상기 제 1 게이트에는 제 1 도전형의 저농도 불순물이 없고, 상기 제 2 게이트에는 제 2 도전형의 저농도 불순물이 없는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 13.

제 9 항에 있어서,

상기 제 1, 2 게이트들은 전기적으로 결합되는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 14.

제 9 항에 있어서,

상기 N 채널 및 P 채널 디바이스들은 인버터 회로로서 동작하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 15.

제 9 항에 있어서,

상기 제 1 도전형은 N형이고, 상기 제 2 도전형은 P형인 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 16.

제 9 항에 있어서,

상기 제 1 도전형은 P형이고, 상기 제 2 도전형은 N형인 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 17.

반도체 기판을 제공하는 단계와, 여기서 상기 반도체 기판은 상부 표면에 인접하는 제 1, 2 활성 영역들 및 분리 영역을 가지며, 상기 제 1 활성 영역은 제 1 도전형이고, 상기 제 2 활성 영역은 제 2 도전형이며;

상기 제 1, 2 활성 영역들 상에 게이트 산화막을 형성하는 단계와;

상기 게이트 산화막 상에 폴리실리콘층을 형성하는 단계와;

상기 폴리실리콘층 상에, 상기 제 1, 2 활성 영역들의 위쪽 부분에 개구부들을 포함하는 제 1 포토레지스트층을 형성하는 단계와;

상기 제 1 활성 영역 상에 제 1 게이트를 형성하고 상기 제 2 활성 영역 상에 제 2 게이트를 형성하기 위해, 상기 제 1 포토레지스트층의 개구부를 통해 상기 폴리실리콘층을 식각하는 단계와;

상기 제 1, 2 게이트들에 대해, 상기 제 1 폴리실리콘층을 주입 마스크로 이용하여, 상기 제 1 게이트 외측의 제 1 활성 영역 및 상기 제 2 게이트 외측의 제 2 활성 영역 내에 제 2 도전형의 저농도 소스 및 드레인 영역들을 주입하는 단계와;

상기 기판 상에 제 2 포토레지스트층을 형성하는 단계와, 여기서 상기 제 2 포토레지스트층은 상기 제 1 활성 영역을 덮고 상기 제 2 활성 영역 상의 개구부를 포함하며;

상기 제 1 활성 영역에 대해, 상기 제 1 포토레지스트층을 상기 제 2 게이트에 대한 주입 마스크로 이용하고, 상기 제 2 포토레지스트층을 상기 제 1 활성 영역에 대한 주입 마스크로 이용하여, 제 1 도전형의 저농도 소스 및 드레인 영역들을 상기 제 2 게이트 외측의 제 2 활성 영역 내에 주입하는 단계와, 여기서 상기 제 1 도전형의 저농도 소스 및 드레인 영역들은, 상기 제 2 게이트 외측의 제 2 활성 영역에 상기 제 2 도전형의 저농도 소스 및 드레인을 역도핑하기 위해, 상기 제 2 도전형의 저농도 소스 및 드레인 영역들이 상기 제 2 게이트 외측의 제 2 활성 영역에 도핑되는 주입량의 약 2배의 주입량 및 동일한 깊이로 주입되며, 그리고 상기 제 1 게이트 또는 상기 제 2 게이트 중 어느 것에도 상기 제 1 도전형의 저농도 및 제 2 도전형의 저농도 불순물들이 주입되지 않도록, 상기 제 1 포토레지스트층 및 상기 제 2 포토레지스트층은 상기 제 1 게이트 및 상기 제 2 게이트를 보호하며;

상기 제 1, 2 포토레지스트층을 제거하는 단계와;

상기 기판 상에 스페이서 물질을 증착하는 단계와;

상기 제 1 게이트의 대향하는 측벽들에 인접하는 제 1 스페이서들 및 상기 제 2 게이트의 대향하는 측벽들에 인접하는 제 2 스페이서들을 제공하기 위해, 상기 스페이서 물질을 이방성으로 식각하는 단계와;

상기 기판 상에 제 3 포토레지스트를 증착하는 단계와, 여기서 상기 제 3 포토레지스트층은 상기 제 2 활성 영역을 덮고 상기 제 1 활성 영역 상의 개구부를 포함하며;

상기 제 2 활성 영역에 대해, 상기 제 3 포토레지스트층을 주입 마스크로 이용하여 상기 제 1 게이트 및 상기 제 1 스페이서들 외측의 제 1 활성 영역 내에 제 2 도전형의 고농도 소스 및 드레인 영역들을 주입하는 단계와;

상기 제 3 포토레지스트층을 제거하는 단계와;

상기 기판 상에 제 4 포토레지스트층을 형성하는 단계와, 여기서 상기 제 4 포토레지스트층은 상기 제 1 활성 영역을 덮고 상기 제 2 활성 영역 상의 개구부를 포함하며;

상기 제 1 활성 영역에 대해, 상기 제 4 포토레지스트층을 주입 마스크로 이용하여 상기 제 2 게이트 및 상기 제 2 스페이서들 외측의 제 2 활성 영역 내에 제 1 도전형의 고농도 소스 및 드레인 영역들을 주입하는 단계와; 그리고

상기 제 4 포토레지스트층을 제거하는 단계를 포함하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 18.

제 17 항에 있어서,

상기 제 2 도전형의 고농도 소스 및 드레인 영역들을 주입하는 단계는 상기 제 1 게이트에 대한 모든 도핑을 제공하며; 그리고

상기 제 1 도전형의 고농도 모든 소스 및 드레인 영역들을 주입하는 단계는 상기 제 2 게이트에 대한 모든 도핑을 제공하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 19.

제 17 항에 있어서,

단지 인만으로 제 2 도전형의 저농도 소스 및 드레인 영역들을 주입하는 단계와;

단지 비소만으로 제 2 도전형의 고농도 소스 및 드레인 영역들을 주입하는 단계와; 그리고

단지 비소 만으로 상기 제 1 게이트를 도핑하는 단계를 포함하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 20.

제 19 항에 있어서,

단지 봉소 또는 봉소 디플루오라이드(difluoride) 만으로 제 1 도전형의 고농도 소스 및 드레인 영역들을 주입하는 단계와; 그리고

단지 봉소 또는 봉소 디플루오라이드 만으로 상기 제 2 게이트를 도핑하는 단계를 포함하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 21.

제 17 항에 있어서,

상기 제 1 활성 영역 내의 소스는 상기 제 1 활성 영역 내의 제 2 도전형의 저농도 및 고농도 소스 영역들을 포함하고;

상기 제 1 활성 영역 내의 드레인은 상기 제 1 활성 영역 내의 제 2 도전형의 저농도 및 고농도 드레인 영역들을 포함하며;

상기 제 2 활성 영역 내의 소스는 상기 제 2 활성 영역 내의 제 1 도전형의 저농도 및 고농도 소스 영역들을 포함하고; 그리고

상기 제 2 활성 영역 내의 드레인은 상기 제 2 활성 영역 내의 제 1 도전형의 저농도 및 고농도 소스 및 드레인 영역들을 포함하는 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 22.

제 17 항에 있어서,

상기 제 1 도전형은 P형이며, 상기 2 도전형은 N형인 것을 특징으로 하는 N 채널 및 P 채널 디바이스 제조 방법.

청구항 23.

삭제

청구항 24.

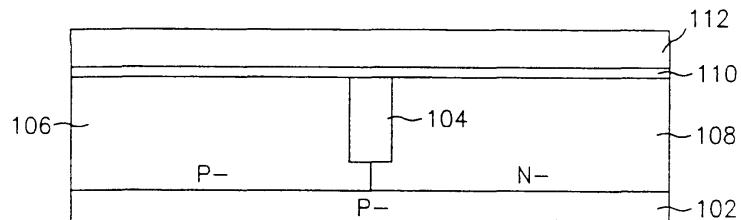
삭제

청구항 25.

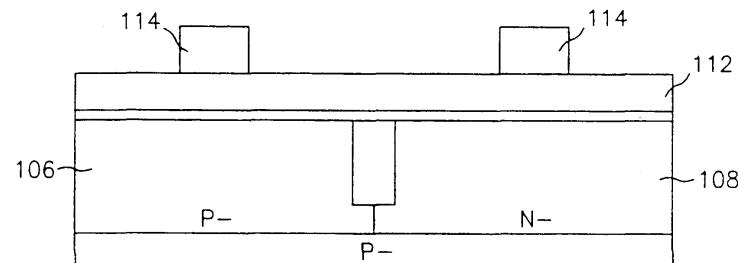
삭제

도면

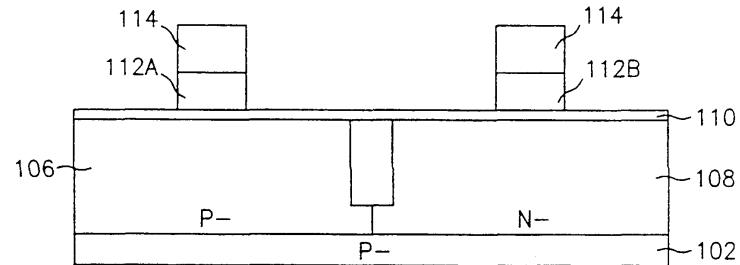
도면1a



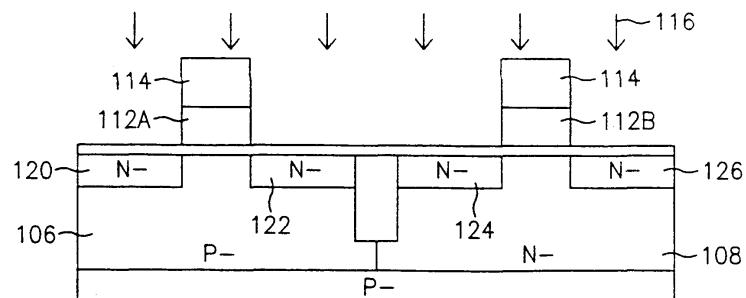
도면1b



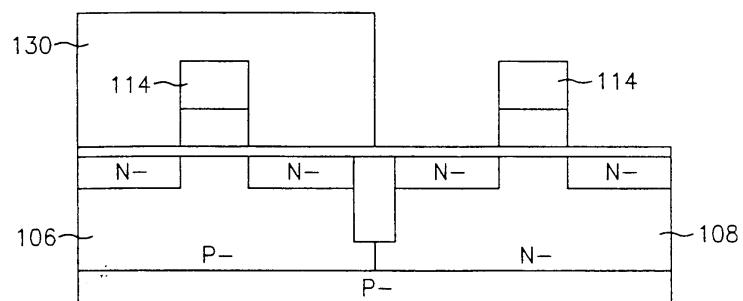
도면1c



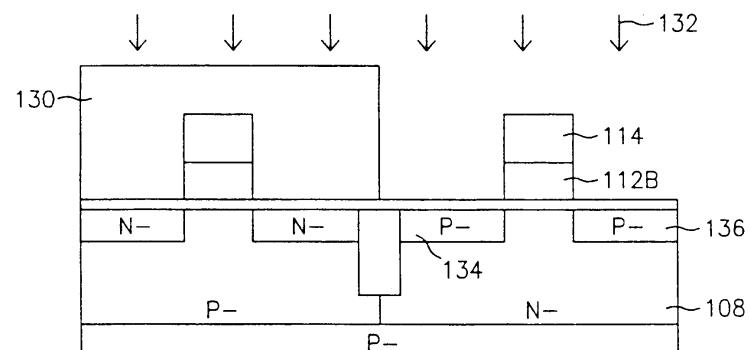
도면1d



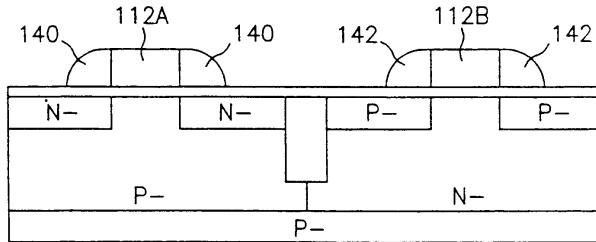
도면1e



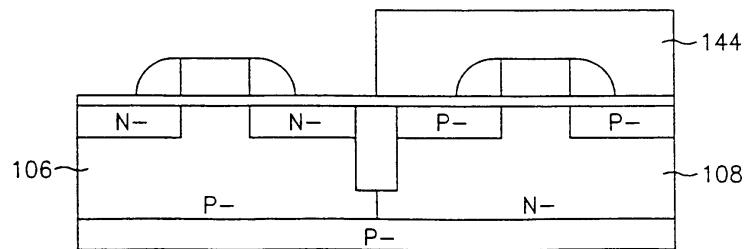
도면1f



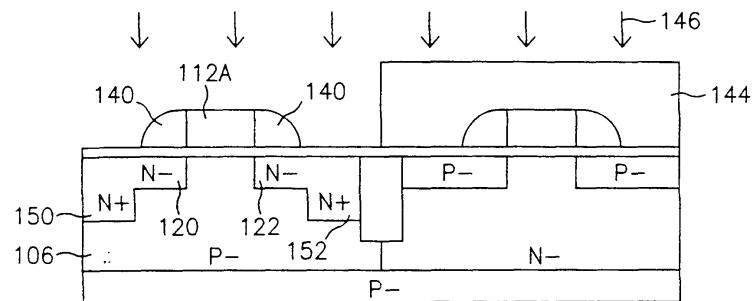
도면1g



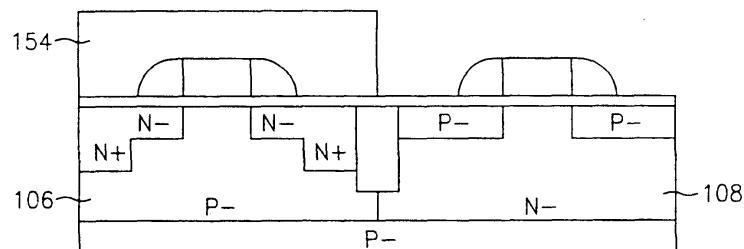
도면1h



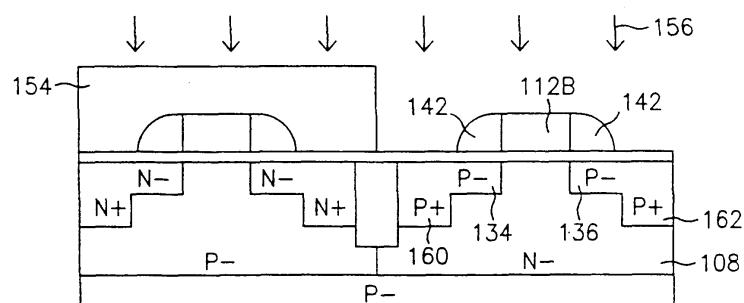
도면1i



도면1j



도면1k



도면11

